



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2019년07월17일  
 (11) 등록번호 10-2001357  
 (24) 등록일자 2019년07월11일

(51) 국제특허분류(Int. Cl.)  
 G02F 1/1368 (2006.01) G02F 1/1362 (2006.01)  
 H01L 27/12 (2006.01) H01L 27/32 (2006.01)

(52) CPC특허분류  
 G02F 1/1368 (2013.01)  
 G02F 1/13624 (2013.01)

(21) 출원번호 10-2018-7024142(분할)  
 (22) 출원일자(국제) 2014년08월11일  
 심사청구일자 2018년09월20일

(85) 번역문제출일자 2018년08월22일  
 (65) 공개번호 10-2018-0097782  
 (43) 공개일자 2018년08월31일

(62) 원출원 특허 10-2018-7003098  
 원출원일자(국제) 2014년08월11일  
 심사청구일자 2018년02월13일

(86) 국제출원번호 PCT/US2014/050571  
 (87) 국제공개번호 WO 2015/031037  
 국제공개일자 2015년03월05일

(30) 우선권주장  
 61/869,937 2013년08월26일 미국(US)  
 (뒷면에 계속)

(56) 선행기술조사문헌  
 KR1020080002237 A\*  
 (뒷면에 계속)

전체 청구항 수 : 총 11 항

(73) 특허권자  
**애플 인크.**  
 미국 캘리포니아 (우편번호 95014) 쿠파티노 원  
 애플 파크 웨이

(72) 발명자  
**굽타, 바수다**  
 미국 95014 캘리포니아주 쿠파티노 엠/에스 89-2  
 피피오 인피니트 루프 1  
**최, 재, 원**  
 미국 95014 캘리포니아주 쿠파티노 엠/에스 89-2  
 피피오 인피니트 루프 1  
 (뒷면에 계속)

(74) 대리인  
**이동형, 백만기, 장덕순**

심사관 : 차진숙

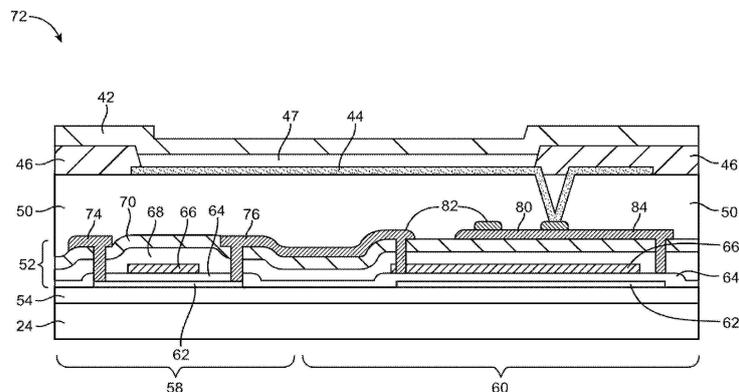
(54) 발명의 명칭 **실리콘 및 반도체성 산화물 박막 트랜지스터를 구비한 디스플레이**

**(57) 요약**

전자 디바이스는 기판 상에 디스플레이 픽셀들의 어레이를 갖는 디스플레이를 포함할 수 있다. 디스플레이 픽셀들은 유기 발광 다이오드 디스플레이 픽셀들 또는 액정 디스플레이의 디스플레이 픽셀들일 수 있다. 유기 발광 다이오드 디스플레이에서, 반도체성 산화물 박막 트랜지스터, 실리콘 박막 트랜지스터 및 커패시터 구조체들을

(뒷면에 계속)

**대표도** - 도3



포함하는 하이브리드 박막 트랜지스터 구조체들이 형성될 수 있다. 커패시터 구조체들은 반도체성 산화물 박막 트랜지스터들과 중첩할 수 있다. 유기 발광 다이오드 디스플레이 픽셀들은 산화물 및 실리콘 트랜지스터들의 조합들을 가질 수 있다. 액정 디스플레이에서, 디스플레이 구동 회로는 실리콘 박막 트랜지스터 회로를 포함할 수 있고, 디스플레이 픽셀들은 산화물 박막 트랜지스터들에 기초될 수 있다. 게이트 금속의 단일 층 또는 2개의 상이한 층들이 실리콘 트랜지스터 게이트 및 산화물 트랜지스터 게이트의 형성 시에 사용될 수 있다. 실리콘 트랜지스터는 플로팅 게이트 구조체와 중첩하는 게이트를 가질 수 있다.

(52) CPC특허분류

- H01L 27/1225* (2013.01)
- H01L 27/3262* (2013.01)
- H01L 27/3272* (2013.01)
- G02F 2001/13685* (2013.01)
- G02F 2202/104* (2013.01)

(72) 발명자

**창, 시호, 창**

미국 95014 캘리포니아주 쿠퍼티노 엠/에스 89-2피  
피오 인피니트 루프 1

**짜이, 쑹-팅**

미국 95014 캘리포니아주 쿠퍼티노 엠/에스 89-2피  
피오 인피니트 루프 1

**박, 영, 배**

미국 95014 캘리포니아주 쿠퍼티노 엠/에스 89-2피  
피오 인피니트 루프 1

(56) 선행기술조사문헌

- W02012176422 A1\*
- JP2003173154 A
- JP2011048339 A
- JP2011054936 A
- JP2011141529 A

\*는 심사관에 의하여 인용된 문헌

(30) 우선권주장

- |            |             |        |
|------------|-------------|--------|
| 14/228,070 | 2014년03월27일 | 미국(US) |
| 14/228,098 | 2014년03월27일 | 미국(US) |
| 14/229,232 | 2014년03월28일 | 미국(US) |
| 14/249,716 | 2014년04월10일 | 미국(US) |

**명세서**

**청구범위**

**청구항 1**

디스플레이로서,

기관;

상기 기관 상의 디스플레이 픽셀 회로들의 어레이; 및

상기 디스플레이 픽셀 회로들의 어레이 내로의 게이트 라인 신호들을 구동하는 디스플레이 구동 회로를 포함하고,

상기 디스플레이 구동 회로는 레벨 시프터 회로(level shifter circuitry), 시프트 레지스터 및 버퍼 회로를 포함하고,

상기 시프트 레지스터는 상기 레벨 시프터 회로에 결합되고,

상기 버퍼 회로는 상기 레벨 시프터 회로에 결합되고,

상기 시프트 레지스터는 제1 전압 스윙(voltage swing)을 갖는 신호들을 공급하고, 상기 레벨 시프터 회로는 상기 제1 전압 스윙을 제2 전압 스윙으로 조정하며, 상기 버퍼 회로는 상기 시프트 레지스터로부터 상기 제1 전압 스윙을 갖는 상기 신호들을 수신하며 상기 레벨 시프터 회로로부터 상기 제2 전압 스윙을 갖는 신호들을 수신하는, 디스플레이.

**청구항 2**

제1항에 있어서,

상기 디스플레이 픽셀 회로들의 어레이는 반도체성 산화물 박막 트랜지스터 회로를 포함하는, 디스플레이.

**청구항 3**

제2항에 있어서,

상기 디스플레이 구동 회로는 상기 기관 상에 형성된 실리콘 박막 트랜지스터를 포함하는, 디스플레이.

**청구항 4**

제3항에 있어서,

상기 디스플레이 구동 회로는 게이트 구동 회로를 포함하고, 상기 레벨 시프터 회로는 상기 게이트 구동 회로의 일부를 형성하는, 디스플레이.

**청구항 5**

제4항에 있어서,

상기 버퍼 회로는, 상기 게이트 라인 신호들을 생성하는, 디스플레이.

**청구항 6**

디스플레이로서,

기관;

상기 기관 상의 디스플레이 픽셀 회로들의 어레이; 및

디스플레이 구동 회로를 포함하고,

상기 디스플레이 픽셀 회로들은 반도체성 산화물 박막 트랜지스터들을 포함하고,

상기 디스플레이 구동 회로는 상기 기관 상의 실리콘 박막 트랜지스터들로 형성되고,  
 상기 디스플레이 구동 회로는 게이트 구동 회로를 포함하고,  
 상기 게이트 구동 회로는 레벨 시프터 회로, 시프트 레지스터 및 버퍼 회로를 포함하고,  
 상기 시프트 레지스터는 상기 레벨 시프터 회로에 결합되고,  
 상기 버퍼 회로는 상기 레벨 시프터 회로에 결합되고,  
 상기 시프트 레지스터는 제1 전압 스윙을 갖는 신호들을 공급하고, 상기 레벨 시프터 회로는 상기 제1 전압 스윙을 제2 전압 스윙으로 조정하며, 상기 버퍼 회로는 상기 시프트 레지스터로부터 상기 제1 전압 스윙을 갖는 상기 신호들을 수신하며 상기 레벨 시프터 회로로부터 상기 제2 전압 스윙을 갖는 신호들을 수신하는, 디스플레이.

**청구항 7**

제6항에 있어서,  
 상기 게이트 구동 회로는, 상기 디스플레이 픽셀 회로들의 어레이 내로의 게이트 라인 신호들을 구동하는, 디스플레이.

**청구항 8**

제7항에 있어서,  
 상기 반도체성 산화물 박막 트랜지스터들은 각각 반도체성 산화물 채널 영역을 가지고,  
 상기 실리콘 박막 트랜지스터들은 각각 폴리실리콘 채널 영역을 가지는, 디스플레이.

**청구항 9**

디스플레이로서,  
 기관 상의 반도체성 산화물 박막 트랜지스터 디스플레이 픽셀 회로들의 어레이; 및  
 상기 기관 상의 실리콘 박막 트랜지스터 게이트 구동 회로  
 를 포함하고,  
 상기 실리콘 박막 트랜지스터 게이트 구동 회로는, 버퍼 회로, 레벨 시프터 및 시프트 레지스터 회로를 포함하고,  
 상기 시프트 레지스터 회로는 상기 레벨 시프터에 결합되고,  
 상기 레벨 시프터는 제1 전압 스윙을 갖는 신호들을 상기 시프트 레지스터 회로로부터 수신하고, 상기 제1 전압 스윙을 제2 전압 스윙으로 조정하며,  
 상기 버퍼 회로는 상기 시프트 레지스터 회로로부터 상기 제1 전압 스윙을 갖는 상기 신호들을 수신하며 상기 레벨 시프터로부터 상기 제2 전압 스윙을 갖는 신호들을 수신하고,  
 상기 실리콘 박막 트랜지스터 게이트 구동 회로는, 상기 반도체성 산화물 박막 트랜지스터 디스플레이 픽셀 회로들의 어레이를 제어하는, 디스플레이.

**청구항 10**

제9항에 있어서,  
 상기 실리콘 박막 트랜지스터 회로는, 각각 폴리실리콘 채널 영역을 가지는 실리콘 박막 트랜지스터들을 포함하는, 디스플레이.

**청구항 11**

제10항에 있어서,

상기 버퍼 회로는, 상기 반도체성 산화물 박막 트랜지스터 디스플레이 픽셀 회로들의 어레이로 게이트 라인 신호들을 제공하는, 디스플레이.

**발명의 설명**

**기술 분야**

[0001] 본 출원은 2014년 4월 10일자로 출원된 미국 특허 일부 계속출원 제14/249,716호, 2014년 3월 27일자로 출원된 미국 특허 출원 제14,228,098호, 2014년 3월 28일자로 출원된 미국 특허 출원 제14/229,232호, 2014년 3월 27일자로 출원된 미국 특허 출원 제14/,228,070호, 및 2013년 8월 26일자로 출원된 미국 가특허 출원 제 61/869,937호에 대한 우선권을 주장하며, 이들은 그 전문이 본 명세서에 참조로서 편입된다.

**배경 기술**

[0002] 이는 일반적으로 전자 디바이스에 관한 것으로, 더욱 상세하게는 박막 트랜지스터를 갖는 디스플레이를 구비한 전자 디바이스에 관한 것이다.

[0003] 전자 디바이스들은 종종 디스플레이를 포함한다. 예를 들면, 셀룰러 전화기 및 휴대용 컴퓨터는 사용자들에게 정보를 보여주기 위한 디스플레이를 포함한다.

[0004] 액정 디스플레이와 같은 디스플레이는 다수의 층으로 형성된다. 액정 디스플레이는, 예를 들면 상부 및 하부 편광기 층들, 컬러 필터 요소들의 어레이를 포함하는 컬러 필터 층, 박막 트랜지스터들 및 디스플레이 픽셀 전극들을 포함하는 박막 트랜지스터 층, 및 컬러 필터 층과 박막 트랜지스터 층 사이에 개재된 액정 재료 층을 가질 수 있다. 각 디스플레이 픽셀은 통상적으로 디스플레이 픽셀 내의 디스플레이 픽셀 전극 구조체들로의 신호의 인가를 제어하기 위한 박막 트랜지스터들을 포함한다.

[0005] 유기 발광 다이오드 디스플레이와 같은 디스플레이는 발광 다이오드에 기초한 디스플레이 픽셀들의 어레이를 갖는다. 이러한 유형의 디스플레이에서, 각 디스플레이 픽셀은 발광 다이오드 및 발광 다이오드로의 신호의 인가를 제어하기 위한 박막 트랜지스터를 포함한다.

[0006] 박막 디스플레이 구동 회로는 종종 디스플레이에 포함된다. 예를 들면, 디스플레이 상의 게이트 구동 회로 및 디멀티플렉서 회로는 박막 트랜지스터로 형성될 수 있다.

[0007] 부주의할 경우, 디스플레이 픽셀들 내의 박막 트랜지스터 회로, 및 디스플레이의 디스플레이 구동 회로는 불균일성, 과도한 누설 전류, 불충분한 구동 강도, 열악한 공간 효율성, 히스테리시스 및 기타 이슈들을 보일 수 있다. 따라서, 개선된 전자 장치 디스플레이를 제공할 수 있는 것이 바람직할 것이다.

**발명의 내용**

[0008] 전자 디바이스에 디스플레이가 제공될 수 있다. 디스플레이는 기판 상에 디스플레이 픽셀들의 어레이를 가질 수 있다. 디스플레이 픽셀들은 유기 발광 다이오드 디스플레이 픽셀들 또는 액정 디스플레이의 디스플레이 픽셀들일 수 있다.

[0009] 유기 발광 다이오드 디스플레이에서, 반도체성 산화물 박막 트랜지스터들, 실리콘 박막 트랜지스터들 및 커패시터 구조체들을 포함하는 하이브리드 박막 트랜지스터 구조체들이 형성될 수 있다. 커패시터 구조체들은 반도체성 산화물 박막 트랜지스터와 중첩할 수 있다. 소스-드레인 금속 층들, 폴리실리콘 층 및 게이트 금속 층으로 형성된 다수의 중첩 전극 층들로 또한 형성될 수 있는 커패시터 구조체들이 사용될 수 있다.

[0010] 유기 발광 다이오드 디스플레이 픽셀들은 산화물 및 실리콘 트랜지스터들의 조합들을 가질 수 있다. 발광 다이오드에 결합된 구동 트랜지스터와 같은 트랜지스터는 산화물 트랜지스터 구조체들로 형성될 수 있고, 스위칭 트랜지스터들은 실리콘 트랜지스터 구조체들로 형성될 수 있다.

[0011] 액정 디스플레이에서, 디스플레이 구동 회로는 실리콘 박막 트랜지스터 회로를 포함할 수 있고, 디스플레이 픽셀들은 산화물 박막 트랜지스터들에 기초될 수 있다. 게이트 금속의 단일 층 또는 2개의 상이한 층들이 실리콘 트랜지스터 게이트 및 산화물 트랜지스터 게이트를 형성하는 데 사용될 수 있다. 실리콘 트랜지스터는 플로팅 게이트 구조체와 중첩하는 게이트를 가질 수 있다. 산화물 트랜지스터는 디스플레이 구동 회로에 통합될 수 있다.

[0012] 디스플레이 구동 회로는 디스플레이 픽셀들의 어레이 내의 산화물 트랜지스터 회로보다 더 낮은 전압 스윙에 실리콘 트랜지스터 회로를 노출시키도록 구성될 수 있다.

**도면의 간단한 설명**

[0013] 도 1은 일 실시예에 따른, 유기 발광 다이오드 디스플레이 픽셀들의 어레이를 갖는 유기 발광 다이오드 디스플레이 또는 디스플레이 픽셀들의 어레이를 갖는 액정 디스플레이와 같은 예시적인 디스플레이의 도면이다.

도 2는 일 실시예에 따른, 반도체성 산화물 박막 트랜지스터들 및 실리콘 박막 트랜지스터들을 갖는 유기 발광 다이오드에 사용될 수 있는 유형의 예시적인 유기 발광 다이오드 디스플레이 픽셀의 도면이다.

도 3은 일 실시예에 따른 예시적인 박막 트랜지스터 구조체들의 측면도이다.

도 4는 일 실시예에 따른 추가의 예시적인 박막 트랜지스터 구조체들의 측면도이다.

도 5는 일 실시예에 따른, 산화물 및 실리콘 박막 트랜지스터들을 포함할 수 있는 유형의 예시적인 유기 발광 다이오드 디스플레이 픽셀의 도면이다.

도 6, 도 7 및 도 8은 일 실시예에 따른, 액정 디스플레이 내의 예시적인 박막 트랜지스터 회로의 측면도이다.

도 9는 일 실시예에 따른, 하이브리드 실리콘 산화물 트랜지스터 구조체로 형성될 수 있는 유형의 예시적인 상보형 금속 산화물 반도체 트랜지스터 인버터의 도면이다.

도 10은 일 실시예에 따른, 하이브리드 상보형 금속 산화물 반도체 트랜지스터 인버터를 형성하는 데 사용될 수 있는 유형의 예시적인 박막 트랜지스터 구조체의 측면도이다.

도 11은 일 실시예에 따른, 박막 디스플레이 구동 회로 내의 게이트 구동 회로의 회로도이다.

도 12는 일 실시예에 따른, 디스플레이 상의 디스플레이 구동 회로 내에서 도 11의 게이트 구동 회로에 사용될 수 있는 유형의 레벨 시프터(level shifter)의 도면이다.

도 13은 일 실시예에 따른, 디스플레이 상의 디스플레이 구동 회로 내에서 트랜지스터들이 과도한 전압을 겪는 것을 방지하는 데 사용될 수 있는 예시적인 회로의 회로도이다.

도 14는 일 실시예에 따른, 액정 디스플레이 내의 예시적인 박막 트랜지스터 회로의 측면도이다.

도 15는 일 실시예에 따른, 액정 디스플레이 내의 상부 게이트 반도체성 산화물 트랜지스터를 포함하는 예시적인 박막 트랜지스터 회로의 측면도이다.

도 16은 일 실시예에 따른 액정 디스플레이 내의 광 차폐체를 갖는 상부 게이트 반도체성 산화물 트랜지스터를 포함하는 예시적인 박막 트랜지스터 회로의 측면도이다.

도 17은 일 실시예에 따른, 액정 디스플레이 내의 상부 게이트 반도체성 산화물 트랜지스터를 포함하는 예시적인 박막 트랜지스터 회로의 측면도이다.

도 18은 일 실시예에 따른, 유기 발광 다이오드 디스플레이 내의 상부 게이트 반도체성 산화물 트랜지스터를 포함하는 예시적인 박막 트랜지스터 회로의 측면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0014] 전자 디바이스 내의 디스플레이는 디스플레이 픽셀들의 어레이 상에 이미지들을 표시하기 위한 구동 회로가 제공될 수 있다. 예시적인 디스플레이가 도 1에 도시된다. 도 1에 도시된 바와 같이, 디스플레이(14)는 기관(24)과 같은 하나 이상의 층을 가질 수 있다. 기관(24)과 같은 층들은 평면 유리 층들과 같은 평면 직사각형 재료 층들로 형성될 수 있다. 디스플레이(14)는 사용자에게 이미지들을 표시하기 위한 디스플레이 픽셀들(22)의 어레이를 가질 수 있다. 디스플레이 픽셀들(22)의 어레이는 기관(24) 상에 디스플레이 픽셀 구조체들의 행들 및 열들로 형성될 수 있다. 디스플레이 픽셀들(22)의 어레이 내의 임의의 적합한 수(예를 들면, 10개 이상, 100개 이상 또는 1000개 이상)의 행들 및 열들이 있을 수 있다.

[0015] 디스플레이 구동 집적 회로(16)와 같은 디스플레이 구동 회로는 솔더 또는 전도성 접착체를 사용하여 기관(24) 상의 금속 트레이스와 같은 전도성 경로들에 결합될 수 있다. 디스플레이 구동 집적 회로(16)(때때로 타이밍

컨트롤러 칩으로 지칭됨)는 경로(25)를 통해 시스템 제어 회로와 통신하기 위한 통신 회로를 포함할 수 있다. 경로(25)는 가요성 인쇄 회로 또는 다른 케이블 상에 트레이스들로 형성될 수 있다. 제어 회로는 셀룰러 전화기, 컴퓨터, 셋톱 박스, 미디어 재생기, 휴대용 전자 디바이스 또는 디스플레이(14)가 사용되고 있는 다른 전자 장비와 같은 전자 디바이스 내의 메인 로직 보드(main logic board) 상에 위치될 수 있다. 동작 동안, 제어 회로는 디스플레이(14) 상에 표시될 이미지들에 대한 정보를 디스플레이 구동 집적 회로(16)에 제공할 수 있다. 디스플레이 픽셀들(22) 상에 이미지들을 표시하기 위하여, 디스플레이 구동 집적 회로(16)는, 클럭 신호들, 및 게이트 구동 회로(18) 및 디멀티플렉싱 회로(20)와 같은 지원하는 박막 트랜지스터 디스플레이 구동 회로에 다른 제어 신호들을 발생시키는 동안 대응하는 이미지 데이터를 데이터 라인들(D)에 공급할 수 있다.

[0016] 게이트 구동 회로(18)는 기관(24) 상에(예를 들면, 디스플레이(14)의 좌측 및 우측 에지들 상에, 디스플레이(14)의 단일 에지 상에만, 또는 디스플레이(14) 내의 어디에나) 형성될 수 있다. 디멀티플렉서 회로(20)는 디스플레이 구동 집적 회로(16)로부터 복수의 대응하는 데이터 라인(D) 위로 데이터 신호들을 디멀티플렉싱하는 데 사용될 수 있다. 도 1의 이러한 예시적인 배열에 따르면, 데이터 라인들(D)은 디스플레이(14)를 통해 수직으로 이어진다. 각 데이터 라인(D)은 디스플레이 픽셀들(22)의 각각의 열과 연결된다. 게이트 라인들(G)은 디스플레이(14)를 통해 수평으로 이어진다. 각 게이트 라인(G)은 디스플레이 픽셀들(22)의 각각의 행과 연결된다. 게이트 구동 회로(18)는 디스플레이(14)의 좌측 상에, 디스플레이(14)의 우측 상에, 또는 도 1에 도시된 바와 같이 디스플레이(14)의 우측과 좌측 둘 다 상에 위치될 수 있다.

[0017] 게이트 구동 회로(18)는 디스플레이(14) 내의 게이트 라인들(G) 상에 게이트 신호들(때때로 스캔 신호들로 지칭됨)을 어써트(assert)할 수 있다. 예를 들면, 게이트 구동 회로(18)는 디스플레이 구동 집적 회로(16)로부터 클럭 신호들 및 다른 제어 신호들을 수신할 수 있고, 수신된 신호들에 응답하여, 디스플레이 픽셀들(22)의 제1행 내의 게이트 라인 신호(G)로부터 시작하여, 순차적으로 게이트 라인들(G) 상에 게이트 신호를 어써트할 수 있다. 각 게이트 라인이 어써트됨에 따라, 게이트 라인이 어써트되는 행 내의 대응하는 디스플레이 픽셀들은 데이터 라인들(D) 상에서 나타나는 디스플레이 데이터를 표시할 것이다.

[0018] 디멀티플렉서 회로(20) 및 게이트 라인 구동 회로(18)와 같은 디스플레이 구동 회로는 기관(24) 상에 박막 트랜지스터로 형성될 수 있다. 박막 트랜지스터들은 또한 디스플레이 픽셀들(22) 내에 회로를 형성하는 데 사용될 수 있다. 디스플레이 성능을 향상시키기 위하여, 누설 전류, 스위칭 속도, 구동 강도, 균일성 등과 같은 원하는 기준을 만족시키는 디스플레이(14) 내의 박막 트랜지스터 구조체들이 사용될 수 있다. 디스플레이(14) 내의 박막 트랜지스터들은 일반적으로 임의의 적합한 유형의 박막 트랜지스터 기술을 사용하여 형성될 수 있다(예를 들면, 실리콘-기반, 반도체성 산화물-기반 등).

[0019] 때때로 예로서 본 명세서에서 설명되는 하나의 적합한 배열에 따르면, 디스플레이(14) 상의 일부 박막 트랜지스터들 내의 채널 영역(활성 영역)은 실리콘(예컨대, 낮은 온도 공정을 사용하여 퇴적된 폴리실리콘과 같은 실리콘, 때때로 LTPS 또는 저온 폴리실리콘으로 지칭됨)으로 형성되고 디스플레이(14) 상에서 다른 박막 트랜지스터들 내의 채널 영역은 반도체성 산화물 재료(예컨대, 비정질 인듐 갈륨 아연 산화물, 때때로 IGZO로 지칭됨)로 형성된다. 원하는 경우, 다른 유형의 반도체들이 비정질 실리콘, IGZO 이외의 반도체성 산화물들 등과 같은 박막 트랜지스터들을 형성하는 데 사용될 수 있다. 이러한 유형의 하이브리드 디스플레이 구성에서, 스위칭 속도 및 양호한 구동 전류와 같은 속성들이 요구되는 실리콘 트랜지스터들(예컨대, LTPS 트랜지스터들)이 사용될 수 있는 반면(예컨대, 액정 다이오드 디스플레이들 내의 또는 스위칭 속도가 고려사항인 유기 발광 다이오드 디스플레이 픽셀의 부분들 내의 게이트 드라이버들을 위해), 낮은 누설 전류가 요구되거나(예컨대 액정 다이오드 디스플레이 픽셀들 및 디스플레이 구동 회로 내에서) 높은 픽셀간 균일성이 요구되는(예컨대, 유기 발광 다이오드 디스플레이 픽셀들의 어레이 내에서) 산화물 트랜지스터들(예컨대, IGZO 트랜지스터들)이 사용될 수 있다. 다른 고려사항들이 또한 고려될 수 있다(예컨대, 전력 소모, 공간 소모, 히스테리시스 등에 관련된 고려사항들).

[0020] IGZO 박막 트랜지스터들과 같은 산화물 트랜지스터들은 일반적으로 n 채널 디바이스들(즉, NMOS 트랜지스터들)이다. 실리콘 트랜지스터들은 p 채널 또는 n 채널 설계들을 사용하여 제조될 수 있다(즉, LTPS 디바이스들은 PMOS이거나 NMOS일 수 있다). 이러한 박막 트랜지스터 구조체들의 조합은 최적 성능을 제공할 수 있다.

[0021] 유기 발광 다이오드 디스플레이에서, 각 디스플레이 픽셀은 각각의 유기 발광 다이오드를 포함한다. 예시적인 유기 발광 다이오드 디스플레이 픽셀(22-1)의 개략도가 도 2에 도시된다. 도 2에 도시된 바와 같이, 디스플레이 픽셀(22-1)은 발광 다이오드(26)를 포함할 수 있다. 양의 전원 전압(ELVDD)은 양의 전원 단자(34)에 공급될 수 있고, 접지 전원 전압(ELVSS)은 접지 전원 단자(36)에 공급될 수 있다. 구동 트랜지스터(28)의 상태는 다이오드(26)를 통해 흐르는 전류의 양, 따라서 디스플레이 픽셀(22-1)로부터 방출된 광(40)의 양을 제어한다.

- [0022] 트랜지스터(28)는 데이터의 연속적인 프레임들 사이에서 원하는 상태로 유지됨을 보장하기 위하여, 디스플레이 픽셀(22-1)은 저장 커패시터(Cst)와 같은 저장 커패시터를 포함할 수 있다. 저장 커패시터(Cst) 상의 전압은 노드(A)에서 트랜지스터(28)의 게이트에 인가되어 트랜지스터(28)를 제어한다. 데이터는 스위칭 트랜지스터(30)와 같은 하나 이상의 스위칭 트랜지스터를 사용하여 저장 커패시터(Cst)로 로딩될 수 있다. 스위칭 트랜지스터(30)가 오프일 때, 데이터 라인(D)은 저장 커패시터(Cst)로부터 절연되고, 단자(A) 상의 게이트 전압은 저장 커패시터(Cst)에 저장된 데이터 값과 동일하다(즉, 디스플레이(14) 상에 표시되고 있는 디스플레이 데이터의 이전 프레임으로부터의 데이터 값). 디스플레이 픽셀(22-1)에 연결된 행 내의 게이트 라인(G)(때때로 스캔 라인으로 지칭됨)이 어췌트되는 경우, 스위칭 트랜지스터(30)는 턴온될 것이고 데이터 라인(D) 상의 새로운 데이터 신호는 저장 커패시터(Cst) 내에 로딩될 것이다. 커패시터(Cst) 상의 새로운 신호는 노드(A)에서 트랜지스터(28)의 게이트에 인가됨으로써, 트랜지스터(28)의 상태를 조정하고 발광 다이오드(26)에 의해 방출되는 광(40)의 대응하는 양을 조정한다.
- [0023] 도 2의 픽셀(22-1)과 같은 유기 발광 다이오드 디스플레이 픽셀들은 도 3에 도시된 유형의 박막 트랜지스터 구조체들을 사용할 수 있다. 이러한 유형의 구조체에서, 2개의 상이한 유형들의 반도체가 사용된다. 도 3에 도시된 바와 같이, 회로(72)는 발광 다이오드 캐소드 단자(42) 및 발광 다이오드 애노드 단자(44)와 같은 디스플레이 픽셀 구조체들을 포함할 수 있다. 유기 발광 다이오드 방출 재료(47)는 캐소드(42)와 애노드(44) 사이에 개재될 수 있다. 유전체 층(46)은 디스플레이 픽셀의 레이아웃을 정의하는 기능을 할 수 있고 때때로 픽셀 정의 층으로 지칭될 수 있다. 편광 층(50)은 박막 트랜지스터 구조체들(52)의 상부 상에 형성될 수 있다. 박막 트랜지스터 구조체들(52)은 기판(24) 상의 버퍼 층(54) 상에 형성될 수 있다.
- [0024] 박막 트랜지스터 구조체들(52)은 실리콘 트랜지스터(58)를 포함할 수 있다. 트랜지스터(58)는 "상부 게이트" 설계를 사용하여 형성되는 LTPS 트랜지스터일 수 있으며 유기 발광 다이오드 디스플레이 픽셀 내에서 스위칭 트랜지스터로서 기능할 수 있다(예컨대, 도 2의 픽셀(22-1) 내의 트랜지스터(30)를 참조). 트랜지스터(58)는 게이트 절연체 층(64)(예컨대, 실리콘 산화물 층)에 의해 덮인 폴리실리콘 채널(62)을 가질 수 있다. 게이트(66)는 패터닝된 금속(예컨대, 예로서 몰리브덴)으로 형성될 수 있다. 게이트(66)는 층간 유전체 층(예컨대, 실리콘 질화물 층(68) 및 실리콘 산화물 층(70))에 의해 덮일 수 있다. 소스-드레인 콘택들(74, 76)은 폴리실리콘 층(62)의 대향 측들을 접촉하여 실리콘 박막 트랜지스터(58)를 형성할 수 있다.
- [0025] 박막 트랜지스터 구조체들(52)은 또한 박막 트랜지스터 및 커패시터 구조체들(60)을 포함할 수 있다. 구조체들(60)은 저장 커패시터(즉, 도 2의 저장 커패시터(Cst)) 및 산화물 박막 트랜지스터 구조체를 포함할 수 있다. 저장 커패시터는 폴리실리콘 층(62')(층(62)과 동일한 층의 일부로서 패터닝됨)으로 형성된 제1 단자(때로는 플레이트, 전극 또는 전극 층으로 지칭됨)를 가질 수 있다. 게이트 절연체 층(64)의 연장된 일부일 수 있는 게이트 절연체 층(64')은 단자(62')를 덮을 수 있다. 커패시터는 금속 층(66')으로 형성된 제2 단자를 가질 수 있다. 금속 층(66')은 트랜지스터(58)의 게이트(66)의 형성 시에 사용된 동일한 금속 층으로 패터닝될 수 있다. 유전체 층들(68, 70)은 금속 층(66')을 덮을 수 있다. 구조체들(60) 내의 박막 트랜지스터는 "하부 게이트" 산화물 트랜지스터일 수 있다. 커패시터(Cst)의 제2 단자(즉, 도 2의 노드(A))로서 기능하는 층(66')은 또한 산화물 트랜지스터의 게이트로서 기능할 수 있다. 산화물 트랜지스터는 도 2의 구동 트랜지스터(28)로서 기능할 수 있다. 산화물 트랜지스터의 "게이트 절연체"는 층간 유전체 층(즉, 층들(68, 70))으로 형성될 수 있다. 산화물 트랜지스터의 채널 반도체는 산화물 층(80)(예컨대, IGZO)으로 형성될 수 있다. 산화물 층(80)은 폴리실리콘 커패시터 전극 층(62')과 중첩함으로써(즉, 산화물 트랜지스터가 커패시터와 중첩함으로써), 공간을 절약할 수 있다. 소스-드레인 단자들(82, 84)은 반도체성 산화물 층(80)의 대향 단부들을 접촉하는 금속으로 형성될 수 있다.
- [0026] LTPS 트랜지스터 및 산화물 트랜지스터와 같은 트랜지스터들이 상이한 레이아웃으로 형성될 수 있다. 예를 들면, LTPS 트랜지스터는 높은 캐리어 이동도를 갖는 경향이 있다. 그 결과, LTPS 트랜지스터는 이러한 트랜지스터들의 상대적으로 높은 이동도를 보상하기 위해 낮은 비의 W/L을 적절하게 보장하도록 상대적으로 긴 게이트 길이(L) 및 상대적으로 짧은 게이트 폭을 가질 수 있다. 이는 LTPS 트랜지스터들로 하여금 픽셀 레이아웃에 대해 상대적으로 불충분하게 되게 할 수 있다. 산화물 트랜지스터들은 더 작은 종횡비를 갖는 W/L 비로 구성될 수 있다(예컨대, LTPS에 대해 3/30와 비교하여 산화물에 대해 4/4). 이러한 레이아웃 효율성 고려사항들에 기인하여, 디스플레이 픽셀들(22-1)에서 구동 트랜지스터들로서 산화물 트랜지스터들을 사용하는 것이 바람직할 수 있다. LTPS 트랜지스터에 의해 제공된 상대적으로 신속한 스위칭 속도는 도 2의 트랜지스터(30)와 같은 스위칭 트랜지스터에 LTPS 트랜지스터를 사용하는 것이 바람직하게 만들 수 있다.
- [0027] 더 많은 트랜지스터(예컨대, 3개 이상, 4개 이상, 5개 이상, 6개 이상, 7개 이상, 또는 8개 이상)를 갖는 디스

플레이 픽셀들에서, 트랜지스터가 LTPS 기술을 사용하여 구현되고 트랜지스터가 산화물 기술을 사용하여 구현되는 선택은 2개의 유형의 트랜지스터들 사이에서 트랜지스터 성능 고려사항들을 균형잡히게 하도록 이루어질 수 있다.

- [0028] 구동 트랜지스터를 구현하는 경우, LTPS 트랜지스터는 산화물 트랜지스터보다 큰 크기(더 긴 채널 길이)를 보여주는 경향이 있고, 산화물 트랜지스터보다 더 큰 암전류를 보여주는 경향이 있으며, 산화물 트랜지스터보다 열악한 균일성을 보일 수 있다. LTPS 구동 트랜지스터는 또한 산화물 구동 트랜지스터보다 더 많은 히스테리시스를 보일 수 있다. 이러한 요인들의 결과로, 산화물 트랜지스터로부터 유기 발광 다이오드 디스플레이 픽셀 내에 구동 트랜지스터를 형성하는 데 종종 이점이 될 수 있다. 산화물 구동 트랜지스터는 낮은 누설 전류 및 최소 히스테리시스를 보일 수 있다.
- [0029] 스위칭 트랜지스터를 구현하는 경우, LTPS 트랜지스터는 산화물 트랜지스터보다 더 작을 수 있고, 산화물 트랜지스터보다 더 적은 양의 기생 커패시턴스를 보일 수 있으며, 산화물 트랜지스터보다 더 낮은 전력 소비를 보일 수 있다. 이들과 같은 요인들의 결과로, LTPS 트랜지스터로부터 유기 발광 다이오드 디스플레이 픽셀 내에 스위칭 트랜지스터를 형성하는 데 종종 이점이 될 수 있다. LTPS 스위칭 트랜지스터는 높은 스위칭 속도 및 낮은 기생 커패시턴스를 보일 수 있다.
- [0030] 단일의 유기 발광 다이오드 디스플레이 픽셀 내의 LTPS 및 산화물 트랜지스터 둘 다를 구현하는 데 사용될 수 있는(예컨대, 도 2의 디스플레이 픽셀 회로(22-1)와 같은 회로를 구현하기 위해) 예시적인 하이브리드 박막 트랜지스터 구조체가 도 4에 도시된다. 도 4의 하이브리드 박막 트랜지스터 구조체들(114)은 실리콘 박막 트랜지스터(108), 커패시터(Cst, 110) 및 산화물 트랜지스터(112)를 포함한다. 실리콘 트랜지스터(108)는 폴리실리콘 층(90)으로 형성된다. 게이트 절연체 층(92)은 폴리실리콘 층(90)을 덮는다. 게이트 금속 층은 게이트 절연체 층(92)의 상부에 패터닝되어, 게이트(94), 커패시터 전극(96) 및 게이트 전극(98)을 형성한다. 실리콘 질화물 층(116) 및 실리콘 산화물 층(118)과 같은 층간 유전체 재료의 층은 패터닝된 게이트 금속 구조체들을 덮을 수 있다. 실리콘 트랜지스터(108)를 위한 소스-드레인 콘택들(100, 94)은 채널 영역(106)의 부근에서 폴리실리콘 층(90)을 접촉할 수 있다(즉, 단락될 수 있다). 트랜지스터(108)의 게이트(94)는 저밀도 드레인 주입들로 하여금 트랜지스터(108)의 폴리실리콘 채널 영역(106)에 인접한 영역들(104)에서 폴리실리콘 층(90) 내에 형성되게 하는 주입 마스크로서 기능할 수 있다.
- [0031] 실리콘 트랜지스터(108)의 소스-드레인들(100, 102), 커패시터 전극(120), 및 산화물 트랜지스터(112)의 소스-드레인들(122, 124)은 층간 유전체(116, 118) 상에 공통 금속 층의 패터닝된 부분들로 형성될 수 있다.
- [0032] 커패시터(110)는 금속 전극(120)으로 그리고 폴리실리콘 층(90)의 부분(126)으로 형성된 제1 단자를 가질 수 있다. 커패시터(110)는 금속 전극(96)으로 형성된 제2 단자를 가질 수 있다.
- [0033] 산화물 트랜지스터(112)는 IGZO 층(128)과 같은 반도체 산화물 층, 소스-드레인 콘택들(122, 124), 및 게이트(98)를 가질 수 있다. 게이트(98)는 트랜지스터(112)를 위한 채널 영역으로서 기능하는 반도체 산화물(128)로부터 유전체(116, 118)에 의해 분리된다. 따라서, 유전체(116, 118)는 산화물 트랜지스터(112)를 위한 게이트 절연체로서 기능한다.
- [0034] 도 5는 디스플레이(14)에 사용될 수 있는 다른 예시적인 유기 발광 다이오드 픽셀 회로의 회로도이다. 픽셀(22-2)은 발광 다이오드(26)에 전류를 공급하기 위한 구동 트랜지스터(28)를 포함한다. 저장 커패시터(Cst)는 프레임들 사이의 트랜지스터(28)의 게이트 상에 신호들을 저장하는 데 사용된다. 감지 라인(감지)은 트랜지스터 성능에서 픽셀간 변동을 조정하기 위하여 보상 스킴을 구현하는 데 사용된다. 게이트 라인(스캔 및 스캔2)은 스위칭 트랜지스터들(30-1, 30-2)에 제어 신호들을 인가하는 데 사용된다.
- [0035] 디스플레이 픽셀(22-2)에서 성능을 최적화하기 위하여, 도 3 및 도 4에 도시된 유형의 하이브리드 구조체들 또는 실리콘 및/또는 산화물 박막 트랜지스터들 및 커패시터들을 형성하기 위한 다른 구성들을 사용하는 것이 바람직할 수 있다. 예를 들면, 산화물 트랜지스터(예컨대, NMOS 산화물 트랜지스터)로 구동 트랜지스터(28)를 형성하면서, 실리콘 트랜지스터들로 또는 실리콘 (NMOS 및/또는 PMOS)과 산화물(NMOS) 트랜지스터들의 혼합으로 트랜지스터들(30-1, 30-2)과 같은 스위칭 트랜지스터들을 형성하는 것이 바람직할 수 있다.
- [0036] 제1 예시적인 구성에 따르면, 트랜지스터(30-1)는 산화물 트랜지스터이고, 트랜지스터(30-2)는 산화물 트랜지스터이며, 트랜지스터(28)는 산화물 트랜지스터이다. 제2 예시적인 구성에 따르면, 트랜지스터(30-1)는 실리콘 트랜지스터이고, 트랜지스터(30-2)는 실리콘 트랜지스터이며, 트랜지스터(28)는 산화물 트랜지스터이다. 도 3의 구조체 또는 도 4의 구조체와 같은 하이브리드 트랜지스터 구조체는 (예컨대, 트랜지스터(30-1, 28) 및 커패

스터(Cst)를 구현하기 위한) 이러한 시나리오에 사용될 수 있다. 예시적인 제3 구성에 따르면, 트랜지스터(30-1)는 실리콘 트랜지스터이고, 트랜지스터(30-2)는 산화물 트랜지스터이며, 트랜지스터(28)는 산화물 트랜지스터이다. 제2 예시적인 구성과 마찬가지로, 도 3의 구조체 또는 도 4의 구조체와 같은 하이브리드 트랜지스터 구조체는 트랜지스터(30-1, 28) 및 커패시터(Cst)를 구현하는 데 사용될 수 있다.

[0037] 원하는 경우, 디스플레이(14)는 액정 디스플레이일 수 있다. 이러한 유형의 시나리오에서, 디스플레이(14)의 각 픽셀은 디스플레이 내의 액정 층의 연결 부분에 전계를 인가하기 위한 전극 구조체, 이미지 데이터의 프레임들 사이에 전극 상에 전하를 저장하기 위한 커패시터, 및 전극들로의 전계의 인가를 제어하기 위한 박막 트랜지스터를 포함할 수 있다. 하나의 적절한 배열에 따르면, 액정 디스플레이 내의 게이트 구동 회로(18) 및 디멀티플렉서 회로(20)(도 1)는 실리콘 트랜지스터들로 형성될 수 있고, 디스플레이 픽셀들(22) 내의 박막 트랜지스터들은 산화물 트랜지스터들로 형성될 수 있다. 실리콘 트랜지스터들은 높은 이동 채널 영역들을 가지며, 저전압 및 저전력에서 동작하는 동안 신속한 스위칭 속도 및 높은 구동 전류에 아주 적합하다. 디스플레이 픽셀들(22) 내의 산화물 박막 트랜지스터들은 낮은 누설 전류를 보인다.

[0038] 실리콘 및 산화물 트랜지스터들 둘 다를 갖는 액정 디스플레이를 형성하는 데 사용될 수 있는 유형의 박막 트랜지스터 구조체들은 도 6에 도시된다. 도 6에 도시된 바와 같이, 박막 트랜지스터 구조체들(242)은 실리콘 박막 트랜지스터 구조체들(216)(예컨대, 디스플레이 구동 회로(18) 및 디멀티플렉서 회로(20)와 같은 주변 회로들의 일부를 형성하기 위하여) 및 산화물 박막 트랜지스터 구조체들(240)(예컨대, 도 1의 디스플레이(14)에 의해 도시된 유형의 레이아웃을 갖는 액정 디스플레이 내에 디스플레이 픽셀들(22)을 형성하기 위하여)을 포함할 수 있다.

[0039] 구조체들(216, 240)은 기판(24) 상의 버퍼 층(202) 상에 형성될 수 있다. 폴리실리콘 층(204)은 버퍼(202) 상에 퇴적될 수 있다. 게이트 절연체 층(206)은 폴리실리콘 층(204) 상에 형성될 수 있다. 공통 금속 층은 패터닝되어 금속 구조체들(218, 220, 228)을 형성할 수 있다. 구조체(218)는 폴리실리콘(204)으로 형성된 채널 및 소스-드레인 콘택들(212, 214)을 포함하는 실리콘 트랜지스터를 위한 게이트로서 기능할 수 있다. 금속 구조체(228)는 반도체성 산화물 층(224)(예컨대, IGZO) 및 소스-드레인 단자들(222, 226)로 형성된 산화물 트랜지스터를 위한 게이트로서 기능할 수 있다. 금속 구조체(228)는 또한 디스플레이(14) 내의 백라이트가 산화물 층(224)에 도달하는 것을 방지하는 것을 돕는 광 차폐체로서 기능할 수 있고, 따라서 별도의 광 차폐 구조체들이 구조체들(240)에 통합될 필요가 없다. 실리콘 질화물 층(208, 210)과 같은 층간 유전체는 구조체(216) 내의 게이트(218)를 덮을 수 있고, 구조체들(240)의 산화물 트랜지스터 내의 게이트(228)를 위한 게이트 절연체로서 기능할 수 있다.

[0040] 금속(230)은 산화물 층(224)으로 형성된 디스플레이 픽셀 박막 산화물 트랜지스터의 소스-드레인(226)을 접촉한다. 금속(230)은 유기 층(232)에 의해 지지될 수 있다. 유기 층(232)의 표면 상에, 금속(230)은 다수의 핑거들을 갖는 전극을 형성할 수 있다. 유전체 층(236)은 공통 전극(Vcom)(234)으로부터 전극(230)을 분리할 수 있다. 동작 동안, 전계는 전극(230)과 전극(234) 사이에 생성된다. 이러한 전계는 디스플레이 내의 액정 재료를 통과한다. 원하는 경우, 디스플레이(14)는 Vcom 전극(234)의 부분들로 형성된 용량성 터치 센서들을 통합할 수 있다. 이러한 유형의 구성에서, 라인(238)과 같은 옵션의 금속 라인들은 전극(234)의 형성 시에 사용된 재료(예를 들면, 인듐 주석 산화물과 같은 다소 저항성의 전도성 재료일 수 있음)의 저항을 줄이는 것을 돕기 위해 사용될 수 있다.

[0041] 층들(208, 210)의 두께는 약 6000 옹스트롬일 수 있다. 이러한 상대적으로 큰 두께는 게이트(218)와 소스-드레인(214)과 같은 근처의 금속 구조체들 사이의 커패시턴스를 최소화하는 것을 도울 수 있지만, 산화물 트랜지스터에서 스위칭 속도를 제한할 수 있다. 이러한 우려를 해결하기 위하여, 도 7의 구조체들(242')에 의해 사용된 유형의 설계가 사용될 수 있다. 도 7 배열에 따르면, 추가의 반도체 제조 마스크는 게이트(218)의 형성 시에 사용된 금속 층과 별개의 금속 층으로 형성된 산화물 트랜지스터를 위한 게이트를 생성하는 데 사용될 수 있다. 이러한 접근에 따르면, (예를 들면, 실리콘 질화물 및 실리콘 산화물의 서브 층들로 형성된) 단일의 3000 옹스트롬 유전체 층(210')만이 산화물 층(224)으로부터 산화물 트랜지스터 게이트(228')를 분리하는 데 사용되고, 따라서 산화물 트랜지스터 스위칭 속도는 향상될 수 있다. 도 7의 구조체들(242')의 배열은 게이트(218) 및 게이트(228')로 하여금 상이한 금속들로 형성되게 한다. 예를 들면, 게이트(218)는 실리콘 트랜지스터를 활성화시키는 것과 연결된 상승된 온도를 수용하도록 Mo와 같은 내화 금속으로 형성될 수 있는 반면, 게이트(228')는 구리와 같은 더 낮은 저항성 금속으로 형성될 수 있다.

[0042] 일부 응용들에서, 높은 구동 전압(게이트-대-소스 및 드레인)을 처리하는 것이 고려될 필요가 있을 수 있다.

도 8의 트랜지스터 구조체들(242')은 실리콘 트랜지스터 게이트 상에서 상대적으로 더 큰(예컨대, 20 볼트) 스위칭을 처리하는 것이 바람직한 시나리오들에 사용될 수 있다. 이러한 상황에서, 게이트 절연체 층(206)은 20 볼트 신호로부터의 손상을 견디기에는 불충분하게 얇을 수 있다. 예를 들면, 게이트 절연체(206)는 20 볼트 구동 전압을 확실하게 처리하기 위해 충분히 두껍지 않을 수 있는 약 800 옹스트롬 두께일 수 있다. 게이트 절연체 층(206)이 과도하게 응력을 받지 않는 것을 보장하기 위하여, 게이트 구조체(218)는 플로팅(전기적으로 절연된) 금속 구조체로 전환될 수 있고, 추가의 금속 층(즉, 패터닝되어 산화물 트랜지스터(240)의 게이트(228'))를 형성하는 동일한 금속 층의 일부)은 실리콘 트랜지스터 게이트(218')의 형성 시에 사용될 수 있다. 플로팅 게이트(218)가 실리콘 트랜지스터(216)의 동작 동안 제어 신호들에 의해 구동되지 않더라도, 플로팅 게이트(218)는 폴리실리콘 층(204)의 소스 및 드레인 콘택 부분들로 이루어진 저밀도 드레인(LDD) 주입을 위한 마스크로서 기능하도록 유지될 수 있다.

[0043] 하이브리드 실리콘/산화물 액정 디스플레이에서, 실리콘 트랜지스터들로부터 게이트 구동 회로(18) 및 디멀티플렉서 회로(20)와 같은 디스플레이 구동 회로를 형성할 필요가 없다. 원하는 경우, 이러한 디스플레이 구동 회로의 일부는 산화물 트랜지스터들로 형성될 수 있다. 예를 들면, 도 9의 예시적인 CMOS 인버터(300)와 같은 디스플레이(14)의 주변 회로에서 낮은 구동 전류 CMOS형 회로는 산화물 트랜지스터들을 포함할 수 있다. PMOS 산화물 트랜지스터들을 형성하는 것은 도전과제일 수 있고, 따라서 원하는 경우, 인버터(300)와 같은 회로들은 NMOS 산화물 트랜지스터 및 PMOS 실리콘 트랜지스터(예로서)를 사용하여 형성될 수 있다.

[0044] 도 10의 예시적인 박막 트랜지스터 구조체들(302)과 같은 하이브리드 산화물-실리콘 박막 트랜지스터 구조체들은 게이트 구동 회로(18) 및 디멀티플렉서 회로(20)와 같은 디스플레이 구동 회로 내에 CMOS형 회로를 형성하는데 사용될 수 있다. 도 10에 도시된 바와 같이, 구조체들(302)은 기판(24) 상에 형성된 폴리실리콘 층(308)을 가질 수 있다. P 채널 활성 영역(310)은 게이트(312) 아래에 형성될 수 있다. 게이트 절연체 층(306)(예컨대, 실리콘 산화물)은 실리콘 층(308)에서 실리콘 채널 영역(310)으로부터 게이트(312)를 분리할 수 있다. 유전체 층(302)(예컨대, 실리콘 산화물 및 실리콘 질화물의 서브층들)은 게이트(312)를 덮을 수 있다. 유전체 층(306)은 산화물 층(312)과 중첩하는 것으로부터 게이트(312)를 분리할 수 있다. 산화물 층(312)은 IGZO 재료와 같은 반도체성 산화물일 수 있다. 게이트(312)는 제1 패터닝된 금속 층으로 형성될 수 있다. 제2 패터닝된 금속 층은 출력 단자(322), 소스 단자(316), 및 드레인 단자(318)를 형성하는 데 사용될 수 있다. 패시베이션 층(320)은 단자들(316, 312)을 덮을 수 있다. 게이트(312)는 폴리브덴, 폴리브덴 텅스텐, 텅스텐, 또는 다른 금속들과 같은 재료로 형성될 수 있다. 금속 구조체들(322, 316, 318)과 같은 구조체들을 형성하기 위한 금속은 알루미늄, 폴리브덴 등과 같은 금속으로 형성될 수 있다.

[0045] 도 10의 배열에 따르면, 게이트(314)는 2개의 트랜지스터를 위한 공통(공유) 게이트로서 기능한다. 특히, 게이트(314)(예컨대, 도 9의 단자(Vin) 참조)는 실리콘 층(308)으로 형성된 PMOS 실리콘 트랜지스터(도 9의 트랜지스터(TP))를 위한 게이트, 및 산화물 층(312)으로 형성된 NMOS 산화물 트랜지스터(도 9의 트랜지스터(TN))를 위한 게이트 둘 다로서 기능한다. 산화물 층(312)은 게이트(314) 위에 위치되고, 실리콘 층(310)은 게이트(314) 아래에 위치된다. 도 10의 공유 게이트 배열은 도 9에 도시된 유형의 CMOS 인버터로 하여금 콤팩트하게 구현되게 한다.

[0046] 도 11은 액정 디스플레이 상에서 사용될 수 있는 예시적인 게이트 구동 회로(18)를 도시한다. 회로(18)는 게이트 신호들에 의해 구동되고 있는 디스플레이 픽셀들(22) 내의 산화물 박막 트랜지스터들의 만족스러운 동작을 보장하기 위하여 더 큰 전압 스윙(예컨대, 20 볼트 스윙 이상)에 의해 게이트 신호들(G)을 생성하면서, 실리콘 트랜지스터들에 대한 상대적으로 작은 전압 스윙(예컨대, 15 볼트 또는 16 볼트 스윙)을 갖는 신호들을 사용할 수 있다.

[0047] 도 11에 도시된 바와 같이, 회로(18)는 일련의 연결된 SR 래치들(400) 또는 다른 래지스터 회로들로 형성된 시프트 래지스터를 가질 수 있다. 도 11에서 회로의 각 행은 액정 디스플레이의 디스플레이 픽셀들(22)의 별도의 행과 연결되고, 디스플레이 픽셀들의 그 행에 대한 각각의 게이트 신호(G)를 제공한다. 동작 동안, 트리거 신호(트리거)는, 클록 신호(로드 클록)가 시프트 래지스터에 인가되고 있는 동안, 회로(18) 내의 시프트 래지스터의 제1 행 내의 래치에 인가될 수 있다. 트리거 신호는 캐스캐이딩 신호(cascading signal)로 하여금 시프트 래지스터를 통해 리플 다운(ripple down)하게 한다. 이에 응답하여, 각 래치(400)는 순차적으로 자신의 출력(OUT)을 어써트한다. 게이트 구동 회로(18)의 각 행은 출력 신호(OUT)를 수신하는 각각의 레벨 시프터(404) 및 버퍼(404)를 갖는다.

[0048] 출력 신호(OUT)는 15V(또는 다른 적합한 전압)의 높은 전압 내지 0 볼트(또는 다른 적합한 전압)의 범위 내에

있다. 이러한 유형의 구성과 연관된 15 볼트 스윙은 래치들(400)에 실리콘 박막 트랜지스터에 의해 용인될 수 있는 반면, 20 볼트 스윙과 같은 더 큰 전압 스윙이 실리콘 박막 트랜지스터에 과도하게 응력을 가할 수 있다. 레벨 시프터(402)는 래치(400)로부터 15 볼트 내지 0 볼트 신호(OUT)를 시프트하여, 레벨 시프터(402)로부터 경로(406) 상의 출력은 5 볼트 내지 -11 볼트의 범위 내에 있게 된다(즉, 레벨 시프터(402)에서 실리콘 트랜지스터에 의해 용인될 수 있는 16 볼트의 스윙). 버퍼(404)는 래치(400)로부터 입력 신호(IN\_H)로서 15 볼트 내지 0 볼트 신호(OUT)를 수신하고 입력 신호(IN\_L)로서 5 볼트 내지 -11 볼트 신호를 수신한다. 버퍼(404)는 바람직하게 실리콘 박막 트랜지스터들을 포함한다. 버퍼(404)의 설계는 버퍼(404)로 하여금 액정 디스플레이 상에 디스플레이 픽셀들(22)의 어레이 내의 산화물 트랜지스터들을 제어하기에 적절한 유형의 큰 전압 스윙(예컨대, 15 볼트 내지 -11 볼트)을 갖는 출력 신호(게이트 라인 신호(G))를 생성하게 한다.

[0049] 도 12는 레벨 시프터(402)를 구현하는 데 사용될 수 있는 유형의 예시적인 회로의 회로도이다. 래치(400)의 출력(OUT)으로부터의 신호들은 레벨 시프터(402)의 입력(410)에서 수신될 수 있고, 버퍼(404)에 대한 대응하는 레벨-시프트된 출력 신호들(신호들(IN\_L))은 레벨 시프터(402)의 출력(412)에서 제공될 수 있다. 원하는 경우 다른 레벨 시프터 설계들이 레벨 시프터(402)에 사용될 수 있다. 도 12의 구성은 단지 예시적인 것이다. 실리콘 박막 트랜지스터들은 레벨 시프터(402)를 형성하는 데 사용될 수 있다.

[0050] 도 13의 회로(404)는 도 11의 버퍼(404)를 구현하는 데 사용될 수 있는 설계의 예이다. 이러한 설계에 따라, 신호들(IN\_H, IN\_L)은 상이한 각각의 전압 스윙들을 갖는 동일한 구형파 펄스들이다. 신호(IN\_H)는 15 내지 0 볼트의 범위 내에 있다. 신호(IN\_L)는 5 내지 -11 볼트의 범위 내에 있다. 이러한 예에서 대응하는 출력 신호(게이트 라인 신호(G))는 15볼트 내지 -11볼트의 범위 내에 있는 구형파 펄스이므로, 20 볼트 초과 스윙을 갖는다.

[0051] 접지 전압(GND)은 트랜지스터들(T2, T3)의 게이트들에 인가된다. 이는 회로(414)의 출력 스윙이 20 볼트를 초과하더라도, 약 16 볼트 미만으로 회로(414)의 트랜지스터들이 겪는 그 최대 전압을 제한한다. 트랜지스터들(T2, T3)의 게이트들 상의 접지 전압(GND)은 이러한 트랜지스터들로 하여금 과도한 소스 단자 전압 스윙이 검출되는 경우에는 언제든지 트랜지스터들(T1, T4)을 보호하도록 턴오프하게 한다. 예로서, 트랜지스터들(T1, T2)을 고려해 보자. 트랜지스터(T2)는 문턱 전압( $V_{th}$ )에 의해 특징지어질 수 있다. 트랜지스터(T1)의 소스(S)가 전압(GND) 아래( $-V_{th}$ )로 떨어지기 시작하는 경우, 트랜지스터(T2)는 트랜지스터(T1)를 턴오프하고 절연할 것이다. 트랜지스터들(T3, T4)은 동일한 방식으로 동작한다. 이러한 배열을 사용하여, 버퍼(414) 내의 트랜지스터들 중 어느 것도 과도한 전압 스윙에 노출되지 않고, 이는 트랜지스터들(T1, T2, T3, T4)인 실리콘 박막 트랜지스터들로 형성되게 한다.

[0052] 원하는 경우, 다른 회로 구성들은 게이트 구동 회로(18)로 하여금 게이트 라인 신호(G)가 디스플레이 픽셀들(22) 내의 산화물 트랜지스터들을 수용하도록 큰 전압 스윙을 갖는 환경에서 동작하게 하는 데 사용될 수 있다. 예로서, 레벨 시프터 트랜지스터들의 서브세트 및 출력 버퍼 트랜지스터들의 서브세트는 실리콘 박막 트랜지스터 구조체들을 사용하는 것에 부가하여 산화물 박막 트랜지스터 구조체들을 사용하여 구현될 수 있다.

[0053] 도 14는 액정 디스플레이에 사용될 수 있는 유형의 추가의 박막 트랜지스터 회로의 측면면도이다. 도 14에 도시된 바와 같이, 박막 트랜지스터 구조체들(242)은 실리콘 박막 트랜지스터 구조체들(216)(예컨대, 디스플레이 구동 회로(18) 및 디멀티플렉서 회로(20)와 같은 주변 회로들의 일부를 형성하기 위함) 및 산화물 박막 트랜지스터 구조체들(240)(예컨대, 도 1의 디스플레이(14)에 의해 도시된 유형의 레이아웃을 갖는 액정 디스플레이 내에 디스플레이 픽셀들(22)을 형성하기 위함)을 포함할 수 있다.

[0054] 구조체들(216, 240)은 기판(24) 상의 버퍼 층(202) 상에 형성될 수 있다. 폴리실리콘 층(204)은 버퍼(202) 상에 퇴적될 수 있다. 게이트 절연체 층(206)은 폴리실리콘 층(204) 상에 형성될 수 있다. 공통 금속 층은 패터닝되어 금속 구조체들(218, 220, 228)을 형성할 수 있다. 구조체(218)는 폴리실리콘(204)으로 형성된 채널 및 소스-드레인 콘택들(212, 214)을 포함하는 실리콘 트랜지스터를 위한 게이트로서 기능할 수 있다. 금속 구조체(228)는 반도체성 산화물 층(224)(예컨대, IGZO) 및 소스-드레인 단자들(222, 226)로 형성된 산화물 트랜지스터를 위한 게이트로서 기능할 수 있다. 금속 구조체(228)는 또한 디스플레이(14) 내의 백라이트가 산화물 층(224)에 도달하는 것을 방지하는 것을 돕는 광 차폐체로서 기능할 수 있고, 따라서 별도의 광 차폐 구조체들이 구조체들(240)에 통합될 필요가 없다. 실리콘 질화물 층(208, 210)과 같은 층간 유전체는 구조체(216) 내의 게이트(218)를 덮을 수 있고, 구조체들(240)의 산화물 트랜지스터 내의 게이트(228)를 위한 게이트 절연체로서 기능할 수 있다.

[0055] 금속 구조체들(218, 220, 228) 및 상호접속 라인(502)과 같은 라우팅 라인들은 제1 금속 층(때때로 M1 층으로

지칭됨)으로 형성될 수 있다. 구조체들(240)의 산화물 트랜지스터를 위한 소스-드레인 콘택들을 형성하는 금속(222, 226) 및 상호접속 라인(500)과 같은 라우팅 라인들은 제2 금속 층(때때로 SD1 층으로 지칭됨)으로 형성될 수 있다. 금속 구조체들(212, 214) 및 상호접속 라인(506)과 같은 라우팅 라인들은 제3 금속 층(때때로 SD2 층으로 지칭됨)으로 형성될 수 있다. 유전체 층들(232B)은 제3 금속 층으로부터 제2 금속 층을 분리할 수 있다. 유전체 층(232A)은 금속 층(234)과 같은 금속 구조체들로부터 제3 금속 층을 분리할 수 있다.

[0056] 금속(230)은 금속 층(504)을 접촉함으로써, 산화물 층(224)으로 형성된 디스플레이 픽셀 박막 산화물 트랜지스터의 소스-드레인(226)에 결합된다. 금속(230)은 유기 층(232B)에 의해 지지될 수 있다. 유기 층(232B)의 표면 상에, 금속(230)은 다수의 평거들을 갖는 전극을 형성할 수 있다. 유전체 층(236)은 공통 전극(Vcom)(234)으로부터 전극(230)을 분리할 수 있다. 동작 동안, 전계는 전극(230)과 전극(234) 사이에 생성된다. 이러한 전계는 디스플레이 내의 액정 재료를 통과한다. 원하는 경우, 디스플레이(14)는 Vcom 전극(234)의 부분들로 형성된 용량성 터치 센서들을 통합할 수 있다. 이러한 유형의 구성에서, 라인(238)과 같은 옵션의 금속 라인들은 전극(234)의 형성 시에 사용된 재료(예를 들면, 인듐 주석 산화물과 같은 다소 저항성의 전도성 재료일 수 있음)의 저항을 줄이는 것을 돕기 위해 사용될 수 있다.

[0057] 디스플레이(14) 내의 라우팅 라인들 사이의 용량성 결합은 스위칭 손실들을 초래할 수 있다. 예로서, 소스-드레인 구조체(222)는 디스플레이(14) 내의 데이터 라인에 결합될 수 있다. 이러한 라인 상의 전압은 Vcom(전극(234))에 관하여 스위칭되고, 전력 손실을 초래할 수 있다. 유전체 층들(232A, 232B)의 존재는 데이터 라인과 Vcom 전극 사이에 용량성 결합을 감소시키는 것을 도울 수 있으므로, 전력 손실을 줄일 수 있다. 이러한 유전체 층들의 존재는 또한 디스플레이(14) 내의 라우팅 라인들 사이에 용량성 결합(예컨대, 라우팅 라인들과 제1 및 제2 금속 층들, 제1 및 제3 금속 층들 등의 다른 구조체들 사이에 용량성 결합)을 감소시킬 수 있다. 층들(232A, 232B)은 저유전율 유기 유전체 또는 다른 유전체 재료로 형성될 수 있다. 예로서, 층들(232A, 232B)은 아크릴 폴리머, 다른 폴리머들, 때때로 스핀-온-글래스로 지칭되는 유형의 유전체들(예컨대, 슬릿 코팅 도구들을 통해 퇴적된 스핀-온-글래스 폴리머들 등), 실록산-기반 재료들 등일 수 있다.

[0058] 도 15는 상부 게이트 반도체성 산화물 트랜지스터를 포함하는 액정 디스플레이를 위한 예시적인 박막 트랜지스터 회로의 측면면도이다. 도 15에 도시된 바와 같이, 박막 트랜지스터 구조체들(242)은 실리콘 박막 트랜지스터 구조체들(216) 및 반도체성 산화물 박막 트랜지스터 구조체들(240)을 포함할 수 있다. 실리콘 박막 트랜지스터 구조체들(216)은 디스플레이 구동 회로(18) 및 디멀티플렉서 회로(20)와 같은 주변 회로들에 사용될 수 있고/있거나 액정 디스플레이의 디스플레이 픽셀들(22)을 위한 회로들을 형성하는 데 사용될 수 있다. 반도체성 산화물 박막 트랜지스터 구조체들(240)은 디스플레이 구동 회로(18) 및 디멀티플렉서 회로(20)와 같은 주변 회로들에 사용될 수 있고/있거나 액정 디스플레이의 디스플레이 픽셀들(22)을 위한 회로들을 형성하는 데 사용될 수 있다. 실리콘(폴리실리콘) 트랜지스터(216)와 같은 트랜지스터들은 n 채널 또는 p 채널 디바이스들일 수 있다. 반도체성 산화물 트랜지스터(240)와 같은 트랜지스터들은 n 채널 또는 p 채널 디바이스들일 수 있다.

[0059] 구조체들(216, 240)은 기판(24) 상의 버퍼 층(202) 상에 형성될 수 있다. 버퍼 층(202)은 무기 유전체와 같은 유전체로 형성될 수 있다. 버퍼 층(202)은 기판(24) 내의 이온들이 구조체들(216, 240) 내로 이동하는 것을 방지하는 것을 도울 수 있다.

[0060] 폴리실리콘 층(204)은 버퍼(202) 상에 퇴적될 수 있다. 게이트 절연체 층(206)은 폴리실리콘 층(204) 상에 형성될 수 있다. 게이트 절연체 층(206)은 실리콘 산화물(예컨대, 100 nm 실리콘 산화물 층)과 같은 유전체로 형성될 수 있다. 공통 금속 층은 패터닝되어 금속 구조체들(218, 220, 228)을 형성할 수 있다. 구조체(218)는 폴리실리콘(204)으로 형성된 채널 및 소스-드레인 콘택들(212, 214)을 포함하는 실리콘 트랜지스터를 위한 게이트 트로서 기능할 수 있다. 금속 구조체(228)는 반도체성 산화물 층(224)(예컨대, IGZO)으로 형성된 상부 게이트 산화물 트랜지스터(즉, 반도체성 산화물 트랜지스터)를 위한 게이트 및 소스-드레인 단자들(222, 226)로서 기능할 수 있다. 층간 유전체(ILD)의 하나 이상의 층은 금속 구조체들(218, 220, 228)을 덮을 수 있다. 예를 들면, 층(208)과 같은 제1 유전체 층 및 층(210)과 같은 제2 유전체 층은 금속 구조체들(218, 220, 228)을 덮을 수 있다. 층(208)은 실리콘 질화물 층일 수 있고, 층(210)은 실리콘 산화물 층일 수 있다(예로서). 게이트(228)와 소스-드레인 전극들(222, 226) 사이에 어떠한 측면 중첩도 없기 때문에, 게이트(228)와 소스-드레인 구조체들(222, 226) 사이의 기생 커패시턴스는 최소화될 수 있다. 더욱이, 도 15의 산화물 트랜지스터의 층들(208, 210)은 도 14의 하부 게이트 산화물 트랜지스터 내의 층들(208, 210)보다 더 두꺼우므로, 기생 커패시턴스들을 추가로 감소시킬 수 있다.

[0061] 금속 구조체들(218, 220, 228)은 제1 금속 층(때때로 M1 층으로 지칭됨)으로 형성될 수 있다. 구조체들(240)의

산화물 트랜지스터를 위한 소스-드레인 콘택들을 형성하는 금속(222, 226), 및 구조체들(216)의 실리콘 트랜지스터를 위한 소스-드레인 콘택들을 형성하는 금속(212, 214)은 제2 금속 층(때때로 SD1 층 또는 M2 층으로 지칭됨)으로 형성될 수 있다. 금속 라인(238)과 같은 금속 구조체들은 제3 금속 층(때때로 M3 층으로 지칭됨)으로 형성될 수 있다. 유전체(232)(예컨대, 폴리머 층과 같은 유기 유전체 층)는 제3 금속 층으로부터 제2 금속 층을 분리할 수 있다.

[0062] 금속(230)은 산화물 층(224)으로 형성된 디스플레이 픽셀 박막 산화물 트랜지스터의 소스-드레인(226)을 접촉한다. 금속(230)은 유기 층(232)에 의해 지지될 수 있다. 유기 층(232)의 표면 상에, 금속(230)은 다수의 핑거들을 갖는 전극을 형성할 수 있다(예컨대, 디스플레이의 디스플레이 픽셀을 위한 픽셀 전극). 유전체 층(236)은 공통 전극(Vcom)(234)으로부터 전극(230)을 분리할 수 있다. 동작 동안, 전계는 전극(230)과 전극(234) 사이에 생성된다. 이러한 전계는 도 15의 구조체들의 상부 상에 형성된 디스플레이 내의 액정 재료를 통과한다. 원하는 경우, 디스플레이(14)는 Vcom 전극(234)의 부분들로 형성된 용량성 터치 센서들을 통합할 수 있다. 이러한 유형의 구성에서, 라인(238)과 같은 옵션의 금속 라인들은 전극(234)의 형성 시에 사용된 재료(예를 들면, 인듐 주석 산화물과 같은 다소 저항성의 전도성 재료일 수 있음)의 저항을 줄이는 것을 돕기 위해 사용될 수 있다.

[0063] 도 16에 도시된 바와 같이, 광 차폐체(520)와 같은 옵션의 광 차폐 구조체는 반도체성 산화물 트랜지스터(240)의 아래 또는 디스플레이 내의 어딘가에 형성될 수 있다. 광 차폐체(520)는 금속, 산화된 금속, 어두운 폴리머 또는 다른 광 차단 재료들과 같은 불투명 재료로 형성될 수 있다. 광 차폐체(520)의 존재는 미광(stray light)이 반도체성 산화물 트랜지스터 구조체들(240) 또는 다른 중첩하는 구조체들의 동작을 방해하는 것을 방지하는 것을 도울 수 있다.

[0064] 도 17의 예에서, 도 15의 유전체 층(232)은 2개의 유전체 층들(232A, 232B)로 분할되었다. 층(232A)은 트랜지스터들(216, 240)의 소스-드레인 전극들과 중첩할 수 있다. 층(232B)은 소스-드레인 전극들과 소스-드레인 금속 층 및 층들(208, 210)로 형성된 다른 금속 구조체들 사이에 개재될 수 있다. 도 14와 관련하여 설명한 바와 같이, 이러한 유형의 2-층 접근은 디바이스들(216, 240)의 금속 구조체들 사이에 용량성 결합을 감소시킬 수 있다. 유기 발광 다이오드 디스플레이 내의 상부 게이트 반도체성 산화물 트랜지스터를 포함하는 예시적인 박막 트랜지스터 회로의 측면도가 도 18에 도시된다. 도 18에 도시된 바와 같이, 회로(72)는 발광 다이오드 캐소드 단자(42) 및 발광 다이오드 애노드 단자(44)와 같은 디스플레이 픽셀 구조체들을 포함할 수 있다. 유기 발광 다이오드 방출 재료(47)는 캐소드(42)와 애노드(44) 사이에 개재될 수 있다. 픽셀 정의 층(46)은 디스플레이 픽셀의 레이아웃을 정의하도록 기능하는 유전체 층(46)일 수 있다. 층(46)은 미광을 차단하는 것을 돕기 위한 흑색 폴리머와 같은 폴리머로 형성될 수 있다.

[0065] 편광 층(50)은 박막 트랜지스터 구조체들(52)의 상부 상에 형성될 수 있다. 박막 트랜지스터 구조체들(52)은 기관(24) 상의 버퍼 층(54) 상에 형성될 수 있다. 기관(24)은 금속, 유리, 폴리머, 다른 재료, 또는 이들 재료의 조합으로부터 형성될 수 있다. 버퍼 층(54)은 기관(24) 내의 이온들이 구조체들(52)의 동작을 방해하는 것을 방지하는 것을 돕는 무기 유전체 층으로 형성될 수 있다. 옵션의 기능성 층(522)은 버퍼 층(54)과 기관(24) 사이에 개재될 수 있다. 기능성 층(522)은 응력 완화 층, 광 차단 층, 커패시터와 같은 컴포넌트들의 형성 시에 사용된 층(예컨대, 픽셀 회로 및/또는 주변 회로를 위한 커패시터 전극들) 동일 수 있다.

[0066] 박막 트랜지스터 구조체들(52)은 실리콘 트랜지스터(58)를 포함할 수 있다. 트랜지스터(58)는 상부 게이트 설계를 사용하여 형성되는 LTPS 트랜지스터일 수 있으며 유기 발광 다이오드 디스플레이 픽셀 내에서 스위칭 트랜지스터로서 기능할 수 있다(예컨대, 도 2의 픽셀(22-1) 내의 트랜지스터(30)를 참조). 트랜지스터(58)는 또한 주변 회로들(예컨대, 구동 회로(18) 및 디멀티플렉서 회로(20))에 사용될 수 있다.

[0067] 트랜지스터(58)는 게이트 절연체 층(64)(예컨대, 100 nm 두께 또는 다른 적합한 두께를 갖는 실리콘 산화물 층)에 의해 덮인 폴리실리콘 채널(62)을 가질 수 있다. 게이트(66)는 패터닝된 금속(예컨대, 예로서 몰리브덴)으로 형성될 수 있다. 게이트(66)는 층간 유전체 층(예컨대, 실리콘 질화물 층(68) 및 실리콘 산화물 층(70))에 의해 덮일 수 있다. 소스-드레인 콘택들(74, 76)은 폴리실리콘 층(62)의 대향 측들을 접촉하여 실리콘 박막 트랜지스터(58)를 형성할 수 있다.

[0068] 유전체 층(526)은 소스-드레인 구조체들(74, 76)을 덮을 수 있다. 옵션의 금속 층(524)은 층(526) 상에 형성될 수 있고, 원하는 경우, 비아들(예컨대, 비아들(528)을 참조)을 통해 아래에 놓인 금속 구조체들을 접촉할 수 있다. 구조체(66)는 제1 ("M1") 금속 층으로 형성될 수 있다. 소스-드레인 전극들(74, 76)은 제2 금속 층 내에 형성될 수 있다. 금속 층(524)은 제3 ("M3") 금속 층의 일부로서 형성될 수 있다. 층(524)은 트랜지스터(58)

및/또는 트랜지스터(60)의 부분들을 덮을 수 있고 커패시터들 또는 신호 상호접속 라인들(즉, 라우팅)을 형성하는 데 사용될 수 있다. 층(524)은 방출 재료 층(47)에 의해 중첩될 수 있고 방출 재료(47)로부터의 미광이 아래에 놓인 트랜지스터 구조체들 등에 도달하는 것을 방지하는 광 차단 구조체들을 형성할 수 있다.

- [0069] 반도체성 산화물 박막 트랜지스터 구조체들(60) 및 실리콘 박막 트랜지스터 구조체들(58)과 같은 박막 트랜지스터 구조체들은 유기 발광 다이오드 디스플레이 내의 픽셀 회로의 일부를 형성하는 데 사용될 수 있고/있거나 주변 회로(18, 20)의 일부를 형성하는 데 사용될 수 있다. 도 18의 박막 트랜지스터(60)는 상부 게이트 반도체성 산화물 트랜지스터일 수 있다. 실리콘 트랜지스터(58)를 위한 게이트 절연체로서 기능하는 게이트 절연체 층(64)은 또한 산화물 트랜지스터(60)를 위한 게이트 절연체로서 기능한다.
- [0070] 금속 게이트(532)는 산화물 트랜지스터(60)의 게이트를 형성한다. 산화물 트랜지스터의 채널 반도체는 반도체성 산화물 층(128)(즉, IGZO)으로 형성될 수 있다. 소스-드레인 단자들(534, 536)은 반도체성 산화물 층(128)의 대향 단부들을 접촉하는 금속으로 형성될 수 있다. 금속 구조체들(530, 538)은 라우팅에 사용될 수 있고 게이트들(66, 532)을 형성하기 위해 패터닝된 동일한 금속 층으로 형성될 수 있다. 소스-드레인 구조체들(534, 536)과 같은 구조체들은 소스-드레인 구조체들(74, 76)을 형성하는 데 사용되는 동일한 금속 층으로 형성될 수 있다.
- [0071] 일 실시예에 따르면, 기관, 기관 상의 디스플레이 픽셀들의 어레이, 기관 상에 박막 트랜지스터들로 형성된 디스플레이 구동 회로 - 디스플레이 구동 회로는 실리콘 박막 트랜지스터를 포함하고 상기 디스플레이 픽셀들의 어레이는 반도체성 산화물 박막 트랜지스터를 포함함 -, 및 실리콘 박막 트랜지스터를 위한 게이트 및 반도체성 산화물 박막 트랜지스터를 위한 게이트로서 기능하는 공통 게이트를 형성하기 위해 패터닝된 게이트 금속 층을 포함하는 액정 디스플레이가 제공된다.
- [0072] 다른 실시예에 따르면, 반도체성 산화물 박막 트랜지스터는 반도체성 산화물 층을 가지며, 공통 게이트는 반도체성 산화물 층 아래에 있다.
- [0073] 다른 실시예에 따르면, 기관 상의 폴리실리콘 층이 실리콘 박막 트랜지스터를 위한 실리콘 채널을 형성하고, 공통 게이트는 폴리실리콘 층 위에 있다.
- [0074] 다른 실시예에 따르면, 액정 디스플레이는 반도체성 산화물 박막 트랜지스터의 게이트와 반도체성 산화물 층 사이에 개재된 실리콘 질화물 층 및 실리콘 산화물 층을 포함한다.
- [0075] 일 실시예에 따르면, 기관, 기관 상의 디스플레이 픽셀들의 어레이, 기관 상에 박막 트랜지스터들로 형성된 디스플레이 구동 회로 - 디스플레이 구동 회로는 실리콘 박막 트랜지스터를 포함하고 디스플레이 픽셀들의 어레이는 반도체성 산화물 박막 트랜지스터를 포함함 -, 실리콘 박막 트랜지스터를 위한 실리콘 채널을 형성하는 기관 상의 폴리실리콘 층, 및 실리콘 박막 트랜지스터를 위한 게이트를 형성하는 제1 게이트 금속 층 및 제1 게이트 금속 층과 상이하며 반도체성 산화물 박막 트랜지스터를 위한 게이트를 형성하는 제2 게이트 금속 층을 포함하는 액정 디스플레이가 제공된다.
- [0076] 일 실시예에 따르면, 기관, 기관 상의 디스플레이 픽셀들의 어레이, 기관 상에 박막 트랜지스터들로 형성된 디스플레이 구동 회로 - 디스플레이 구동 회로는 실리콘 박막 트랜지스터를 포함하고 디스플레이 픽셀들의 어레이는 반도체성 산화물 박막 트랜지스터를 포함함 -, 실리콘 박막 트랜지스터를 위한 실리콘 채널을 형성하는 기관 상의 폴리실리콘 층, 실리콘 박막 트랜지스터를 위한 플로팅 게이트를 형성하는 제1 게이트 금속 층, 및 플로팅 게이트와 중첩하고 유전체 층에 의해 플로팅 게이트로부터 분리되는 실리콘 박막 트랜지스터를 위한 게이트를 형성하는 제2 게이트 금속 층 - 제2 게이트 금속 층의 일부는 반도체성 산화물 박막 트랜지스터를 위한 게이트를 형성함 - 을 포함하는 액정 디스플레이가 제공된다.
- [0077] 일 실시예에 따르면, 기관, 기관 상의 디스플레이 픽셀 회로들의 어레이, 및 디스플레이 픽셀 회로들의 어레이 내로의 신호들을 구동하는 디스플레이 구동 회로를 포함하는, 액정 디스플레이가 제공되며, 디스플레이 구동 회로는 기관 상에 박막 트랜지스터들로 형성되고, 디스플레이 구동 회로는 실리콘 박막 트랜지스터를 포함하며 반도체성 산화물 박막 트랜지스터를 포함한다.
- [0078] 다른 실시예에 따르면, 액정 디스플레이는 실리콘 박막 트랜지스터와 반도체성 산화물 박막 트랜지스터 둘 다를 위한 공유 게이트를 형성하는 금속 층을 포함한다.
- [0079] 다른 실시예에 따르면, 반도체성 산화물 박막 트랜지스터는 공유 게이트 위에 반도체성 산화물 층을 갖는다.

- [0080] 다른 실시예에 따르면, 실리콘 박막 트랜지스터는 공유 게이트 아래에 폴리실리콘 층을 갖는다.
- [0081] 다른 실시예에 따르면, 실리콘 박막 트랜지스터 및 반도체성 산화물 박막 트랜지스터는 인버터를 형성한다.
- [0082] 일 실시예에 따르면, 기판, 기판 상의 디스플레이 픽셀들의 어레이, 기판 상에 박막 트랜지스터들로 형성된 디스플레이 구동 회로 - 디스플레이 구동 회로는 실리콘 박막 트랜지스터를 포함하고 디스플레이 픽셀들의 어레이는 반도체성 산화물 박막 트랜지스터를 포함함 -, 및 실리콘 박막 트랜지스터를 위한 게이트 및 반도체성 산화물 박막 트랜지스터를 위한 게이트를 포함하는 제1 패터닝된 금속 층, 반도체성 산화물 박막 트랜지스터를 위한 소스-드레인 콘택들을 포함하는 제2 패터닝된 금속 층, 소스-드레인 콘택들 중 적어도 하나에 결합된 구조체를 포함하는 제3 패터닝된 금속 층, 및 제2 및 제3 패터닝된 금속 층들 사이에 유전체 층을 포함하는 액정 디스플레이가 제공된다.
- [0083] 다른 실시예에 따르면, 액정 디스플레이는 디스플레이 픽셀 전극들을 포함하는 제4 패터닝된 금속 층을 포함한다.
- [0084] 다른 실시예에 따르면, 액정 디스플레이는 제3 및 제4 패터닝된 금속 층들 사이에 추가의 유전체 층을 포함한다.
- [0085] 다른 실시예에 따르면, 제2 및 제3 패터닝된 금속 층들 사이의 유전체 층은 유기 유전체 층이다.
- [0086] 다른 실시예에 따르면, 제3 및 제4 패터닝된 금속 층들 사이의 유전체 층은 유기 유전체 층이다.
- [0087] 다른 실시예에 따르면, 액정 디스플레이는 제1 및 제2 패터닝된 금속 층들 사이에 무기 유전체 층을 포함한다.
- [0088] 다른 실시예에 따르면, 제1 패터닝된 금속 층은 라우팅 라인들을 포함한다.
- [0089] 다른 실시예에 따르면, 제2 패터닝된 금속 층은 라우팅 라인들을 포함한다.
- [0090] 다른 실시예에 따르면, 제3 패터닝된 금속 층은 라우팅 라인들을 포함한다.
- [0091] 일 실시예에 따르면, 발광 다이오드, 발광 다이오드에 결합된 반도체성 산화물 박막 트랜지스터, 및 실리콘 박막 트랜지스터를 포함하는, 유기 발광 다이오드 디스플레이의 디스플레이 픽셀 내의 디스플레이 픽셀 회로가 제공된다.
- [0092] 다른 실시예에 따르면, 반도체성 산화물 박막 트랜지스터는 게이트를 갖는 구동 트랜지스터를 포함하고, 디스플레이 픽셀은 게이트와 발광 다이오드 사이에 결합된 커패시터를 포함한다.
- [0093] 다른 실시예에 따르면, 실리콘 박막 트랜지스터는 폴리실리콘 채널을 가지며 커패시터에 결합된다.
- [0094] 다른 실시예에 따르면, 디스플레이 픽셀 회로는 금속 층을 포함하고, 커패시터는 제1 및 제2 전극들을 가지며, 제1 전극 및 게이트는 금속 층의 일부분으로 형성되며, 실리콘 박막 트랜지스터는 금속 층의 다른 부분으로 형성된 게이트를 갖는다.
- [0095] 다른 실시예에 따르면, 실리콘 박막 트랜지스터는 폴리실리콘 층의 일부분으로 형성된 폴리실리콘 채널을 갖고, 제2 전극은 폴리실리콘 층의 추가 부분으로 형성되고, 산화물 트랜지스터는 반도체성 산화물 층으로 형성된 채널을 가지며, 반도체성 산화물 층으로 형성된 채널은 폴리실리콘 층의 추가 부분과 중첩한다.
- [0096] 일 실시예에 따르면, 실리콘 박막 트랜지스터를 위한 실리콘 층, 산화물 트랜지스터를 위한 반도체성 산화물 층, 및 실리콘 박막 트랜지스터를 위한 게이트를 형성하도록 패터닝되고 산화물 트랜지스터를 위한 제2 게이트를 형성하도록 패터닝되는 금속 층을 포함하는 하이브리드 박막 트랜지스터 구조체가 제공된다.
- [0097] 다른 실시예에 따르면, 하이브리드 박막 트랜지스터 구조체는 금속 층의 일부분으로 형성되는 전극 층을 갖는 커패시터를 포함한다.
- [0098] 다른 실시예에 따르면, 하이브리드 박막 트랜지스터 구조체는 실리콘 박막 트랜지스터를 위한 소스-드레인 콘택들을 형성하는 부분들, 산화물 박막 트랜지스터를 위한 소스-드레인 콘택들을 형성하는 부분들, 및 커패시터 내의 전극 층을 형성하는 부분들을 갖는 추가의 금속 층을 포함한다.
- [0099] 다른 실시예에 따르면, 커패시터는 제1 게이트를 형성하도록 패터닝된 금속 층의 일부분으로 형성된 추가의 전극 층을 갖는다.
- [0100] 다른 실시예에 따르면, 실리콘 층은 폴리실리콘 층을 포함하고, 폴리실리콘 층의 일부는 커패시터 내의 전극

층을 형성하는 추가의 금속 층의 부분들에 단락되는 커패시터를 위한 전극 층을 형성한다.

- [0101] 일 실시예에 따르면, 발광 다이오드 및 발광 다이오드에 결합된 박막 트랜지스터를 포함하는 유기 발광 다이오드 디스플레이가 제공되며, 박막 트랜지스터들은 적어도 하나의 반도체성 산화물 채널 영역 및 적어도 하나의 실리콘 채널 영역을 포함한다.
- [0102] 다른 실시예에 따르면, 박막 트랜지스터들은 반도체성 산화물 채널 영역으로 형성되고 발광 다이오드에 결합된 반도체성 산화물 박막 트랜지스터를 포함한다.
- [0103] 다른 실시예에 따르면, 박막 트랜지스터들은 실리콘 채널 영역으로 형성된 실리콘 박막 트랜지스터를 포함한다.
- [0104] 다른 실시예에 따르면, 박막 트랜지스터들은 반도체성 산화물 채널 영역으로 형성되고 발광 다이오드에 결합된 반도체성 산화물 박막 트랜지스터, 및 실리콘 채널 영역으로 형성된 실리콘 박막 트랜지스터를 포함한다.
- [0105] 다른 실시예에 따르면, 반도체성 산화물 박막 트랜지스터는 게이트를 갖는 구동 트랜지스터를 포함한다.
- [0106] 다른 실시예에 따르면, 유기 발광 다이오드 디스플레이는 게이트와 발광 다이오드 사이에 결합된 커패시터를 포함한다.
- [0107] 다른 실시예에 따르면, 실리콘 채널 영역은 커패시터에 결합된 폴리실리콘 채널 영역을 포함한다.
- [0108] 다른 실시예에 따르면, 유기 발광 다이오드 디스플레이는 금속 층을 포함하고, 커패시터는 제1 및 제2 전극들을 가지며, 제1 전극 및 게이트는 금속 층의 일부분으로 형성되며, 실리콘 박막 트랜지스터는 금속 층의 다른 부분으로 형성된 게이트를 갖는다.
- [0109] 다른 실시예에 따르면, 박막 트랜지스터들은 실리콘 박막 트랜지스터 및 반도체성 산화물 박막 트랜지스터를 포함하고, 실리콘 채널 영역은 폴리실리콘 층의 일부분으로 형성되고 실리콘 박막 트랜지스터의 일부를 형성하며, 제2 전극은 폴리실리콘 층의 추가 부분으로 형성된다.
- [0110] 다른 실시예에 따르면, 반도체성 산화물 채널 영역은 반도체성 산화물 박막 트랜지스터의 부분을 형성하고 반도체성 산화물 채널 영역은 폴리실리콘 층의 추가 부분과 중첩한다.
- [0111] 일 실시예에 따르면, 기관, 기관 상의 디스플레이 픽셀 회로들의 어레이, 및 디스플레이 픽셀 회로들의 어레이 내로의 게이트 라인 신호들을 공급하는 디스플레이 구동 회로를 포함하는 액정 디스플레이가 제공되며, 디스플레이 구동 회로는 레벨 시프터 회로를 포함한다.
- [0112] 다른 실시예에 따르면, 디스플레이 픽셀 회로들의 어레이는 반도체성 산화물 박막 트랜지스터 회로를 포함한다.
- [0113] 다른 실시예에 따르면, 디스플레이 구동 회로는 기관 상에 형성된 실리콘 박막 트랜지스터를 포함한다.
- [0114] 다른 실시예에 따르면, 디스플레이 구동 회로는 게이트 구동 회로를 포함하고 레벨 시프터 회로는 게이트 구동 회로의 일부를 형성한다.
- [0115] 다른 실시예에 따르면, 게이트 구동 회로는 시프터 레지스터를 더 포함한다.
- [0116] 다른 실시예에 따르면, 레벨 시프터 회로는 시프트 레지스터에 결합된다.
- [0117] 다른 실시예에 따르면, 게이트 구동 회로는 버퍼 회로를 포함한다.
- [0118] 다른 실시예에 따르면, 버퍼 회로는 레벨 시프터 회로에 결합되며 게이트 라인 신호들을 생성한다.
- [0119] 다른 실시예에 따르면, 시프트 레지스터는 제1 전압 스윙을 갖는 신호들을 공급하고, 레벨 시프터는 제1 전압 스윙을 제2 전압 스윙으로 조정하며, 버퍼 회로는 시프트 레지스터로부터 제1 전압 스윙을 갖는 신호들을 수신하고 레벨 시프터로부터 제2 전압 스윙을 갖는 신호들을 수신한다.
- [0120] 다른 실시예에 따르면, 시프트 레지스터는 제1 전압 스윙을 갖는 신호들을 공급하고, 레벨 시프터는 제1 전압 스윙을 제2 전압 스윙으로 조정한다.
- [0121] 다른 실시예에 따르면, 게이트 구동 회로는 제1 전압 스윙을 갖는 신호들을 시프트 레지스터로부터 수신하는 버퍼 회로를 포함한다.
- [0122] 일 실시예에 따르면, 기관, 기관 상의 디스플레이 픽셀 회로들의 어레이 - 디스플레이 픽셀 회로들은 반도체성 산화물 박막 트랜지스터를 포함하며, 및 기관 상에 실리콘 박막 트랜지스터들로 형성된 디스플레이 구동 회로를 포함하는 액정 디스플레이가 제공되며, 디스플레이 구동 회로는 게이트 구동 회로를 포함하고, 게이트 구동 회

로는 제1 전압 스윙을 갖는 신호들을 수신하고 제1 전압 스윙을 제2 전압 스윙으로 조정하는 레벨 시프터 회로를 포함한다.

- [0123] 다른 실시예에 따르면, 게이트 구동 회로는 디스플레이 픽셀 회로들의 어레이 내로의 게이트 라인 신호들을 구동한다.
- [0124] 다른 실시예에 따르면, 반도체성 산화물 박막 트랜지스터들 각각은 반도체성 산화물 채널 영역을 가지며, 실리콘 박막 트랜지스터들 각각은 폴리실리콘 채널 영역을 갖는다.
- [0125] 다른 실시예에 따르면, 게이트 구동 회로는 시프터 레지스터를 더 포함하고, 레벨 시프터 회로는 시프트 레지스터에 결합된다.
- [0126] 다른 실시예에 따르면, 게이트 구동 회로는 제1 전압 스윙을 갖는 신호들을 시프트 레지스터로부터 수신하고 제2 전압 스윙을 갖는 신호들을 레벨 시프터로부터 수신하는 버퍼 회로를 포함한다.
- [0127] 일 실시예에 따르면, 기판 상의 반도체성 산화물 박막 트랜지스터 디스플레이 픽셀 회로들의 어레이, 및 제1 전압 스윙을 갖는 신호들을 수신하고 제1 전압 스윙을 제2 전압 스윙으로 조정하는 레벨 시프터를 포함하는 기판 상의 실리콘 박막 트랜지스터 게이트 구동 회로를 포함하는 액정 디스플레이가 제공되며, 실리콘 박막 트랜지스터 게이트 구동 회로는 반도체성 산화물 박막 트랜지스터 디스플레이 픽셀 회로들의 어레이를 제어한다.
- [0128] 다른 실시예에 따르면, 실리콘 박막 트랜지스터 회로는 폴리실리콘 채널 영역을 각각 갖는 실리콘 박막 트랜지스터들을 포함하며, 실리콘 박막 트랜지스터 게이트 구동 회로는 시프트 레지스터를 포함한다.
- [0129] 다른 실시예에 따르면, 실리콘 박막 트랜지스터 게이트 구동 회로는 버퍼 회로를 포함한다.
- [0130] 다른 실시예에 따르면, 액정 디스플레이는 레벨 시프터에 결합된 시프트 레지스터 회로를 포함하고, 버퍼 회로는 레벨 시프터로부터 그리고 시프트 레지스터로부터 신호들을 수신하며 반도체성 산화물 박막 트랜지스터 디스플레이 픽셀 회로들의 어레이에 게이트 라인 신호들을 제공한다.
- [0131] 일 실시예에 따르면, 기판, 기판 상의 디스플레이 픽셀들의 어레이, 기판 상의 디스플레이 구동 회로를 포함하는 액정 디스플레이가 제공되며, 디스플레이 구동 회로 및 디스플레이 픽셀들은 박막 트랜지스터들을 포함하고, 박막 트랜지스터들은 적어도 하나의 상부 게이트 반도체성 산화물 트랜지스터를 포함하고, 적어도 하나의 실리콘 트랜지스터를 포함한다.
- [0132] 다른 실시예에 따르면, 액정 디스플레이는 실리콘 트랜지스터를 위한 제1 게이트 및 상부 게이트 반도체성 산화물 트랜지스터를 위한 제2 게이트를 형성하도록 패터닝된 게이트 금속 층을 포함한다.
- [0133] 다른 실시예에 따르면, 액정 디스플레이는 실리콘 트랜지스터를 위한 실리콘 채널을 형성하는 기판 상의 폴리실리콘 층을 포함하고, 제1 게이트는 폴리실리콘 층 위에 있다.
- [0134] 다른 실시예에 따르면, 액정 디스플레이는 상부 게이트 반도체성 산화물 트랜지스터를 위한 반도체성 산화물 채널을 형성하는 기판 상의 반도체성 산화물 층을 포함하고, 제2 게이트는 반도체성 산화물 층 위에 있다.
- [0135] 다른 실시예에 따르면, 액정 디스플레이는 게이트 절연체 층을 포함한다.
- [0136] 다른 실시예에 따르면, 게이트 절연체 층의 제1 부분은 제1 게이트와 폴리실리콘 층 사이에 개재된다.
- [0137] 다른 실시예에 따르면, 게이트 절연체 층의 제2 부분은 제2 게이트와 반도체성 산화물 층 사이에 개재된다.
- [0138] 다른 실시예에 따르면, 액정 디스플레이는 박막 트랜지스터들을 위한 소스-드레인 전극들을 포함하고, 소스-드레인 전극들은 패터닝된 금속 층으로 형성된다.
- [0139] 다른 실시예에 따르면, 액정 디스플레이는 그로부터 소스-드레인 전극들이 형성된 금속 층과 제1 및 제2 게이트들 사이에 개재된 실리콘 산화물 층을 포함한다.
- [0140] 다른 실시예에 따르면, 액정 디스플레이는 그로부터 소스-드레인 전극들이 형성된 금속 층과 제1 및 제2 게이트들 사이에 개재된 실리콘 질화물 층을 포함한다.
- [0141] 다른 실시예에 따르면, 액정 디스플레이는 디스플레이 픽셀 전극, 및 디스플레이 픽셀 전극과 소스-드레인 전극들 사이에 개재된 유기 층을 포함한다.
- [0142] 다른 실시예에 따르면, 액정 디스플레이는 디스플레이 픽셀 전극, 디스플레이 픽셀 전극과 소스-드레인 전극들

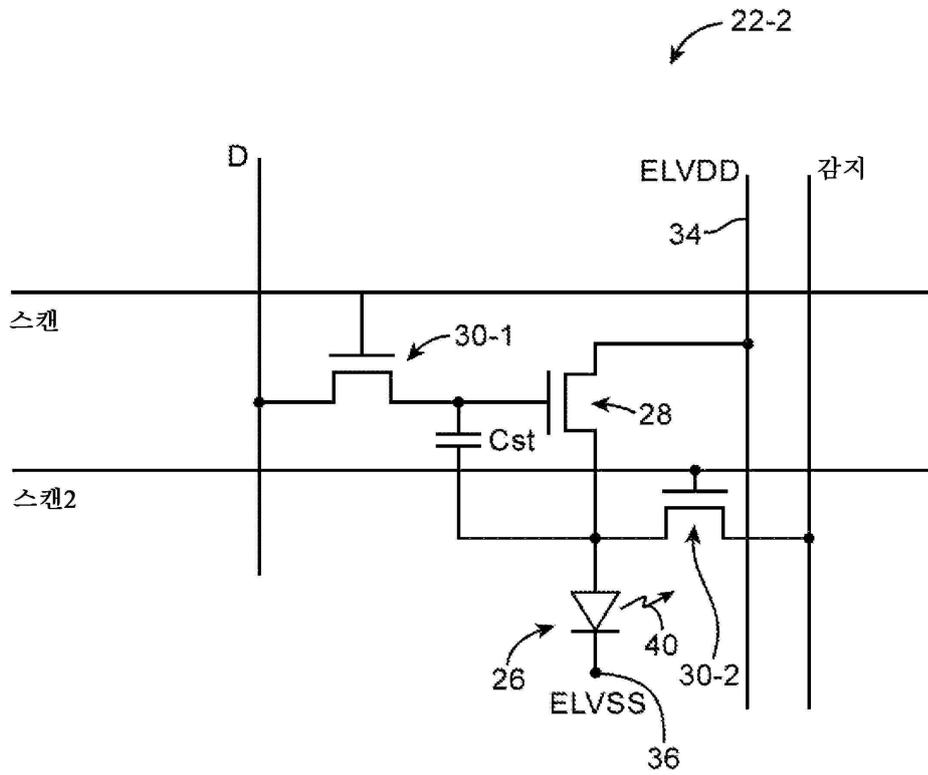
사이에 개재된 제1 유기 층, 및 소스-드레인 전극들과 실리콘 산화물 층 사이에 개재된 제2 유기 층을 포함한다.

- [0143] 일 실시예에 따르면, 액정 디스플레이는 반도체성 산화물 층 아래에 광 차폐체를 포함한다.
- [0144] 일 실시예에 따르면, 발광 다이오드, 발광 다이오드에 결합된 상부 게이트 반도체성 산화물 박막 트랜지스터, 및 실리콘 박막 트랜지스터를 포함하는, 유기 발광 다이오드 디스플레이가 제공된다.
- [0145] 일 실시예에 따르면, 유기 발광 다이오드 디스플레이는 실리콘 박막 트랜지스터를 위한 제1 게이트 및 상부 게이트 반도체성 산화물 박막 트랜지스터를 위한 제2 게이트를 형성하도록 패터닝된 게이트 금속 층을 포함한다.
- [0146] 다른 실시예에 따르면, 유기 발광 다이오드 디스플레이는 실리콘 트랜지스터를 위한 실리콘 채널을 형성하는 폴리실리콘 층 - 제1 게이트는 폴리실리콘 층 위에 있음 -, 및 상부 게이트 반도체성 산화물 트랜지스터를 위한 반도체성 산화물 채널을 형성하는 반도체성 산화물 층 - 제2 게이트는 반도체성 산화물 층 위에 있음 - 을 포함한다.
- [0147] 다른 실시예에 따르면, 발광 다이오드는 캐소드, 애노드 및 애노드와 캐소드 사이의 유기 방출 층을 포함하고, 유기 발광 다이오드 디스플레이는 제1 게이트와 폴리실리콘 층 사이에 개재된 제1 부분을 갖고 제2 게이트와 반도체성 산화물 층 사이에 개재된 제2 부분을 갖는 게이트 절연체, 및 애노드에 결합된 반도체성 산화물 박막 트랜지스터 내의 소스-드레인 전극을 포함한다.
- [0148] 일 실시예에 따르면, 발광 다이오드, 실리콘 박막 트랜지스터, 소스-드레인 전극들을 갖고 소스-드레인 전극들에 결합된 반도체성 산화물 층을 가지며 게이트를 갖는 반도체성 산화물 박막 트랜지스터, 및 실리콘 박막 트랜지스터의 적어도 일부 및 반도체성 산화물 박막 트랜지스터의 적어도 일부와 중첩하는 광 차폐 층을 포함하는, 유기 발광 다이오드 디스플레이가 제공된다.
- [0149] 다른 실시예에 따르면, 발광 다이오드는 캐소드, 애노드 및 애노드와 캐소드 사이의 유기 방출 층을 포함하고, 유기 방출 층은 광 차폐 층과 중첩하고, 유기 발광 다이오드 디스플레이는 실리콘 박막 트랜지스터를 위한 게이트 절연체로서 기능하는 제1 부분을 갖고 반도체성 산화물 박막 트랜지스터를 위한 게이트 절연체로서 기능하는 제2 부분을 갖는 게이트 절연체 층을 포함한다.
- [0150] 다른 실시예에 따르면, 유기 발광 다이오드 디스플레이는 애노드에 결합된 반도체성 산화물 박막 트랜지스터 내의 소스-드레인 전극을 포함한다.
- [0151] 전술한 사항은 단지 예시적인 것이며, 기술된 실시예들의 범주 및 사상으로부터 벗어남이 없이 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에 의해 다양한 수정들이 이루어질 수 있다. 상기의 실시예들은 개별적으로 또는 임의의 조합으로 구현될 수 있다.

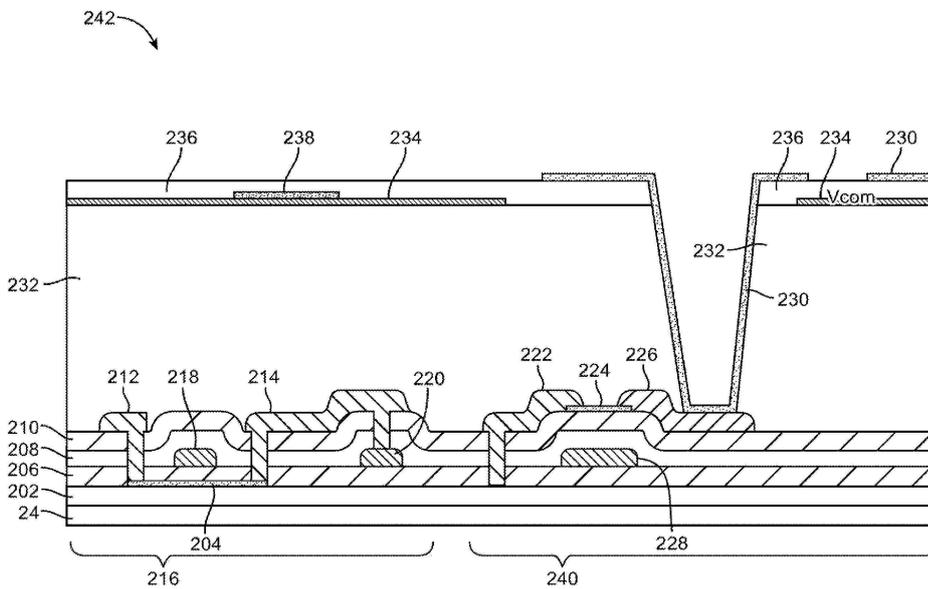




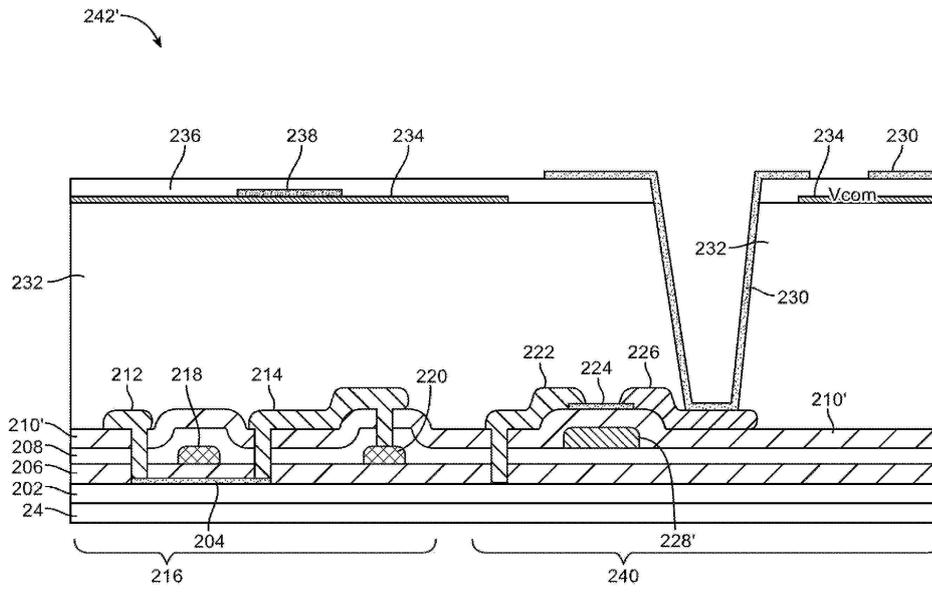
도면5



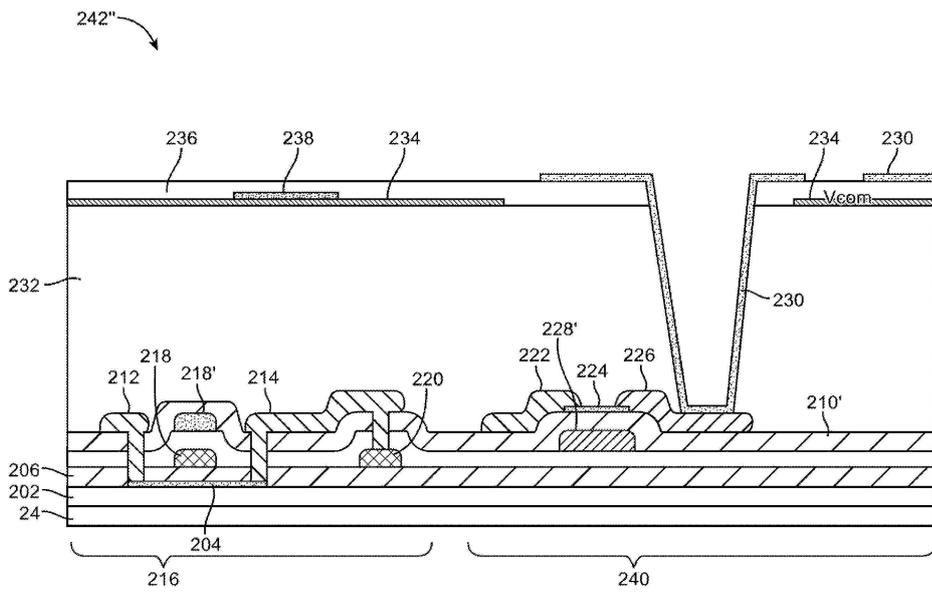
도면6



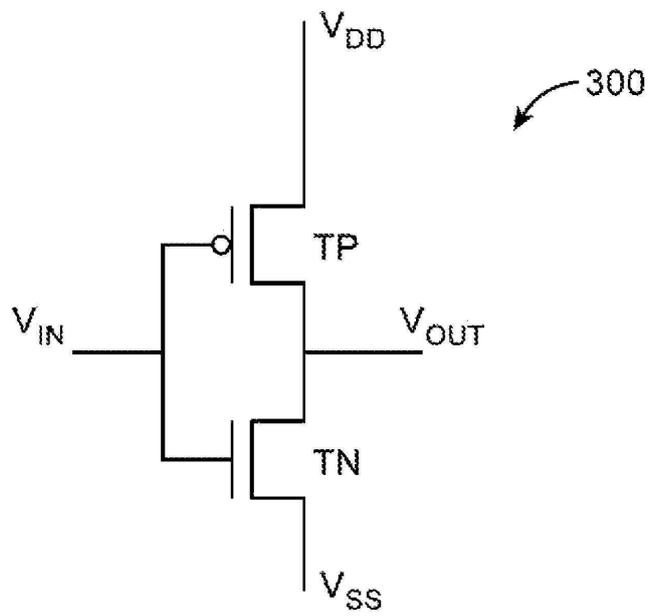
도면7



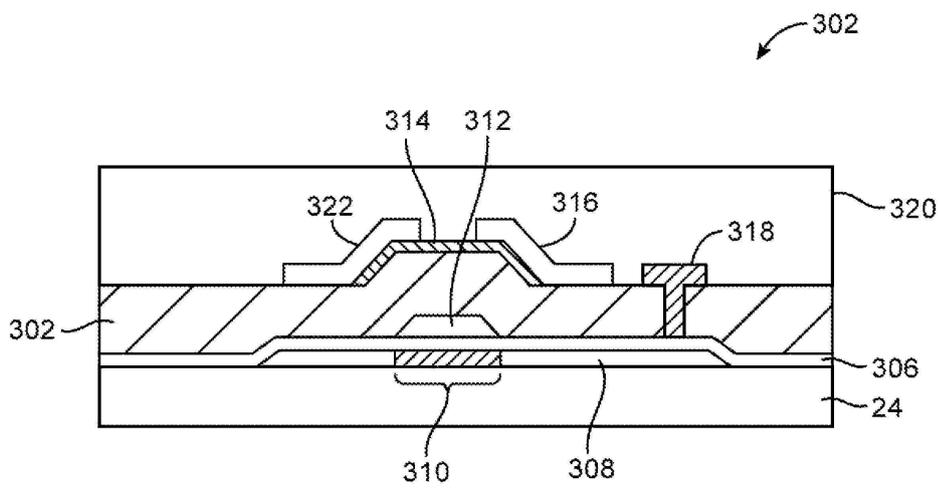
도면8



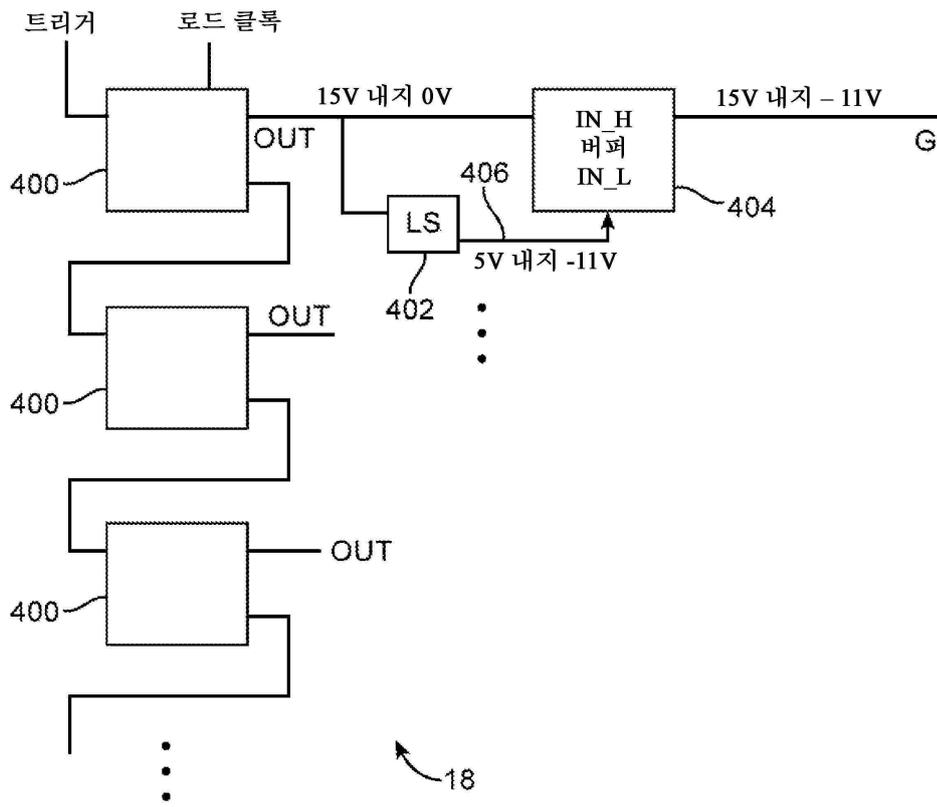
도면9



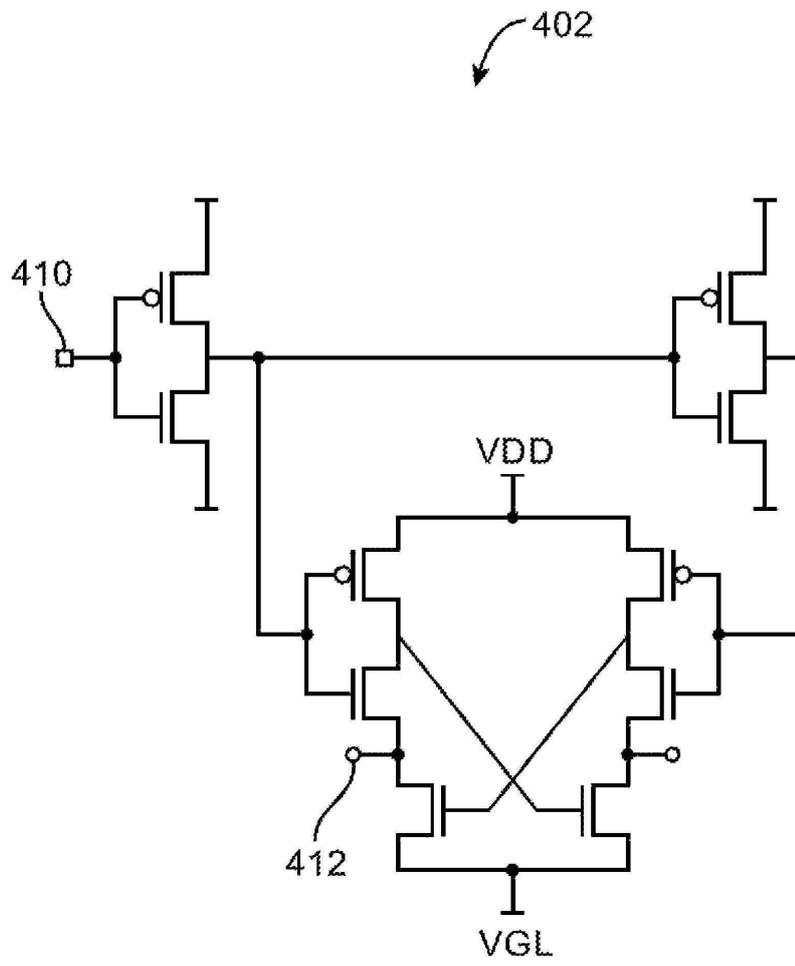
도면10



도면11

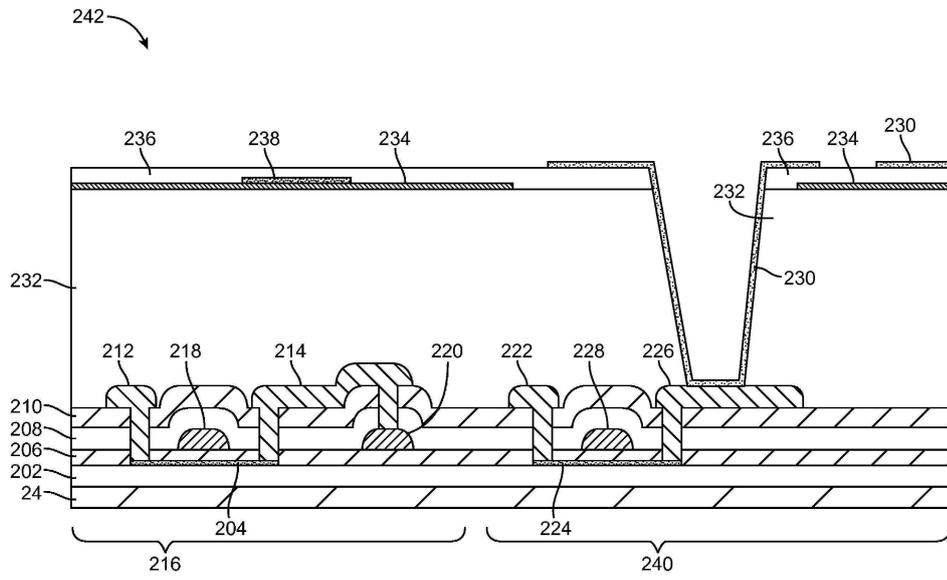


도면12

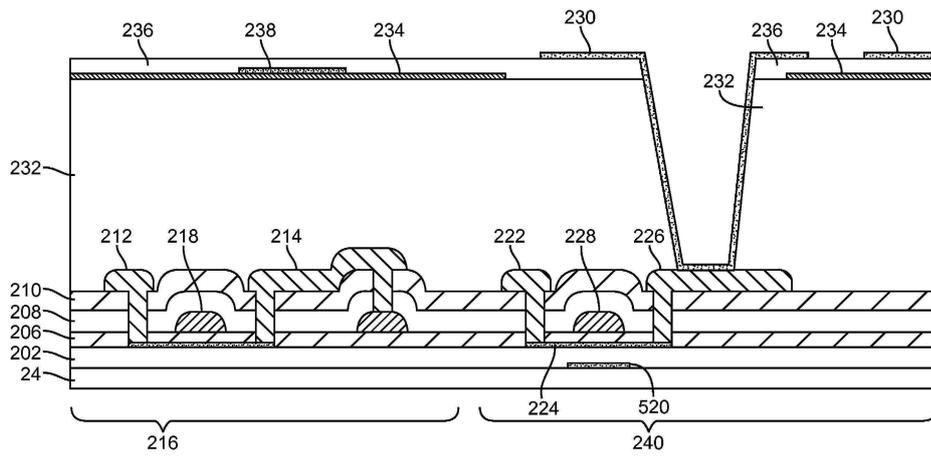




도면15



도면16



도면17

