

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-126343  
(P2016-126343A)

(43) 公開日 平成28年7月11日(2016.7.11)

(51) Int.Cl.			F I			テーマコード (参考)	
G09G	3/30	(2006.01)	G09G	3/30	J	3K107	
H01L	29/786	(2006.01)	H01L	29/78	618B	5C080	
H01L	51/50	(2006.01)	H01L	29/78	613Z	5C094	
G09F	9/30	(2006.01)	H01L	29/78	620	5C380	
G09G	3/20	(2006.01)	H05B	33/14	A	5F110	
			審査請求 未請求 請求項の数 12 O L			(全 92 頁) 最終頁に続く	

(21) 出願番号 特願2015-255728 (P2015-255728)  
 (22) 出願日 平成27年12月28日 (2015.12.28)  
 (31) 優先権主張番号 特願2014-266969 (P2014-266969)  
 (32) 優先日 平成26年12月29日 (2014.12.29)  
 (33) 優先権主張国 日本国 (JP)  
 (31) 優先権主張番号 特願2014-266973 (P2014-266973)  
 (32) 優先日 平成26年12月29日 (2014.12.29)  
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 三宅 博之  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 及川 欣聡  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 Fターム(参考) 3K107 AA01 BB01 BB07 CC33 EE04  
 EE22 EE61 FF14 FF15 HH01  
 HH02 HH04 HH05  
 最終頁に続く

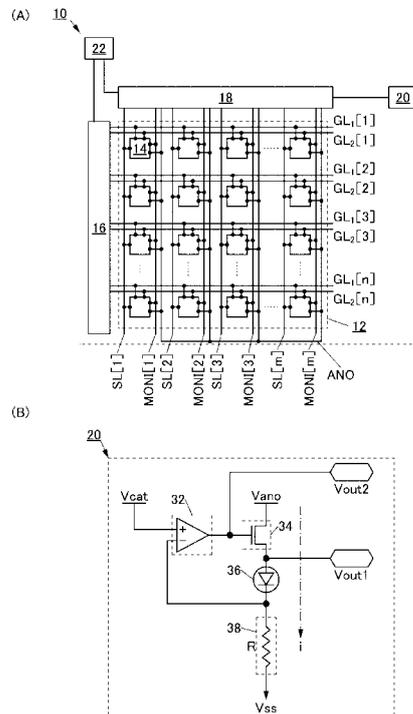
(54) 【発明の名称】 半導体装置、及び当該半導体装置を有する表示装置

(57) 【要約】

【課題】 環境温度の変化に起因した発光素子を流れる電流値の変動による輝度のばらつきを抑制する。

【解決手段】 モニター回路によって、画素部が有する第1の発光素子に流れる電流を制御する。モニター回路は、第2の発光素子、トランジスタ、抵抗素子、及び増幅回路、を有し、第2の発光素子の陽極は、トランジスタのソースまたはドレインの一方と電気的に接続され、第2の発光素子の陰極は、抵抗素子の一方の電極及び増幅回路の第1の入力端子と電気的に接続され、抵抗素子の他方の電極は、第1の電源線と電気的に接続され、増幅回路の第2の入力端子は、第2の電源線と電気的に接続され、増幅回路の出力端子は、トランジスタのゲートと電気的に接続され、トランジスタのソースまたはドレインの他方は、第3の電源線と電気的に接続され、トランジスタは、酸化物半導体膜を有し、抵抗素子は、酸化物半導体膜と同一表面上に形成された酸化物導電膜を有する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

酸化物半導体膜を有する半導体装置であって、  
 前記半導体装置は、  
 画素部と、前記画素部の外周に設けられたモニター回路と、を有し、  
 前記画素部は、第 1 の発光素子を有し、  
 前記モニター回路は、第 2 の発光素子と、トランジスタと、抵抗素子と、増幅回路と、  
 を有し、  
 前記第 2 の発光素子の陽極は、前記トランジスタのソースまたはドレインの一方と電氣的に接続され、  
 前記第 2 の発光素子の陰極は、前記抵抗素子の一方の電極及び前記増幅回路の第 1 の入力端子と電氣的に接続され、  
 前記抵抗素子の他方の電極は、第 1 の電源線と電氣的に接続され、  
 前記増幅回路の第 2 の入力端子は、第 2 の電源線と電氣的に接続され、  
 前記増幅回路の出力端子は、前記トランジスタのゲートと電氣的に接続され、  
 前記トランジスタのソースまたはドレインの他方は、第 3 の電源線と電氣的に接続され

10

20

30

40

50

、  
 前記トランジスタは、  
 前記酸化物半導体膜を有し、  
 前記抵抗素子は、  
 前記酸化物半導体膜と同一表面上に形成された酸化物導電膜を有し、  
 前記モニター回路によって、前記第 1 の発光素子に流れる電流を制御する、  
 ことを特徴とする半導体装置。

## 【請求項 2】

酸化物半導体膜を有する半導体装置であって、  
 前記半導体装置は、  
 画素部と、前記画素部の外周に設けられたモニター回路と、を有し、  
 前記画素部は、選択トランジスタと、駆動トランジスタと、第 1 の発光素子とを有し、  
 前記モニター回路は、第 2 の発光素子と、トランジスタと、抵抗素子と、増幅回路と、  
 を有し、  
 前記第 2 の発光素子の陽極は、前記トランジスタのソースまたはドレインの一方と電氣的に接続され、  
 前記第 2 の発光素子の陰極は、前記抵抗素子の一方の電極及び前記増幅回路の第 1 の入力端子と電氣的に接続され、  
 前記抵抗素子の他方の電極は、第 1 の電源線と電氣的に接続され、  
 前記増幅回路の第 2 の入力端子は、第 2 の電源線と電氣的に接続され、  
 前記増幅回路の出力端子は、前記トランジスタのゲートと電氣的に接続され、  
 前記トランジスタのソースまたはドレインの他方は、第 3 の電源線と電氣的に接続され

、  
 前記トランジスタは、  
 前記酸化物半導体膜を有し、  
 前記抵抗素子は、  
 前記酸化物半導体膜と同一表面上に形成された酸化物導電膜を有し、  
 前記モニター回路によって、前記駆動トランジスタ及び前記第 1 の発光素子に流れる電流を制御する、  
 ことを特徴とする半導体装置。

## 【請求項 3】

酸化物半導体膜を有する半導体装置であって、  
 前記半導体装置は、  
 画素部と、前記画素部の外周に設けられたモニター回路と、を有し、

前記画素部は、選択トランジスタと、駆動トランジスタと、第1の発光素子とを有し、  
前記選択トランジスタは、信号線と前記駆動トランジスタのゲートとの間の導通状態を  
制御する機能を有し、

前記駆動トランジスタは、前記第1の発光素子に流れる電流を制御する機能を有し、  
前記モニター回路は、第2の発光素子と、トランジスタと、抵抗素子と、増幅回路と、  
を有し、

前記第2の発光素子の陽極は、前記トランジスタのソースまたはドレインの一方と電氣  
的に接続され、

前記第2の発光素子の陰極は、前記抵抗素子の一方の電極及び前記増幅回路の第1の入  
力端子と電氣的に接続され、

前記抵抗素子の他方の電極は、第1の電源線と電氣的に接続され、

前記増幅回路の第2の入力端子は、第2の電源線と電氣的に接続され、

前記増幅回路の出力端子は、前記トランジスタのゲートと電氣的に接続され、

前記トランジスタのソースまたはドレインの他方は、第3の電源線と電氣的に接続され

、  
前記トランジスタは、

前記酸化物半導体膜を有し、

前記抵抗素子は、

前記酸化物半導体膜と同一表面上に形成された酸化物導電膜を有し、

前記モニター回路によって、前記駆動トランジスタ及び前記第1の発光素子に流れる電  
流を制御する、

ことを特徴とする半導体装置。

#### 【請求項4】

請求項2または請求項3において、

前記選択トランジスタ及び前記駆動トランジスタは、

前記酸化物半導体膜を有する、

ことを特徴とする半導体装置。

#### 【請求項5】

酸化物半導体膜を有する半導体装置であって、

前記半導体装置は、

画素部と、前記画素部の外周に設けられたモニター回路と、を有し、

前記画素部は、選択トランジスタと、駆動トランジスタと、第1のトランジスタと、第  
1の発光素子とを有し、

前記選択トランジスタは、信号線と前記駆動トランジスタのゲートとの間の導通状態を  
制御する機能を有し、

前記駆動トランジスタ及び前記第1のトランジスタは、前記第1の発光素子に流れる電  
流を制御する機能を有し、

前記モニター回路は、第2の発光素子と、第2のトランジスタと、抵抗素子と、増幅回  
路と、を有し、

前記第2の発光素子の陽極は、前記第2のトランジスタのソースまたはドレインの一方  
と電氣的に接続され、

前記第2の発光素子の陰極は、前記抵抗素子の一方の電極及び前記増幅回路の第1の入  
力端子と電氣的に接続され、

前記抵抗素子の他方の電極は、第1の電源線と電氣的に接続され、

前記増幅回路の第2の入力端子は、第2の電源線と電氣的に接続され、

前記増幅回路の出力端子は、前記第2のトランジスタのゲートと電氣的に接続され、

前記第2のトランジスタのソースまたはドレインの他方は、第3の電源線と電氣的に接  
続され、

前記第2のトランジスタは、

前記酸化物半導体膜を有し、

10

20

30

40

50

前記抵抗素子は、  
前記酸化物半導体膜と同一表面上に形成された酸化物導電膜を有し、  
前記モニター回路によって、前記駆動トランジスタ及び前記第1の発光素子に流れる電流を制御する、  
ことを特徴とする半導体装置。

【請求項6】

請求項5において、  
前記選択トランジスタ、前記駆動トランジスタ及び前記第1のトランジスタは、  
前記酸化物半導体膜を有する、  
ことを特徴とする半導体装置。

10

【請求項7】

請求項1乃至請求項6のいずれか一項において、  
前記酸化物半導体膜は、  
Inと、Znと、M(Mは、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf)と、を有する、  
ことを特徴とする半導体装置。

【請求項8】

請求項1乃至請求項6のいずれか一項において、  
前記酸化物半導体膜は、  
結晶部を有し、  
前記結晶部は、c軸配向性を有する、  
ことを特徴とする半導体装置。

20

【請求項9】

請求項1乃至請求項6のいずれか一項において、  
前記酸化物導電膜は、  
Inと、Znと、M(Mは、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf)と、を有する、  
ことを特徴とする半導体装置。

【請求項10】

請求項1乃至請求項9に記載のいずれか一項の半導体装置と、  
カラーフィルタと、を有する、  
ことを特徴とする表示装置。

30

【請求項11】

請求項10に記載の表示装置と、  
タッチセンサと、  
を有する、  
ことを特徴とする表示モジュール。

【請求項12】

請求項1乃至請求項9に記載のいずれか一項の半導体装置、請求項10に記載の表示装置、または請求項11に記載の表示モジュールと、  
操作キーまたはバッテリーと、を有する、  
ことを特徴とする電子機器。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、酸化物半導体膜を有する半導体装置、及び当該半導体装置を有する表示装置に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関する。または、本発明の一態様

50

は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明の一態様は、半導体装置、エレクトロルミネッセンス（Electro Luminescence）素子を有する表示装置（以下、EL表示装置ともいう）、液晶表示装置、発光装置、蓄電装置、記憶装置、撮像装置、それらの駆動方法、またはそれらの製造方法に関する。

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタ（電界効果トランジスタ（FET）、または薄膜トランジスタ（FTT）ともいう）を構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコンを代表とする半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている（例えば、特許文献1）。

10

【0004】

また、酸化物半導体を有するトランジスタを用いて、EL表示装置の各画素に設けられた発光素子の周囲の温度（以下環境温度と表記）による特性の変化を補正するために、画素部の周辺に環境温度によって発光素子の陰極の電位を補正するモニター回路を設ける構成が開示されている（例えば、特許文献2）。

【先行技術文献】

【特許文献】

20

【0005】

【特許文献1】特開2006-165529号公報

【特許文献2】特開2012-78798号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献2に示すように、発光素子は、環境温度により、その抵抗値（内部抵抗値）が変化する性質を有する。具体的には、室温を通常温度としたとき、温度が通常よりも高くなると抵抗値が低下し、温度が通常よりも低くなると抵抗値が上昇する。そのため、発光素子の電流-電圧特性が環境温度に応じて変化する。具体的には、温度が高くなると発光素子の電流値が増加して所望の輝度よりも高い輝度となり、温度が低くなると同じ電圧を印加した場合、発光素子の電流値が低下して所望の輝度よりも低い輝度となる。したがって、環境温度の変化に起因して発光素子を流れる電流値の変動により、発光素子の輝度にばらつきが生じ得る。

30

【0007】

上記問題に鑑み、本発明の一態様は、環境温度の変化に起因した発光素子を流れる電流値の変動による輝度のばらつきを抑制することを課題の1つとする。または、本発明の一態様は、新規な半導体装置を提供することを課題の1つとする。または、本発明の一態様は、新規な表示装置を提供することを課題の1つとする。

【0008】

40

なお、上記の課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はない。上記以外の課題は、明細書等の記載から自ずと明らかになるものであり、明細書等の記載から上記以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0009】

本発明の一態様は、モニター回路によって、画素部が有する第1の発光素子に流れる電流を制御する。モニター回路は、第2の発光素子、トランジスタ、抵抗素子、及び増幅回路、を有し、第2の発光素子の陽極は、トランジスタのソースまたはドレインの一方と電気的に接続され、第2の発光素子の陰極は、抵抗素子の一方の電極及び増幅回路の第1の

50

入力端子と電氣的に接続され、抵抗素子の他方の電極は、第1の電源線と電氣的に接続され、増幅回路の第2の入力端子は、第2の電源線と電氣的に接続され、増幅回路の出力端子は、トランジスタのゲートと電氣的に接続され、トランジスタのソースまたはドレインの他方は、第3の電源線と電氣的に接続され、トランジスタは、酸化物半導体膜を有し、抵抗素子は、酸化物半導体膜と同一表面上に形成された酸化物導電膜を有する。より、具体的には、以下の通りである。

【0010】

本発明の一態様は、酸化物半導体膜を有する半導体装置であって、半導体装置は、画素部と、画素部の外周に設けられたモニター回路と、を有し、画素部は、第1の発光素子を有し、モニター回路は、第2の発光素子と、トランジスタと、抵抗素子と、増幅回路と、を有し、第2の発光素子の陽極は、トランジスタのソースまたはドレインの一方と電氣的に接続され、第2の発光素子の陰極は、抵抗素子の一方の電極及び増幅回路の第1の入力端子と電氣的に接続され、抵抗素子の他方の電極は、第1の電源線と電氣的に接続され、増幅回路の第2の入力端子は、第2の電源線と電氣的に接続され、増幅回路の出力端子は、トランジスタのゲートと電氣的に接続され、トランジスタのソースまたはドレインの他方は、第3の電源線と電氣的に接続され、トランジスタは、酸化物半導体膜を有し、抵抗素子は、酸化物半導体膜と同一表面上に形成された酸化物導電膜を有し、モニター回路によって、第1の発光素子に流れる電流を制御する半導体装置である。

10

【0011】

また、本発明の他の一態様は、酸化物半導体膜を有する半導体装置であって、半導体装置は、画素部と、画素部の外周に設けられたモニター回路と、を有し、画素部は、選択トランジスタと、駆動トランジスタと、第1の発光素子とを有し、モニター回路は、第2の発光素子と、トランジスタと、抵抗素子と、増幅回路と、を有し、第2の発光素子の陽極は、トランジスタのソースまたはドレインの一方と電氣的に接続され、第2の発光素子の陰極は、抵抗素子の一方の電極及び増幅回路の第1の入力端子と電氣的に接続され、抵抗素子の他方の電極は、第1の電源線と電氣的に接続され、増幅回路の第2の入力端子は、第2の電源線と電氣的に接続され、増幅回路の出力端子は、トランジスタのゲートと電氣的に接続され、トランジスタのソースまたはドレインの他方は、第3の電源線と電氣的に接続され、トランジスタは、酸化物半導体膜を有し、抵抗素子は、酸化物半導体膜と同一表面上に形成された酸化物導電膜を有し、モニター回路によって、駆動トランジスタ及び第1の発光素子に流れる電流を制御する半導体装置である。

20

30

【0012】

また、本発明の他の一態様は、酸化物半導体膜を有する半導体装置であって、半導体装置は、画素部と、画素部の外周に設けられたモニター回路と、を有し、画素部は、選択トランジスタと、駆動トランジスタと、第1の発光素子とを有し、選択トランジスタは、信号線と駆動トランジスタのゲートとの間の導通状態を制御する機能を有し、駆動トランジスタは、第1の発光素子に流れる電流を制御する機能を有し、モニター回路は、第2の発光素子と、トランジスタと、抵抗素子と、増幅回路と、を有し、第2の発光素子の陽極は、トランジスタのソースまたはドレインの一方と電氣的に接続され、第2の発光素子の陰極は、抵抗素子の一方の電極及び増幅回路の第1の入力端子と電氣的に接続され、抵抗素子の他方の電極は、第1の電源線と電氣的に接続され、増幅回路の第2の入力端子は、第2の電源線と電氣的に接続され、増幅回路の出力端子は、トランジスタのゲートと電氣的に接続され、トランジスタのソースまたはドレインの他方は、第3の電源線と電氣的に接続され、トランジスタは、酸化物半導体膜を有し、抵抗素子は、酸化物半導体膜と同一表面上に形成された酸化物導電膜を有し、モニター回路によって、駆動トランジスタ及び第1の発光素子に流れる電流を制御する半導体装置である。

40

【0013】

上記態様において、選択トランジスタ及び駆動トランジスタは、酸化物半導体膜を有すると好ましい。

【0014】

50

また、本発明の他の一態様は、酸化物半導体膜を有する半導体装置であって、半導体装置は、画素部と、画素部の外周に設けられたモニター回路と、を有し、画素部は、選択トランジスタと、駆動トランジスタと、第1のトランジスタと、第1の発光素子とを有し、選択トランジスタは、信号線と駆動トランジスタのゲートとの間の導通状態を制御する機能を有し、駆動トランジスタ及び第1のトランジスタは、第1の発光素子に流れる電流を制御する機能を有し、モニター回路は、第2の発光素子と、第2のトランジスタと、抵抗素子と、増幅回路と、を有し、第2の発光素子の陽極は、第2のトランジスタのソースまたはドレインの一方と電氣的に接続され、第2の発光素子の陰極は、抵抗素子の一方の電極及び増幅回路の第1の入力端子と電氣的に接続され、抵抗素子の他方の電極は、第1の電源線と電氣的に接続され、増幅回路の第2の入力端子は、第2の電源線と電氣的に接続され、増幅回路の出力端子は、第2のトランジスタのゲートと電氣的に接続され、第2のトランジスタのソースまたはドレインの他方は、第3の電源線と電氣的に接続され、第2のトランジスタは、酸化物半導体膜を有し、抵抗素子は、酸化物半導体膜と同一表面上に形成された酸化物導電膜を有し、モニター回路によって、駆動トランジスタ及び第1の発光素子に流れる電流を制御する半導体装置である。

10

【0015】

上記態様において、選択トランジスタ、駆動トランジスタ及び第1のトランジスタは、酸化物半導体膜を有すると好ましい。

【0016】

また、上記態様において、酸化物半導体膜は、Inと、Znと、M(Mは、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf)と、を有すると好ましい。また、上記態様において、酸化物半導体膜は、結晶部を有し、結晶部は、c軸配向性を有すると好ましい。また、上記態様において、酸化物導電膜は、Inと、Znと、M(Mは、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf)と、を有すると好ましい。

20

【0017】

また、本発明の他の一態様は、上記記載のいずれか一態様の半導体装置と、カラーフィルタと、を有する表示装置である。また、本発明の他の一態様は、当該表示装置と、タッチセンサと、を有する表示モジュールである。また、本発明の他の一態様は、上記記載のいずれか一態様の半導体装置、上記表示装置、または上記表示モジュールと、操作キーまたはバッテリーと、を有する電子機器である。

30

【発明の効果】

【0018】

本発明の一態様により、環境温度の変化に起因した発光素子に流れる電流値の変動による輝度のばらつきを抑制することができる。または、本発明の一態様により、新規な半導体装置を提供することができる。または、本発明の一態様により、新規な表示装置を提供することができる。

【0019】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

40

【図面の簡単な説明】

【0020】

【図1】半導体装置の一態様を説明するブロック図及び回路図。

【図2】発光素子のL-I特性及び発光素子のI-V特性を説明する図。

【図3】モニター回路の一態様を示す回路図。

【図4】トランジスタの一態様を説明する上面図及び断面図。

【図5】トランジスタの温度特性を説明する図。

【図6】評価用サンプルの一態様を説明する上面図及び断面図。

【図7】評価用サンプルの抵抗の温度特性を説明する図。

50

- 【図 8】モニター回路を用いた補正方法を説明するブロック図。
- 【図 9】画素回路の一態様を説明する回路図。
- 【図 10】画素回路の一態様を説明する回路図及びタイミングチャート。
- 【図 11】画素回路の一態様を説明する回路図及びタイミングチャート。
- 【図 12】画素回路の一態様を説明する回路図及びタイミングチャート。
- 【図 13】画素回路の一態様を説明する回路図及びタイミングチャート。
- 【図 14】半導体装置の一態様を示す断面図。
- 【図 15】トランジスタの一態様を示す上面図及び断面図。
- 【図 16】トランジスタの一態様を示す上面図及び断面図。
- 【図 17】トランジスタの一態様を示す上面図及び断面図。 10
- 【図 18】トランジスタの一態様を示す上面図及び断面図。
- 【図 19】トランジスタの一態様を示す上面図及び断面図。
- 【図 20】トランジスタの一態様を示す断面図。
- 【図 21】酸化物半導体のバンド構造を説明する図。
- 【図 22】半導体装置の作製工程の一例を示す断面図。
- 【図 23】半導体装置の作製工程の一例を示す断面図。
- 【図 24】半導体装置の作製工程の一例を示す断面図。
- 【図 25】半導体装置の作製工程の一例を示す断面図。
- 【図 26】ガスベーク炉の加熱処理時の熱プロファイルを説明する図。
- 【図 27】ガスベーク炉の加熱処理時の熱プロファイルを説明する図。 20
- 【図 28】C A A C - O S の断面における C s 補正高分解能 T E M 像、および C A A C - O S の断面模式図。
- 【図 29】C A A C - O S の平面における C s 補正高分解能 T E M 像。
- 【図 30】C A A C - O S および単結晶酸化物半導体の X R D による構造解析を説明する図。
- 【図 31】C A A C - O S の電子回折パターンを示す図。
- 【図 32】In - Ga - Zn 酸化物の電子照射による結晶部の変化を示す図。
- 【図 33】C A A C - O S の成膜方法を説明する図。
- 【図 34】InM Zn O<sub>4</sub> の結晶を説明する図。
- 【図 35】C A A C - O S の成膜方法を説明する図。 30
- 【図 36】C A A C - O S の成膜方法を説明する図。
- 【図 37】nc - O S の成膜方法を説明する図。
- 【図 38】タッチパネルの一例を示す斜視図。
- 【図 39】表示装置及びタッチセンサの一例を示す断面図。
- 【図 40】タッチパネルの一例を示す断面図。
- 【図 41】タッチセンサのブロック図及びタイミングチャート図。
- 【図 42】タッチセンサの回路図。
- 【図 43】表示モジュールを説明する図。
- 【図 44】電子機器を説明する図。
- 【図 45】表示装置の斜視図。 40
- 【図 46】成膜装置の構成を説明する図。
- 【発明を実施するための形態】
- 【0021】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0022】

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を

模式的に示したものであり、図面に示す形状又は値などに限定されない。また、図面において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0023】

また、本明細書などにおいて、第1、第2等として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。そのため、例えば、「第1の」を「第2の」又は「第3の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

10

【0024】

また、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【0025】

また、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。撮像装置、表示装置、液晶表示装置、発光装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、及び電子機器は、半導体装置を有する場合がある。

20

【0026】

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネル領域を有しており、ドレインとチャンネル領域とソースとを介して電流を流すことができるものである。なお、本明細書等において、チャンネル領域とは、電流が主として流れる領域をいう。

【0027】

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。

30

【0028】

なお、本明細書等において、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、好ましくは酸素が55原子%以上65原子%以下、窒素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、好ましくは窒素が55原子%以上65原子%以下、酸素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものをいう。

40

【0029】

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0030】

また、本明細書等において、「平行」とは、二つの直線が $-10^\circ$ 以上 $10^\circ$ 以下の角度で配置されている状態をいう。したがって、 $-5^\circ$ 以上 $5^\circ$ 以下の場合も含まれる。ま

50

た、「略平行」とは、二つの直線が $-30^\circ$ 以上 $30^\circ$ 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が $80^\circ$ 以上 $100^\circ$ 以下の角度で配置されている状態をいう。したがって、 $85^\circ$ 以上 $95^\circ$ 以下の場合も含まれる。また、「略垂直」とは、二つの直線が $60^\circ$ 以上 $120^\circ$ 以下の角度で配置されている状態をいう。

【0031】

また、本明細書等において、XとYとが接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

10

【0032】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜など）であるとする。

【0033】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。

20

【0034】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

30

【0035】

なお、XとYとが接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

40

【0036】

なお、例えば、トランジスタのソース（又は第1端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合は、以下のように表現することが出来る。

【0037】

例えば、「XとYとトランジスタのソース（又は第1端子など）とドレイン（又は第2端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1

50

端子など)、トランジスタのドレイン(又は第2端子など)、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース(又は第1端子など)は、Xと電氣的に接続され、トランジスタのドレイン(又は第2端子など)はYと電氣的に接続され、X、トランジスタのソース(又は第1端子など)、トランジスタのドレイン(又は第2端子など)、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース(又は第1端子など)とドレイン(又は第2端子など)とを介して、Yと電氣的に接続され、X、トランジスタのソース(又は第1端子など)、トランジスタのドレイン(又は第2端子など)、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース(又は第1端子など)と、ドレイン(又は第2端子など)とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜など)であるとする。

10

## 【0038】

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置の一例について、図1乃至図7を参照して説明する。

## 【0039】

図1(A)は、本発明の一態様の半導体装置の一例を示すブロック図である。

20

## 【0040】

図1(A)に示す半導体装置10は、画素部12と、画素部12の外周に配置されたゲート線駆動回路16と、画素部12の外周に配置された信号線駆動回路18と、画素部12の外側に配置されたモニター回路20と、ゲート線駆動回路16及び信号線駆動回路18と電氣的に接続された端子部22と、を有する。また、画素部12は、複数の画素14を有する。

## 【0041】

複数の画素14は、図1(A)に示すように、マトリクス状に配置される。また、複数の画素14は、ゲート線駆動回路16に接続されたゲート線( $GL_1[1]$ 乃至 $GL_1[n]$ 、及び $GL_2[1]$ 乃至 $GL_2[n]$ 、 $n$ は自然数を表す)によって、供給される選択信号により、各行で選択状態か、非選択状態かが決定される。また、選択信号によって選択されている画素14は、信号線駆動回路18に接続された信号線( $SL[1]$ 乃至 $SL[m]$ 、 $m$ は自然数を表す)によって、ビデオデータ( $V_{data}$ 、画像信号、ビデオ信号、ビデオ電圧ともいう)が供給される。また、複数の画素14は、アノード線( $ANO$ )に電氣的に接続される。

30

## 【0042】

なお、図1(A)においては、ゲート線駆動回路16、及び信号線駆動回路18が半導体装置10上に設けられる構成について例示したが、これに限定されず、ゲート線駆動回路16または信号線駆動回路18のいずれか一方が半導体装置10上に設けられる構成としてもよい。または半導体装置10には、ゲート線駆動回路16、信号線駆動回路18、及び端子部22を設けずに、画素部12と、モニター回路20とを、設ける構成としてもよい。

40

## 【0043】

端子部22は、外部の回路から半導体装置10に電源、制御信号、または画像信号のいずれか一つまたは複数を入力するための端子が設けられた部分である。また、端子部22は、タイミング制御回路(コントローラ、制御ICともいう)等と電氣的に接続されてもよい。

## 【0044】

また、図1(A)においては、画素部12の複数の画素14がマトリクス状に配置(ストライプ配置)する構成について例示したが、これに限定されず、例えば、画素14をデ

50

ルタ配置、ペンタイル配置としてもよい。なお、カラー表示する際に画素 14 で制御する色要素としては、RGB (R は赤、G は緑、B は青) の三色に限定されず、それ以上でもよく、例えば、RGBW (W は白)、または RGB に、Y (イエロー)、C (シアン)、M (マゼンタ) などを一色以上追加してもよい。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。

#### 【0045】

また、画素 14 は、少なくとも発光素子を有する。発光素子は、発光素子に電圧を印加することにより、発光素子が有する一対の電極の一方から電子が、他方から正孔がそれぞれ発光性の化合物を含む層に注入され、電流が流れる。そして、電子及び正孔が再結合することにより、発光性の化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

10

#### 【0046】

##### < 1 - 1 . 発光素子の特性 >

ここで、画素 14 が有する発光素子の特性について、以下説明する。まず、発光素子の特性である、L - I (輝度 - 電流) 特性及び I - V (電流 - 電圧) 特性について、図 2 (A) (B) を用いて説明する。

#### 【0047】

図 2 (A) は、発光素子の L - I 特性を説明する図である。図 2 (A) に示す通り、発光素子は流れる電流に比例して輝度が高くなる。すなわち、発光素子の L - I 特性には、環境温度による変化 (以下、温度依存性という場合がある) がない、または極めて少ない。

20

#### 【0048】

また、図 2 (B) は、発光素子の I - V 特性を説明する図である。発光素子は温度によって抵抗が変化するため、温度が変化すると、輝度が変わってしまう。例えば、図 2 (B) に示す通り、同じ電圧を印加した場合、発光素子の温度が 25 よりも高くなると、発光素子に流れる電流が増加してしまう。

#### 【0049】

そこで、本発明の一態様の半導体装置は、発光素子の温度依存性を小さくするために、モニター回路 20 を有する。モニター回路 20 は、環境温度によって、画素 14 が有する発光素子の輝度を調整する機能を有する。ここで、モニター回路 20 の一例について、説明する。

30

#### 【0050】

##### < 1 - 2 . モニター回路の構成 >

図 1 (B) は、本発明の一態様の半導体装置が有する、モニター回路 20 の一例を示す回路図である。

#### 【0051】

図 1 (B) に示すモニター回路 20 は、増幅回路 32 と、トランジスタ 34 と、発光素子 36 と、抵抗素子 38 と、を有する。

#### 【0052】

増幅回路 32 の入力端子の一方は、電位  $V_{cat}$  が与えられる電源線と電氣的に接続され、増幅回路 32 の入力端子の他方は、発光素子 36 の陰極側の端子と電氣的に接続される。また、増幅回路 32 の出力端子は、電位  $V_{out2}$  が与えられる配線、及びトランジスタ 34 のゲートに電氣的に接続される。

40

#### 【0053】

また、トランジスタ 34 のソースまたはドレインの一方は、電位  $V_{an}$  が与えられる電源線と電氣的に接続され、トランジスタ 34 のソースまたはドレインの他方は、発光素子 36 の陽極及び電位  $V_{out1}$  が与えられる配線と、電氣的に接続される。

#### 【0054】

また、発光素子 36 の陰極は、抵抗素子 38 の一方の電極と電氣的に接続され、抵抗素

50

子 38 の他方の電極は、電位  $V_{s_s}$  が与えられる配線と電氣的に接続される。

【0055】

例えば、図 1 (B) に示すモニター回路 20 とする場合、電位  $V_{a_n}$  が与えられる配線から電位  $V_{s_s}$  が与えられる配線に流れる電流値  $i$  は、以下の数式 (1) で表される。

【0056】

$$(V_{c_{at}} - V_{s_s}) / R \quad (1)$$

【0057】

従って、抵抗素子 38 の抵抗  $R$  は、温度依存性が無く、抵抗値が一定であることが好ましい。また、 $V_{o_{ut2}} - V_{o_{ut1}}$  が電流値  $i$  を流すために必要な  $V_{g_s}$  であり、 $V_{o_{ut1}} - V_{c_{at}}$  が発光素子 36 に与えられる電圧となる。

10

【0058】

抵抗素子 38 としては、例えば、酸化物半導体 (OS: Oxide Semiconductor) を導電体化した材料である酸化物導電体 (OC: Oxide Conductor) を用いると好適である。酸化物導電体 (OC) は、環境温度による抵抗の変化が少ない。すなわち、温度依存性が低い抵抗材料として用いることができる。ただし、抵抗素子 38 としては、酸化物導電体 (OC) に限定されず、温度依存性が低い、その他の抵抗材料を用いてもよい。

【0059】

また、トランジスタ 34 は、活性層に酸化物半導体 (OS) を有すると好ましい。上述の酸化物導電体 (OC) と、酸化物半導体 (OS) とは、同じ製造工程で作製することができる。なお、トランジスタ 34 が有する酸化物半導体 (OS) は、発光素子 36 と同様に環境温度により特性が変化する可能性がある。例えば、酸化物半導体 (OS) を用いたトランジスタを、発光素子の駆動トランジスタとして用いた場合、環境温度が高くなることで、トランジスタの  $V_{d_s}$  が大きくなる場合がある。

20

【0060】

なお、図 1 (B) に示すモニター回路 20 においては、トランジスタ 34 に n チャネル型のトランジスタを用いる構成について例示したが、これに限定されず、例えば図 3 に示す構成としてもよい。図 3 は、モニター回路 20 の一例を説明する回路図である。図 3 に示すように、トランジスタ 34 を p チャネル型のトランジスタとし、増幅回路 32 の極性を変えたモニター回路 20 としてもよい。

30

【0061】

ここで、酸化物半導体 (OS) を有するトランジスタの温度依存性、及び酸化物導電体 (OC) の温度依存性について、以下説明を行う。

【0062】

< 2 - 1 . 酸化物半導体を有するトランジスタの温度依存性 >

まず、酸化物半導体を有するトランジスタの温度依存性について説明する。ここでは、図 4 に示すトランジスタ 600 に相当するトランジスタを作製し、当該トランジスタの温度特性について評価を行った。

【0063】

< 2 - 2 . トランジスタの構造 >

40

図 4 (A) は、トランジスタ 600 の上面図であり、図 4 (B) は、図 4 (A) に示す一点鎖線 X1 - X2 間における切断面の断面図に相当し、図 4 (C) は、図 4 (A) に示す一点鎖線 Y1 - Y2 間における切断面の断面図に相当する。なお、図 4 (A) において、煩雑になることを避けるため、トランジスタ 600 の構成要素の一部 (ゲート絶縁膜として機能する絶縁膜等) を省略して図示している。また、一点鎖線 X1 - X2 方向をチャネル長方向、一点鎖線 Y1 - Y2 方向をチャネル幅方向と呼称する場合がある。なお、トランジスタの上面図においては、以降の図面においても図 4 (A) と同様に、構成要素の一部を省略して図示する場合がある。

【0064】

トランジスタ 600 は、基板 602 上の第 1 のゲート電極として機能する導電膜 604

50

と、基板 602 及び導電膜 604 上の絶縁膜 606 と、絶縁膜 606 上の絶縁膜 607 と、絶縁膜 607 上の酸化物半導体膜 608 と、酸化物半導体膜 608 に電氣的に接続されるソース電極として機能する導電膜 612a と、酸化物半導体膜 608 に電氣的に接続されるドレイン電極として機能する導電膜 612b と、を有する。

【0065】

また、トランジスタ 600 上、より詳しくは、導電膜 612a、612b 及び酸化物半導体膜 608 上には絶縁膜 614、616、618 が設けられる。また、絶縁膜 618 上には導電膜 620 が設けられる。また、絶縁膜 606、607 には、導電膜 604 に達する開口部 642a が設けられ、開口部 642a を覆うように、導電膜 612c が形成される。また、絶縁膜 614、616、618 には、導電膜 612c に達する開口部 642b が設けられる。また、導電膜 620 は、開口部 642b を介して導電膜 612c と接続される。すなわち、導電膜 604 と導電膜 620 とは電氣的に接続される。なお、導電膜 620 は、トランジスタ 600 の第 2 のゲート電極（バックゲート電極ともいう）として機能する。

10

【0066】

本実施の形態においては、図 4 に示すトランジスタ 600 に相当するトランジスタとして、酸化物半導体膜 608 の構造が異なる 2 つの試料（以下、試料 A1 及び試料 A2 とする）を作製し評価を行った。なお、試料 A1 及び試料 A2 とともに、チャンネル長 L が 3 μm、チャンネル幅 W が 5 μm のトランジスタとした。

20

【0067】

< 2 - 3 . トランジスタの作製方法 >

以下に試料 A1 及び試料 A2 の作製方法を示す。

【0068】

まず、基板 602 上に導電膜 604 を形成した。基板 602 としては、ガラス基板を用いた。また、導電膜 604 としては、厚さ 100 nm のタングステン膜を、スパッタリング装置を用いて形成した。

【0069】

次に、基板 602 及び導電膜 604 上に絶縁膜 606、607 を形成した。絶縁膜 606 としては、厚さ 400 nm の窒化シリコン膜を、PECVD 装置を用いて形成した。また、絶縁膜 607 としては、厚さ 50 nm の酸化窒化シリコン膜を、PECVD 装置を用いて形成した。

30

【0070】

次に、絶縁膜 607 上に酸化物半導体膜 608 を形成した。

【0071】

試料 A1 の酸化物半導体膜 608 は、異なる組成の IGZO 膜の積層構造とした。1 層目の IGZO 膜の成膜条件としては、基板温度を 170 とし、流量 140 sccm のアルゴンガスと、流量 60 sccm の酸素ガスとをチャンパー内に導入し、圧力を 0.6 Pa とし、金属酸化物スパッタリングターゲット (In : Ga : Zn = 4 : 2 : 4.1 [原子数比]) に 2500 W の AC 電力を投入して成膜した。なお、1 層目の IGZO 膜の膜厚を 10 nm とした。2 層目の IGZO 膜の成膜条件としては、基板温度を 170 とし、流量 100 sccm のアルゴンガスと、流量 100 sccm の酸素ガスとをチャンパー内に導入し、圧力を 0.6 Pa とし、金属酸化物スパッタリングターゲット (In : Ga : Zn = 1 : 1 : 1.2 [原子数比]) に 2500 W の AC 電力を投入して成膜した。なお、2 層目の IGZO 膜の膜厚を 15 nm とした。

40

【0072】

試料 A2 の酸化物半導体膜 608 は、IGZO 膜の単層構造とした。試料 A2 の IGZO 膜の成膜条件としては、基板温度を 170 とし、流量 100 sccm のアルゴンガスと、流量 100 sccm の酸素ガスとをチャンパー内に導入し、圧力を 0.6 Pa とし、金属酸化物スパッタリングターゲット (In : Ga : Zn = 1 : 1 : 1.2 [原子数比]) に 2500 W の AC 電力を投入して成膜した。なお、試料 A2 の IGZO 膜の膜厚を 3

50

5 nmとした。

【0073】

次に、第1の熱処理を行った。該第1の熱処理としては、窒素雰囲気下で450 1時間の熱処理を行い、続けて窒素と酸素の混合ガス雰囲気下で450 1時間の熱処理とした。

【0074】

次に、絶縁膜607及び酸化物半導体膜608上にレジストマスクを形成し、所望の領域をエッチングすることで、導電膜604に達する開口部642aを形成した。開口部642aの形成方法としては、ドライエッチング装置を用いた。なお、開口部642aの形成後レジストマスクを除去した。

10

【0075】

次に、絶縁膜607、酸化物半導体膜608、及び開口部642a上に導電膜を形成し、該導電膜上にレジストマスクを形成し、所望の領域をエッチングすることで、導電膜612a、612b、612cを形成した。導電膜612a、612b、612cとしては、厚さ50nmのタングステン膜と、厚さ400nmのアルミニウム膜と、厚さ100nmのチタン膜とを順に、スパッタリング装置を用いて真空中で連続して形成した。なお、導電膜612a、612b、612cの形成後レジストマスクを除去した。

【0076】

次に、絶縁膜607、酸化物半導体膜608、及び導電膜612a、612b上から、リン酸水溶液（リン酸の濃度が85%の水溶液を、さらに純水で100倍に希釈した水溶液）を塗布し、導電膜612a、612bから露出した酸化物半導体膜608の表面の一部を除去した。

20

【0077】

次に、絶縁膜607、酸化物半導体膜608、及び導電膜612a、612b上に絶縁膜614及び絶縁膜616を形成した。絶縁膜614としては、厚さ50nmの酸化窒化シリコン膜を、PECVD装置を用いて形成した。また、絶縁膜616としては、厚さ400nmの酸化窒化シリコン膜を、PECVD装置を用いて形成した。なお、絶縁膜614及び絶縁膜616としては、PECVD装置により真空中で連続して形成した。

【0078】

絶縁膜614の成膜条件としては、基板温度を220 とし、流量50sccmのシランガスと、流量2000sccmの一酸化二窒素ガスをチャンバー内に導入し、圧力を20Paとし、PECVD装置内に設置された平行平板の電極間に100WのRF電力を供給して成膜した。また、絶縁膜616の成膜条件としては、基板温度を220 とし、流量160sccmのシランガスと、流量4000sccmの一酸化二窒素ガスをチャンバー内に導入し、圧力を200Paとし、PECVD装置内に設置された平行平板の電極間に1500WのRF電力を供給して成膜した。

30

【0079】

次に、第2の熱処理を行った。該第2の熱処理としては、窒素雰囲気下で350 1時間とした。

【0080】

次に、絶縁膜616上に保護膜を形成した。当該保護膜としては、厚さ5nmのITSO膜を、スパッタリング装置を用いて形成した。該ITSO膜の成膜条件としては、基板温度を室温とし、流量72sccmのアルゴンガスと、流量5sccmの酸素ガスをチャンバー内に導入し、圧力を0.15Paとし、スパッタリング装置内に設置された金属酸化物ターゲット（ $In_2O_3 : SnO_2 : SiO_2 = 85 : 10 : 5$  [重量%]）に1000WのDC電力を供給した。

40

【0081】

次に、上記保護膜を通過して、絶縁膜614、616に酸素添加処理を行った。酸素添加処理条件としては、アッシング装置を用い、基板温度を40 とし、流量250sccmの酸素ガスをチャンバー内に導入し、圧力を15Paとし、基板側にバイアスが印加さ

50

れるように、アッシング装置内に設置された平行平板の電極間に4500WのRF電力を120sec供給して行った。

【0082】

次に、保護膜を除去し、絶縁膜616の表面を露出させた。保護膜の除去方法としては、シュウ酸の濃度が5%のシュウ酸水溶液にて300secの処理を行った後、フッ酸の濃度が0.5%のフッ化水素酸水溶液にて15secの処理を行った。

【0083】

次に、絶縁膜616上に絶縁膜618を形成した。絶縁膜618としては、厚さ100nmの窒化シリコン膜を、PECVD装置を用いて形成した。絶縁膜618の成膜条件としては、基板温度を350とし、流量50sccmのシランガスと、流量5000sccmの窒素ガスと、流量100sccmのアンモニアガスをチャンバー内に導入し、圧力を100Paとし、PECVD装置内に設置された平行平板の電極間に1000WのRF電力を供給して成膜した。なお、絶縁膜618の形成前には、基板の予備加熱を行っていない。

10

【0084】

次に、絶縁膜618上にレジストマスクを形成し、所望の領域をエッチングすることで、導電膜612cに達する開口部642bを形成した。開口部642bの形成方法としては、ドライエッチング装置を用いた。なお、開口部642bの形成後レジストマスクを除去した。

【0085】

次に、開口部642bを覆うように絶縁膜618上に導電膜を形成し、該導電膜を加工することで導電膜620を形成した。導電膜620としては、厚さ100nmのITSO膜を、スパッタリング装置を用いて形成した。該ITSO膜の成膜条件としては、基板温度を室温とし、流量72sccmのアルゴンガスと、流量5sccmの酸素ガスをチャンバー内に導入し、圧力を0.15Paとし、スパッタリング装置内に設置された金属酸化物ターゲットに3200WのDC電力を供給した。なお、ITSO膜に用いた金属酸化物ターゲットの組成は、先に記載の保護膜に用いた金属酸化物ターゲットと同じである。

20

【0086】

次に、第3の熱処理を行った。該第3の熱処理としては、窒素雰囲気下で250 1時間とした。

30

【0087】

以上の工程で試料A1及び試料A2を作製した。

【0088】

<2-4. 温度依存性の評価>

次に、上記作製した試料A1及びA2の温度依存性の評価を行った。

【0089】

トランジスタの温度依存性の評価としては、基板温度を25、40、60、80の4条件とし、トランジスタのオン電流( $I_{on}$ )を測定した。なお、ドレイン電圧( $V_d$ )を20V、ゲート電圧( $V_g$ )を15Vとした。試料A1及び試料A2の温度依存性の結果を図5に示す。

40

【0090】

図5に示す通り、試料A1及び試料A2ともに、基板温度が高くなるに従い、トランジスタの $I_{on}$ が高くなる結果が示された。

【0091】

以上のように、酸化物半導体を有するトランジスタは、温度依存性があることが確認できる。

【0092】

<3-1. 酸化物導電体の温度依存性>

次に、酸化物導電体の温度依存性について説明する。ここでは、図6に示す評価用サンプル650に相当する試料を作製し、当該試料の温度特性について評価を行った。

50

## 【0093】

## &lt; 3 - 2 . 評価用サンプルの構造 &gt;

図6(A)は、評価用サンプル650の上面図であり、図6(B)は、図6(A)に示す一点鎖線M-N間における切断面の断面図に相当する。

## 【0094】

評価用サンプル650は、基板602上の導電膜604aと、基板602上の導電膜604bと、基板602及び導電膜604a、604bを覆う絶縁膜606と、絶縁膜606上の絶縁膜607と、絶縁膜607上の酸化物導電膜609と、絶縁膜606、607に設けられた開口部644aを介し、導電膜604aと接続される導電膜612dと、絶縁膜606、607に設けられた開口部644bを介し、導電膜604bと接続される導電膜612eと、絶縁膜607、酸化物導電膜609、及び導電膜612d、612eを覆う絶縁膜618と、を有する。

10

## 【0095】

なお、導電膜612d、612eは、酸化物導電膜609と接続されている。また、導電膜612d、612e上の絶縁膜618には、開口部646a、646bが設けられている。

## 【0096】

本実施の形態においては、図6(A)(B)に相当する試料を作製し、酸化物導電膜609の抵抗を評価した。なお、酸化物導電膜609の構造が異なる2つの試料(以下、試料B1及び試料B2とする)を作製し評価を行った。なお、試料B1及び試料B2ともに、酸化物導電膜609のサイズを $W/L = 10\mu\text{m}/1500\mu\text{m}$ とした。

20

## 【0097】

## &lt; 3 - 3 . 評価用サンプルの作製方法 &gt;

以下に試料B1及び試料B2の作製方法を示す。

## 【0098】

まず、基板602上に導電膜604a、604bを形成した。基板602としては、ガラス基板を用いた。また、導電膜604a、604bとしては、厚さ100nmのタングステン膜を、スパッタリング装置を用いて形成した。

## 【0099】

次に、基板602及び導電膜604a、604b上に絶縁膜606、607を形成した。絶縁膜606としては、厚さ400nmの窒化シリコン膜を、PECVD装置を用いて形成した。また、絶縁膜607としては、厚さ50nmの酸化窒化シリコン膜を、PECVD装置を用いて形成した。

30

## 【0100】

次に、絶縁膜607上に酸化物半導体膜を形成した。

## 【0101】

試料B1の酸化物半導体膜は、先に示す試料A1と同様の構造とした。また、試料B2の酸化物半導体膜は、先に示す試料A2と同様の構造とした。

## 【0102】

次に、第1の熱処理を行った。該第1の熱処理としては、窒素雰囲気下で450 1時間の熱処理を行い、続けて窒素と酸素の混合ガス雰囲気下で450 1時間の熱処理とした。

40

## 【0103】

次に、絶縁膜607及び酸化物半導体膜上にレジストマスクを形成し、所望の領域をエッチングすることで、導電膜604a、604bに達する開口部644a、644bを形成した。開口部644a、644bの形成方法としては、ドライエッチング装置を用いた。なお、開口部644a、644bの形成後レジストマスクを除去した。

## 【0104】

次に、絶縁膜607、酸化物半導体膜、及び開口部644a、644b上に導電膜を形成し、該導電膜上にレジストマスクを形成し、所望の領域をエッチングすることで、導電

50

膜 6 1 2 d、6 1 2 e を形成した。導電膜 6 1 2 d、6 1 2 e としては、厚さ 5 0 n m のタンゲステン膜と、厚さ 4 0 0 n m のアルミニウム膜と、厚さ 1 0 0 n m のチタン膜とを順に、スパッタリング装置を用いて真空中で連続して形成した。なお、導電膜 6 1 2 d、6 1 2 e の形成後レジストマスクを除去した。

【 0 1 0 5 】

次に、絶縁膜 6 0 7、酸化物半導体膜、及び導電膜 6 1 2 d、6 1 2 e 上から、リン酸水溶液（リン酸の濃度が 8 5 % の水溶液を、さらに純水で 1 0 0 倍に希釈した水溶液）を塗布し、酸化物半導体膜の表面の一部を除去した。

【 0 1 0 6 】

次に、絶縁膜 6 0 7、酸化物半導体膜、及び導電膜 6 1 2 d、6 1 2 e 上に絶縁膜 6 1 4 及び絶縁膜 6 1 6 を形成した。絶縁膜 6 1 4 としては、厚さ 5 0 n m の酸化窒化シリコン膜を、P E C V D 装置を用いて形成した。また、絶縁膜 6 1 6 としては、厚さ 4 0 0 n m の酸化窒化シリコン膜を、P E C V D 装置を用いて形成した。なお、絶縁膜 6 1 4 及び絶縁膜 6 1 6 としては、P E C V D 装置により真空中で連続して形成した。

10

【 0 1 0 7 】

絶縁膜 6 1 4 の成膜条件としては、基板温度を 2 2 0 とし、流量 5 0 s c c m のシランガスと、流量 2 0 0 0 s c c m の一酸化二窒素ガスをチャンパー内に導入し、圧力を 2 0 P a とし、P E C V D 装置内に設置された平行平板の電極間に 1 0 0 W の R F 電力を供給して成膜した。また、絶縁膜 6 1 6 の成膜条件としては、基板温度を 2 2 0 とし、流量 1 6 0 s c c m のシランガスと、流量 4 0 0 0 s c c m の一酸化二窒素ガスをチャンパー内に導入し、圧力を 2 0 0 P a とし、P E C V D 装置内に設置された平行平板の電極間に 1 5 0 0 W の R F 電力を供給して成膜した。

20

【 0 1 0 8 】

次に、第 2 の熱処理を行った。該第 2 の熱処理としては、窒素雰囲気下で 3 5 0 1 時間とした。

【 0 1 0 9 】

次に、絶縁膜 6 1 6 上に保護膜を形成した。当該保護膜としては、厚さ 5 n m の I T S O 膜を、スパッタリング装置を用いて形成した。該 I T S O 膜の成膜条件としては、基板温度を室温とし、流量 7 2 s c c m のアルゴンガスと、流量 5 s c c m の酸素ガスをチャンパー内に導入し、圧力を 0 . 1 5 P a とし、スパッタリング装置内に設置された金属酸化物ターゲット（ $I n_2 O_3 : S n O_2 : S i O_2 = 8 5 : 1 0 : 5$  [重量%]）に 1 0 0 0 W の D C 電力を供給した。

30

【 0 1 1 0 】

次に、上記保護膜を通過して、絶縁膜 6 1 4、6 1 6 に酸素添加処理を行った。酸素添加処理条件としては、アッシング装置を用い、基板温度を 4 0 とし、流量 2 5 0 s c c m の酸素ガスをチャンパー内に導入し、圧力を 1 5 P a とし、基板側にバイアスが印加されるように、アッシング装置内に設置された平行平板の電極間に 4 5 0 0 W の R F 電力を 1 2 0 s e c 供給して行った。

【 0 1 1 1 】

次に、保護膜を除去し、絶縁膜 6 1 6 の表面を露出させた。保護膜の除去方法としては、シュウ酸の濃度が 5 % のシュウ酸水溶液にて 3 0 0 s e c の処理を行った後、フッ酸の濃度が 0 . 5 % のフッ化水素酸水溶液にて 1 5 s e c の処理を行った。

40

【 0 1 1 2 】

次に、絶縁膜 6 1 4、6 1 6 を除去し、絶縁膜 6 0 7、酸化物半導体膜、及び導電膜 6 1 2 d、6 1 2 e を露出させた。

【 0 1 1 3 】

次に、絶縁膜 6 0 7、酸化物半導体膜、及び導電膜 6 1 2 d、6 1 2 e 上に絶縁膜 6 1 8 を形成した。絶縁膜 6 1 8 としては、厚さ 1 0 0 n m の窒化シリコン膜を、P E C V D 装置を用いて形成した。絶縁膜 6 1 8 の成膜条件としては、基板温度を 3 5 0 とし、流量 5 0 s c c m のシランガスと、流量 5 0 0 0 s c c m の窒素ガスと、流量 1 0 0 s c c

50

mのアンモニアガスをチャンバー内に導入し、圧力を100Paとし、PECVD装置内に設置された平行平板の電極間に1000WのRF電力を供給して成膜した。なお、絶縁膜618の形成前には、基板の予備加熱を行っていない。

【0114】

なお、絶縁膜618を形成することで、絶縁膜618中の水素が酸化物半導体膜に入り込み、酸化物半導体膜が、酸化物導電膜609となる。

【0115】

次に、絶縁膜618上にレジストマスクを形成し、所望の領域をエッチングすることで、導電膜612d、612eに達する開口部646a、646bを形成した。開口部646a、646bの形成方法としては、ドライエッチング装置を用いた。なお、開口部646a、646bの形成後レジストマスクを除去した。

10

【0116】

次に、第3の熱処理を行った。該第3の熱処理としては、窒素雰囲気下で250 1時間とした。

【0117】

以上の工程で試料B1及び試料B2を作製した。

【0118】

<3-4. 温度依存性の評価>

次に、上記作製した試料B1及び試料B2の抵抗の温度依存性の評価を行った。

【0119】

評価用サンプルの温度依存性の評価としては、基板温度を25、40、60、80の4条件とし、評価用サンプルのシート抵抗を測定した。試料B1及び試料B2の抵抗の温度依存性の結果を図7に示す。

20

【0120】

図7に示す通り、試料B1及び試料B2ともに、基板温度が変化してもシート抵抗に変化があまり見られない。

【0121】

以上のように、酸化物導電体(OC)は、抵抗の温度依存性がない、または抵抗の温度依存性が極めて小さいこと分かる。

【0122】

以上説明したように、本発明の一態様によれば、環境温度の変化に起因した発光素子を通る電流値の変動を、環境温度の変化に起因した抵抗の変動が少ない酸化物導電体(OC)を有するモニター回路によって監視及び補正することで、発光素子の輝度のばらつきを抑制することができる。従って、環境温度が変化しても、表示品位の良好な半導体装置及び表示装置を提供することができる。

30

【0123】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせることができる。

【0124】

(実施の形態2)

本実施の形態では、実施の形態1で説明したモニター回路を用いた補正方法について、図8乃至図14を参照して説明する。

40

【0125】

<モニター回路の補正方法>

図8は、本発明の一態様のモニター回路を用いた発光素子の補正方法を説明するブロック図である。

【0126】

図8に示すブロック図において、画素14は、回路群62と、駆動トランジスタ54と、発光素子56と、を有する。発光素子56の陰極は、補正回路60と電氣的に接続される。また、発光素子56の陽極は、駆動トランジスタ54のソースまたはドレインの一方

50

と電氣的に接続され、駆動トランジスタ 54 のソースまたはドレインの他方は、電位  $V_{an}$  が与えられる配線と電氣的に接続される。また、駆動トランジスタ 54 のゲートは、回路群 62 の一方の端子と電氣的に接続され、回路群 62 の他方の端子は、信号線 SL を介して信号線駆動回路 18 と電氣的に接続される。また、信号線駆動回路 18 は、モニター回路 20 と電氣的に接続される。

【0127】

なお、図 8 に示すブロック図においては、電位  $V_{an}$  を固定して、信号線 SL 及び回路群 62 を介して、駆動トランジスタ 54 のゲートに入力されるビデオデータの振幅の制御、または発光素子 56 の陰極側の電位を補正回路 60 によって制御することで、発光素子 56 の温度依存性、及び駆動トランジスタ 54 の  $V_{gs}$  の温度依存性を抑えることが可能となる。このように、モニター回路 20 を用いて、ビデオデータの電位（例えばローレベル）と、発光素子 56 の陰極側の電位との差（電位差）を調整することができる。なお、モニター回路 20 の代わりに温度センサ等を用いて、上記電位差を調整してもよい。

10

【0128】

駆動トランジスタ 54 のゲートに入力されるビデオデータは、例えば、DAC（D/A コンバータ）によって振幅が調整される。例えば、モニター回路 20 から出力される電位  $V_{out1}$  と電位  $V_{out2}$  とを、参照することでビデオデータの振幅を決めればよい。

【0129】

発光素子 56 の陰極側の電位として、電位  $V_0$ （電位  $V_0$  は、データの最も低い電位を表す。）と電位  $V_{out1}$  とが一定の電位となるように、電位  $V_{CAT1}$  を生成する。例えば、電位  $V_{CAT1}$  は、電位  $V_{out1}$  と電位  $V_{cat}$  との差分の値とすればよい。

20

【0130】

回路群 62 としては、トランジスタ（例えば選択トランジスタ）、容量素子等の種々の素子を設けることができる。回路群 62 としては、例えば、以下の画素回路の構成例 1 乃至構成例 5 とすればよい。

【0131】

<画素回路の構成例 1>

図 9 に示す画素回路は、1つの画素に n チャンネル型のトランジスタを 2 つ有し、容量素子を 1 つ有する。

【0132】

なお、画素 14 に用いるトランジスタは、n チャンネル型のトランジスタを用いる例を示す。なお、画素 14 に用いるトランジスタと、同一工程を経て作製したトランジスタを駆動回路に用いてもよい。また、図 9 に示す画素回路は、デジタル時間階調駆動を適用することができる。

30

【0133】

画素回路の構成、及びデジタル時間階調駆動を適用した場合の画素の動作について説明する。

【0134】

画素 14 は、選択トランジスタ 81 と、駆動トランジスタ 54 と、発光素子 56 と、容量素子 82 とを有する。選択トランジスタ 81 は、ゲートがゲート線 GL に接続され、ソースまたはドレインの一方が信号線 SL に接続され、ソースまたはドレインの他方が駆動トランジスタ 54 のゲートに接続されている。駆動トランジスタ 54 は、ゲートが容量素子 82 を介して配線 ML に接続され、ソースまたはドレインの一方が配線 ML に接続され、ソースまたはドレインの他方が発光素子 56 の陽極に接続されている。発光素子 56 の陰極は、配線 CL に電氣的に接続される。

40

【0135】

なお、容量素子 82 は駆動トランジスタ 54 のゲート容量を代用することにより省略できる場合がある。駆動トランジスタ 54 のゲート容量については、チャンネル領域とゲートとの間で容量が形成されていてもよい。

【0136】

50

次に、駆動トランジスタ 54 に入力する信号について説明する。電圧入力 - 電圧駆動方式の場合、駆動トランジスタ 54 がオンまたはオフの二つの状態となるようなビデオデータを、駆動トランジスタ 54 に入力する。なお、駆動トランジスタ 54 を線形領域で動作させるために、配線 M L に与えられる電圧よりも高い電圧を駆動トランジスタ 54 のゲートに与える。また、信号線 S L には、駆動トランジスタ 54 のしきい値電圧  $V_{th}$  よりも高い電圧をかける。

【0137】

アナログ階調駆動を行う場合、駆動トランジスタ 54 のゲートに発光素子 56 の順方向電圧に駆動トランジスタ 54 のしきい値電圧  $V_{th}$  を加えた値以上の電圧をかける。なお、駆動トランジスタ 54 が飽和領域で動作するようにビデオデータを入力し、発光素子 56 に電流を流す。また、駆動トランジスタ 54 を飽和領域で動作させるために、配線 M L に与えられる電位を、駆動トランジスタ 54 のゲート電位より高くする。ビデオデータをアナログとすることで、発光素子 56 にビデオデータに応じた電流を流し、アナログ階調駆動を行うことができる。

10

【0138】

< 画素回路の構成例 2 >

図 10 (A) に示す画素回路は、1つの画素に n チャンネル型のトランジスタを 4 つ有し、容量素子を 1 つ有する。

【0139】

図 10 (A) に示す画素 14 は、駆動トランジスタ 54 と、選択トランジスタ 88 と、トランジスタ 89 と、トランジスタ 90 と、容量素子 82 と、発光素子 56 と、を有する。

20

【0140】

発光素子 56 の陽極は、画素 14 に入力される画像信号 S i g にしたがって電位が制御される。また、発光素子 56 の輝度は、陽極と陰極との間の電位差によって定まる。

【0141】

選択トランジスタ 88 は、信号線 S L と、駆動トランジスタ 54 のゲートとの間の導通状態を制御する機能を有する。駆動トランジスタ 54 は、ソース及びドレインの一方が、発光素子 56 の陽極に接続される。トランジスタ 89 は、配線 V L と、駆動トランジスタ 54 のソース及びドレインの他方との間の導通状態を制御する機能を有する。トランジスタ 90 は、配線 M L と、駆動トランジスタ 54 のソース及びドレインの他方との間の導通状態を制御する機能を有する。容量素子 82 の一対の電極のうち一方は、駆動トランジスタ 54 のゲートに接続され、他方は発光素子 56 の陽極に接続される。

30

【0142】

また、選択トランジスタ 88 のスイッチングは、選択トランジスタ 88 のゲートに接続されたゲート線 G L a の電位にしたがって行われる。トランジスタ 89 のスイッチングは、トランジスタ 89 のゲートに接続されたゲート線 G L b の電位にしたがって行われる。トランジスタ 90 のスイッチングは、トランジスタ 90 のゲートに接続されたゲート線 G L c の電位にしたがって行われる。

【0143】

次に、図 10 (A) に示す画素 14 の外部補正の動作例について説明する。

40

【0144】

図 10 (B) に、図 10 (A) に示す画素 14 に接続されるゲート線 G L a、ゲート線 G L b、ゲート線 G L c の電位と、信号線 S L に供給される画像信号 S i g の電位のタイミングチャートを例示する。なお、図 10 (B) に示すタイミングチャートは、図 10 (A) に示す画素 14 に含まれるトランジスタが全て n チャンネル型である場合を例示するものである。

【0145】

まず、期間  $t_1$  では、ゲート線 G L a にハイレベルの電位が与えられ、ゲート線 G L b にハイレベルの電位が与えられ、ゲート線 G L c にローレベルの電位が与えられる。よっ

50

て、選択トランジスタ 88 及びトランジスタ 89 がオンとなり、トランジスタ 90 はオフとなる。そして、信号線 S L には、画像信号 S i g の電位  $V_{data}$  が与えられており、電位  $V_{data}$  は、選択トランジスタ 88 を介して駆動トランジスタ 54 のゲートに与えられる。

【0146】

また、配線 V L には電位  $V_{an}$  が与えられ、配線 C L には電位  $V_{cat}$  が与えられる。電位  $V_{an}$  は、電位  $V_{cat}$  に発光素子 56 のしきい値電圧  $V_{th}$  を加算した電位よりも高くすることが好ましい。配線 V L の電位  $V_{an}$  は、トランジスタ 89 を介して、駆動トランジスタ 54 のソース及びドレインの他方に与えられる。よって、電位  $V_{data}$  にしたがって、駆動トランジスタ 54 のドレイン電流の値が定められる。そして、当該ドレイン電流が発光素子 56 に供給されることで、発光素子 56 の輝度が定められる。

10

【0147】

次に、期間 t 2 では、ゲート線 G L a にローレベルの電位が与えられ、ゲート線 G L b にハイレベルの電位が与えられ、ゲート線 G L c にローレベルの電位が与えられる。よって、トランジスタ 89 がオンとなり、選択トランジスタ 88、及びトランジスタ 90 がオフとなる。選択トランジスタ 88 がオフになることで、駆動トランジスタ 54 のゲートにおいて、電位  $V_{data}$  が保持される。また、配線 V L には電位  $V_{an}$  が与えられ、配線 C L には電位  $V_{cat}$  が与えられる。よって、発光素子 56 では、期間 t 1 において定められた輝度が保持される。

20

【0148】

次に、期間 t 3 では、ゲート線 G L a にローレベルの電位が与えられ、ゲート線 G L b にローレベルの電位が与えられ、ゲート線 G L c にハイレベルの電位が与えられる。よって、トランジスタ 90 がオンとなり、選択トランジスタ 88 及びトランジスタ 89 がオフとなる。また、配線 C L には電位  $V_{cat}$  が与えられる。そして、配線 M L には電位  $V_{an}$  が与えられる。

【0149】

上記動作により、トランジスタ 90 を介して、駆動トランジスタ 54 のドレイン電流は、発光素子 56 に供給される。また、駆動トランジスタ 54 のドレイン電流を、配線 M L を介してモニター回路 20 に供給してもよい。モニター回路 20 は、配線 M L に流れたドレイン電流を用いて、当該ドレイン電流の値を情報として含む信号を生成する。そして、本発明の一態様に係る表示装置では、上記信号を用いて、画素 14 に供給される画像信号 S i g の電位  $V_{data}$  の値を、補正することができる。

30

【0150】

なお、図 10 (A) に示す画素 14 を有する表示装置では、期間 t 2 の動作の後に期間 t 3 の動作を行わなくてもよい。例えば、表示装置において、期間 t 1 から期間 t 2 の動作を複数回繰り返した後に、期間 t 3 の動作を行うようにしてもよい。また、1 行の画素 14 において期間 t 3 の動作を行った後、最小の階調値 0 に対応する画像信号を、当該動作を行った 1 行の画素 14 に書き込むことで、発光素子 56 を非発光の状態にした後、次の行の画素 14 において、期間 t 3 の動作を行うようにしてもよい。

40

【0151】

<画素回路の構成例 3>

図 11 (A) に示す画素回路は、1 つの画素に n チャンネル型のトランジスタを 3 つ有し、容量素子を 1 つ有する。

【0152】

図 11 (A) に示す画素 14 は、選択トランジスタ 86 と、トランジスタ 87 と、駆動トランジスタ 54 と、容量素子 82 と、発光素子 56 と、を有する。

【0153】

発光素子 56 の陽極は、画素 14 に入力される画像信号 S i g にしたがって電位が制御される。また、発光素子 56 の輝度は、陽極と陰極の間の電位差によって定まる。

【0154】

50

選択トランジスタ 86 は、信号線 SL と、駆動トランジスタ 54 のゲートとの間の導通状態を制御する機能を有する。駆動トランジスタ 54 は、ソース及びドレインの一方が、発光素子 56 の陽極に接続され、ソース及びドレインの他方が配線 VL に接続される。トランジスタ 87 は、配線 ML と、駆動トランジスタ 54 のソース及びドレインの一方の間の導通状態を制御する機能を有する。容量素子 82 の一對の電極のうち一方は、駆動トランジスタ 54 のゲートに接続され、他方は発光素子 56 の陽極に接続される。

【0155】

また、選択トランジスタ 86 のスイッチングは、選択トランジスタ 86 のゲートに接続されたゲート線 GL の電位にしたがって行われる。同様に、トランジスタ 87 のスイッチングは、トランジスタ 87 のゲートに接続されたゲート線 GL の電位にしたがって行われる。

10

【0156】

次に、図 11 (A) に示す画素 14 の動作例について説明する。

【0157】

図 11 (B) に、図 11 (A) に示す画素 14 に接続されるゲート線 GL の電位と、信号線 SL に供給される画像信号 Sig の電位のタイミングチャートを例示する。なお、図 11 (B) に示すタイミングチャートは、図 11 (A) に示す画素 14 に含まれるトランジスタが全て n チャンネル型である場合を例示するものである。

【0158】

まず、期間 t1 では、ゲート線 GL にハイレベルの電位が与えられる。よって、選択トランジスタ 86 及びトランジスタ 87 がオンとなる。そして、信号線 SL には、画像信号 Sig の電位  $V_{data}$  が与えられており、電位  $V_{data}$  は、選択トランジスタ 86 を介して駆動トランジスタ 54 のゲートに与えられる。

20

【0159】

また、配線 VL には電位  $V_{an}$  が与えられ、配線 CL には電位  $V_{cat}$  が与えられる。電位  $V_{an}$  は、電位  $V_{cat}$  に発光素子 56 のしきい値電圧  $V_{th}$  と駆動トランジスタ 54 のしきい値電圧  $V_{th}$  を加算した電位よりも高くすることが好ましい。配線 VL と配線 CL との間上記電位差が設けられることにより、電位  $V_{data}$  にしたがって、駆動トランジスタ 54 のドレイン電流の値が定められる。そして、当該ドレイン電流が発光素子 56 に供給されることで、発光素子 56 の輝度が定められる。

30

【0160】

また、駆動トランジスタ 54 が n チャンネル型である場合、期間 t1 では、配線 ML の電位が、配線 CL の電位に発光素子 56 のしきい値電圧  $V_{th}$  を加算した電位よりも低く、配線 VL の電位が、配線 ML の電位に駆動トランジスタ 54 のしきい値電圧  $V_{th}$  を加算した電位よりも高いことが好ましい。上記構成により、トランジスタ 87 がオンであっても、駆動トランジスタ 54 のドレイン電流を、発光素子 56 ではなく配線 ML の方に優先的に流すことができる。

【0161】

次に、期間 t2 では、ゲート線 GL にローレベルの電位が与えられる。よって、選択トランジスタ 86 及びトランジスタ 87 がオフとなる。選択トランジスタ 86 がオフになることで、駆動トランジスタ 54 のゲートにおいて、電位  $V_{data}$  が保持される。また、配線 VL には電位  $V_{an}$  が与えられ、配線 CL には電位  $V_{cat}$  が与えられる。よって、発光素子 56 では、期間 t1 において定められた輝度にしたがって発光する。

40

【0162】

次に、期間 t3 では、ゲート線 GL にハイレベルの電位が与えられる。よって、選択トランジスタ 86 及びトランジスタ 87 がオンとなる。また、信号線 SL には、駆動トランジスタ 54 のゲート電圧がしきい値電圧  $V_{th}$  よりも大きくなるような電位が与えられる。また、配線 CL には電位  $V_{cat}$  が与えられる。そして、配線 ML の電位は、配線 CL の電位に発光素子 56 のしきい値電圧  $V_{th}$  を加算した電位よりも低くなり、配線 VL の電位は、配線 ML の電位に駆動トランジスタ 54 のしきい値電圧  $V_{th}$  を加算した電位

50

よりも高くなる。上記構成により、駆動トランジスタ54のドレイン電流を、発光素子56ではなく配線MLの方に優先的に流すことができる。

【0163】

そして、駆動トランジスタ54のドレイン電流を、配線MLを介してモニター回路20に供給してもよい。モニター回路20は、配線MLに流れたドレイン電流を用いて、当該ドレイン電流の値を情報として含む信号を生成する。そして、本発明の一態様に係る表示装置では、上記信号を用いて、画素14に供給される画像信号Sigの電位V<sub>data</sub>の値を、補正することができる。

【0164】

なお、図11(A)に示す画素14を有する表示装置では、期間t<sub>2</sub>の動作の後に期間t<sub>3</sub>の動作を行わなくてもよい。例えば、表示装置において、期間t<sub>1</sub>から期間t<sub>2</sub>の動作を複数回繰り返した後に、期間t<sub>3</sub>の動作を行うようにしてもよい。また、1行の画素14において期間t<sub>3</sub>の動作を行った後、最小の階調値0に対応する画像信号を、当該動作を行った1行の画素14に書き込むことで、発光素子56を非発光の状態にした後、次の行の画素14において、期間t<sub>3</sub>の動作を行うようにしてもよい。

10

【0165】

<画素回路の構成例4>

図12(A)に示す画素回路は、1つの画素にnチャンネル型のトランジスタを5つ有し、容量素子を1つ有する。

【0166】

図12(A)に示す画素14は、駆動トランジスタ54と、トランジスタ91と、選択トランジスタ92と、トランジスタ93と、トランジスタ94と、容量素子82と、発光素子56と、を有する。

20

【0167】

トランジスタ91は、配線RLと、発光素子56の陽極との間の導通状態を制御する機能を有する。選択トランジスタ92は、信号線SLと、駆動トランジスタ54のゲートとの間の導通状態を制御する機能を有する。駆動トランジスタ54は、ソース及びドレインの一方が、発光素子56の陽極に接続される。トランジスタ93は、配線VLと、駆動トランジスタ54のソース及びドレインの他方との間の導通状態を制御する機能を有する。トランジスタ94は、配線MLと、駆動トランジスタ54のソース及びドレインの他方との間の導通状態を制御する機能を有する。容量素子82の一对の電極のうち一方は、駆動トランジスタ54のゲートに接続され、他方は発光素子56の陽極に接続される。

30

【0168】

また、選択トランジスタ92のスイッチングは、選択トランジスタ92のゲートに接続されたゲート線GLaの電位にしたがって行われる。トランジスタ93のスイッチングは、トランジスタ93のゲートに接続されたゲート線GLbの電位にしたがって行われる。トランジスタ94のスイッチングは、トランジスタ94のゲートに接続されたゲート線GLcの電位にしたがって行われる。トランジスタ91のスイッチングは、トランジスタ91のゲートに接続されたゲート線GLdの電位にしたがって行われる。

【0169】

次に、図12(A)に示す画素14の外部補正の動作例について説明する。

40

【0170】

図12(B)に、図12(A)に示す画素14に接続されるゲート線GLa、ゲート線GLb、ゲート線GLc、ゲート線GLdの電位と、信号線SLに供給される画像信号Sigの電位のタイミングチャートを例示する。なお、図12(B)に示すタイミングチャートは、図12(A)に示す画素14に含まれるトランジスタが全てnチャンネル型である場合を例示するものである。

【0171】

まず、期間t<sub>1</sub>では、ゲート線GLaにハイレベルの電位が与えられ、ゲート線GLbにハイレベルの電位が与えられ、ゲート線GLcにローレベルの電位が与えられ、ゲート

50

線  $GLd$  にハイレベルの電位が与えられる。よって、選択トランジスタ 92、トランジスタ 93、及びトランジスタ 91 がオンとなり、トランジスタ 94 はオフとなる。また、信号線  $SL$  には、画像信号  $Sig$  の電位  $V_{data}$  が与えられており、電位  $V_{data}$  は、選択トランジスタ 92 を介して駆動トランジスタ 54 のゲートに与えられる。よって、電位  $V_{data}$  にしたがって、駆動トランジスタ 54 のドレイン電流の値が定められる。そして、配線  $VL$  には電位  $V_{an}$  が与えられ、配線  $RL$  には電位  $V_1$  が与えられるため、当該ドレイン電流は、トランジスタ 91 及びトランジスタ 93 を介して、配線  $VL$  と配線  $RL$  との間に流れる。

【0172】

電位  $V_{an}$  は、電位  $V_{cat}$  に発光素子 56 のしきい値電圧  $V_{th}$  を加算した電位よりも高くすることが好ましい。配線  $VL$  の電位  $V_{an}$  は、トランジスタ 93 を介して、駆動トランジスタ 54 のソース及びドレインの他方に与えられる。また、配線  $RL$  に与えられた電位  $V_1$  は、トランジスタ 91 を介して駆動トランジスタ 54 のソース及びドレインの一方に与えられる。配線  $CL$  には電位  $V_{cat}$  が与えられる。

10

【0173】

なお、電位  $V_1$  は、電位  $V_0$  から駆動トランジスタ 54 のしきい値電圧  $V_{th}$  を差し引いた電位よりも、十分低いことが好ましい。期間  $t_1$  では、電位  $V_1$  を、電位  $V_{cat}$  から発光素子 56 のしきい値電圧  $V_{th}$  を差し引いた電位よりも十分低くすることができるので、発光素子 56 は発光しない。

【0174】

次に、期間  $t_2$  では、ゲート線  $GLa$  にローレベルの電位が与えられ、ゲート線  $GLb$  にハイレベルの電位が与えられ、ゲート線  $GLc$  にローレベルの電位が与えられ、ゲート線  $GLd$  にローレベルの電位が与えられる。よって、トランジスタ 93 がオンとなり、選択トランジスタ 92、トランジスタ 94 及びトランジスタ 91 がオフとなる。選択トランジスタ 92 がオフになることで、駆動トランジスタ 54 のゲートにおいて、電位  $V_{data}$  が保持される。

20

【0175】

また、配線  $VL$  には電位  $V_{an}$  が与えられ、配線  $CL$  には電位  $V_{cat}$  が与えられる。よって、期間  $t_1$  において値が定められた駆動トランジスタ 54 のドレイン電流は、トランジスタ 91 がオフになることで、発光素子 56 に供給される。そして、発光素子 56 に当該ドレイン電流が供給されることで、発光素子 56 の輝度が定められ、当該輝度は期間  $t_2$  において保持される。

30

【0176】

次に、期間  $t_3$  では、ゲート線  $GLa$  にローレベルの電位が与えられ、ゲート線  $GLb$  にローレベルの電位が与えられ、ゲート線  $GLc$  にハイレベルの電位が与えられ、ゲート線  $GLd$  にローレベルの電位が与えられる。よって、トランジスタ 94 がオンとなり、選択トランジスタ 92、トランジスタ 93 及びトランジスタ 91 がオフとなる。また、配線  $CL$  には電位  $V_{cat}$  が与えられる。そして、配線  $ML$  には電位  $V_{an}$  が与えられる。

【0177】

上記動作により、駆動トランジスタ 54 のドレイン電流は、発光素子 56 に供給される。また、駆動トランジスタ 54 のドレイン電流を、配線  $ML$  を介してモニター回路 20 に供給してもよい。モニター回路 20 は、配線  $ML$  に流れたドレイン電流を用いて、当該ドレイン電流の値を情報として含む信号を生成する。そして、本発明の一態様に係る表示装置では、上記信号を用いて、画素 14 に供給される画像信号  $Sig$  の電位  $V_{data}$  の値を、補正することができる。

40

【0178】

なお、図 12 (A) に示す画素 14 を有する表示装置では、期間  $t_2$  の動作の後に期間  $t_3$  の動作を行わなくてもよい。例えば、表示装置において、期間  $t_1$  から期間  $t_2$  の動作を複数回繰り返した後に、期間  $t_3$  の動作を行うようにしてもよい。また、1 行の画素 14 において期間  $t_3$  の動作を行った後、最小の階調値 0 に対応する画像信号を、当該動

50

作を行った 1 行の画素 1 4 に書き込むことで、発光素子 5 6 を非発光の状態にした後、次の行の画素 1 4 において、期間  $t_3$  の動作を行うようにしてもよい。

【0179】

また、図 1 2 (A) に示す画素 1 4 では、発光素子 5 6 の劣化などにより、発光素子 5 6 の陽極と陰極間の抵抗値が画素間でばらついても、電位  $V_{data}$  を駆動トランジスタ 5 4 のゲートに与える際に、駆動トランジスタ 5 4 のソースの電位を所定の電位  $V_1$  に設定することができる。よって、画素間において発光素子 5 6 の輝度にばらつきが生じるのを、防ぐことができる。

【0180】

< 画素回路の構成例 5 >

図 1 3 (A) に示す画素回路は、1 つの画素に  $n$  チャンネル型のトランジスタを 6 つ有し、容量素子を 1 つ有する。

【0181】

図 1 3 (A) に示す画素 1 4 は、駆動トランジスタ 5 4 と、選択トランジスタ 9 5 と、トランジスタ 9 6 と、トランジスタ 9 7 と、トランジスタ 9 8 と、トランジスタ 9 9 と、容量素子 8 2 と、発光素子 5 6 と、を有する。

【0182】

発光素子 5 6 の陽極は、画素 1 4 に入力される画像信号  $Sig$  にしたがって電位が制御される。また、発光素子 5 6 の輝度は、陽極と陰極との間の電位差によって定まる。

【0183】

選択トランジスタ 9 5 は、信号線  $SL$  と、容量素子 8 2 の一対の電極のうち的一方との間の導通状態を制御する機能を有する。容量素子 8 2 の一対の電極のうち他方は、トランジスタ 9 8 のソース及びドレインの一方に接続される。トランジスタ 9 6 は、配線  $VL1$  と、トランジスタ 9 8 のゲートとの間の導通状態を制御する機能を有する。トランジスタ 9 7 は、容量素子 8 2 の一対の電極のうち的一方と、トランジスタ 9 8 のゲートとの間の導通状態を制御する機能を有する。駆動トランジスタ 5 4 は、トランジスタ 9 8 のソース及びドレインの一方と、発光素子 5 6 の陽極との間の導通状態を制御する機能を有する。トランジスタ 9 9 は、トランジスタ 9 8 のソース及びドレインの一方と、配線  $ML$  との間の導通状態を制御する機能を有する。

【0184】

また、選択トランジスタ 9 5 のスイッチングは、選択トランジスタ 9 5 のゲートに接続されたゲート線  $GLa$  の電位にしたがって行われる。トランジスタ 9 6 のスイッチングは、トランジスタ 9 6 のゲートに接続されたゲート線  $GLa$  の電位にしたがって行われる。トランジスタ 9 7 のスイッチングは、トランジスタ 9 7 のゲートに接続されたゲート線  $GLb$  の電位にしたがって行われる。駆動トランジスタ 5 4 のスイッチングは、駆動トランジスタ 5 4 のゲートに接続されたゲート線  $GLb$  の電位にしたがって行われる。トランジスタ 9 9 のスイッチングは、トランジスタ 9 9 のゲートに接続されたゲート線  $GLc$  の電位にしたがって行われる。

【0185】

図 1 3 (B) に、図 1 3 (A) に示す画素 1 4 に接続されるゲート線  $GLa$ 、ゲート線  $GLb$ 、ゲート線  $GLc$  の電位と、信号線  $SL$  に供給される画像信号  $Sig$  の電位のタイミングチャートを例示する。なお、図 1 3 (B) に示すタイミングチャートは、図 1 3 (A) に示す画素 1 4 に含まれるトランジスタが全て  $n$  チャンネル型である場合を例示するものである。

【0186】

まず、期間  $t_1$  では、ゲート線  $GLa$  にローレベルの電位が与えられ、ゲート線  $GLb$  にハイレベルの電位が与えられ、ゲート線  $GLc$  にハイレベルの電位が与えられる。よって、トランジスタ 9 7、駆動トランジスタ 5 4 及びトランジスタ 9 9 がオンとなり、選択トランジスタ 9 5 及びトランジスタ 9 6 はオフとなる。駆動トランジスタ 5 4 及びトランジスタ 9 9 がオンになることで、トランジスタ 9 8 のソース及びドレインの一方及び容量

10

20

30

40

50

素子 8 2 の一対の電極のうちの他方（ノード A として図示する。）に、配線 M L の電位  $V_0$  が与えられる。

【0187】

また、配線 V L には電位  $V_{ano}$  が与えられ、配線 C L には電位  $V_{cat}$  が与えられる。電位  $V_{ano}$  は、電位  $V_0$  に発光素子 5 6 のしきい値電圧  $V_{th}$  を加算した電位よりも高くすることが好ましい。また、電位  $V_0$  は、電位  $V_{cat}$  に発光素子 5 6 のしきい値電圧  $V_{th}$  を加算した電位よりも、低いことが好ましい。電位  $V_0$  を上記値に設定することで、期間 t 1 において発光素子 5 6 に電流が流れるのを防ぐことができる。

【0188】

次に、ゲート線 G L b にローレベルの電位が与えられることで、トランジスタ 9 7 及び駆動トランジスタ 5 4 がオフになり、ノード A は電位  $V_0$  に保持される。

10

【0189】

次に、期間 t 2 では、ゲート線 G L a にハイレベルの電位が与えられ、ゲート線 G L b にローレベルの電位が与えられ、ゲート線 G L c にローレベルの電位が与えられる。よって、選択トランジスタ 9 5 及びトランジスタ 9 6 がオンとなり、トランジスタ 9 7、駆動トランジスタ 5 4 及びトランジスタ 9 9 がオフとなる。

【0190】

なお、期間 t 1 から期間 t 2 に移行する際、ゲート線 G L a に与える電位をローレベルからハイレベルに切り替えた後に、ゲート線 G L c に与える電位をハイレベルからローレベルに切り替えることが好ましい。このような動作を行うことによって、ゲート線 G L a に与えられる電位の切り替えによる、ノード A の電位の変動を防ぐことができる。

20

【0191】

また、配線 V L には電位  $V_{ano}$  が与えられ、配線 C L には電位  $V_{cat}$  が与えられる。そして、信号線 S L には画像信号 S i g の電位  $V_{data}$  が与えられ、配線 V L 1 には電位  $V_1$  が与えられる。電位  $V_1$  は、電位  $V_{cat}$  にトランジスタ 9 8 のしきい値電圧  $V_{th}$  を加算した電位よりも高く、電位  $V_{ano}$  にトランジスタ 9 8 のしきい値電圧  $V_{th}$  を加算した電位よりも低いことが好ましい。

【0192】

なお、図 1 3 ( A ) に示す画素構成では、電位  $V_1$  を、発光素子 5 6 のしきい値電圧  $V_{th}$  を電位  $V_{cat}$  に加算した値よりも高くしても、駆動トランジスタ 5 4 がオフである限り、発光素子 5 6 は発光しない。そのため、電位  $V_0$  として設定できる値の幅を広げることが可能となり、 $V_1 - V_0$  として取りうる値の幅も広げることが可能となる。したがって、 $V_1 - V_0$  の値の設定の自由度が上がるため、トランジスタ 9 8 のしきい値電圧の取得に要する時間を短縮した場合、またはしきい値電圧の取得期間に制限がある場合においても、正確にトランジスタ 9 8 のしきい値電圧の取得を行うことができる。

30

【0193】

上記動作により、トランジスタ 9 8 のゲート（ノード B として図示する。）に、ノード A の電位にしきい値電圧を加算した電位よりも、高い電位  $V_1$  が入力され、トランジスタ 9 8 がオンとなる。よって、トランジスタ 9 8 を介して容量素子 8 2 の電荷が放出され、電位  $V_0$  だったノード A の電位が上昇を始める。そして、最終的にはノード A の電位が  $V_1 - V_{th}$  に収束し、トランジスタ 9 8 がオフになる。

40

【0194】

また、容量素子 8 2 の一対の電極のうちの一方（ノード C として図示する。）には、信号線 S L に与えられた画像信号 S i g の電位  $V_{data}$  が、選択トランジスタ 9 5 を介して与えられる。

【0195】

次に、期間 t 3 では、ゲート線 G L a にローレベルの電位が与えられ、ゲート線 G L b にハイレベルの電位が与えられ、ゲート線 G L c にローレベルの電位が与えられる。よって、トランジスタ 9 7 及び駆動トランジスタ 5 4 がオンとなり、選択トランジスタ 9 5、トランジスタ 9 6 及びトランジスタ 9 9 がオフとなる。

50

## 【0196】

なお、期間  $t_2$  から期間  $t_3$  に移行する際、ゲート線  $GLa$  に与える電位がハイレベルからローレベルに切り替えられてから、ゲート線  $GLb$  に与える電位をローレベルからハイレベルに切り替えることが好ましい。上記構成により、ゲート線  $GLa$  に与える電位の切り替えによるノード  $A$  における電位の変動を防ぐことができる。

## 【0197】

また、配線  $VL$  には電位  $V_{an}$  が与えられ、配線  $CL$  には電位  $V_{cat}$  が与えられる。

## 【0198】

上記動作により、ノード  $B$  に電位  $V_{data}$  が与えられるため、トランジスタ  $98$  のゲート電圧が  $V_{data} - V_1 + V_{th}$  となる。よって、トランジスタ  $98$  のゲート電圧を、しきい値電圧  $V_{th}$  が加味された値に設定することができる。上記構成により、トランジスタ  $98$  のしきい値電圧  $V_{th}$  のばらつきを抑制することができる。よって、発光素子  $56$  に供給する電流値のばらつきを抑えることができ、表示装置の輝度ムラを低減することができる。

10

## 【0199】

なお、ゲート線  $GLb$  に与える電位の変動を大きくしておくことで、駆動トランジスタ  $54$  のしきい値電圧のばらつきが発光素子  $56$  に供給する電流値に影響を及ぼすことを防ぐことができる。つまり、ゲート線  $GLb$  に与えるハイレベルの電位を駆動トランジスタ  $54$  のしきい値電圧よりも十分大きく、また、ゲート線  $GLb$  に与えるローレベルの電位を駆動トランジスタ  $54$  のしきい値電圧よりも十分小さくしてやることで、駆動トランジスタ  $54$  のオンとオフの切り替えを確実に言い、駆動トランジスタ  $54$  のしきい値電圧のばらつきが発光素子  $56$  の電流値に影響を及ぼすことを防ぐことができる。

20

## 【0200】

次に、期間  $t_4$  では、ゲート線  $GLa$  にローレベルの電位が与えられ、ゲート線  $GLb$  にローレベルの電位が与えられ、ゲート線  $GLc$  にハイレベルの電位が与えられる。よって、トランジスタ  $99$  がオンとなり、トランジスタ  $96$ 、選択トランジスタ  $95$ 、トランジスタ  $97$  及び駆動トランジスタ  $54$  がオフとなる。

## 【0201】

また、配線  $VL$  には電位  $V_{an}$  が与えられる。また、配線  $ML$  を、モニター回路  $20$  に接続してもよい。

30

## 【0202】

上記動作により、トランジスタ  $98$  のドレイン電流  $I_d$  が、発光素子  $56$  ではなく、トランジスタ  $99$  を介して配線  $ML$  に流れる。モニター回路  $20$  は、配線  $ML$  に流れたドレイン電流  $I_d$  を用いて、当該ドレイン電流  $I_d$  の値を情報として含む信号を生成する。このドレイン電流  $I_d$  は、トランジスタ  $98$  の電界効果移動度やトランジスタ  $98$  のサイズ（チャンネル長、チャンネル幅）などに依存した大きさとなっている。そして、本発明の一態様に係る表示装置では、上記信号を用いて、画素  $14$  に供給される画像信号  $Sig$  の電位  $V_{data}$  の値を、補正することができる。つまり、トランジスタ  $98$  の電界効果移動度のばらつきの影響を低減することが出来る。

40

## 【0203】

なお、図  $13(A)$  に示す画素  $14$  を有する表示装置では、期間  $t_3$  の動作の後に期間  $t_4$  の動作を行わなくてもよい。例えば、表示装置において、期間  $t_1$  から期間  $t_3$  の動作を複数回繰り返した後に、期間  $t_4$  の動作を行うようにしてもよい。また、一行の画素  $14$  において期間  $t_4$  の動作を行った後、最小の階調値  $0$  に対応する画像信号を、当該動作を行った一行の画素  $14$  に書き込むことで、発光素子  $56$  を非発光の状態にした後、次の行の画素  $14$  において、期間  $t_4$  の動作を行うようにしてもよい。

## 【0204】

図  $13(A)$  に示した画素  $14$  を有する表示装置では、トランジスタ  $98$  のソース及びドレインの他方と、トランジスタ  $98$  のゲートとが電氣的に分離しているので、それぞれ

50

の電位を個別に制御することができる。よって、期間  $t_2$  において、トランジスタ 98 のソース及びドレインの他方の電位を、トランジスタ 98 のゲートの電位に、しきい値電圧  $V_{th}$  を加算した電位よりも高い値に設定することができる。そのため、トランジスタ 98 がノーマリーオンである場合に、すなわちしきい値電圧  $V_{th}$  がマイナスの値を有している場合に、トランジスタ 98 において、ソースの電位がゲートの電位  $V_1$  よりも高くなるまで、容量素子 82 に電荷を蓄積することができる。よって、本発明の一態様に係る表示装置では、トランジスタ 98 がノーマリーオンであっても、期間  $t_2$  においてしきい値電圧を取得することができ、期間  $t_3$  において、しきい値電圧  $V_{th}$  を加味した値になるよう、トランジスタ 98 のゲート電圧を設定することができる。

【0205】

したがって、本発明の一態様に係る表示装置では、トランジスタ 98 がノーマリーオンとなっても、表示ムラを低減でき、高い画質の表示を行うことができる。

【0206】

なお、トランジスタ 98 の特性だけでなく、発光素子 56 の特性もモニターしてもよい。このとき、画像信号  $Signal$  の電位  $V_{data}$  の制御することなどにより、トランジスタ 98 には、電流が流れないようにしておくことが好ましい。これにより、発光素子 56 の電流を取り出すことが出来る。その結果、発光素子 56 の電流特性の劣化やばらつきの状態を取得することが出来る。

【0207】

なお、本発明の一態様に係る表示装置は、図 9、図 10(A)、図 11(A)、図 12(A)、及び図 13(A) に示す画素回路に限定されない。例えば、図 9、図 10(A)、図 11(A)、図 12(A)、及び図 13(A) に示す画素回路にスイッチ、抵抗素子、容量素子、センサ、トランジスタまたは論理回路などを、さらに追加してもよい。

【0208】

ここで、本発明の一態様の半導体装置が有する、トランジスタ、容量素子、抵抗素子、発光素子等について、図 14 を用いて説明する。

【0209】

図 14 は、半導体装置の一態様を説明する断面図である。なお、図 14(A) は、半導体装置が有する画素部の一例を示す断面図であり、図 14(B) は、半導体装置が有するモニター回路の一例を示す断面図である。

【0210】

図 14(A) に示す半導体装置は、基板 702 上のトランジスタ 770 と、トランジスタ 770 と同一表面上に形成された容量素子 772 と、トランジスタ 770 及び容量素子 772 の上方に形成された発光素子 774 と、を有する。また、基板 702 と対向する位置に、基板 760 が設けられる。基板 760 には、遮光膜 762、赤色の光を透過するカラーフィルタ 764R、緑色の光を透過するカラーフィルタ 764G 等が設けられる。

【0211】

また、トランジスタ 770、及び容量素子 772 上には、絶縁膜 742 及び絶縁膜 744 が設けられる。絶縁膜 742、744 は、トランジスタ 770、容量素子 772 等に起因した凹凸を平坦化する機能を有する。また、絶縁膜 742 には、トランジスタ 770 のソースまたはドレインの一方として機能する導電膜に達する開口部が設けられ、当該開口部に接続用の導電膜 752 が設けられる。また、絶縁膜 744 には、導電膜 752 に達する開口部が設けられ、当該開口部に発光素子 774 の陽極として機能する導電膜 754 が設けられる。なお、導電膜 754 は、隣接する画素でそれぞれ島状に分離されている。

【0212】

また、導電膜 754 の端部を覆うように隔壁 746 が設けられ、隔壁 746 上には、スペーサ 748 が設けられる。スペーサ 748 は、発光素子 774 と対向する基板 760 との間の距離を調整する機能と、発光素子 774 から射出される光が隣接する画素で混じらないようにする機能と、を有する。

【0213】

10

20

30

40

50

また、発光素子 774 は、陽極として機能する導電膜 754 と、導電膜 754 上の E L 層 756 と、E L 層 756 上の陰極として機能する導電膜 758 と、を有する。

【0214】

図 14 (A) に示す半導体装置の構成においては、発光素子 774 から射出される光は、基板 760、及びカラーフィルタ 764 R、764 G を介して外部に取り出される。従って、導電膜 754 としては、可視光を反射できる機能を有し、導電膜 758 は、可視光を透過できる機能を有する。なお、導電膜 754 と導電膜 758 との間で光の共振効果を利用した微小光共振器 (マイクロキャビティ) 構造を形成してもよい。

【0215】

また、容量素子 772 の一对の電極の一方は、トランジスタ 770 のゲート電極と同一表面上に形成された導電膜 804 であり、容量素子 772 の一对の電極の他方は、トランジスタ 770 のソース電極及びドレイン電極と同一表面上に形成された導電膜 812 である。また、導電膜 804 と導電膜 812 との間には、トランジスタ 770 のゲート絶縁膜として機能する絶縁膜と同一表面上に形成された絶縁膜 806、807 が挟持されている。絶縁膜 806、807 は、容量素子 772 の誘電体層としての機能を有する。

10

【0216】

また、導電膜 812 上には、トランジスタ 770 の保護絶縁膜として機能する絶縁膜 818 が形成され、絶縁膜 818 上には、トランジスタ 770 のバックゲート電極として機能する導電膜と同一表面上に形成された導電膜 820 が形成されている。導電膜 812 と、導電膜 820 との間の絶縁膜 818 を誘電体層として用いることで、容量素子 772 の面積を増加させずに静電容量を増加させることが可能となる。

20

【0217】

また、図 14 (B) に示す半導体装置は、基板 702 上のトランジスタ 770 と、トランジスタ 770 と同一表面上に形成された抵抗素子 773 と、トランジスタ 770 及び抵抗素子 773 の上方に形成された発光素子 774 と、を有する。また、基板 702 と対向する位置に、基板 760 が設けられる。基板 760 には、遮光膜 762、赤色の光を透過するカラーフィルタ 764 R、緑色の光を透過するカラーフィルタ 764 G 等が設けられる。

【0218】

抵抗素子 773 は、トランジスタ 770 のゲート電極と同一表面上に形成された導電膜 804 a、804 b と、トランジスタ 770 の活性層として機能する酸化物半導体膜と同一表面上に形成された酸化物導電膜 809 と、トランジスタ 770 のソース電極及びドレイン電極と同一表面上に形成された導電膜 812 a、812 b と、トランジスタ 770 の保護絶縁膜として機能する絶縁膜 818 と、を有する。

30

【0219】

なお、抵抗素子 773 上には、絶縁膜 742、744 等が設けられていてもよい。また、導電膜 812 a、812 b 上には、接続配線として機能する導電膜 752 a、752 b が設けられている。例えば、導電膜 752 a、752 b を用いて、抵抗素子 773 と、発光素子 774 の陰極として機能する導電膜 758 と、を電氣的に接続させればよい。

【0220】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

40

【0221】

(実施の形態 3)

本実施の形態では、本発明の一態様の半導体装置が有する、トランジスタの構造について、図 15 乃至図 21 を参照して説明する。

【0222】

<トランジスタの構成例 1>

図 15 (A) は、本発明の一態様の半導体装置が有する、トランジスタ 100 の上面図であり、図 15 (B) は、図 15 (A) に示す一点鎖線 X1 - X2 間における切断面の断

50

面図に相当し、図15(C)は、図15(A)に示す一点鎖線Y1-Y2間における切断面の断面図に相当する。

【0223】

トランジスタ100は、基板102上のゲート電極として機能する導電膜104と、基板102及び導電膜104上の絶縁膜106と、絶縁膜106上の絶縁膜107と、絶縁膜107上の酸化物半導体膜108と、酸化物半導体膜108に電氣的に接続されるソース電極として機能する導電膜112aと、酸化物半導体膜108に電氣的に接続されるドレイン電極として機能する導電膜112bと、を有する。また、トランジスタ100上、より詳しくは、導電膜112a、112b及び酸化物半導体膜108上には絶縁膜114、116、及び絶縁膜118が設けられる。絶縁膜114、116、118は、トランジスタ100の保護絶縁膜としての機能を有する。

10

【0224】

酸化物半導体膜108に水素、水分等の不純物が混入すると、酸化物半導体膜108中に形成されうる酸素欠損と結合し、キャリアである電子が生じる。上述の不純物起因のキャリアが生じると、トランジスタ100がノーマリーオン特性になりやすい。したがって、酸化物半導体膜108中の水素、水分等の不純物を減らすこと、及び酸化物半導体膜108中の酸素欠損を減らすことが安定したトランジスタ特性を得る上でも重要となる。そこで、トランジスタ100においては、絶縁膜114、116から酸化物半導体膜108中に酸素を供給する。

20

【0225】

従って、絶縁膜114、116は、化学量論的組成よりも過剰に酸素を含有する領域(酸素過剰領域)を有する。別言すると、絶縁膜114、116は、酸素を放出することが可能な絶縁膜である。なお、絶縁膜114、116に酸素過剰領域を設けるには、例えば、成膜後の絶縁膜114、116に酸素を添加して、酸素過剰領域を形成する。酸素の添加方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、プラズマ処理等を用いることができる。なお、該プラズマ処理としては、酸素ガスを高周波電力によってプラズマ化させる装置(プラズマエッチング装置またはプラズマアッシング装置ともいう)を用いると好適である。

【0226】

また、昇温脱離ガス分析法(TDS(Thermal Desorption Spectroscopy))を用いて絶縁膜を測定することで、酸素の放出量を測定することができる。例えば、絶縁膜114、116を昇温脱離ガス分析法において測定した場合、酸素分子の放出量が $8.0 \times 10^{14}$ 個/cm<sup>2</sup>以上、好ましくは $1.0 \times 10^{15}$ 個/cm<sup>2</sup>以上、さらに好ましくは $1.5 \times 10^{15}$ 個/cm<sup>2</sup>以上である。なお、昇温脱離ガス分析法における膜の表面温度は、100以上700以下、好ましくは100以上500以下である。

30

【0227】

また、本発明の一態様においては、絶縁膜114、116に酸素過剰領域を形成するため、絶縁膜116上に酸素の放出を抑制できる機能を有する保護膜(単に保護膜という場合もある)を形成し、該保護膜を通過させて、絶縁膜114、116に酸素を導入する。

40

【0228】

酸素の放出を抑制できる機能を有する保護膜としては、例えば、インジウム(In)と、亜鉛(Zn)、錫(Sn)、タングステン(W)、チタン(Ti)、またはシリコン(Si)の中から選ばれた一種を含む材料を用いることができる。とくに、保護膜としては、インジウムを含む導電膜、またはインジウムを含む半導体膜が好ましい。また、上記保護膜は、酸素の導入後に除去してもよい。インジウムを含む導電膜としては、タングステンを含むインジウム酸化物、タングステンを含むインジウム亜鉛酸化物、チタンを含むインジウム酸化物、チタンを含むインジウム錫酸化物、インジウム錫酸化物(In-Sn酸化物:ITOともいう)、インジウム亜鉛酸化物、シリコンを含むインジウム錫酸化物(In-Sn-Si酸化物:ITSOともいう)などの透光性を有する導電性材料が挙げら

50

れる。上述した中でも、酸素の放出を抑制できる機能を有する保護膜として、特にITOを用いると、凹凸等を有する絶縁膜上にも被覆性がよく形成できるため好適である。

【0229】

次に、図15に示すトランジスタ100の構成について、より詳細に説明する。

【0230】

(基板)

基板102の材質などに大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板等を、基板102として用いてもよい。また、シリコンや炭化シリコンなどを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI基板等を適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板102として用いてもよい。なお、基板102として、ガラス基板を用いる場合、第6世代(1500mm×1850mm)、第7世代(1870mm×2200mm)、第8世代(2200mm×2400mm)、第9世代(2400mm×2800mm)、第10世代(2950mm×3400mm)等の大面積基板を用いることで、大型の表示装置を作製することができる。

10

【0231】

また、基板102として、可撓性基板を用い、可撓性基板上に直接、トランジスタ100を形成してもよい。または、基板102とトランジスタ100の間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板102より分離し、他の基板に転載するのに用いることができる。その際、トランジスタ100は耐熱性の劣る基板や可撓性の基板にも転載できる。

20

【0232】

(導電膜)

ゲート電極として機能する導電膜104、及びソース電極及びドレイン電極として機能する導電膜112a、112bとしては、クロム(Cr)、銅(Cu)、アルミニウム(Al)、金(Au)、銀(Ag)、亜鉛(Zn)、モリブデン(Mo)、タンタル(Ta)、チタン(Ti)、タングステン(W)、マンガン(Mn)、ニッケル(Ni)、鉄(Fe)、コバルト(Co)から選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いてそれぞれ形成することができる。

30

【0233】

また、導電膜104、112a、112bは、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジウム、スカンジウムから選ばれた一または複数を組み合わせた合金膜、もしくは窒化膜を用いてもよい。

40

【0234】

また、導電膜104、112a、112bには、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。

【0235】

また、導電膜104、112a、112bには、Cu-X合金膜(Xは、Mn、Ni、Cr、Fe、Co、Mo、Ta、またはTi)を適用してもよい。Cu-X合金膜を用いることで、ウエットエッチングプロセスで加工できるため、製造コストを抑制することが

50

可能となる。

【0236】

(ゲート絶縁膜)

トランジスタ100のゲート絶縁膜として機能する絶縁膜106、107としては、プラズマ化学気相堆積(PECVD:(Plasma Enhanced Chemical Vapor Deposition))法、スパッタリング法等により、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ガリウム膜、酸化タンタル膜、酸化マグネシウム膜、酸化ランタン膜、酸化セリウム膜および酸化ネオジム膜を一種以上含む絶縁層を、それぞれ用いることができる。なお、絶縁膜106、107の積層構造とせず、上述の材料から選択された単層の絶縁膜、または3層以上の絶縁膜を用いてもよい。

10

【0237】

なお、トランジスタ100の酸化物半導体膜108と接する絶縁膜107は、酸化物絶縁膜であることが好ましく、化学量論的組成よりも過剰に酸素を含有する領域(酸素過剰領域)を有することがより好ましい。別言すると、絶縁膜107は、酸素を放出することが可能な絶縁膜である。なお、絶縁膜107に酸素過剰領域を設けるには、例えば、酸素雰囲気下にて絶縁膜107を形成すればよい。または、成膜後の絶縁膜107に酸素を導入して、酸素過剰領域を形成してもよい。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、プラズマ処理等を用いることができる。

20

【0238】

また、絶縁膜107として、酸化ハフニウムを用いる場合、以下の効果を奏する。酸化ハフニウムは、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがって、酸化シリコンを用いた場合と比べて絶縁膜107の膜厚を大きくできるため、トンネル電流によるリーク電流を小さくすることができる。すなわち、オフ電流の小さいトランジスタを実現することができる。さらに、結晶構造を有する酸化ハフニウムは、非晶質構造を有する酸化ハフニウムと比べて高い比誘電率を備える。したがって、オフ電流の小さいトランジスタとするためには、結晶構造を有する酸化ハフニウムを用いることが好ましい。結晶構造の例としては、単斜晶系や立方晶系などが挙げられる。ただし、本発明の一態様は、これらに限定されない。

30

【0239】

なお、本実施の形態では、絶縁膜106として窒化シリコン膜を形成し、絶縁膜107として酸化シリコン膜を形成する。窒化シリコン膜は、酸化シリコン膜と比較して比誘電率が高く、酸化シリコン膜と同等の静電容量を得るのに必要な膜厚が大きいいため、トランジスタ100のゲート絶縁膜として、窒化シリコン膜を含むことで絶縁膜を物理的に厚膜化することができる。よって、トランジスタ100の絶縁耐圧の低下を抑制、さらには絶縁耐圧を向上させて、トランジスタ100の静電破壊を抑制することができる。

【0240】

(酸化物半導体膜)

酸化物半導体膜108は、Inと、Znと、M(Mは、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf)と、を有する。代表的には、酸化物半導体膜108は、In-Ga酸化物、In-Zn酸化物、In-M-Zn酸化物を用いることができる。特に酸化物半導体膜108としては、In-M-Zn酸化物を用いると好ましい。

40

【0241】

酸化物半導体膜108がIn-M-Zn酸化物の場合、In-M-Zn酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、In M、Zn Mを満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=2:1:3、In:M:Zn=3:1:2、In:M:Zn=4:2:4.1が好まし

50

い。

【0242】

例えば、In-M-Zn酸化物として、In:Ga:Zn=4:2:4.1[原子数比]のスパッタリングターゲットを用いて、酸化物半導体膜108を形成する場合、トランジスタの電界効果移動度を高められるため好適である。トランジスタの電界効果移動度を高めることで、例えば、4k×2k(水平方向画素数=3840画素、垂直方向画素数=2160画素)または8k×4k(水平方向画素数=7680画素、垂直方向画素数=4320画素)に代表される高精細な表示装置の画素回路または駆動回路のトランジスタとして好適に用いることができる。

【0243】

また、成膜される酸化物半導体膜108の原子数比はそれぞれ、誤差として上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%の変動を含む。例えば、スパッタリングターゲットとして、原子数比がIn:Ga:Zn=4:2:4.1を用いる場合、成膜される酸化物半導体膜108の原子数比は、In:Ga:Zn=4:2:3近傍となる場合がある。また、スパッタリングターゲットとして、原子数比がIn:Ga:Zn=1:1:1.2を用いる場合、成膜される酸化物半導体膜108の原子数比は、In:Ga:Zn=1:1:1近傍となる場合がある。

【0244】

なお、酸化物半導体膜108がIn-M-Zn酸化物膜であるとき、Zn及びOを除いてのInとMの原子数比率は、好ましくはInが25atomic%より高く、Mが75atomic%未満、さらに好ましくはInが34atomic%より高く、Mが66atomic%未満とする。

【0245】

また、酸化物半導体膜108は、エネルギーギャップが2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタ100のオフ電流を低減することができる。

【0246】

また、酸化物半導体膜108の厚さは、3nm以上200nm以下、好ましくは3nm以上100nm以下、さらに好ましくは3nm以上50nm以下とする。

【0247】

なお、これらに限られず、必要とするトランジスタの半導体特性及び電気特性(電界効果移動度、しきい値電圧等)に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、酸化物半導体膜108のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとすることが好ましい。

【0248】

なお、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、該酸化物半導体膜にチャネル領域が形成されるトランジスタは、しきい値電圧がマイナスとなる電気特性(ノーマリーオンともいう。)になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、オフ電流が著しく小さく、チャネル幅Wが $1 \times 10^6 \mu\text{m}$ でチャネル長Lが $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧(ドレイン電圧)が1Vから10Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13}$ A以下という特性を得ることができる。

【0249】

したがって、上記高純度真性、または実質的に高純度真性の酸化物半導体膜にチャネル領域が形成されるトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとすることができる。なお、酸化物半導体膜のトラップ準位に捕獲された電荷は、消失す

10

20

30

40

50

るまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体膜にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。不純物としては、水素、窒素、アルカリ金属、またはアルカリ土類金属等がある。

#### 【0250】

酸化物半導体膜108に含まれる水素は、金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子（または酸素が脱離した部分）に酸素欠損を形成する。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体膜を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体膜108は水素ができる限り低減されていることが好ましい。具体的には、酸化物半導体膜108において、SIMS (Secondary Ion Mass Spectrometry) 分析により得られる水素濃度を、 $2 \times 10^{20} \text{ atoms/cm}^3$  以下、好ましくは  $5 \times 10^{19} \text{ atoms/cm}^3$  以下、より好ましくは  $1 \times 10^{19} \text{ atoms/cm}^3$  以下、 $5 \times 10^{18} \text{ atoms/cm}^3$  以下、好ましくは  $1 \times 10^{18} \text{ atoms/cm}^3$  以下、より好ましくは  $5 \times 10^{17} \text{ atoms/cm}^3$  以下、さらに好ましくは  $1 \times 10^{16} \text{ atoms/cm}^3$  以下とする。

10

#### 【0251】

酸化物半導体膜108において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体膜108において酸素欠損が増加し、n型化してしまう。このため、酸化物半導体膜108におけるシリコンや炭素の濃度と、酸化物半導体膜108との界面近傍のシリコンや炭素の濃度 (SIMS 分析により得られる濃度) を、 $2 \times 10^{18} \text{ atoms/cm}^3$  以下、好ましくは  $2 \times 10^{17} \text{ atoms/cm}^3$  以下とする。

20

#### 【0252】

また、酸化物半導体膜108において、SIMS 分析により得られるアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$  以下、好ましくは  $2 \times 10^{16} \text{ atoms/cm}^3$  以下にする。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があり、トランジスタのオフ電流が増大してしまうことがある。このため、酸化物半導体膜108のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。

30

#### 【0253】

また、酸化物半導体膜108に窒素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体膜を用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体膜において、窒素はできる限り低減されていることが好ましい、例えば、SIMS 分析により得られる窒素濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$  以下にすることが好ましい。

#### 【0254】

また、酸化物半導体膜108に用いることのできる酸化物半導体の詳細については、実施の形態4で詳細に説明する。

#### 【0255】

(保護絶縁膜)

絶縁膜114、116、118は、保護絶縁膜としての機能を有する。絶縁膜114、116は酸素を有し、絶縁膜118は窒素を有する。また、絶縁膜114は、酸素を透過することのできる絶縁膜である。なお、絶縁膜114は、後に形成する絶縁膜116を形成する際の、酸化物半導体膜108へのダメージ緩和膜としても機能する。

#### 【0256】

絶縁膜114としては、厚さが5nm以上150nm以下、好ましくは5nm以上50nm以下の酸化シリコンまたは酸化窒化シリコンを用いることができる。

#### 【0257】

また、絶縁膜114は、欠陥量が少ないことが好ましく、代表的には、ESR (Ele

50

electron Spin Resonance) 測定により、シリコンのダングリングボンドに由来する  $g = 2.001$  に現れる信号のスピンの密度が  $3 \times 10^{17}$  spins/cm<sup>3</sup> 以下であることが好ましい。これは、絶縁膜 114 に含まれる欠陥密度が多いと、該欠陥に酸素が結合してしまい、絶縁膜 114 における酸素の透過量が減少してしまうためである。

#### 【0258】

なお、絶縁膜 114 においては、外部から絶縁膜 114 に入った酸素が全て絶縁膜 114 の外部に移動せず、絶縁膜 114 にとどまる酸素もある。また、絶縁膜 114 に酸素が入ると共に、絶縁膜 114 に含まれる酸素が絶縁膜 114 の外部へ移動することで、絶縁膜 114 において酸素の移動が生じる場合もある。絶縁膜 114 として酸素を透過することができる酸化物絶縁膜を形成すると、絶縁膜 114 上に設けられる、絶縁膜 116 から脱離する酸素を、絶縁膜 114 を通過させて酸化物半導体膜 108 に移動させることができる。

10

#### 【0259】

また、絶縁膜 114 は、窒素酸化物に起因する準位密度が低い酸化物絶縁膜を用いて形成することができる。なお、当該窒素酸化物に起因する準位密度は、酸化物半導体膜の価電子帯の上端のエネルギー ( $E_{v, s}$ ) と酸化物半導体膜の伝導帯の下端のエネルギー ( $E_{c, s}$ ) の間に形成され得る場合がある。上記酸化物絶縁膜として、窒素酸化物の放出量が少ない酸化窒化シリコン膜、または窒素酸化物の放出量が少ない酸化窒化アルミニウム膜等を用いることができる。

20

#### 【0260】

なお、窒素酸化物の放出量の少ない酸化窒化シリコン膜は、昇温脱離ガス分析法において、窒素酸化物の放出量よりアンモニアの放出量が多い膜であり、代表的にはアンモニアの放出量が  $1 \times 10^{18}$  個/cm<sup>3</sup> 以上  $5 \times 10^{19}$  個/cm<sup>3</sup> 以下である。なお、アンモニアの放出量は、膜の表面温度が 50 以上 650 以下、好ましくは 50 以上 550 以下の加熱処理による放出量とする。

#### 【0261】

窒素酸化物 ( $NO_x$ 、 $x$  は 0 以上 2 以下、好ましくは 1 以上 2 以下)、代表的には  $NO_2$  または  $NO$  は、絶縁膜 114 などに準位を形成する。当該準位は、酸化物半導体膜 108 のエネルギーギャップ内に位置する。そのため、窒素酸化物が、絶縁膜 114 及び酸化物半導体膜 108 の界面近傍に拡散すると、当該準位が絶縁膜 114 側において電子をトラップする場合がある。この結果、トラップされた電子が、絶縁膜 114 及び酸化物半導体膜 108 界面近傍に留まるため、トランジスタのしきい値電圧をプラス方向にシフトさせてしまう。

30

#### 【0262】

また、窒素酸化物は、加熱処理においてアンモニア及び酸素と反応する。絶縁膜 114 に含まれる窒素酸化物は、加熱処理において、絶縁膜 116 に含まれるアンモニアと反応するため、絶縁膜 114 に含まれる窒素酸化物が低減される。このため、絶縁膜 114 及び酸化物半導体膜 108 の界面近傍において、電子がトラップされにくい。

#### 【0263】

絶縁膜 114 として、上記酸化物絶縁膜を用いることで、トランジスタのしきい値電圧のシフトを低減することが可能であり、トランジスタの電気特性の変動を低減することができる。

40

#### 【0264】

なお、トランジスタの作製工程の加熱処理、代表的には 300 以上基板歪み点未満の加熱処理により、絶縁膜 114 は、100 K 以下の ESR で測定して得られたスペクトルにおいて  $g$  値が 2.037 以上 2.039 以下の第 1 のシグナル、 $g$  値が 2.001 以上 2.003 以下の第 2 のシグナル、及び  $g$  値が 1.964 以上 1.966 以下の第 3 のシグナルが観測される。なお、第 1 のシグナル及び第 2 のシグナルのスプリット幅、並びに第 2 のシグナル及び第 3 のシグナルのスプリット幅は、Xバンドの ESR 測定において約

50

5 mTである。また、g 値が 2.037 以上 2.039 以下の第 1 のシグナル、g 値が 2.001 以上 2.003 以下の第 2 のシグナル及び g 値が 1.964 以上 1.966 以下である第 3 のシグナルのスピン密度の合計が  $1 \times 10^{18}$  spins/cm<sup>3</sup> 未満であり、代表的には  $1 \times 10^{17}$  spins/cm<sup>3</sup> 以上  $1 \times 10^{18}$  spins/cm<sup>3</sup> 未満である。

【0265】

なお、100 K 以下の ESR スペクトルにおいて g 値が 2.037 以上 2.039 以下の第 1 シグナル、g 値が 2.001 以上 2.003 以下の第 2 のシグナル、及び g 値が 1.964 以上 1.966 以下の第 3 のシグナルは、窒素酸化物 (NO<sub>x</sub>、x は 0 以上 2 以下、好ましくは 1 以上 2 以下) 起因のシグナルに相当する。窒素酸化物の代表例としては、一酸化窒素、二酸化窒素等がある。即ち、g 値が 2.037 以上 2.039 以下の第 1 のシグナル、g 値が 2.001 以上 2.003 以下の第 2 のシグナル及び g 値が 1.964 以上 1.966 以下である第 3 のシグナルのスピン密度の合計が少ないほど、酸化物絶縁膜に含まれる窒素酸化物の含有量が少ないといえる。

10

【0266】

また、上記酸化物絶縁膜は、SIMS 分析で測定される窒素濃度が  $6 \times 10^{20}$  atoms/cm<sup>3</sup> 以下である。

【0267】

基板温度が 220 以上、または 280 以上、または 350 以上であり、シラン及び一酸化二窒素を用いた PECVD 法を用いて、上記酸化物絶縁膜を形成することで、緻密であり、且つ硬度の高い膜を形成することができる。

20

【0268】

絶縁膜 116 は、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜を用いて形成する。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜は、加熱により酸素の一部が脱離する。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜は、TDS 分析にて、酸素分子に換算して、酸素の放出量が  $8.0 \times 10^{14}$  atoms/cm<sup>2</sup> 以上、好ましくは  $1.0 \times 10^{15}$  atoms/cm<sup>2</sup> 以上である酸化物絶縁膜である。なお、上記 TDS 分析時における膜の表面温度は、100 以上 700 以下、好ましくは 100 以上 500 以下である。

【0269】

絶縁膜 116 としては、厚さが 30 nm 以上 500 nm 以下、好ましくは 50 nm 以上 400 nm 以下の、酸化シリコンまたは酸化窒化シリコンを用いることができる。

30

【0270】

また、絶縁膜 116 は、欠陥量が少ないことが好ましく、代表的には、ESR 測定により、シリコンのダングリングボンドに由来する  $g = 2.001$  に現れる信号のスピン密度が  $1.5 \times 10^{18}$  spins/cm<sup>3</sup> 未満、さらには  $1 \times 10^{18}$  spins/cm<sup>3</sup> 以下であることが好ましい。なお、絶縁膜 116 は、絶縁膜 114 と比較して酸化物半導体膜 108 から離れているため、絶縁膜 114 より、欠陥密度が多くともよい。

【0271】

また、絶縁膜 114、116 は、同種の材料の絶縁膜を用いることができるため、絶縁膜 114 と絶縁膜 116 の界面が明確に確認できない場合がある。したがって、本実施の形態においては、絶縁膜 114 と絶縁膜 116 の界面は、破線で図示している。なお、本実施の形態においては、絶縁膜 114 と絶縁膜 116 の 2 層構造について説明したが、これに限定されず、例えば、絶縁膜 114 または絶縁膜 116 のいずれか一方の単層構造としてもよい。

40

【0272】

絶縁膜 118 は、窒素を有する。また、絶縁膜 118 は、窒素と、シリコンとを有する。また、絶縁膜 118 は、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキングできる機能を有する。絶縁膜 118 を設けることで、酸化物半導体膜 108 からの酸素の外部への拡散と、絶縁膜 114、116 に含まれる酸素の外部への拡散と、外部か

50

ら酸化物半導体膜 108 への水素、水等の入り込みを防ぐことができる。絶縁膜 118 としては、例えば、窒化物絶縁膜を用いることができる。該窒化物絶縁膜としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。なお、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキング効果を有する窒化物絶縁膜の代わりに、酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜を設けてもよい。酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

#### 【0273】

なお、上記記載の、導電膜、絶縁膜、酸化物半導体膜などの様々な膜の形成方法としては、スパッタリング法、化学気相堆積 (CVD) 法、真空蒸着法、パルスレーザ堆積 (PLD) 法などが挙げられる。また、上記記載の、導電膜、絶縁膜、酸化物半導体膜などの様々な膜の形成方法としては、プラズマ化学気相堆積 (PECVD) 法、熱 CVD (Chemical Vapor Deposition) 法、または ALD (Atomic Layer Deposition) 法としてもよい。熱 CVD 法の例として MOCVD (Metal Organic Chemical Vapor Deposition) 法が挙げられる。また、上記記載の、導電膜、絶縁膜、酸化物半導体膜などの様々な膜の形成方法としては、塗布法や印刷法でもよい。

10

#### 【0274】

熱 CVD 法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

20

#### 【0275】

熱 CVD 法は、原料ガスと酸化剤を同時にチャンパー内に送り、チャンパー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

#### 【0276】

また、ALD 法は、チャンパー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンパーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ (高速バルブとも呼ぶ) を切り替えて 2 種類以上の原料ガスを順番にチャンパーに供給し、複数種の原料ガスが混ざらないように第 1 の原料ガスと同時またはその後不活性ガス (アルゴン、或いは窒素など) などを導入し、第 2 の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第 2 の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第 1 の原料ガスを排出した後、第 2 の原料ガスを導入してもよい。第 1 の原料ガスが基板の表面に吸着して第 1 の層を成膜し、後から導入される第 2 の原料ガスと反応して、第 2 の層が第 1 の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細な FET を作製する場合に適している。

30

40

#### 【0277】

ALD 法、または MOCVD 法などの熱 CVD 法は、上記実施形態の導電膜、絶縁膜、酸化物半導体膜、金属酸化膜などの様々な膜を形成することができ、例えば、In-Ga-Zn-O 膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、及びジメチル亜鉛を用いる。なお、トリメチルインジウムの化学式は、 $\text{In}(\text{CH}_3)_3$  である。また、トリメチルガリウムの化学式は、 $\text{Ga}(\text{CH}_3)_3$  である。また、ジメチル亜鉛の化学式は、 $\text{Zn}(\text{CH}_3)_2$  である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム (化学式  $\text{Ga}(\text{C}_2\text{H}_5)_3$ ) を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛 (化学式  $\text{Zn}(\text{C}_2\text{H}_5)_2$ ) を用いることもできる。

50

## 【0278】

例えば、ALDを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体（ハフニウムアルコキシドや、テトラキスジメチルアミドハフニウム（TDMAH）などのハフニウムアミド）を気化させた原料ガスと、酸化剤としてオゾン（ $O_3$ ）の2種類のガスを用いる。なお、テトラキスジメチルアミドハフニウムの化学式は $Hf[N(CH_3)_2]_4$ である。また、他の材料液としては、テトラキス（エチルメチルアミド）ハフニウムなどがある。

## 【0279】

例えば、ALDを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体（トリメチルアルミニウム（TMA）など）を気化させた原料ガスと、酸化剤として $H_2O$ の2種類のガスを用いる。なお、トリメチルアルミニウムの化学式は $Al(CH_3)_3$ である。また、他の材料液としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス（2, 2, 6, 6-テトラメチル-3, 5-ヘプタンジオナート）などがある。

10

## 【0280】

例えば、ALDを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、吸着物に含まれる塩素を除去し、酸化性ガス（ $O_2$ 、一酸化二窒素）のラジカルを供給して吸着物と反応させる。

## 【0281】

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、 $WF_6$ ガスと $B_2H_6$ ガスとを用いて初期タングステン膜を形成し、その後、 $WF_6$ ガスと $H_2$ ガスとを用いてタングステン膜を形成する。なお、 $B_2H_6$ ガスに代えて $SiH_4$ ガスを用いてもよい。

20

## 【0282】

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えばIn-Ga-Zn-O膜を成膜する場合には、 $In(CH_3)_3$ ガスと $O_3$ ガスとを用いてIn-O層を形成し、その後、 $Ga(CH_3)_3$ ガスと $O_3$ ガスとを用いてGaO層を形成し、更にその後 $Zn(CH_3)_2$ ガスと $O_3$ ガスとを用いてZnO層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜてIn-Ga-O層やIn-Zn-O層、Ga-Zn-O層などの混合化合物層を形成しても良い。なお、 $O_3$ ガスに変えてAr等の不活性ガスでパブリングして得られた $H_2O$ ガスを用いても良いが、Hを含まない $O_3$ ガスを用いる方が好ましい。また、 $In(CH_3)_3$ ガスの代わりに、 $In(C_2H_5)_3$ ガスを用いても良い。また、 $Ga(CH_3)_3$ ガスの代わりに、 $Ga(C_2H_5)_3$ ガスを用いても良い。また、 $Zn(CH_3)_2$ ガスを用いても良い。

30

## 【0283】

<トランジスタの構成例2>

次に、図15(A)(B)(C)に示すトランジスタ100と異なる構成例について、図16(A)(B)(C)を用いて説明する。

## 【0284】

図16(A)は、本発明の一態様の半導体装置が有する、トランジスタ150の上面図であり、図16(B)は、図16(A)に示す一点鎖線X1-X2間における切断面の断面図に相当し、図16(C)は、図16(A)に示す一点鎖線Y1-Y2間における切断面の断面図に相当する。

40

## 【0285】

トランジスタ150は、基板102上のゲート電極として機能する導電膜104と、基板102及び導電膜104上の絶縁膜106と、絶縁膜106上の絶縁膜107と、絶縁膜107上の酸化物半導体膜108と、酸化物半導体膜108上の絶縁膜114と、絶縁膜114上の絶縁膜116と、絶縁膜114及び絶縁膜116に設けられる開口部141aを介して酸化物半導体膜108に電氣的に接続されるソース電極として機能する導電膜112aと、絶縁膜114及び絶縁膜116に設けられる開口部141bを介して酸化物

50

半導体膜 108 に電氣的に接続されるドレイン電極として機能する導電膜 112 b と、を有する。また、トランジスタ 150 上、より詳しくは、導電膜 112 a、112 b、及び絶縁膜 116 上には絶縁膜 118 が設けられる。絶縁膜 114 及び絶縁膜 116 は、酸化物半導体膜 108 の保護絶縁膜としての機能を有する。絶縁膜 118 は、トランジスタ 150 の保護絶縁膜としての機能を有する。

【0286】

先に示すトランジスタ 100 においては、チャンネルエッチ型の構造であったのに対し、図 16 (A) (B) (C) に示すトランジスタ 150 は、チャンネル保護型の構造である。このように、本発明の一態様の半導体装置は、チャンネルエッチ型及びチャンネル保護型の双方のトランジスタ構造に適用することができる。

10

【0287】

<トランジスタの構成例 3>

次に、図 16 (A) (B) (C) に示すトランジスタ 150 と異なる構成例について、図 17 (A) (B) (C) を用いて説明する。

【0288】

図 17 (A) は、本発明の一態様の半導体装置であるトランジスタ 160 の上面図であり、図 17 (B) は、図 17 (A) に示す一点鎖線 X1 - X2 間における切断面の断面図に相当し、図 17 (C) は、図 17 (A) に示す一点鎖線 Y1 - Y2 間における切断面の断面図に相当する。

20

【0289】

トランジスタ 160 は、基板 102 上のゲート電極として機能する導電膜 104 と、基板 102 及び導電膜 104 上の絶縁膜 106 と、絶縁膜 106 上の絶縁膜 107 と、絶縁膜 107 上の酸化物半導体膜 108 と、酸化物半導体膜 108 上の絶縁膜 114 と、絶縁膜 114 上の絶縁膜 116 と、酸化物半導体膜 108 に電氣的に接続されるソース電極として機能する導電膜 112 a と、酸化物半導体膜 108 に電氣的に接続されるドレイン電極として機能する導電膜 112 b と、を有する。また、トランジスタ 160 上、より詳しくは、導電膜 112 a、112 b、及び絶縁膜 116 上には絶縁膜 118 が設けられる。絶縁膜 114 及び絶縁膜 116 は、酸化物半導体膜 108 の保護絶縁膜としての機能を有する。絶縁膜 118 は、トランジスタ 160 の保護絶縁膜としての機能を有する。

30

【0290】

トランジスタ 160 は、図 16 (A) (B) (C) に示すトランジスタ 150 と絶縁膜 114、116 の形状が相違する。具体的には、トランジスタ 160 の絶縁膜 114、116 は、酸化物半導体膜 108 のチャンネル領域上に島状に設けられる。その他の構成は、トランジスタ 150 と同様であり、同様の効果を奏する。

【0291】

<トランジスタの構成例 4>

次に、図 15 (A) (B) (C) に示すトランジスタ 100 と異なる構成例について、図 18 (A) (B) (C) を用いて説明する。

【0292】

図 18 (A) は、本発明の一態様の半導体装置であるトランジスタ 170 の上面図であり、図 18 (B) は、図 18 (A) に示す一点鎖線 X1 - X2 間における切断面の断面図に相当し、図 18 (C) は、図 18 (A) に示す一点鎖線 Y1 - Y2 間における切断面の断面図に相当する。

40

【0293】

トランジスタ 170 は、基板 102 上の第 1 のゲート電極として機能する導電膜 104 と、基板 102 及び導電膜 104 上の絶縁膜 106 と、絶縁膜 106 上の絶縁膜 107 と、絶縁膜 107 上の酸化物半導体膜 108 と、酸化物半導体膜 108 に電氣的に接続されるソース電極として機能する導電膜 112 a と、酸化物半導体膜 108 に電氣的に接続されるドレイン電極として機能する導電膜 112 b と、酸化物半導体膜 108 及び導電膜 112 a、112 b 上の絶縁膜 114 と、絶縁膜 114 上の絶縁膜 116 と、絶縁膜 116

50

上の絶縁膜 118 と、絶縁膜 118 上の導電膜 120 a、120 b と、を有する。

【0294】

また、絶縁膜 106、107 は、トランジスタ 170 の第 1 のゲート絶縁膜としての機能を有する。また、絶縁膜 114、116、118 は、トランジスタ 170 の第 2 のゲート絶縁膜としての機能を有する。また、導電膜 120 a は、例えば、表示装置に用いる画素電極としての機能を有する。また、導電膜 120 a は、絶縁膜 114、116、118 に設けられる開口部 142 c を介して、導電膜 112 b と接続される。また、導電膜 120 b は、第 2 のゲート電極（バックゲート電極ともいう）として機能する。

【0295】

また、図 18 (C) に示すように導電膜 120 b は、絶縁膜 106、107、114、116、118 に設けられる開口部 142 a、142 b において、第 1 のゲート電極として機能する導電膜 104 に接続される。よって、導電膜 120 b と導電膜 104 とは、同じ電位が与えられる。

10

【0296】

なお、本実施の形態においては、開口部 142 a、142 b を設け、導電膜 120 b と導電膜 104 を接続する構成について例示したが、これに限定されない。例えば、開口部 142 a または開口部 142 b のいずれか一方の開口部のみを形成し、導電膜 120 b と導電膜 104 を接続する構成、または開口部 142 a 及び開口部 142 b を設けずに、導電膜 120 b と導電膜 104 を接続しない構成としてもよい。なお、導電膜 120 b と導電膜 104 を接続しない構成の場合、導電膜 120 b と導電膜 104 には、それぞれ異なる電位を与えることができる。

20

【0297】

また、図 18 (B) に示すように、酸化物半導体膜 108 は、第 1 のゲート電極として機能する導電膜 104 と、第 2 のゲート電極として機能する導電膜 120 b のそれぞれと対向するように位置し、2 つのゲート電極として機能する導電膜に挟まれている。第 2 のゲート電極として機能する導電膜 120 b のチャネル長方向の長さ及びチャネル幅方向の長さは、酸化物半導体膜 108 のチャネル長方向の長さ及びチャネル幅方向の長さよりもそれぞれ長く、酸化物半導体膜 108 の全体は、絶縁膜 114、116、118 を介して導電膜 120 b に覆われている。また、第 2 のゲート電極として機能する導電膜 120 b と第 1 のゲート電極として機能する導電膜 104 とは、絶縁膜 106、107、114、116、118 に設けられる開口部 142 a、142 b において接続されるため、酸化物半導体膜 108 のチャネル幅方向の側面は、絶縁膜 114、116、118 を介して第 2 のゲート電極として機能する導電膜 120 b と対向している。

30

【0298】

別言すると、トランジスタ 170 のチャネル幅方向において、第 1 のゲート電極として機能する導電膜 104 及び第 2 のゲート電極として機能する導電膜 120 b は、ゲート絶縁膜として機能する絶縁膜 106、107 及び第 2 のゲート絶縁膜として機能する絶縁膜 114、116、118 に設けられる開口部において接続すると共に、ゲート絶縁膜として機能する絶縁膜 106、107 及び第 2 のゲート絶縁膜として機能する絶縁膜 114、116、118 を介して酸化物半導体膜 108 を囲む構成である。

40

【0299】

このような構成を有することで、トランジスタ 170 に含まれる酸化物半導体膜 108 を、第 1 のゲート電極として機能する導電膜 104 及び第 2 のゲート電極として機能する導電膜 120 b の電界によって電氣的に囲むことができる。トランジスタ 170 のように、第 1 のゲート電極及び第 2 のゲート電極の電界によって、チャネル領域が形成される酸化物半導体膜を電氣的に囲むトランジスタのデバイス構造を *surrounded channel* ( *s-channel* ) 構造と呼ぶことができる。

【0300】

トランジスタ 170 は、*s-channel* 構造を有するため、第 1 のゲート電極として機能する導電膜 104 によってチャネルを誘起させるための電界を効果的に酸化物半導

50

体膜 108 に印加することができるため、トランジスタ 170 の電流駆動能力が向上し、高いオン電流特性を得ることが可能となる。また、オン電流を高くすることが可能であるため、トランジスタ 170 を微細化することが可能となる。また、トランジスタ 170 は、第 1 のゲート電極として機能する導電膜 104 及び第 2 のゲート電極として機能する導電膜 120b によって囲まれた構造を有するため、トランジスタ 170 の機械的強度を高めることができる。

#### 【0301】

<トランジスタの構成例 5>

次に、図 15 (A) (B) (C) に示すトランジスタ 100 と異なる構成例について、図 19 (A) (B) (C) を用いて説明する。

10

#### 【0302】

図 19 (A) は、本発明の一態様の半導体装置である、トランジスタ 180 の上面図であり、図 19 (B) は、図 19 (A) に示す一点鎖線 X1 - X2 間における切断面の断面図に相当し、図 19 (C) は、図 19 (A) に示す一点鎖線 Y1 - Y2 間における切断面の断面図に相当する。

#### 【0303】

トランジスタ 180 は、基板 102 上に形成された絶縁膜 131 と、絶縁膜 131 上の絶縁膜 132 と、絶縁膜 132 上の酸化半導体膜 108 と、酸化半導体膜 108 上の絶縁膜 107 と、絶縁膜 107 上の絶縁膜 106 と、絶縁膜 106、107 を介して酸化半導体膜 108 と重なる導電膜 104 と、酸化半導体膜 108、絶縁膜 132、及び導電膜 104 を覆う絶縁膜 133 と、絶縁膜 133 上の絶縁膜 116 と、絶縁膜 133 及び絶縁膜 116 に設けられる開口部 140a を介して、酸化半導体膜 108 に接続される導電膜 112a と、絶縁膜 133 及び絶縁膜 116 に設けられる開口部 140b を介して、酸化半導体膜 108 に接続される導電膜 112b と、を有する。なお、トランジスタ 180 上には、絶縁膜 116、導電膜 104、導電膜 112a、及び導電膜 112b、を覆う絶縁膜 118 を設けてもよい。

20

#### 【0304】

トランジスタ 180 において、導電膜 104 は、ゲート電極 (トップゲート電極ともいう) としての機能を有し、導電膜 112a は、ソース電極及びドレイン電極の一方の電極としての機能を有し、導電膜 112b は、ソース電極及びドレイン電極の他方の電極としての機能を有する。また、トランジスタ 180 において、絶縁膜 131、132 は、酸化半導体膜 108 の下地膜としての機能を有し、絶縁膜 107、106 は、ゲート絶縁膜としての機能を有する。また、図 19 (A) (B) (C) に示すように、トランジスタ 180 は、トップゲート型のシングルゲートのトランジスタである。このように、本発明の一態様の半導体装置には、ボトムゲート型、デュアルゲート型、トップゲート型等の様々な構造のトランジスタを適用することができる。

30

#### 【0305】

<トランジスタの構成例 6>

次に、図 15 (A) (B) (C) に示すトランジスタ 100 と異なる構成例について、図 20 (A) (B) (C) (D) を用いて説明する。

40

#### 【0306】

図 20 (A) (B) (C) (D) は、図 15 (B) (C) に示すトランジスタ 100 の変形例の断面図である。

#### 【0307】

図 20 (A) (B) に示すトランジスタ 100A は、図 15 (B) (C) に示すトランジスタ 100 が有する酸化半導体膜 108 を 3 層の積層構造としている。より具体的には、トランジスタ 100A が有する酸化半導体膜 108 は、酸化半導体膜 108a と、酸化半導体膜 108b と、酸化半導体膜 108c と、を有する。

#### 【0308】

図 20 (C) (D) に示すトランジスタ 100B は、図 15 (B) (C) に示すトラン

50

ジスタ100が有する酸化物半導体膜108を2層の積層構造としている。より具体的には、トランジスタ100Bが有する酸化物半導体膜108は、酸化物半導体膜108bと、酸化物半導体膜108cと、を有する。

【0309】

ここで、酸化物半導体膜108a、108b、108c、及び酸化物半導体膜108b、108cに接する絶縁膜のバンド構造について、図21を用いて説明する。

【0310】

図21(A)は、絶縁膜107、酸化物半導体膜108a、108b、108c、及び絶縁膜114を有する積層構造の膜厚方向のバンド構造の一例である。また、図21(B)は、絶縁膜107、酸化物半導体膜108b、108c、及び絶縁膜114を有する積層構造の膜厚方向のバンド構造の一例である。なお、バンド構造は、理解を容易にするため絶縁膜107、酸化物半導体膜108a、108b、108c、及び絶縁膜114の伝導帯下端のエネルギー準位(Ec)を示す。

10

【0311】

また、図21(A)は、絶縁膜107、114として酸化シリコン膜を用い、酸化物半導体膜108aとして金属元素の原子数比をIn:Ga:Zn=1:3:2の金属酸化物ターゲットを用いて形成される酸化物半導体膜を用い、酸化物半導体膜108bとして金属元素の原子数比をIn:Ga:Zn=1:1:1の金属酸化物ターゲットを用いて形成される酸化物半導体膜を用い、酸化物半導体膜108cとして金属元素の原子数比をIn:Ga:Zn=1:3:2の金属酸化物ターゲットを用いて形成される酸化物半導体膜を用いる構成のバンド図である。

20

【0312】

また、図21(B)は、絶縁膜107、114として酸化シリコン膜を用い、酸化物半導体膜108bとして金属元素の原子数比をIn:Ga:Zn=1:1:1の金属酸化物ターゲットを用いて形成される酸化物半導体膜を用い、酸化物半導体膜108cとして金属元素の原子数比をIn:Ga:Zn=1:3:2の金属酸化物ターゲットを用いて形成される金属酸化膜を用いる構成のバンド図である。

【0313】

図21(A)(B)に示すように、酸化物半導体膜108a、108b、108cにおいて、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、連続的に変化または連続接合するともいうことができる。このようなバンド構造を有するためには、酸化物半導体膜108aと酸化物半導体膜108bとの界面、または酸化物半導体膜108bと酸化物半導体膜108cとの界面において、トラップ中心や再結合中心のような欠陥準位を形成するような不純物が存在しないとする。

30

【0314】

酸化物半導体膜108a、108b、108cに連続接合を形成するためには、ロードロック室を備えたマルチチャンパー方式の成膜装置(スパッタリング装置)を用いて各膜を大気に触れさせることなく連続して積層すればよい。

【0315】

図21(A)(B)に示す構成とすることで酸化物半導体膜108bがウェル(井戸)となり、上記積層構造を用いたトランジスタにおいて、チャンネル領域が酸化物半導体膜108bに形成されることがわかる。

40

【0316】

なお、酸化物半導体膜108a、108cを形成しない場合に酸化物半導体膜108bに形成されうるトラップ準位は、上記積層構造とすることで、酸化物半導体膜108a、108cに形成される。したがって、酸化物半導体膜108bからトラップ準位を離すことができる。

【0317】

また、トラップ準位がチャンネル領域として機能する酸化物半導体膜108bの伝導帯下端のエネルギー準位(Ec)より真空準位に遠くなることもあり、トラップ準位に電子が

50

蓄積しやすくなってしまう。トラップ準位に電子が蓄積されることで、マイナスの固定電荷となり、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。したがって、トラップ準位が酸化物半導体膜 108b の伝導帯下端のエネルギー準位 ( $E_c$ ) より真空準位となるような構成すると好ましい。このようにすることで、トラップ準位に電子が蓄積しにくくなり、トランジスタのオン電流を増大させることが可能であると共に、電界効果移動度を高めることができる。

#### 【0318】

また、図 21 (A) (B) において、酸化物半導体膜 108a、108c は、酸化物半導体膜 108b よりも伝導帯下端のエネルギー準位が真空準位に近く、代表的には、酸化物半導体膜 108b の伝導帯下端のエネルギー準位と、酸化物半導体膜 108a、108c の伝導帯下端のエネルギー準位との差が、 $0.15\text{ eV}$  以上、または  $0.5\text{ eV}$  以上、かつ  $2\text{ eV}$  以下、または  $1\text{ eV}$  以下である。すなわち、酸化物半導体膜 108a、108c の電子親和力と、酸化物半導体膜 108b の電子親和力との差が、 $0.15\text{ eV}$  以上、または  $0.5\text{ eV}$  以上、かつ  $2\text{ eV}$  以下、または  $1\text{ eV}$  以下である。

10

#### 【0319】

このような構成を有することで、酸化物半導体膜 108b が電流の主な経路となり、チャネル領域として機能する。また、酸化物半導体膜 108a、108c は、チャネル領域が形成される酸化物半導体膜 108b を構成する金属元素の一種以上から構成される酸化物半導体膜であるため、酸化物半導体膜 108a と酸化物半導体膜 108b との界面、または酸化物半導体膜 108b と酸化物半導体膜 108c との界面において、界面散乱が起こりにくい。従って、該界面においてはキャリアの動きが阻害されないため、トランジスタの電界効果移動度が高くなる。

20

#### 【0320】

また、酸化物半導体膜 108a、108c は、チャネル領域の一部として機能することを防止するため、導電率が十分に低い材料を用いるものとする。または、酸化物半導体膜 108a、108c には、電子親和力 (真空準位と伝導帯下端のエネルギー準位との差) が酸化物半導体膜 108b よりも小さく、伝導帯下端のエネルギー準位が酸化物半導体膜 108b の伝導帯下端エネルギー準位と差分 (バンドオフセット) を有する材料を用いるものとする。また、ドレイン電圧の大きさに依存したしきい値電圧の差が生じることを抑制するためには、酸化物半導体膜 108a、108c の伝導帯下端のエネルギー準位が、酸化物半導体膜 108b の伝導帯下端のエネルギー準位よりも  $0.2\text{ eV}$  以上真空準位に近い材料、好ましくは  $0.5\text{ eV}$  以上真空準位に近い材料を適用することが好ましい。

30

#### 【0321】

また、酸化物半導体膜 108a、108c は、膜中にスピネル型の結晶構造が含まれないことが好ましい。酸化物半導体膜 108a、108c の膜中にスピネル型の結晶構造を含む場合、該スピネル型の結晶構造と他の領域との界面において、導電膜 112a、112b の構成元素が酸化物半導体膜 108b へ拡散してしまう場合がある。なお、酸化物半導体膜 108a、108c が後述する CAAC-OS である場合、導電膜 112a、112b の構成元素、例えば、銅元素のブロッキング性が高くなり好ましい。

#### 【0322】

酸化物半導体膜 108a、108c の膜厚は、導電膜 112a、112b の構成元素が酸化物半導体膜 108b に拡散することを抑制することのできる膜厚以上であって、絶縁膜 114 から酸化物半導体膜 108b への酸素の供給を抑制する膜厚未満とする。例えば、酸化物半導体膜 108a、108c の膜厚が  $10\text{ nm}$  以上であると、導電膜 112a、112b の構成元素が酸化物半導体膜 108b へ拡散するのを抑制することができる。また、酸化物半導体膜 108a、108c の膜厚を  $100\text{ nm}$  以下とすると、絶縁膜 114、116 から酸化物半導体膜 108b へ効果的に酸素を供給することができる。

40

#### 【0323】

酸化物半導体膜 108a、108c が In-M-Zn 酸化物であるとき、M として Ti、Ga、Y、Zr、La、Ce、Nd、Sn または Hf を In より高い原子数比で有する

50

ことで、酸化物半導体膜108a、108cのエネルギーギャップを大きく、電子親和力を小さくしうる。よって、酸化物半導体膜108bとの電子親和力の差を元素Mの組成によって制御することが可能となる場合がある。また、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHfは、酸素との結合力が強い金属元素であるため、これらの元素をInより高い原子数比で有することで、酸素欠損が生じにくくなる。

【0324】

また、酸化物半導体膜108a、108cがIn-M-Zn酸化物であるとき、ZnおよびOを除いてのInおよびMの原子数比率は、好ましくは、Inが50atomic%未満、Mが50atomic%より高く、さらに好ましくは、Inが25atomic%未満、Mが75atomic%より高くする。また、酸化物半導体膜108a、108cとして、酸化ガリウム膜を用いてもよい。

10

【0325】

また、酸化物半導体膜108a、108b、108cが、In-M-Zn酸化物の場合、酸化物半導体膜108bと比較して、酸化物半導体膜108a、108cに含まれるMの原子数比が大きく、代表的には、酸化物半導体膜108bに含まれる上記原子と比較して、1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上高い原子数比である。

【0326】

また、酸化物半導体膜108a、108b、108cが、In-M-Zn酸化物の場合、酸化物半導体膜108bをIn:M:Zn= $x_1$ : $y_1$ : $z_1$  [原子数比]、酸化物半導体膜108a、108cをIn:M:Zn= $x_2$ : $y_2$ : $z_2$  [原子数比]とすると、 $y_2/x_2$ が $y_1/x_1$ よりも大きく、好ましくは、 $y_2/x_2$ が $y_1/x_1$ よりも1.5倍以上である。より好ましくは、 $y_2/x_2$ が $y_1/x_1$ よりも2倍以上大きく、さらに好ましくは、 $y_2/x_2$ が $y_1/x_1$ よりも3倍以上または4倍以上大きい。このとき、酸化物半導体膜108bにおいて、 $y_1$ が $x_1$ 以上であると、酸化物半導体膜108bを用いるトランジスタに安定した電気特性を付与できるため好ましい。ただし、 $y_1$ が $x_1$ の3倍以上になると、酸化物半導体膜108bを用いるトランジスタの電界効果移動度が低下してしまうため、 $y_1$ は $x_1$ の3倍未満であると好ましい。

20

【0327】

酸化物半導体膜108bがIn-M-Zn酸化物の場合、酸化物半導体膜108bを成膜するために用いるターゲットにおいて、金属元素の原子数比をIn:M:Zn= $x_1$ : $y_1$ : $z_1$ とすると、 $x_1/y_1$ は、1/3以上6以下、さらには1以上6以下であって、 $z_1/y_1$ は、1/3以上6以下、さらには1以上6以下であることが好ましい。なお、 $z_1/y_1$ を1以上6以下とすることで、酸化物半導体膜108bとして後述のCAAC-OSが形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=3:1:2等がある。

30

【0328】

また、酸化物半導体膜108a、108cがIn-M-Zn酸化物の場合、酸化物半導体膜108a、108cを成膜するために用いるターゲットにおいて、金属元素の原子数比をIn:M:Zn= $x_2$ : $y_2$ : $z_2$ とすると、 $x_2/y_2 < x_1/y_1$ であって、 $z_2/y_2$ は、1/3以上6以下、さらには1以上6以下であることが好ましい。また、インジウムに対するMの原子数比率を大きくすることで、酸化物半導体膜108a、108cのエネルギーギャップを大きく、電子親和力を小さくすることが可能であるため、 $y_2/x_2$ を3以上、または4以上とすることが好ましい。ターゲットの金属元素の原子数比の代表例としては、In:M:Zn=1:3:2、In:M:Zn=1:3:4、In:M:Zn=1:3:5、In:M:Zn=1:3:6、In:M:Zn=1:4:2、In:M:Zn=1:4:4、In:M:Zn=1:4:5、In:M:Zn=1:5:5等がある。

40

【0329】

50

また、酸化物半導体膜 108a、108c が In - M 酸化物の場合、M として 2 価の金属原子（例えば、亜鉛など）を含まない構成とすることで、スピネル型の結晶構造を含有しない酸化物半導体膜 108a、108c を形成することができる。また、酸化物半導体膜 108a、108c としては、例えば、In - Ga 酸化物膜を用いることができる。該 In - Ga 酸化物膜としては、例えば、In - Ga 金属酸化物ターゲット（In : Ga = 7 : 93）を用いて、スパッタリング法により形成することができる。また、酸化物半導体膜 108a、108c を、DC 放電を用いたスパッタリング法で成膜するためには、In : M = x : y [原子数比] としたときに、 $y / (x + y)$  を 0.96 以下、好ましくは 0.95 以下、例えば 0.93 とするとよい。

【0330】

なお、酸化物半導体膜 108a、108b、108c の原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス 40% の変動を含む。

【0331】

また、本実施の形態に係るトランジスタは、上記の構造のそれぞれを自由に組み合わせることが可能である。

【0332】

<半導体装置の作製方法 1 >

次に、トランジスタ 100 の作製方法について、図 22 及び図 23 を用いて説明する。なお、図 22 及び図 23 は、半導体装置の作製方法を説明する断面図である。

【0333】

（ゲート電極を形成する工程）

まず、基板 102 上に導電膜を形成し、該導電膜をリソグラフィ工程及びエッチング工程を行い加工して、ゲート電極として機能する導電膜 104 を形成する（図 22（A）参照）。

【0334】

本実施の形態では、基板 102 としてガラス基板を用い、ゲート電極として機能する導電膜 104 として厚さ 100 nm のタングステン膜をスパッタリング法で形成する。

【0335】

（ゲート絶縁膜を形成する工程）

次に、導電膜 104 上にゲート絶縁膜として機能する絶縁膜 106、107 を形成する（図 22（B）参照）。

【0336】

本実施の形態では、PECVD 法により、絶縁膜 106 として厚さ 400 nm の窒化シリコン膜を形成し、絶縁膜 107 として厚さ 50 nm の酸化窒化シリコン膜を形成する。

【0337】

なお、絶縁膜 106 は、窒化シリコン膜の積層構造とする。具体的には、絶縁膜 106 を、第 1 の窒化シリコン膜と、第 2 の窒化シリコン膜と、第 3 の窒化シリコン膜との 3 層積層構造とすることができる。該 3 層積層構造の一例としては、以下のように形成することができる。

【0338】

第 1 の窒化シリコン膜としては、例えば、流量 200 sccm のシラン、流量 2000 sccm の窒素、及び流量 100 sccm のアンモニアガスを原料ガスとして PECVD 装置の反応室に供給し、反応室内の圧力を 100 Pa に制御し、27.12 MHz の高周波電源を用いて 2000 W の電力を供給して、厚さが 50 nm となるように形成すればよい。

【0339】

第 2 の窒化シリコン膜としては、流量 200 sccm のシラン、流量 2000 sccm の窒素、及び流量 2000 sccm のアンモニアガスを原料ガスとして PECVD 装置の反応室に供給し、反応室内の圧力を 100 Pa に制御し、27.12 MHz の高周波電源を用いて 2000 W の電力を供給して、厚さが 300 nm となるように形成すればよい。

10

20

30

40

50

## 【0340】

第3の窒化シリコン膜としては、流量200 s c c mのシラン、及び流量5000 s c c mの窒素を原料ガスとしてPECVD装置の反応室に供給し、反応室内の圧力を100 Paに制御し、27.12 MHzの高周波電源を用いて2000 Wの電力を供給して、厚さが50 nmとなるように形成すればよい。

## 【0341】

なお、上記第1の窒化シリコン膜、第2の窒化シリコン膜、及び第3の窒化シリコン膜形成時の基板温度は350 とすることができる。

## 【0342】

絶縁膜106を、窒化シリコン膜の3層の積層構造とすることで、例えば、導電膜104に銅(Cu)を含む導電膜を用いる場合において、以下の効果を奏する。

10

## 【0343】

第1の窒化シリコン膜は、導電膜104からの銅(Cu)元素の拡散を抑制することができる。第2の窒化シリコン膜は、水素を放出する機能を有し、ゲート絶縁膜として機能する絶縁膜の耐圧を向上させることができる。第3の窒化シリコン膜は、第3の窒化シリコン膜からの水素放出が少なく、且つ第2の窒化シリコン膜からの放出される水素の拡散を抑制することができる。

## 【0344】

絶縁膜107としては、後に形成される酸化物半導体膜108との界面特性を向上させるため、酸素を含む絶縁膜で形成されると好ましい。

20

## 【0345】

(酸化物半導体膜を形成する工程)

次に、絶縁膜107上に酸化物半導体膜108を形成する(図22(C)参照)。

## 【0346】

本実施の形態では、In-Ga-Zn金属酸化物ターゲット(In:Ga:Zn=1:1:1.2(原子数比))を用いて、スパッタリング法により酸化物半導体膜を成膜し、該酸化物半導体膜上にリソグラフィ工程によりマスクを形成し、該酸化物半導体膜を所望の領域に加工することで島状の酸化物半導体膜108を形成する。

## 【0347】

酸化物半導体膜108の形成後、150 以上基板の歪み点未満、好ましくは200 以上450 以下、さらに好ましくは300 以上450 以下の加熱処理を行ってもよい。ここでの加熱処理は、酸化物半導体膜の高純度化処理の一つであり、酸化物半導体膜108に含まれる水素、水等を低減することができる。なお、水素、水等の低減を目的とした加熱処理は、酸化物半導体膜108を島状に加工する前に行ってもよい。

30

## 【0348】

酸化物半導体膜108への加熱処理は、ガスベーク炉、電気炉、RTA装置等を用いることができる。RTA装置を用いることで、短時間に限り基板の歪み点以上の温度で熱処理を行うことができる。そのため、加熱時間を短縮することが可能となる。

## 【0349】

なお、酸化物半導体膜108への加熱処理は、窒素ガス、酸素ガス、超乾燥空気(Clean Dry Air: CDAともいう。CDAとは、水の含有量が20 ppm以下、好ましくは1 ppm以下、より好ましくは10 ppb以下の空気である。)、または希ガス(アルゴン、ヘリウム等)の雰囲気下で行えばよい。なお、上記窒素ガス、酸素ガス、CDA、または希ガスに水素、水等が含まれないことが好ましい。

40

## 【0350】

例えば、上記窒素ガス、酸素ガス、またはCDAの純度を高めると好ましい。具体的には、窒素ガス、酸素ガス、またはCDAの純度を、6N(99.9999%)または7N(99.99999%)とすればよい。また、窒素ガス、酸素ガス、またはCDAの露点が-60 以下、好ましくは-100 以下にまで高純度化したガスを用いることで酸化物半導体膜108に水分等が取り込まれることを可能な限り防ぐことができる。

50

## 【0351】

また、酸化物半導体膜108を窒素または希ガス雰囲気加熱処理した後、酸素またはCDA雰囲気で加熱してもよい。この結果、酸化物半導体膜108中に含まれる水素、水等を脱離させると共に、酸化物半導体膜108中に酸素を供給することができる。この結果、酸化物半導体膜108中に含まれる酸素欠損量を低減することができる。

## 【0352】

ここで、酸化物半導体膜108への加熱処理を行う際のガスベーク炉の熱プロファイルについて、図26及び図27を用いて説明を行う。図26(A)(B)及び図27(A)(B)は、ガスベーク炉の加熱処理時の熱プロファイルを説明する図である。

## 【0353】

なお、図26(A)(B)及び図27(A)(B)は、所望の温度(ここでは、450、以下では、第1の温度とする)にまで昇温させて、所望の温度(ここでは、室温以上150以下、以下では第2の温度とする)にまで降温させる熱プロファイルである。

## 【0354】

図26(A)に示すように、酸化物半導体膜108へ加熱処理を行う際に、2つのガス種を用い、2つのステップに分けて処理することができる。例えば、1つ目のステップで、ガスベーク炉に窒素ガスを導入する。その後、第1の温度にまで昇温させる時間を1時間とし、第1の温度で1時間処理した後に、第2の温度にまで1時間かけて降温させる。2つ目のステップで、窒素ガスから窒素と酸素との混合ガスに切り替える。その後、第1の温度にまで昇温させる時間を1時間とし、第1の温度で1時間処理した後に、第2の温度にまで1時間かけて降温させる。

## 【0355】

または、図26(B)に示すように、酸化物半導体膜108へ加熱処理を行う際に、2つのガス種を用い、1つのステップで処理することができる。例えば、最初にガスベーク炉に窒素ガスを導入する。その後、第1の温度にまで昇温させる時間を1時間とし、第1の温度で1時間処理した後に、ガス種を窒素ガスからCDAに切り替える。ガス種を切り替えてから、さらに1時間処理した後に、第2の温度にまで1時間かけて降温させる。

## 【0356】

なお、図26(B)に示すようなガスベーク炉の加熱処理時の熱プロファイルとすることで、図26(A)に示すガスベーク炉の加熱処理時の熱プロファイルよりも処理時間を短縮することができる。したがって、生産性が高められた半導体装置を提供することができる。

## 【0357】

または、図27(A)に示すように、酸化物半導体膜108へ加熱処理を行う際に、2つのガス種を用い、2つのステップで処理することができる。例えば、1つ目のステップで、最初にガスベーク炉に窒素ガスを導入する。その後、第1の温度にまで昇温させる時間を1時間とし、第1の温度で1時間処理した後に、ガス種を窒素ガスからCDAに切り替える。ガス種を切り替えてから、さらに1時間処理した後に、第2の温度にまで1時間かけて降温させる。2つ目のステップで、CDAから窒素ガスに切り替える。その後、第1の温度にまで昇温させる時間を1時間とし、第1の温度で1時間処理した後に、ガス種を窒素ガスからCDAに切り替える。ガス種を切り替えてから、さらに1時間処理した後に、第2の温度にまで1時間かけて降温させる。

## 【0358】

または、図27(B)に示すように、酸化物半導体膜108へ加熱処理を行う際に、2つのガス種を用い、2つのステップで処理することができる。例えば、1つ目のステップで、最初にガスベーク炉に窒素ガスを導入する。その後、第1の温度にまで昇温させる時間を1時間とし、第1の温度で2時間処理した後に、第2の温度にまで1時間かけて降温させる。2つ目のステップで、第1の温度にまで昇温させる時間を1時間とし、第1の温度で2時間処理した後に、ガス種を窒素ガスからCDAに切り替える。ガス種を切り替えてから、さらに2時間処理した後に、第2の温度にまで1時間かけて降温させる。

10

20

30

40

50

## 【0359】

なお、酸化物半導体膜108への加熱処理のガスベーク炉の熱プロファイルとしては、図26(A)(B)及び図27(A)(B)のように、最初に窒素ガスにより加熱することが好ましい。

## 【0360】

最初に、窒素ガスにより酸化物半導体膜108を加熱することで、酸化物半導体膜108中の主成分の一つである酸素と、酸化物半導体膜108中に存在する水素とが反応し、OH基となる。その後、当該OH基は、酸化物半導体膜108の表面より $H_2O$ として脱離する。すなわち、最初に導入した窒素ガスにより酸化物半導体膜108中の水素を捕獲することが可能となる。

10

## 【0361】

ただし、窒素ガスのみで酸化物半導体膜108を加熱することで、酸化物半導体膜108から酸素が $H_2O$ として脱離するため、酸化物半導体膜108中に酸素欠損が形成される場合がある。そこで、図26(A)(B)及び図27(A)(B)に示すように、窒素ガスと酸素ガスとの混合ガス、またはCDAのいずれか一方のガス種に切り替えることで、ガス中に含まれる酸素が、酸化物半導体膜108の酸素欠損を補填することが可能となる。

## 【0362】

なお、図26(A)(B)及び図27(A)(B)においては、所望の温度で安定したのち、1時間または2時間の処理としたが、これに限定されない。例えば図26(B)に示す1つ目のステップの窒素ガスでの処理時間を、1時間以上10時間以下としてもよい。図26(B)に示す1つ目のステップの処理時間を長くすることで、酸化物半導体膜108中から、より多くの水素を脱離させることが可能となるため、好適である。

20

## 【0363】

また、必要に応じて、窒素ガスと酸素ガスとの混合ガス、またはCDAのいずれか一方のガス種でのベーク時間を長く、例えば、1時間以上10時間以下としてもよい。酸素ガスが含まれる雰囲気での加熱時間を長くすることで、酸化物半導体膜108に形成された酸素欠損を好適に補填することが可能となる。

## 【0364】

また、スパッタリング法で酸化物半導体膜を形成する場合、スパッタリングガスには、希ガス(代表的にはアルゴン)、酸素、または希ガス及び酸素の混合ガスが適宜用いられる。なお、混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。また、スパッタリングガスの高純度化も必要である。例えば、スパッタリングガスとして用いる酸素ガスやアルゴンガスは、露点が $-60$ 以下、好ましくは $-100$ 以下にまで高純度化したガスを用いることで酸化物半導体膜108に水分等が取り込まれることを可能な限り防ぐことができる。

30

## 【0365】

また、スパッタリング法で酸化物半導体膜108を形成する場合、スパッタリング装置におけるチャンバーを、酸化物半導体膜108にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて、高真空排気( $5 \times 10^{-7}$  Paから $1 \times 10^{-4}$  Pa程度まで)することが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせることで排気系からチャンバー内に気体、特に炭素または水素を含む気体が逆流しないようにしておくことが好ましい。

40

## 【0366】

(ソース電極及びドレイン電極を形成する工程)

次に、絶縁膜107及び酸化物半導体膜108上に導電膜を形成し、当該導電膜を所望の形状に加工することで、導電膜112a、112bを形成する(図22(D)参照)。

## 【0367】

本実施の形態においては、導電膜112a、112bとして、厚さ50nmのタングステン膜と、厚さ400nmのアルミニウム膜と、厚さ100nmのチタン膜と、を順に形

50

成する。なお、導電膜 112 a、112 b の形成方法としては、スパッタリング法を用いればよい。

【0368】

また、導電膜 112 a、112 b の形成後に、酸化物半導体膜 108 の表面を洗浄する工程を行ってもよい。酸化物半導体膜 108 の表面を洗浄する方法としては、例えば、リン酸水溶液等を用いればよい。なお、導電膜 112 a、112 b を形成する工程、または上記酸化物半導体膜 108 の表面を洗浄する工程において、酸化物半導体膜 108 の表面の一部に凹部が形成される場合がある。

【0369】

以上の工程でトランジスタ 100 が形成される。

10

【0370】

(酸化物絶縁膜を形成する工程)

次に、トランジスタ 100 上に、具体的には酸化物半導体膜 108、及び導電膜 112 a、112 b 上にトランジスタ 100 の保護絶縁膜として機能する絶縁膜 114、116 を形成する。(図 23 (A) 参照)。

【0371】

なお、絶縁膜 114 を形成した後、大気に曝すことなく、連続的に絶縁膜 116 を形成することが好ましい。絶縁膜 114 を形成後、大気開放せず、原料ガスの流量、圧力、高周波電力及び基板温度の一以上を調整して、絶縁膜 116 を連続的に形成することで、絶縁膜 114 と絶縁膜 116 の界面において大気成分由来の不純物濃度を低減することができるとともに、絶縁膜 114、116 に含まれる酸素を酸化物半導体膜 108 に移動させることが可能となり、酸化物半導体膜 108 の酸素欠損量を低減することが可能となる。

20

【0372】

例えば、絶縁膜 114 として、PECVD 法を用いて、酸化窒化シリコン膜を形成することができる。この場合、原料ガスとしては、シリコンを含む堆積性気体及び酸化性気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、一酸化窒素、二酸化窒素等がある。また、上記の堆積性気体の流量に対して酸化性気体の流量を 20 倍より大きく 100 倍未満、好ましくは 40 倍以上 80 倍以下とし、処理室内の圧力を 100 Pa 未満、好ましくは 50 Pa 以下とする PECVD 法を用いることで、絶縁膜 114 が、窒素を含み、且つ欠陥量の少ない絶縁膜となる。

30

【0373】

本実施の形態においては、絶縁膜 114 として、基板 102 を保持する温度を 220 とし、流量 50 sccm のシラン及び流量 2000 sccm の一酸化窒素を原料ガスとし、処理室内の圧力を 20 Pa とし、平行平板電極に供給する高周波電力を 13.56 MHz、100 W (電力密度としては  $1.6 \times 10^{-2} \text{ W/cm}^2$ ) とする PECVD 法を用いて、酸化窒化シリコン膜を形成する。

【0374】

絶縁膜 116 としては、PECVD 装置の真空排気された処理室内に載置された基板を 180 以上 280 以下、さらに好ましくは 200 以上 240 以下に保持し、処理室内に原料ガスを導入して処理室内における圧力を 100 Pa 以上 250 Pa 以下、さらに好ましくは 100 Pa 以上 200 Pa 以下とし、処理室内に設けられる電極に  $0.17 \text{ W/cm}^2$  以上  $0.5 \text{ W/cm}^2$  以下、さらに好ましくは  $0.25 \text{ W/cm}^2$  以上  $0.35 \text{ W/cm}^2$  以下の高周波電力を供給する条件により、酸化シリコン膜または酸化窒化シリコン膜を形成する。

40

【0375】

絶縁膜 116 の成膜条件として、上記圧力の反応室において上記パワー密度の高周波電力を供給することで、プラズマ中で原料ガスの分解効率が高まり、酸素ラジカルが増加し、原料ガスの酸化が進むため、絶縁膜 116 中における酸素含有量が化学量論的組成よりも多くなる。一方、基板温度が、上記温度で形成された膜では、シリコンと酸素の結合力

50

が弱いため、後の工程の加熱処理により膜中の酸素の一部が脱離する。この結果、化学量論的組成を満たす酸素よりも多くの酸素を含み、加熱により酸素の一部が脱離する酸化物絶縁膜を形成することができる。

【0376】

なお、絶縁膜116の形成工程において、絶縁膜114が酸化物半導体膜108の保護膜となる。したがって、酸化物半導体膜108へのダメージを低減しつつ、パワー密度の高い高周波電力を用いて絶縁膜116を形成することができる。

【0377】

なお、絶縁膜116の成膜条件において、酸化性気体に対するシリコンを含む堆積性気体の流量を増加することで、絶縁膜116の欠陥量を低減することが可能である。代表的には、ESR測定により、シリコンのダングリングボンドに由来する $g = 2.001$ に現れる信号のスピン密度が $6 \times 10^{17} \text{ spins/cm}^3$ 未満、好ましくは $3 \times 10^{17} \text{ spins/cm}^3$ 以下、好ましくは $1.5 \times 10^{17} \text{ spins/cm}^3$ 以下である欠陥量の少ない酸化物絶縁層を形成することができる。この結果トランジスタの信頼性を高めることができる。

10

【0378】

絶縁膜114、116を形成した後、加熱処理を行ってもよい。該加熱処理により、絶縁膜114、116に含まれる窒素酸化物を低減することができる。また、上記加熱処理により、絶縁膜114、116に含まれる酸素の一部を酸化物半導体膜108に移動させ、酸化物半導体膜108に含まれる酸素欠損量を低減することができる。

20

【0379】

絶縁膜114、116への加熱処理の温度は、代表的には、 $150$  以上 $400$  以下、好ましくは $300$  以上 $400$  以下、好ましくは $320$  以上 $370$  以下とする。加熱処理は、窒素、酸素、CDA、または希ガス（アルゴン、ヘリウム等）の雰囲気下で行えばよい。なお、上記窒素、酸素、超乾燥空気、または希ガスに水素、水等が含まれないことが好ましい該加熱処理には、ガスベーク炉、電気炉、RTA装置等を用いることができる。

【0380】

本実施の形態では、窒素及び酸素雰囲気、 $350$ 、1時間の加熱処理を行う。

【0381】

（酸化物絶縁膜中に酸素を添加する工程）

次に、絶縁膜116上に酸素の放出を抑制する保護膜130を形成する（図23（B）参照）。

30

【0382】

保護膜130には、インジウムを含む導電膜、またはインジウムを含む半導体膜を用いることができる。本実施の形態においては、保護膜130として、スパッタリング装置を用いて、膜厚 $5 \text{ nm}$ のITO膜を形成する。なお、保護膜130の厚さは、 $1 \text{ nm}$ 以上 $20 \text{ nm}$ 以下、または $2 \text{ nm}$ 以上 $10 \text{ nm}$ 以下とすると好適に酸素を透過し、且つ酸素の放出を抑制できるため好ましい。

【0383】

次に、保護膜130を通過させて絶縁膜114、116に酸素140を添加する（図23（C）参照）。

40

【0384】

保護膜130を通過させて、絶縁膜114、116に酸素140を添加する方法としては、イオンドーピング法、イオン注入法（Ion Implantation、Plasma Based Ion Implantation、Plasma Immersion Ion Implantation、Plasma Source Ion Implantationなど）、プラズマ処理法などが挙げられる。また、プラズマ処理法として、マイクロ波を用いて、ハロゲン元素及び酸素を励起し、高密度なプラズマを発生させてもよい。

50

## 【0385】

また、酸素140を添加する際に、基板側にバイアス電圧を印加することで効果的に酸素140を絶縁膜114、116に添加することができる。上記バイアス電圧を印加する条件としては、例えば、アッシング装置を用い、該アッシング装置の基板側に印加するバイアス電圧の電力密度を $0.5\text{ W/cm}^2$ 以上 $5\text{ W/cm}^2$ 以下とすればよい。また、酸素140を添加する際の基板温度としては、室温以上300以下、好ましくは100以上250以下とすることで、絶縁膜114、116に効率よく酸素140を添加することができる。

## 【0386】

なお、本実施の形態では、アッシング装置を用い、酸素ガスをアッシング装置内に導入し、基板側にバイアスを印加することで、絶縁膜114、116中に酸素140を添加する。

10

## 【0387】

絶縁膜116上に保護膜130を設けて酸素140を添加することで、保護膜130が絶縁膜116から酸素が放出することを抑制する保護膜として機能する。このため、絶縁膜114、116に多くの酸素を添加することができる。

## 【0388】

次に、保護膜130を除去し、絶縁膜116上に絶縁膜118を形成する(図23(D)参照)。

## 【0389】

保護膜130の除去としては、薬液、またはエッチングガスを用いて除去すればよい。本実施の形態においては、シュウ酸の濃度が5%のシュウ酸水溶液を用いた後、さらにフッ酸の濃度が0.5%のフッ化水素酸水溶液を用いて保護膜130を除去する。

20

## 【0390】

絶縁膜118をPECVD法で形成する場合、基板温度は300以上400以下に、好ましくは320以上370以下にすることで、緻密な膜を形成できるため好ましい。

## 【0391】

例えば、絶縁膜118としてPECVD法により窒化シリコン膜を形成する場合、シリコンを含む堆積性気体、窒素、及びアンモニアを原料ガスとして用いることが好ましい。窒素と比較して少量のアンモニアを用いることで、プラズマ中でアンモニアが解離し、活性種が発生する。該活性種が、シリコンを含む堆積性気体に含まれるシリコン及び水素の結合、及び窒素の三重結合を切断する。この結果、シリコン及び窒素の結合が促進され、シリコン及び水素の結合が少なく、欠陥が少なく、緻密な窒化シリコン膜を形成することができる。一方、窒素に対するアンモニアの量が多いと、シリコンを含む堆積性気体及び窒素の分解が進まず、シリコン及び水素結合が残存してしまい、欠陥が増大した、且つ粗な窒化シリコン膜が形成されてしまう。これらのため、原料ガスにおいて、アンモニアに対する窒素の流量比を好ましくは5以上50以下、さらに好ましくは10以上50以下とすればよい。

30

## 【0392】

本実施の形態においては、絶縁膜118として、PECVD装置を用いて、シラン、窒素、及びアンモニアを原料ガスとして用いて、厚さ50nmの窒化シリコン膜を形成する。流量は、シランが50sccm、窒素が5000sccmであり、アンモニアが100sccmである。処理室の圧力を100Pa、基板温度を350とし、27.12MHzの高周波電源を用いて1000Wの高周波電力を平行平板電極に供給する。PECVD装置は電極面積が6000cm<sup>2</sup>である平行平板型のPECVD装置であり、供給した電力を単位面積あたりの電力(電力密度)に換算すると $1.7 \times 10^{-1}\text{ W/cm}^2$ である。

40

## 【0393】

また、絶縁膜118を加熱成膜する場合においては、絶縁膜118の成膜前の予備加熱

50

を無くした方が好適である。例えば、絶縁膜 118 の成膜前に予備加熱をした場合、絶縁膜 114、116 中の過剰酸素が外部に放出される場合がある。そこで、絶縁膜 118 の成膜の際には、予備加熱を行わずに、具体的には、加熱されたチャンバー内に基板を搬入後、好ましくは 3 分以内、さらに好ましくは 1 分以内に絶縁膜 116 上に絶縁膜 118 が形成される手順とすることで、絶縁膜 114、116 中の過剰酸素が外部に放出されるのを抑制することが可能となる。

【0394】

なお、絶縁膜 118 の形成前、または絶縁膜 118 の形成後に加熱処理を行って、絶縁膜 114、116 に含まれる過剰酸素を酸化物半導体膜 108 に拡散させ、酸化物半導体膜 108 の酸素欠損を補填することができる。あるいは、絶縁膜 118 を加熱成膜とすることで、絶縁膜 114、116 に含まれる過剰酸素を酸化物半導体膜 108 中に拡散させ、酸化物半導体膜 108 中の酸素欠損を補填することができる。絶縁膜 118 の形成前、または絶縁膜 118 の形成後に行うことができる、加熱処理の温度は、代表的には、150 以上 400 以下、好ましくは 300 以上 400 以下、好ましくは 320 以上 370 以下とする。

10

【0395】

以上の工程でトランジスタ 100 を作製することができる。

【0396】

<半導体装置の作製方法 2 >

次に、トランジスタ 150 の作製方法について、図 24 を用いて説明する。なお、図 24 は、半導体装置の作製方法を説明する断面図である。

20

【0397】

まず、図 22 (C) に示す工程まで行い、その後、絶縁膜 107、及び酸化物半導体膜 108 上に絶縁膜 114、116、及び保護膜 130 を形成する (図 24 (A) 参照)。

【0398】

次に、保護膜 130 を介して絶縁膜 114、116、及び酸化物半導体膜 108 に酸素 140 を添加する (図 24 (B) 参照)。

【0399】

次に、保護膜 130 を除去する。その後、絶縁膜 116 上にリソグラフィ工程によりマスクを形成し、絶縁膜 114 及び絶縁膜 116 の所望の領域に開口部 141a、141b を形成する。なお、開口部 141a、141b は、酸化物半導体膜 108 に達する (図 24 (C) 参照)。

30

【0400】

次に、開口部 141a、141b を覆うように、酸化物半導体膜 108 及び絶縁膜 116 上に導電膜を成膜し、該導電膜上にリソグラフィ工程によりマスクを形成し、該導電膜を所望の領域に加工することで、導電膜 112a、112b を形成する。その後、絶縁膜 116、及び導電膜 112a、112b 上に絶縁膜 118 を形成する (図 24 (D) 参照)。

【0401】

以上の工程でトランジスタ 150 を作製することができる。

40

【0402】

なお、トランジスタ 160 としては、開口部 141a、141b を形成する際に、酸化物半導体膜 108 のチャネル領域上に絶縁膜 114、116 を残す構成とすることで作製することができる。

【0403】

<半導体装置の作製方法 3 >

次に、トランジスタ 170 の作製方法について、図 25 を用いて説明する。なお、図 25 は、半導体装置の作製方法を説明する断面図である。

【0404】

まず、図 23 (D) に示す工程まで行う (図 25 (A) 参照)。

50

## 【0405】

次に、絶縁膜118上にリソグラフィ工程によりマスクを形成し、絶縁膜114、116、118の所望の領域に開口部142cを形成する。また、絶縁膜118上にリソグラフィ工程によりマスクを形成し、絶縁膜106、107、114、116、118の所望の領域に開口部142a、142bを形成する。なお、開口部142cは、導電膜112bに達するように形成される。また、開口部142a、142bは、それぞれ導電膜104に達するように形成される(図25(B)参照)。

## 【0406】

なお、開口部142a、142bと開口部142cとは、同時に形成してもよく、異なる工程で形成してもよい。開口部142a、142bと開口部142cを同時に形成する場合、例えば、グレートンマスクまたはーフトンマスクを用いて形成することができる。

10

## 【0407】

次に、開口部142a、142b、142cを覆うように絶縁膜118上に導電膜120を形成する(図25(C)参照)。

## 【0408】

導電膜120としては、例えば、インジウム(In)、亜鉛(Zn)、錫(Sn)の中から選ばれた一種を含む材料を用いることができる。とくに、導電膜120としては、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを含むインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。また、導電膜120を酸素の放出を抑制できる保護膜130と同種の材料を用いることで、製造コストを抑制できるため好適である。

20

## 【0409】

また、導電膜120としては、例えば、スパッタリング法を用いて形成することができる。本実施の形態においては、膜厚110nmのITSO膜をスパッタリング法で形成する。

## 【0410】

次に、導電膜120上にリソグラフィ工程によりマスクを形成し、導電膜120を所望の領域に加工し、導電膜120a、120bを形成する(図25(D)参照)。

30

## 【0411】

以上の工程でトランジスタ170を作製することができる。

## 【0412】

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせる用いることができる。

## 【0413】

(実施の形態4)

本実施の形態では、本発明の一態様の半導体装置に含まれる酸化物半導体の詳細について、以下説明する。

40

## 【0414】

<酸化物半導体の構造>

まず、酸化物半導体の構造について説明する。

## 【0415】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体とに分けられる。非単結晶酸化物半導体としては、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、nc-OS(nanocrystalline Oxide Semiconductor)、擬似非晶質酸化物半導体(a-like OS: amorphous like Oxide Semiconductor)、非晶質酸化物半導体などがある。

50

## 【0416】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体とに分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、nc-OSなどがある。

## 【0417】

非晶質構造の定義としては、一般に、準安定状態で固定化していないこと、等方的であって不均質構造を持たないことなどが知られている。また、結合角度が柔軟であり、短距離秩序性は有するが、長距離秩序性を有さない構造と言い換えることもできる。

## 【0418】

逆の見方をすると、本質的に安定な酸化物半導体の場合、完全な非晶質 (completely amorphous) 酸化物半導体と呼ぶことはできない。また、等方的でない (例えば、微小な領域において周期構造を有する) 酸化物半導体を、完全な非晶質酸化物半導体と呼ぶことはできない。ただし、a-like OSは、微小な領域において周期構造を有するものの、鬆 (ポイドともいう。) を有し、不安定な構造である。そのため、物性的には非晶質酸化物半導体に近いといえる。

10

## 【0419】

<CAAC-OS>

まずは、CAAC-OSについて説明する。

## 【0420】

CAAC-OSは、c軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半導体の一つである。

20

## 【0421】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC-OSの明視野像と回折パターンとの複合解析像 (高分解能TEM像ともいう。) を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像ではペレット同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を明確に確認することができない。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

## 【0422】

以下では、TEMによって観察したCAAC-OSについて説明する。図28(A)に、試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正 (Spherical Aberration Corrector) 機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像の取得は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって行うことができる。

30

## 【0423】

図28(A)の領域(1)を拡大したCs補正高分解能TEM像を図28(B)に示す。図28(B)より、ペレットにおいて、金属原子が層状に配列していることを確認できる。金属原子の各層の配列は、CAAC-OSの膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映しており、CAAC-OSの被形成面または上面と平行となる。

40

## 【0424】

図28(B)に示すように、CAAC-OSは特徴的な原子配列を有する。図28(C)は、特徴的な原子配列を、補助線で示したものである。図28(B)および図28(C)より、ペレット一つの大きさは1nm以上であり、ペレットとペレットとの傾きにより生じる隙間の大きさは0.8nm程度であることがわかる。したがって、ペレットを、ナノ結晶 (nc: nanocrystal) と呼ぶこともできる。また、CAAC-OSを、CAN(C-Axis Aligned nanocrystals) を有する酸化物半導体と呼ぶこともできる。

## 【0425】

50

ここで、Cs補正高分解能TEM像をもとに、基板5120上のCAAC-OSのペレット5100の配置を模式的に示すと、レンガまたはブロックが積み重なったような構造となる(図28(D)参照)。図28(C)で観察されたペレットとペレットとの間で傾きが生じている箇所は、図28(D)に示す領域5161に相当する。

#### 【0426】

また、図29(A)に、試料面と略垂直な方向から観察したCAAC-OSの平面のCs補正高分解能TEM像を示す。図29(A)の領域(1)、領域(2)および領域(3)を拡大したCs補正高分解能TEM像を、それぞれ図29(B)、図29(C)および図29(D)に示す。図29(B)、図29(C)および図29(D)より、ペレットは、金属原子が三角形、四角形状または六角形状に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

10

#### 【0427】

次に、X線回折(XRD: X-Ray Diffraction)によって解析したCAAC-OSについて説明する。例えば、InGaZnO<sub>4</sub>の結晶を有するCAAC-OSに対し、out-of-plane法による構造解析を行うと、図30(A)に示すように回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO<sub>4</sub>の結晶の(009)面に帰属されることから、CAAC-OSの結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

#### 【0428】

なお、CAAC-OSのout-of-plane法による構造解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS中の一部に、c軸配向性を有さない結晶が含まれることを示している。より好ましいCAAC-OSは、out-of-plane法による構造解析では、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さない。

20

#### 【0429】

一方、CAAC-OSに対し、c軸に略垂直な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、InGaZnO<sub>4</sub>の結晶の(110)面に帰属される。CAAC-OSの場合は、2θを56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行っても、図30(B)に示すように明瞭なピークは現れない。これに対し、InGaZnO<sub>4</sub>の単結晶酸化物半導体であれば、2θを56°近傍に固定してスキャンした場合、図30(C)に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSは、a軸およびb軸の配向が不規則であることが確認できる。

30

#### 【0430】

次に、電子回折によって解析したCAAC-OSについて説明する。例えば、InGaZnO<sub>4</sub>の結晶を有するCAAC-OSに対し、試料面に平行にプローブ径が300nmの電子線を入射させると、図31(A)に示すような回折パターン(制限視野透過電子回折パターンともいう。)が現れる場合がある。この回折パターンには、InGaZnO<sub>4</sub>の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図31(B)に示す。図31(B)より、リング状の回折パターンが確認される。したがって、電子回折によっても、CAAC-OSに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図31(B)における第1リングは、InGaZnO<sub>4</sub>の結晶の(010)面および(100)面などに起因すると考えられる。また、図31(B)における第2リングは(110)面などに起因すると考えられる。

40

#### 【0431】

上述したように、CAAC-OSは結晶性の高い酸化物半導体である。酸化物半導体の

50

結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、逆の見方をするとC A A C - O S は不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。

【0432】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

【0433】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

【0434】

不純物および酸素欠損の少ないC A A C - O S は、キャリア密度の低い酸化物半導体である。具体的には、キャリア密度を  $8 \times 10^{11} / \text{cm}^3$  未満、好ましくは  $1 \times 10^{11} / \text{cm}^3$  未満、さらに好ましくは  $1 \times 10^{10} / \text{cm}^3$  未満であり、 $1 \times 10^{-9} / \text{cm}^3$  以上とすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。C A A C - O S は、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

【0435】

< n c - O S >

次に、n c - O S について説明する。

【0436】

n c - O S は、高分解能T E M像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。n c - O S に含まれる結晶部は、1 n m以上の大きさであることが多い。なお、結晶部の大きさが10 n mより大きく100 n m以下である酸化物半導体を微結晶酸化物半導体と呼ぶことがある。n c - O S は、例えば、高分解能T E M像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、C A A C - O S におけるペレットと起源を同じくする可能性がある。そのため、以下ではn c - O S の結晶部をペレットと呼ぶ場合がある。

【0437】

n c - O S は、微小な領域（例えば、1 n m以上10 n m以下の領域、特に1 n m以上3 n m以下の領域）において原子配列に周期性を有する。また、n c - O S は、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、n c - O S は、分析方法によっては、a - l i k e O S や非晶質酸化物半導体と区別が付かない場合がある。例えば、n c - O S に対し、ペレットよりも大きい径のX線を用いた場合、o u t - o f - p l a n e法による解析では、結晶面を示すピークは検出されない。また、n c - O S に対し、ペレットよりも大きいプローブ径（例えば50 n m以上）の電子線を用いる電子回折を行うと、ハローパターンのような回折パターンが観測される。一方、n c - O S に対し、ペレットの大きさと近いかペレットより小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、n c - O S に対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

【0438】

このように、ペレット（ナノ結晶）間では結晶方位が規則性を有さないことから、n c - O S を、R A N C ( R a n d o m A l i g n e d n a n o c r y s t a l s ) を有する酸化物半導体、またはN A N C ( N o n - A l i g n e d n a n o c r y s t a l

10

20

30

40

50

s) を有する酸化物半導体と呼ぶこともできる。

【0439】

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、a-like OSや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

【0440】

<a-like OS>

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。

【0441】

a-like OSは、高分解能TEM像において鬆が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。

【0442】

鬆を有するため、a-like OSは、不安定な構造である。以下では、a-like OSが、CAAC-OSおよびnc-OSと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

【0443】

電子照射を行う試料として、a-like OS(試料Aと表記する。)、nc-OS(試料Bと表記する。 )およびCAAC-OS(試料Cと表記する。 )を準備する。いずれの試料もIn-Ga-Zn酸化物である。

【0444】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有することがわかる。

【0445】

なお、どの部分を一つの結晶部と見なすかの判定は、以下のように行えばよい。例えば、InGaZnO<sub>4</sub>の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。したがって、格子縞の間隔が0.28nm以上0.30nm以下である箇所を、InGaZnO<sub>4</sub>の結晶部と見なすことができる。なお、格子縞は、InGaZnO<sub>4</sub>の結晶のa-b面に対応する。

【0446】

図32は、各試料の結晶部(22箇所から45箇所)の平均の大きさを調査した例である。ただし、上述した格子縞の長さを結晶部の大きさとしている。図32より、a-like OSは、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、図32中に(1)で示すように、TEMによる観察初期においては1.2nm程度の大きさだった結晶部(初期核ともいう。)が、累積照射量が $4.2 \times 10^8 \text{ e}^- / \text{nm}^2$ においては2.6nm程度の大きさまで成長していることがわかる。一方、nc-OSおよびCAAC-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 \text{ e}^- / \text{nm}^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。具体的には、図32中の(2)および(3)で示すように、電子の累積照射量によらず、nc-OSおよびCAAC-OSの結晶部の大きさは、それぞれ1.4nm程度および2.1nm程度であることがわかる。

【0447】

このように、a-like OSは、電子照射によって結晶部の成長が見られる場合がある。一方、nc-OSおよびCAAC-OSは、電子照射による結晶部の成長がほとんど見られないことがわかる。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、不安定な構造であることがわかる。

10

20

30

40

50

## 【0448】

また、鬆を有するため、*a-like OS*は、*nc-OS*および*C AAC-OS*と比べて密度の低い構造である。具体的には、*a-like OS*の密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満となる。また、*nc-OS*の密度および*C AAC-OS*の密度は、同じ組成の単結晶の密度の92.3%以上100%未満となる。単結晶の密度の78%未満となる酸化物半導体は、成膜すること自体が困難である。

## 【0449】

例えば、 $In : Ga : Zn = 1 : 1 : 1$  [原子数比]を満たす酸化物半導体において、菱面体晶構造を有する単結晶 $InGaZnO_4$ の密度は $6.357 \text{ g/cm}^3$ となる。よって、例えば、 $In : Ga : Zn = 1 : 1 : 1$  [原子数比]を満たす酸化物半導体において、*a-like OS*の密度は $5.0 \text{ g/cm}^3$ 以上 $5.9 \text{ g/cm}^3$ 未満となる。また、例えば、 $In : Ga : Zn = 1 : 1 : 1$  [原子数比]を満たす酸化物半導体において、*nc-OS*の密度および*C AAC-OS*の密度は $5.9 \text{ g/cm}^3$ 以上 $6.3 \text{ g/cm}^3$ 未満となる。

10

## 【0450】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

20

## 【0451】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、*a-like OS*、*nc-OS*、*C AAC-OS*のうち、二種以上を有する積層膜であってもよい。

## 【0452】

< *C AAC-OS*及び*nc-OS*の成膜方法 >

次に、*C AAC-OS*の成膜方法の一例について説明する。

## 【0453】

図33(A)は、成膜室内の模式図である。*C AAC-OS*は、スパッタリング法により成膜することができる。

30

## 【0454】

図33(A)に示すように、基板5220とターゲット5230とは向かい合うように配置している。基板5220とターゲット5230の間にはプラズマ5240がある。また、基板5220の下部には加熱機構5260が設けられている。図示しないが、ターゲット5230は、バックングプレートに接着されている。バックングプレートを介してターゲット5230と向かい合う位置には、複数のマグネットが配置される。マグネットの磁場を利用して成膜速度を高めるスパッタリング法は、マグネトロンスパッタリング法と呼ばれる。

## 【0455】

基板5220とターゲット5230との距離 $d$  (ターゲット-基板間距離 (T-S間距離)ともいう。)は $0.01 \text{ m}$ 以上 $1 \text{ m}$ 以下、好ましくは $0.02 \text{ m}$ 以上 $0.5 \text{ m}$ 以下とする。成膜室内は、ほとんどが成膜ガス(例えば、酸素、アルゴン、または酸素を5体積%以上の割合で含む混合ガス)で満たされ、 $0.01 \text{ Pa}$ 以上 $100 \text{ Pa}$ 以下、好ましくは $0.1 \text{ Pa}$ 以上 $10 \text{ Pa}$ 以下に制御される。ここで、ターゲット5230に一定以上の電圧を印加することで、放電が始まり、プラズマ5240が確認される。なお、ターゲット5230の近傍には磁場によって、高密度プラズマ領域が形成される。高密度プラズマ領域では、成膜ガスがイオン化することで、イオン5201が生じる。イオン5201は、例えば、酸素の陽イオン( $O^+$ )やアルゴンの陽イオン( $Ar^+$ )などである。

40

## 【0456】

ターゲット5230は、複数の結晶粒を有する多結晶構造を有し、いずれかの結晶粒に

50

は劈開面が含まれる。一例として、図34に、ターゲット5230に含まれる $InMZO_4$ （元素Mは、例えばGaまたはSn）の結晶構造を示す。なお、図34は、b軸に平行な方向から観察した場合の $InMZO_4$ の結晶構造である。 $InMZO_4$ の結晶では、酸素原子が負の電荷を有することにより、近接する二つのM-Zn-O層の間に斥力が生じている。そのため、 $InMZO_4$ の結晶は、近接する二つのM-Zn-O層の間に劈開面を有する。

【0457】

高密度プラズマ領域で生じたイオン5201は、電界によってターゲット5230側に加速され、やがてターゲット5230と衝突する。このとき、劈開面から平板状またはペレット状のスパッタ粒子であるペレット5200が剥離する（図33(A)参照）。

10

【0458】

ペレット5200は、図34に示す二つの劈開面に挟まれた部分である。よって、ペレット5200のみ抜き出すと、その断面は図33(B)のようになり、上面は図33(C)のようになることがわかる。なお、ペレット5200は、イオン5201の衝突の衝撃によって、構造に歪みが生じる場合がある。なお、ペレット5200の剥離に伴い、ターゲット5230から粒子5203も弾き出される。粒子5203は、原子1個または原子数個の集合体を有する。そのため、粒子5203を原子状粒子(atomic particles)と呼ぶこともできる。

【0459】

ペレット5200は、三角形、例えば正三角形の平面を有する平板状またはペレット状のスパッタ粒子である。または、ペレット5200は、六角形、例えば正六角形の平面を有する平板状またはペレット状のスパッタ粒子である。ただし、ペレット5200の形状は、三角形、六角形に限定されない、例えば、三角形が複数個合わさった形状となる場合がある。例えば、三角形（例えば、正三角形）が2個合わさった四角形（例えば、ひし形）となる場合もある。

20

【0460】

ペレット5200は、成膜ガスの種類などに応じて厚さが決定する。例えば、ペレット5200は、厚さを0.4nm以上1nm以下、好ましくは0.6nm以上0.8nm以下とする。また、例えば、ペレット5200は、幅を1nm以上とする。例えば、 $In-M-Zn$ 酸化物を有するターゲット5230にイオン5201を衝突させる。そうすると、M-Zn-O層、In-O層およびM-Zn-O層の3層を有するペレット5200が剥離する。なお、ペレット5200の剥離に伴い、ターゲット5230から粒子5203も弾き出される。

30

【0461】

ペレット5200は、プラズマ5240を通過する際に、表面が負または正に帯電する場合がある。例えば、ペレット5200がプラズマ5240中にある $O^{2-}$ から負の電荷を受け取る場合がある。その結果、ペレット5200の表面の酸素原子が負に帯電する場合がある。また、ペレット5200は、プラズマ5240を通過する際に、プラズマ5240中のインジウム、元素M、亜鉛または酸素などと結合することで成長する場合がある。

40

【0462】

プラズマ5240を通過したペレット5200および粒子5203は、基板5220の表面に達する。なお、粒子5203の一部は、質量が小さいため真空ポンプなどによって外部に排出される場合がある。

【0463】

次に、基板5220の表面におけるペレット5200および粒子5203の堆積について図35を用いて説明する。

【0464】

まず、一つ目のペレット5200が基板5220に堆積する。ペレット5200は平板状であるため、平面側を基板5220の表面に向けて堆積する（図35(A)参照）。こ

50

のとき、ペレット5200の基板5220側の表面の電荷が、基板5220を介して抜ける。

【0465】

次に、二つ目のペレット5200が、基板5220に達する。このとき、一つ目のペレット5200の表面、および二つ目のペレット5200の表面が電荷を帯びているため、互いに反発し合う力が生じる(図35(B)参照)。

【0466】

その結果、二つ目のペレット5200は、一つ目のペレット5200上を避け、基板5220の表面の少し離れた場所に堆積する(図35(C)参照)。これを繰り返すことで、基板5220の表面には、無数のペレット5200が一層分の厚みだけ堆積する。また、ペレット5200と別のペレット5200の間には、ペレット5200の堆積していない領域が生じる。

10

【0467】

次に、粒子5203が基板5220の表面に達する(図35(D)参照)。

【0468】

粒子5203は、ペレット5200の表面などの活性な領域には堆積することができない。そのため、ペレット5200の堆積していない領域を埋めるように堆積する。そして、ペレット5200間で粒子5203が横方向に成長(ラテラル成長ともいう。)することで、ペレット5200間を連結させる。このように、ペレット5200の堆積していない領域を埋めるまで粒子5203が堆積する。このメカニズムは、ALD法の堆積メカニズムに類似する。

20

【0469】

なお、ペレット5200間で粒子5203がラテラル成長するメカニズムは複数の可能性がある。例えば、図35(E)に示すように、一層目のM-Zn-O層の側面から連結するメカニズムがある。この場合、一層目のM-Zn-O層が形成された後で、In-O層、二層目のM-Zn-O層の順に、一層ずつ連結していく(第1のメカニズム)。

【0470】

または、例えば、図36(A)に示すように、まず一層目のM-Zn-O層の一側面につき粒子5203の一つが結合する。次に、図36(B)に示すようにIn-O層の一側面につき一つの粒子5203が結合する。次に、図36(C)に示すように二層目のM-Zn-O層の一側面につき一つの粒子5203が結合することで連結する場合もある(第2のメカニズム)。

30

【0471】

なお、図36(A)、図36(B)および図36(C)が同時に起こることで連結する場合もある(第3のメカニズム)。

【0472】

以上に示したように、ペレット5200間における粒子5203のラテラル成長のメカニズムとしては、上記3種類が考えられる。ただし、その他のメカニズムによってペレット5200間で粒子5203がラテラル成長する可能性もある。

【0473】

したがって、複数のペレット5200がそれぞれ異なる方向を向いている場合でも、複数のペレット5200間を粒子5203がラテラル成長しながら埋めることにより、結晶粒界の形成が抑制される。また、複数のペレット5200間を、粒子5203が滑らかに結びつけるため、単結晶とも多結晶とも異なる結晶構造が形成される。言い換えると、微小な結晶領域(ペレット5200)間に歪みを有する結晶構造が形成される。このように、結晶領域間を埋める領域は、歪んだ結晶領域であるため、該領域を指して非晶質構造と呼ぶのは適切ではないと考えられる。

40

【0474】

粒子5203が、ペレット5200間を埋め終わると、ペレット5200と同程度の厚さを有する第1の層が形成される。第1の層の上には新たな一つ目のペレット5200が

50

堆積する。そして、第2の層が形成される。さらに、これが繰り返されることで、積層体を有する薄膜構造が形成される。

【0475】

なお、ペレット5200の堆積の仕方は、基板5220の表面温度などによっても変化する。例えば、基板5220の表面温度が高いと、ペレット5200が基板5220の表面でマイグレーションを起こす。その結果、ペレット5200と別のペレット5200とが、粒子5203を介さずに連結する割合が増加するため、配向性の高いCAAC-Osとなる。CAAC-Osを成膜する際の基板5220の表面温度は、100以上500未満、好ましくは140以上450未満、さらに好ましくは170以上400未満である。したがって、基板5220として第8世代以上の大面積基板を用いた場合でも、反りなどはほとんど生じないことがわかる。

10

【0476】

一方、基板5220の表面温度が低いと、ペレット5200が基板5220の表面でマイグレーションを起こしにくくなる。その結果、ペレット5200同士が積み重なることで配向性の低いnc-Osなどとなる(図37参照)。nc-Osでは、ペレット5200が負に帯電していることにより、ペレット5200は一定間隔を開けて堆積する可能性がある。したがって、配向性は低いものの、僅かに規則性を有することにより、非晶質酸化半導体と比べて緻密な構造となる。

【0477】

また、CAAC-Osにおいて、ペレット同士の隙間が極めて小さくなることで、一つの大きなペレットが形成される場合がある。一つの大きなペレットの内部は単結晶構造を有する。例えば、ペレットの大きさが、上面から見て10nm以上200nm以下、15nm以上100nm以下、または20nm以上50nm以下となる場合がある。

20

【0478】

以上のようなモデルにより、ペレット5200が基板5220の表面に堆積していくと考えられる。被形成面が結晶構造を有さない場合においても、CAAC-Osの成膜が可能であることから、エピタキシャル成長とは異なる成長機構であることがわかる。また、CAAC-Osおよびnc-Osは、大面積のガラス基板などであっても均一な成膜が可能である。例えば、基板5220の表面(被形成面)の構造が非晶質構造(例えば非晶質酸化シリコン)であっても、CAAC-Osを成膜することは可能である。

30

【0479】

また、被形成面である基板5220の表面に凹凸がある場合でも、その形状に沿ってペレット5200が配列することがわかる。

【0480】

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせる用いることができる。

【0481】

(実施の形態5)

本実施の形態においては、本発明の一態様の半導体装置を有する表示装置、及び該表示装置に入力装置を取り付けた電子機器について、図38乃至図42を用いて説明を行う。

40

【0482】

<タッチパネルに関する説明>

なお、本実施の形態において、電子機器の一例として、表示装置と、入力装置とを合わせたタッチパネル2000について説明する。また、入力装置の一例として、タッチセンサを用いる場合について説明する。

【0483】

図38(A)(B)は、タッチパネル2000の斜視図である。なお、図38(A)(B)において、明瞭化のため、タッチパネル2000の代表的な構成要素を示す。

【0484】

タッチパネル2000は、表示装置2501とタッチセンサ2595とを有する(図3

50

8 ( B ) 参照 ) 。また、タッチパネル 2 0 0 0 は、基板 2 5 1 0、基板 2 5 7 0、及び基板 2 5 9 0 を有する。なお、基板 2 5 1 0、基板 2 5 7 0、及び基板 2 5 9 0 はいずれも可撓性を有する。ただし、基板 2 5 1 0、基板 2 5 7 0、及び基板 2 5 9 0 のいずれか一つまたは全てが可撓性を有さない構成としてもよい。

【 0 4 8 5 】

表示装置 2 5 0 1 は、基板 2 5 1 0 上に複数の画素及び該画素に信号を供給することができる複数の配線 2 5 1 1 を有する。複数の配線 2 5 1 1 は、基板 2 5 1 0 の外周部にまで引き回され、その一部が端子 2 5 1 9 を構成している。端子 2 5 1 9 は F P C 2 5 0 9 ( 1 ) と電気的に接続する。

【 0 4 8 6 】

基板 2 5 9 0 は、タッチセンサ 2 5 9 5 と、タッチセンサ 2 5 9 5 と電気的に接続する複数の配線 2 5 9 8 とを有する。複数の配線 2 5 9 8 は、基板 2 5 9 0 の外周部に引き回され、その一部は端子を構成する。そして、該端子は F P C 2 5 0 9 ( 2 ) と電気的に接続される。なお、図 3 8 ( B ) では明瞭化のため、基板 2 5 9 0 の裏面側 ( 基板 2 5 1 0 と対向する面側 ) に設けられるタッチセンサ 2 5 9 5 の電極や配線等を実線で示している。

【 0 4 8 7 】

タッチセンサ 2 5 9 5 として、例えば静電容量方式のタッチセンサを適用できる。静電容量方式としては、表面型静電容量方式、投影型静電容量方式等がある。

【 0 4 8 8 】

投影型静電容量方式としては、主に駆動方式の違いから自己容量方式、相互容量方式などがある。相互容量方式を用いると同時多点検出が可能となるため好ましい。

【 0 4 8 9 】

なお、図 3 8 ( B ) に示すタッチセンサ 2 5 9 5 は、投影型静電容量方式のタッチセンサを適用した構成である。

【 0 4 9 0 】

なお、タッチセンサ 2 5 9 5 には、指等の検知対象の近接または接触を検知することができる、様々なセンサを適用することができる。

【 0 4 9 1 】

投影型静電容量方式のタッチセンサ 2 5 9 5 は、電極 2 5 9 1 と電極 2 5 9 2 とを有する。電極 2 5 9 1 は、複数の配線 2 5 9 8 のいずれかと電気的に接続し、電極 2 5 9 2 は複数の配線 2 5 9 8 の他のいずれかと電気的に接続する。

【 0 4 9 2 】

電極 2 5 9 2 は、図 3 8 ( A ) ( B ) に示すように、一方向に繰り返し配置された複数の四辺形が角部で接続される形状を有する。

【 0 4 9 3 】

電極 2 5 9 1 は四辺形であり、電極 2 5 9 2 が延在する方向と交差する方向に繰り返し配置されている。

【 0 4 9 4 】

配線 2 5 9 4 は、電極 2 5 9 2 を挟む二つの電極 2 5 9 1 と電気的に接続する。このとき、電極 2 5 9 2 と配線 2 5 9 4 の交差部の面積ができるだけ小さくなる形状が好ましい。これにより、電極が設けられていない領域の面積を低減でき、透過率のバラツキを低減できる。その結果、タッチセンサ 2 5 9 5 を透過する光の輝度のバラツキを低減することができる。

【 0 4 9 5 】

なお、電極 2 5 9 1 及び電極 2 5 9 2 の形状はこれに限定されず、様々な形状を取りうる。例えば、複数の電極 2 5 9 1 をできるだけ隙間が生じないように配置し、絶縁層を介して電極 2 5 9 2 を、電極 2 5 9 1 と重ならない領域ができるように離間して複数設ける構成としてもよい。このとき、隣接する二つの電極 2 5 9 2 の間に、これらとは電気的に絶縁されたダミー電極を設けると、透過率の異なる領域の面積を低減できるため好ましい

10

20

30

40

50

。

## 【0496】

なお、電極2591、電極2592、配線2598などの導電膜、つまり、タッチパネルを構成する配線や電極に用いることのできる材料として、酸化インジウム、酸化錫、酸化亜鉛等を有する透明導電膜（例えば、ITOなど）が挙げられる。また、タッチパネルを構成する配線や電極に用いることのできる材料として、例えば、抵抗値が低い方が好ましい。一例として、銀、銅、アルミニウム、カーボンナノチューブ、グラフェン、ハロゲン化金属（ハロゲン化銀など）などを用いてもよい。さらに、非常に細くした（例えば、直径が数ナノメートル）複数の導電体を用いて構成されるような金属ナノワイヤを用いてもよい。または、導電体を網目状にした金属メッシュを用いてもよい。一例としては、Agナノワイヤ、Cuナノワイヤ、Alナノワイヤ、Agメッシュ、Cuメッシュ、Alメッシュなどを用いてもよい。例えば、タッチパネルを構成する配線や電極にAgナノワイヤを用いる場合、可視光において透過率を89%以上、シート抵抗値を $40 \text{ } \Omega / \text{cm}^2$ 以上 $100 \text{ } \Omega / \text{cm}^2$ 以下とすることができる。また、上述したタッチパネルを構成する配線や電極に用いることのできる材料の一例である、金属ナノワイヤ、金属メッシュ、カーボンナノチューブ、グラフェンなどは、可視光において透過率が高いため、表示素子に用いる電極（例えば、画素電極または共通電極など）として用いてもよい。

10

## 【0497】

<表示装置に関する説明>

次に、図39(A)を用いて、表示装置2501の詳細について説明する。図39(A)は、図38(B)に示す一点鎖線X1-X2間の断面図に相当する。

20

## 【0498】

表示装置2501は、マトリクス状に配置された複数の画素を有する。該画素は表示素子と、該表示素子を駆動する画素回路とを有する。

## 【0499】

（表示素子としてEL素子を用いる構成）

表示素子としてEL素子を用いる構成について、図39(A)を用いて以下説明を行う。なお、以下の説明においては、白色の光を射出するEL素子を適用する場合について説明するが、EL素子はこれに限定されない。例えば、隣接する画素毎に射出する光の色が異なるように、発光色が異なるEL素子を適用してもよい。

30

## 【0500】

基板2510及び基板2570としては、例えば、水蒸気の透過率が $10^{-5} \text{ g} / (\text{m}^2 \cdot \text{day})$ 以下、好ましくは $10^{-6} \text{ g} / (\text{m}^2 \cdot \text{day})$ 以下である可撓性を有する材料を好適に用いることができる。または、基板2510の熱膨張率と、基板2570の熱膨張率とが、およそ等しい材料を用いると好適である。例えば、線膨張率が $1 \times 10^{-3} / \text{K}$ 以下、好ましくは $5 \times 10^{-5} / \text{K}$ 以下、より好ましくは $1 \times 10^{-5} / \text{K}$ 以下である材料を好適に用いることができる。

## 【0501】

なお、基板2510は、EL素子への不純物の拡散を防ぐ絶縁層2510aと、可撓性基板2510bと、絶縁層2510a及び可撓性基板2510bを貼り合わせる接着層2510cと、を有する積層体である。また、基板2570は、EL素子への不純物の拡散を防ぐ絶縁層2570aと、可撓性基板2570bと、絶縁層2570a及び可撓性基板2570bを貼り合わせる接着層2570cと、を有する積層体である。

40

## 【0502】

接着層2510c及び接着層2570cとしては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミド等）、ポリイミド、ポリカーボネート、ポリウレタン、アクリル樹脂、エポキシ樹脂、もしくはシロキサン結合を有する樹脂を含む材料を用いることができる。

## 【0503】

また、基板2510と基板2570との間に封止層2560を有する。封止層2560

50

は、空気より大きい屈折率を有すると好ましい。また、図39(A)に示すように、封止層2560側に光を取り出す場合は、封止層2560は光学素子を兼ねることができる。

【0504】

また、封止層2560の外周部にシール材を形成してもよい。当該シール材を用いることにより、基板2510、基板2570、封止層2560、及びシール材で囲まれた領域にEL素子2550を有する構成とすることができる。なお、封止層2560として、不活性気体(窒素やアルゴン等)を充填してもよい。また、当該不活性気体内に、乾燥材を設けて、水分等を吸着させる構成としてもよい。また、上述のシール材としては、例えば、エポキシ系樹脂やガラスフリットを用いるのが好ましい。また、シール材に用いる材料としては、水分や酸素を透過しない材料を用いると好適である。

10

【0505】

また、図39(A)に示す表示装置2501は、画素2505を有する。また、画素2505は、発光モジュール2580と、EL素子2550と、EL素子2550に電力を供給することができるトランジスタ2502tと、を有する。なお、トランジスタ2502tは、画素回路の一部として機能する。

【0506】

また、発光モジュール2580は、EL素子2550と、着色層2567とを有する。また、EL素子2550は、下部電極と、上部電極と、下部電極と上部電極との間にEL層とを有する。

【0507】

また、封止層2560が光を取り出す側に設けられている場合、封止層2560は、EL素子2550と着色層2567に接する。

20

【0508】

着色層2567は、EL素子2550と重なる位置にある。これにより、EL素子2550が発する光の一部は着色層2567を透過して、図中に示す矢印の方向の発光モジュール2580の外部に射出される。

【0509】

また、表示装置2501には、光を射出する方向に遮光層2568が設けられる。遮光層2568は、着色層2567を囲むように設けられている。

【0510】

着色層2567としては、特定の波長帯域の光を透過する機能を有していればよく、例えば、赤色の波長帯域の光を透過するカラーフィルタ、緑色の波長帯域の光を透過するカラーフィルタ、青色の波長帯域の光を透過するカラーフィルタ、黄色の波長帯域の光を透過するカラーフィルタなどを用いることができる。各カラーフィルタは、様々な材料を用いて、印刷法、インクジェット法、フォトリソグラフィ技術を用いたエッチング方法などで形成することができる。

30

【0511】

また、表示装置2501には、絶縁層2521が設けられる。絶縁層2521はトランジスタ2502t等を覆う。なお、絶縁層2521は、画素回路に起因する凹凸を平坦化するための機能を有する。また、絶縁層2521に不純物の拡散を抑制できる機能を付与してもよい。これにより、不純物の拡散によるトランジスタ2502t等の信頼性の低下を抑制できる。

40

【0512】

また、EL素子2550は、絶縁層2521の上方に形成される。また、EL素子2550が有する下部電極には、該下部電極の端部に重なる隔壁2528が設けられる。なお、基板2510と、基板2570との間隔を制御するスペーサを、隔壁2528上に形成してもよい。

【0513】

また、走査線駆動回路2504は、トランジスタ2503tと、容量素子2503cとを有する。なお、駆動回路を画素回路と同一の工程で同一基板上に形成することができる

50

。

## 【0514】

また、基板2510上には、信号を供給することができる配線2511が設けられる。また、配線2511上には、端子2519が設けられる。また、端子2519には、FPC2509(1)が電氣的に接続される。また、FPC2509(1)は、ビデオ信号、クロック信号、スタート信号、リセット信号等を供給する機能を有する。なお、FPC2509(1)にはプリント配線基板(PWB)が取り付けられていても良い。

## 【0515】

なお、トランジスタ2502t及びトランジスタ2503tのいずれか一方または双方に先の実施の形態に示すトランジスタを適用すればよい。本実施の形態で用いるトランジスタは、高純度化し、酸素欠損の形成を抑制した酸化物半導体膜を有する。該トランジスタは、オフ状態における電流値(オフ電流値)を低くすることができる。よって、画像信号等の電気信号の保持時間を長くすることができ、電源オン状態では書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくすることができるため、消費電力を抑制する効果を奏する。また、本実施の形態で用いるトランジスタは、比較的高い電界効果移動度が得られるため、高速駆動が可能である。例えば、このような高速駆動が可能なトランジスタを表示装置2501に用いることで、画素回路のスイッチングトランジスタと、駆動回路に使用するドライバトランジスタを同一基板上に形成することができる。すなわち、別途駆動回路として、シリコンウエハ等により形成された半導体装置を用いる必要がないため、半導体装置の部品点数を削減することができる。また、画素回路においても、高速駆動が可能なトランジスタを用いることで、高画質な画像を提供することができる。

10

20

## 【0516】

<タッチセンサに関する説明>

次に、図39(B)を用いて、タッチセンサ2595の詳細について説明する。図39(B)は、図38(B)に示す一点鎖線X3-X4間の断面図に相当する。

## 【0517】

タッチセンサ2595は、基板2590上に千鳥状に配置された電極2591及び電極2592と、電極2591及び電極2592を覆う絶縁層2593と、隣り合う電極2591を電氣的に接続する配線2594とを有する。

30

## 【0518】

電極2591及び電極2592は、透光性を有する導電材料を用いて形成する。透光性を有する導電性材料としては、酸化インジウム、インジウム錫酸化物、インジウム亜鉛酸化物、酸化亜鉛、ガリウムを添加した酸化亜鉛などの導電性酸化物を用いることができる。なお、グラフェンを含む膜を用いることもできる。グラフェンを含む膜は、例えば膜状に形成された酸化グラフェンを含む膜を還元して形成することができる。還元する方法としては、熱を加える方法等を挙げることができる。

## 【0519】

例えば、透光性を有する導電性材料を基板2590上にスパッタリング法により成膜した後、フォトリソグラフィ法等の様々なパターンニング技術により、不要な部分を除去して、電極2591及び電極2592を形成することができる。

40

## 【0520】

また、絶縁層2593に用いる材料としては、例えば、アクリル、エポキシなどの樹脂、シロキサン結合を有する樹脂の他、酸化シリコン、酸化窒化シリコン、酸化アルミニウムなどの無機絶縁材料を用いることもできる。

## 【0521】

また、電極2591に達する開口が絶縁層2593に設けられ、配線2594が隣接する電極2591と電氣的に接続する。透光性の導電性材料は、タッチパネルの開口率を高めることができるため、配線2594に好適に用いることができる。また、電極2591及び電極2592より導電性の高い材料は、電気抵抗を低減できるため配線2594に好

50

適に用いることができる。

【0522】

電極2592は、一方向に延在し、複数の電極2592がストライプ状に設けられている。また、配線2594は電極2592と交差して設けられている。

【0523】

一对の電極2591が1つの電極2592を挟んで設けられる。また、配線2594は一对の電極2591を電氣的に接続している。

【0524】

なお、複数の電極2591は、1つの電極2592と必ずしも直交する方向に配置される必要はなく、0度を超えて90度未満の角度をなすように配置されてもよい。

10

【0525】

また、配線2598は、電極2591または電極2592と電氣的に接続される。また、配線2598の一部は、端子として機能する。配線2598としては、例えば、アルミニウム、金、白金、銀、ニッケル、チタン、タングステン、クロム、モリブデン、鉄、コバルト、銅、またはパラジウム等の金属材料や、該金属材料を含む合金材料を用いることができる。

【0526】

なお、絶縁層2593及び配線2594を覆う絶縁層を設けて、タッチセンサ2595を保護してもよい。

【0527】

また、接続層2599は、配線2598とFPC2509(2)を電氣的に接続させる。

20

【0528】

接続層2599としては、異方性導電フィルム(ACF: Anisotropic Conductive Film)や、異方性導電ペースト(ACP: Anisotropic Conductive Paste)などを用いることができる。

【0529】

<タッチパネルに関する説明>

次に、図40(A)を用いて、タッチパネル2000の詳細について説明する。図40(A)は、図38(A)に示す一点鎖線X5-X6間の断面図に相当する。

30

【0530】

図40(A)に示すタッチパネル2000は、図39(A)で説明した表示装置2501と、図39(B)で説明したタッチセンサ2595と、を貼り合わせた構成である。

【0531】

また、図40(A)に示すタッチパネル2000は、図39(A)で説明した構成の他、接着層2597と、反射防止層2569と、を有する。

【0532】

接着層2597は、配線2594と接して設けられる。なお、接着層2597は、タッチセンサ2595が表示装置2501に重なるように、基板2590を基板2570に貼り合わせている。また、接着層2597は、透光性を有すると好ましい。また、接着層2597としては、熱硬化性樹脂、または紫外線硬化樹脂を用いることができる。例えば、アクリル系樹脂、ウレタン系樹脂、エポキシ系樹脂、またはシロキサン系樹脂を用いることができる。

40

【0533】

反射防止層2569は、画素に重なる位置に設けられる。反射防止層2569として、例えば円偏光板を用いることができる。

【0534】

次に、図40(A)に示す構成と異なる構成のタッチパネルについて、図40(B)を用いて説明する。

【0535】

50

図40(B)は、タッチパネル2001の断面図である。図40(B)に示すタッチパネル2001は、図40(A)に示すタッチパネル2000と、表示装置2501に対するタッチセンサ2595の位置が異なる。ここでは異なる構成について詳細に説明し、同様の構成を用いることができる部分は、タッチパネル2000の説明を援用する。

【0536】

着色層2567は、EL素子2550の下方に位置する。また、図40(B)に示すEL素子2550は、トランジスタ2502tが設けられている側に光を射出する。これにより、EL素子2550が発する光の一部は、着色層2567を透過して、図中に示す矢印の方向の発光モジュール2580の外部に射出される。

【0537】

また、タッチセンサ2595は、表示装置2501の基板2510側に設けられている。

【0538】

接着層2597は、基板2510と基板2590の間にあり、表示装置2501とタッチセンサ2595を貼り合わせる。

【0539】

図40(A)(B)に示すように、発光素子から射出される光は、基板の上面及び下面のいずれか一方または双方に射出されればよい。

【0540】

<タッチパネルの駆動方法に関する説明>

次に、タッチパネルの駆動方法の一例について、図41を用いて説明を行う。

【0541】

図41(A)は、相互容量方式のタッチセンサの構成を示すブロック図である。図41(A)では、パルス電圧出力回路2601、電流検出回路2602を示している。なお、図41(A)では、パルス電圧が与えられる電極2621をX1-X6として、電流の変化を検知する電極2622をY1-Y6として、それぞれ6本の配線で例示している。また、図41(A)は、電極2621と、電極2622とが重畳することで形成される容量2603を示している。なお、電極2621と電極2622とはその機能を互いに置き換えてもよい。

【0542】

パルス電圧出力回路2601は、X1-X6の配線に順にパルスを印加するための回路である。X1-X6の配線にパルス電圧が印加されることで、容量2603を形成する電極2621と電極2622との間に電界が生じる。この電極間に生じる電界が遮蔽等により容量2603の相互容量に変化を生じさせることを利用して、被検知体の近接、または接触を検出することができる。

【0543】

電流検出回路2602は、容量2603での相互容量の変化による、Y1-Y6の配線での電流の変化を検出するための回路である。Y1-Y6の配線では、被検知体の近接、または接触がないと検出される電流値に変化はないが、検出する被検知体の近接、または接触により相互容量が減少する場合には電流値が減少する変化を検出する。なお電流の検出は、積分回路等を用いて行えばよい。

【0544】

次に、図41(B)には、図41(A)で示す相互容量方式のタッチセンサにおける入出力波形のタイミングチャートを示す。図41(B)では、1フレーム期間で各行列での被検知体の検出を行うものとする。また図41(B)では、被検知体を検出しない場合(非タッチ)と被検知体を検出する場合(タッチ)との2つの場合について示している。なおY1-Y6の配線については、検出される電流値に対応する電圧値とした波形を示している。

【0545】

X1-X6の配線には、順にパルス電圧が与えられ、該パルス電圧にしたがってY1-

10

20

30

40

50

Y 6 の配線での波形が変化する。被検知体の近接または接触がない場合には、X 1 - X 6 の配線の電圧の変化に応じて Y 1 - Y 6 の波形が一様に変化する。一方、被検知体が近接または接触する箇所では、電流値が減少するため、これに対応する電圧値の波形も変化する。

【 0 5 4 6 】

このように、相互容量の変化を検出することにより、被検知体の近接または接触を検知することができる。

【 0 5 4 7 】

< センサ回路に関する説明 >

また、図 4 1 ( A ) ではタッチセンサとして配線の交差部に容量 2 6 0 3 のみを設けるパッシブ型のタッチセンサの構成を示したが、トランジスタと容量とを有するアクティブ型のタッチセンサとしてもよい。アクティブ型のタッチセンサに含まれるセンサ回路の一例を図 4 2 に示す。

【 0 5 4 8 】

図 4 2 に示すセンサ回路は、容量 2 6 0 3 と、トランジスタ 2 6 1 1 と、トランジスタ 2 6 1 2 と、トランジスタ 2 6 1 3 とを有する。

【 0 5 4 9 】

トランジスタ 2 6 1 3 はゲートに信号 G 2 が与えられ、ソースまたはドレインの一方に電圧 V R E S が与えられ、他方が容量 2 6 0 3 の一方の電極およびトランジスタ 2 6 1 1 のゲートと電氣的に接続する。トランジスタ 2 6 1 1 は、ソースまたはドレインの一方がトランジスタ 2 6 1 2 のソースまたはドレインの一方と電氣的に接続し、他方に電圧 V<sub>s</sub> が与えられる。トランジスタ 2 6 1 2 は、ゲートに信号 G 1 が与えられ、ソースまたはドレインの他方が配線 M L と電氣的に接続する。容量 2 6 0 3 の他方の電極には電圧 V<sub>s</sub> が与えられる。

【 0 5 5 0 】

次に、図 4 2 に示すセンサ回路の動作について説明する。まず、信号 G 2 にトランジスタ 2 6 1 3 をオン状態とする電位が与えられることで、トランジスタ 2 6 1 1 のゲートが接続されるノード n に電圧 V R E S に対応した電位が与えられる。次に、信号 G 2 としてトランジスタ 2 6 1 3 をオフ状態とする電位が与えられることで、ノード n の電位が保持される。

【 0 5 5 1 】

続いて、指等の被検知体の近接または接触により、容量 2 6 0 3 の相互容量が変化することに伴い、ノード n の電位が V R E S から変化する。

【 0 5 5 2 】

読み出し動作は、信号 G 1 にトランジスタ 2 6 1 2 をオン状態とする電位を与える。ノード n の電位に応じてトランジスタ 2 6 1 1 に流れる電流、すなわち配線 M L に流れる電流が変化する。この電流を検出することにより、被検知体の近接または接触を検出することができる。

【 0 5 5 3 】

トランジスタ 2 6 1 1、トランジスタ 2 6 1 2、及びトランジスタ 2 6 1 3 に先の実施の形態に示すトランジスタを適用することができる。とくにトランジスタ 2 6 1 3 に先の実施の形態に示すトランジスタを適用することにより、ノード n の電位を長期間に亘って保持することが可能となり、ノード n に V R E S を供給しなおす動作（リフレッシュ動作）の頻度を減らすことができる。

【 0 5 5 4 】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

【 0 5 5 5 】

( 実施の形態 6 )

本実施の形態では、本発明の一態様の半導体装置を有する表示モジュール、電子機器、

10

20

30

40

50

及び表示装置について、図 4 3 乃至図 4 5 を用いて説明を行う。

【 0 5 5 6 】

< 表示モジュールに関する説明 >

図 4 3 に示す表示モジュール 8 0 0 0 は、上部カバー 8 0 0 1 と下部カバー 8 0 0 2 との間に、F P C 8 0 0 3 に接続されたタッチパネル 8 0 0 4、F P C 8 0 0 5 に接続された表示パネル 8 0 0 6、バックライト 8 0 0 7、フレーム 8 0 0 9、プリント基板 8 0 1 0、バッテリー 8 0 1 1 を有する。

【 0 5 5 7 】

本発明の一態様の半導体装置は、例えば、表示パネル 8 0 0 6 に用いることができる。

【 0 5 5 8 】

上部カバー 8 0 0 1 及び下部カバー 8 0 0 2 は、タッチパネル 8 0 0 4 及び表示パネル 8 0 0 6 のサイズに合わせて、形状や寸法を適宜変更することができる。

【 0 5 5 9 】

タッチパネル 8 0 0 4 は、抵抗膜方式または静電容量方式のタッチパネルを表示パネル 8 0 0 6 に重畳して用いることができる。また、表示パネル 8 0 0 6 の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。また、表示パネル 8 0 0 6 の各画素内に光センサを設け、光学式のタッチパネルとすることも可能である。

【 0 5 6 0 】

バックライト 8 0 0 7 は、光源 8 0 0 8 を有する。なお、図 4 3 において、バックライト 8 0 0 7 上に光源 8 0 0 8 を配置する構成について例示したが、これに限定さない。例えば、バックライト 8 0 0 7 の端部に光源 8 0 0 8 を配置し、さらに光拡散板を用いる構成としてもよい。なお、有機 E L 素子等の自発光型の発光素子を用いる場合、または反射型パネル等の場合においては、バックライト 8 0 0 7 を設けない構成としてもよい。

【 0 5 6 1 】

フレーム 8 0 0 9 は、表示パネル 8 0 0 6 の保護機能の他、プリント基板 8 0 1 0 の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム 8 0 0 9 は、放熱板としての機能を有していてもよい。

【 0 5 6 2 】

プリント基板 8 0 1 0 は、電源回路、ビデオ信号及びクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリー 8 0 1 1 による電源であってもよい。バッテリー 8 0 1 1 は、商用電源を用いる場合には、省略可能である。

【 0 5 6 3 】

また、表示モジュール 8 0 0 0 は、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

【 0 5 6 4 】

< 電子機器に関する説明 >

図 4 4 ( A ) 乃至図 4 4 ( G ) は、電子機器を示す図である。これらの電子機器は、筐体 9 0 0 0、表示部 9 0 0 1、スピーカ 9 0 0 3、操作キー 9 0 0 5（電源スイッチ、又は操作スイッチを含む）、接続端子 9 0 0 6、センサ 9 0 0 7（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に問い又は赤外線を測定する機能を含むもの）、マイクロフォン 9 0 0 8、等を有することができる。

【 0 5 6 5 】

図 4 4 ( A ) 乃至図 4 4 ( G ) に示す電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信または受信を行う機能、記録媒体に記録されているプログラムまたはデータを読み出して表

10

20

30

40

50

示部に表示する機能、等を有することができる。なお、図44(A)乃至図44(G)に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。また、図44(A)乃至図44(G)には図示していないが、電子機器には、複数の表示部を有する構成としてもよい。また、該電子機器にカメラ等を設け、静止画を撮影する機能、動画を撮影する機能、撮影した画像を記録媒体(外部またはカメラに内蔵)に保存する機能、撮影した画像を表示部に表示する機能、等を有していてもよい。

【0566】

図44(A)乃至図44(G)に示す電子機器の詳細について、以下説明を行う。

【0567】

図44(A)は、携帯情報端末9100を示す斜視図である。携帯情報端末9100が有する表示部9001は、可撓性を有する。そのため、湾曲した筐体9000の湾曲面に沿って表示部9001を組み込むことが可能である。また、表示部9001はタッチセンサを備え、指やスタイラスなどで画面に触れることで操作することができる。例えば、表示部9001に表示されたアイコンに触れることで、アプリケーションを起動することができる。

10

【0568】

図44(B)は、携帯情報端末9101を示す斜視図である。携帯情報端末9101は、例えば電話機、手帳又は情報閲覧装置等から選ばれた一つ又は複数の機能を有する。具体的には、スマートフォンとして用いることができる。なお、携帯情報端末9101は、スピーカ9003、接続端子9006、センサ9007等を省略して図示しているが、図44(A)に示す携帯情報端末9100と同様の位置に設けることができる。また、携帯情報端末9101は、文字や画像情報をその複数の面に表示することができる。例えば、3つの操作ボタン9050(操作アイコンまたは単にアイコンともいう)を表示部9001の一の面に表示することができる。また、破線の矩形で示す情報9051を表示部9001の他の面に表示することができる。なお、情報9051の一例としては、電子メールやSNS(ソーシャル・ネットワーキング・サービス)や電話などの着信を知らせる表示、電子メールやSNSなどの題名、電子メールやSNSなどの送信者名、日時、時刻、バッテリーの残量、アンテナ受信の強度などがある。または、情報9051が表示されている位置に、情報9051の代わりに、操作ボタン9050などを表示してもよい。

20

【0569】

図44(C)は、携帯情報端末9102を示す斜視図である。携帯情報端末9102は、表示部9001の3面以上に情報を表示する機能を有する。ここでは、情報9052、情報9053、情報9054がそれぞれ異なる面に表示されている例を示す。例えば、携帯情報端末9102の使用者は、洋服の胸ポケットに携帯情報端末9102を収納した状態で、その表示(ここでは情報9053)を確認することができる。具体的には、着信した電話の発信者の電話番号又は氏名等を、携帯情報端末9102の上方から観察できる位置に表示する。使用者は、携帯情報端末9102をポケットから取り出すことなく、表示を確認し、電話を受けるか否かを判断できる。

30

【0570】

図44(D)は、腕時計型の携帯情報端末9200を示す斜視図である。携帯情報端末9200は、移動電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲームなどの種々のアプリケーションを実行することができる。また、表示部9001はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末9200は、通信規格された近距離無線通信を実行することが可能である。例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末9200は、接続端子9006を有し、他の情報端末とコネクタを介して直接データのやりとりを行うことができる。また接続端子9006を介して充電を行うこともできる。なお、充電動作は接続端子9006を介さずに無線給電により行ってもよい。

40

【0571】

50

図44(E)(F)(G)は、折り畳み可能な携帯情報端末9201を示す斜視図である。また、図44(E)が携帯情報端末9201を展開した状態の斜視図であり、図44(F)が携帯情報端末9201を展開した状態または折り畳んだ状態の一方から他方に変化する途中の状態の斜視図であり、図44(G)が携帯情報端末9201を折り畳んだ状態の斜視図である。携帯情報端末9201は、折り畳んだ状態では可撓性に優れ、展開した状態では、継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末9201が有する表示部9001は、ヒンジ9055によって連結された3つの筐体9000に支持されている。ヒンジ9055を介して2つの筐体9000間を屈曲させることにより、携帯情報端末9201を展開した状態から折りたたんだ状態に可逆的に変形させることができる。例えば、携帯情報端末9201は、曲率半径1mm以上150mm以下で曲げることができる。

10

## 【0572】

また、図45(A)(B)は、複数の表示パネルを有する表示装置の斜視図である。なお、図45(A)は、複数の表示パネルが巻き取られた形態の斜視図であり、図45(B)は、複数の表示パネルが展開された状態の斜視図である。

## 【0573】

図45(A)(B)に示す表示装置9500は、複数の表示パネル9501と、軸部9511と、軸受部9512と、を有する。また、複数の表示パネル9501は、表示領域9502と、透光性を有する領域9503と、を有する。

## 【0574】

また、複数の表示パネル9501は、可撓性を有する。また、隣接する2つの表示パネル9501は、それらの一部が互いに重なるように設けられる。例えば、隣接する2つの表示パネル9501の透光性を有する領域9503を重ね合わせることができる。複数の表示パネル9501を用いることで、大画面の表示装置とすることができる。また、使用状況に応じて、表示パネル9501を巻き取ることが可能であるため、汎用性に優れた表示装置とすることができる。

20

## 【0575】

また、図45(A)(B)においては、表示領域9502が隣接する表示パネル9501で離間する状態を図示しているが、これに限定されず、例えば、隣接する表示パネル9501の表示領域9502を隙間なく重ねあわせることで、連続した表示領域9502としてもよい。

30

## 【0576】

また、本発明の一態様のモニター回路を用いることで、隣接する表示パネル9501の輝度ばらつきを低減することが可能となるため、視認者が複数の表示領域9502を一つの表示領域として観察することが可能となる。

## 【0577】

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有する。ただし、本発明の一態様の半導体装置は、表示部を有さない電子機器にも適用することができる。また、本実施の形態において述べた電子機器の表示部においては、可撓性を有し、湾曲した表示面に沿って表示を行うことができる構成、または折り畳み可能な表示部の構成について例示したが、これに限定されず、可撓性を有さず、平面部に表示を行う構成としてもよい。

40

## 【0578】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせることができる。

## 【0579】

(実施の形態7)

本実施の形態では、本発明の一態様の表示モジュールの作製に用いることができる成膜装置について、図46を用いて説明する。

## 【0580】

50

図46は本発明の一態様の表示モジュールの作製に用いることができる成膜装置3000を説明する図である。なお、成膜装置3000は、バッチ式のALD装置の一例である。

【0581】

<成膜装置の構成例>

本実施の形態で説明する成膜装置3000は、成膜室3180と、成膜室3180に接続される制御部3182と、を有する(図46参照)。

【0582】

制御部3182は、制御信号を供給する制御装置(図示せず)ならびに制御信号を供給される流量制御器3182a、流量制御器3182b、及び流量制御器3182cを有する。例えば、高速バルブを流量制御器に用いることができる。具体的にはALD用バルブ等を用いることにより、精密に流量を制御することができる。また、流量制御器、及び配管の温度を制御する加熱機構3182hを有する。

10

【0583】

流量制御器3182aは、制御信号ならびに第1の原料、及び不活性ガスを供給され、制御信号に基づいて第1の原料または不活性ガスを供給する機能を有する。

【0584】

流量制御器3182bは、制御信号ならびに第2の原料、及び不活性ガスを供給され、制御信号に基づいて第2の原料または不活性ガスを供給する機能を有する。

20

【0585】

流量制御器3182cは、制御信号を供給され、制御信号に基づいて排気装置3185に接続する機能を有する。

【0586】

<原料供給部>

なお、原料供給部3181aは、第1の原料を供給する機能を有し、流量制御器3182aに接続されている。

【0587】

原料供給部3181bは、第2の原料を供給する機能を有し、流量制御器3182bに接続されている。

【0588】

気化器または加熱手段等を原料供給部に用いることができる。これにより、固体の原料や液体の原料から気体の原料を生成することができる。

30

【0589】

なお、原料供給部は2つに限定されず、3つ以上の原料供給部を有することができる。

【0590】

<原料>

さまざまな物質を第1の原料に用いることができる。例えば、有機金属化合物、金属アルコキシド等を第1の原料に用いることができる。第1の原料と反応をするさまざまな物質を第2の原料に用いることができる。例えば、酸化反応に寄与する物質、還元反応に寄与する物質、付加反応に寄与する物質、分解反応に寄与する物質または加水分解反応に寄与する物質などを第2の原料に用いることができる。

40

【0591】

また、ラジカル等を用いることができる。例えば、原料をプラズマ源に供給し、プラズマ等を用いることができる。具体的には酸素ラジカル、窒素ラジカル等を用いることができる。

【0592】

ところで、第1の原料と組み合わせて用いる第2の原料は、室温に近い温度で反応する原料が好ましい。例えば、反応温度が室温以上200以下好ましくは50以上150以下である原料が好ましい。

【0593】

50

## &lt; 排気装置 &gt;

排気装置 3 1 8 5 は、排気する機能を有し、流量制御器 3 1 8 2 c に接続されている。なお、排出される原料を捕捉するトラップを排出口 3 1 8 4 と流量制御器 3 1 8 2 c の間に有してもよい。ところで、除害設備を用いて排気されたガス等を除害する。

【 0 5 9 4 】

## &lt; 制御部 &gt;

制御部 3 1 8 2 は、流量制御器を制御する制御信号または加熱機構を制御する制御信号等を供給する。例えば、第 1 のステップにおいて、第 1 の原料を加工部材の表面に供給する。そして、第 2 のステップにおいて、第 1 の原料と反応する第 2 の原料を供給する。これにより第 1 の原料は第 2 の原料と反応し、反応生成物が加工部材 3 0 1 0 の表面に堆積することができる。

10

【 0 5 9 5 】

なお、加工部材 3 0 1 0 の表面に堆積させる反応生成物の量は、第 1 のステップと第 2 のステップを繰り返すことにより、制御することができる。

【 0 5 9 6 】

なお、加工部材 3 0 1 0 に供給される第 1 の原料の量は、加工部材 3 0 1 0 の表面が吸着することができる量により制限される。例えば、第 1 の原料の単分子層が加工部材 3 0 1 0 の表面に形成される条件を選択し、形成された第 1 の原料の単分子層に第 2 の原料を反応させることにより、極めて均一な第 1 の原料と第 2 の原料の反応生成物を含む層を形成することができる。

20

【 0 5 9 7 】

その結果、入り組んだ構造を表面に有する加工部材 3 0 1 0 の表面に、さまざまな材料を成膜することができる。例えば 3 nm 以上 2 0 0 nm 以下の厚さを有する膜を、加工部材 3 0 1 0 に形成することができる。

【 0 5 9 8 】

例えば、加工部材 3 0 1 0 の表面にピンホールと呼ばれる小さい穴等が形成されている場合、ピンホールの内部に回り込んで成膜材料を成膜し、ピンホールを埋めることができる。

【 0 5 9 9 】

また、余剰の第 1 の原料または第 2 の原料を、排気装置 3 1 8 5 を用いて成膜室 3 1 8 0 から排出する。例えば、アルゴンまたは窒素などの不活性ガスを導入しながら排気してもよい。

30

【 0 6 0 0 】

## &lt; 成膜室 &gt;

成膜室 3 1 8 0 は、第 1 の原料、第 2 の原料および不活性ガスを供給される導入口 3 1 8 3 と、第 1 の原料、第 2 の原料および不活性ガスを排出する排出口 3 1 8 4 とを有する。

【 0 6 0 1 】

成膜室 3 1 8 0 は、単数または複数の加工部材 3 0 1 0 を支持する機能を有する支持部 3 1 8 6 と、加工部材を加熱する機能を有する加熱機構 3 1 8 7 と、加工部材 3 0 1 0 の搬入および搬出をする領域を開閉する機能を有する扉 3 1 8 8 と、を有する。

40

【 0 6 0 2 】

例えば、抵抗加熱器または赤外線ランプ等を加熱機構 3 1 8 7 に用いることができる。また、加熱機構 3 1 8 7 は、例えば 8 0 以上、1 0 0 以上または 1 5 0 以上に加熱する機能を有する。ところで、加熱機構 3 1 8 7 は、例えば室温以上 2 0 0 以下好ましくは 5 0 以上 1 5 0 以下の温度になるように加工部材 3 0 1 0 を加熱する。

【 0 6 0 3 】

また、成膜室 3 1 8 0 は、圧力調整器および圧力検知器を有していてもよい。

【 0 6 0 4 】

## &lt; 支持部 &gt;

50

支持部 3 1 8 6 は、単数または複数の加工部材 3 0 1 0 を支持する。これにより、一回の処理ごとに単数または複数の加工部材 3 0 1 0 に例えば絶縁膜を形成できる。

【 0 6 0 5 】

< 膜の一例 >

本実施の形態で説明する成膜装置 3 0 0 0 を用いて、作製することができる膜の一例について説明する。

【 0 6 0 6 】

例えば、酸化物、窒化物、フッ化物、硫化物、三元化合物、金属またはポリマーを含む膜を形成することができる。

【 0 6 0 7 】

例えば、酸化アルミニウム、酸化ハフニウム、アルミニウムシリケート、ハフニウムシリケート、酸化ランタン、酸化珪素、チタン酸ストロンチウム、酸化タンタル、酸化チタン、酸化亜鉛、酸化ニオブ、酸化ジルコニウム、酸化スズ、酸化イットリウム、酸化セリウム、酸化スカンジウム、酸化エルビウム、酸化バナジウムまたは酸化インジウム等を含む材料を成膜することができる。

【 0 6 0 8 】

例えば、窒化アルミニウム、窒化ハフニウム、窒化珪素、窒化タンタル、窒化チタン、窒化ニオブ、窒化モリブデン、窒化ジルコニウムまたは窒化ガリウム等を含む材料を成膜することができる。

【 0 6 0 9 】

例えば、銅、白金、ルテニウム、タンゲステン、イリジウム、パラジウム、鉄、コバルトまたはニッケル等を含む材料を成膜することができる。

【 0 6 1 0 】

例えば、硫化亜鉛、硫化ストロンチウム、硫化カルシウム、硫化鉛、フッ化カルシウム、フッ化ストロンチウムまたはフッ化亜鉛等を含む材料を成膜することができる。

【 0 6 1 1 】

例えば、チタンおよびアルミニウムを含む窒化物、チタンおよびアルミニウムを含む酸化物、アルミニウムおよび亜鉛を含む酸化物、マンガンおよび亜鉛を含む硫化物、セリウムおよびストロンチウムを含む硫化物、エルビウムおよびアルミニウムを含む酸化物、イットリウムおよびジルコニウムを含む酸化物等を含む材料を成膜することができる。

【 0 6 1 2 】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

【 符号の説明 】

【 0 6 1 3 】

- 1 0 半導体装置
- 1 2 画素部
- 1 4 画素
- 1 6 ゲート線駆動回路
- 1 8 信号線駆動回路
- 2 0 モニター回路
- 2 2 端子部
- 3 2 増幅回路
- 3 4 トランジスタ
- 3 6 発光素子
- 3 8 抵抗素子
- 5 4 駆動トランジスタ
- 5 6 発光素子
- 6 0 補正回路
- 6 2 回路群

10

20

30

40

50

8 1	選択トランジスタ	
8 2	容量素子	
8 6	選択トランジスタ	
8 7	トランジスタ	
8 8	選択トランジスタ	
8 9	トランジスタ	
9 0	トランジスタ	
9 1	トランジスタ	
9 2	選択トランジスタ	
9 3	トランジスタ	10
9 4	トランジスタ	
9 5	選択トランジスタ	
9 6	トランジスタ	
9 7	トランジスタ	
9 8	トランジスタ	
9 9	トランジスタ	
1 0 0	トランジスタ	
1 0 0 A	トランジスタ	
1 0 0 B	トランジスタ	
1 0 2	基板	20
1 0 4	導電膜	
1 0 6	絶縁膜	
1 0 7	絶縁膜	
1 0 8	酸化物半導体膜	
1 0 8 a	酸化物半導体膜	
1 0 8 b	酸化物半導体膜	
1 0 8 c	酸化物半導体膜	
1 1 2 a	導電膜	
1 1 2 b	導電膜	
1 1 4	絶縁膜	30
1 1 6	絶縁膜	
1 1 8	絶縁膜	
1 2 0	導電膜	
1 2 0 a	導電膜	
1 2 0 b	導電膜	
1 3 0	保護膜	
1 3 1	絶縁膜	
1 3 2	絶縁膜	
1 3 3	絶縁膜	
1 4 0	酸素	40
1 4 0 a	開口部	
1 4 0 b	開口部	
1 4 1 a	開口部	
1 4 1 b	開口部	
1 4 2 a	開口部	
1 4 2 b	開口部	
1 4 2 c	開口部	
1 5 0	トランジスタ	
1 6 0	トランジスタ	
1 7 0	トランジスタ	50

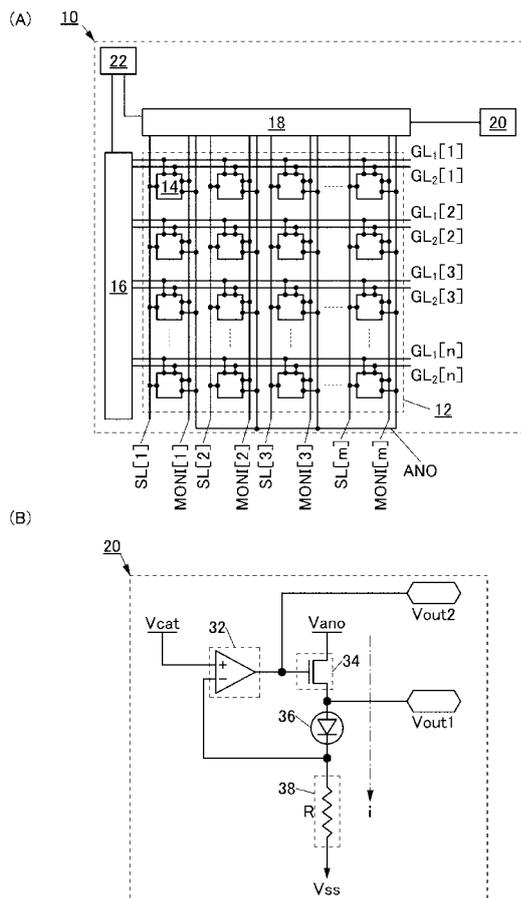
1 8 0	トランジスタ	
6 0 0	トランジスタ	
6 0 2	基板	
6 0 4	導電膜	
6 0 4 a	導電膜	
6 0 4 b	導電膜	
6 0 6	絶縁膜	
6 0 7	絶縁膜	
6 0 8	酸化物半導体膜	
6 0 9	酸化物導電膜	10
6 1 2 a	導電膜	
6 1 2 b	導電膜	
6 1 2 c	導電膜	
6 1 2 d	導電膜	
6 1 2 e	導電膜	
6 1 4	絶縁膜	
6 1 6	絶縁膜	
6 1 8	絶縁膜	
6 2 0	導電膜	
6 4 2 a	開口部	20
6 4 2 b	開口部	
6 4 4 a	開口部	
6 4 4 b	開口部	
6 4 6 a	開口部	
6 4 6 b	開口部	
6 5 0	評価用サンプル	
7 0 2	基板	
7 4 2	絶縁膜	
7 4 4	絶縁膜	
7 4 6	隔壁	30
7 4 8	スペーサ	
7 5 2	導電膜	
7 5 2 a	導電膜	
7 5 2 b	導電膜	
7 5 4	導電膜	
7 5 6	E L 層	
7 5 8	導電膜	
7 6 0	基板	
7 6 2	遮光膜	
7 6 4 G	カラーフィルタ	40
7 6 4 R	カラーフィルタ	
7 7 0	トランジスタ	
7 7 2	容量素子	
7 7 3	抵抗素子	
7 7 4	発光素子	
8 0 4	導電膜	
8 0 4 a	導電膜	
8 0 4 b	導電膜	
8 0 6	絶縁膜	
8 0 7	絶縁膜	50

8 0 9	酸化物導電膜	
8 1 2	導電膜	
8 1 2 a	導電膜	
8 1 2 b	導電膜	
8 1 8	絶縁膜	
8 2 0	導電膜	
2 0 0 0	タッチパネル	
2 0 0 1	タッチパネル	
2 5 0 1	表示装置	
2 5 0 2 t	トランジスタ	10
2 5 0 3 c	容量素子	
2 5 0 3 t	トランジスタ	
2 5 0 4	走査線駆動回路	
2 5 0 5	画素	
2 5 0 9	F P C	
2 5 1 0	基板	
2 5 1 0 a	絶縁層	
2 5 1 0 b	可撓性基板	
2 5 1 0 c	接着層	
2 5 1 1	配線	20
2 5 1 9	端子	
2 5 2 1	絶縁層	
2 5 2 8	隔壁	
2 5 5 0	E L 素子	
2 5 6 0	封止層	
2 5 6 7	着色層	
2 5 6 8	遮光層	
2 5 6 9	反射防止層	
2 5 7 0	基板	
2 5 7 0 a	絶縁層	30
2 5 7 0 b	可撓性基板	
2 5 7 0 c	接着層	
2 5 8 0	発光モジュール	
2 5 9 0	基板	
2 5 9 1	電極	
2 5 9 2	電極	
2 5 9 3	絶縁層	
2 5 9 4	配線	
2 5 9 5	タッチセンサ	
2 5 9 7	接着層	40
2 5 9 8	配線	
2 5 9 9	接続層	
2 6 0 1	パルス電圧出力回路	
2 6 0 2	電流検出回路	
2 6 0 3	容量	
2 6 1 1	トランジスタ	
2 6 1 2	トランジスタ	
2 6 1 3	トランジスタ	
2 6 2 1	電極	
2 6 2 2	電極	50

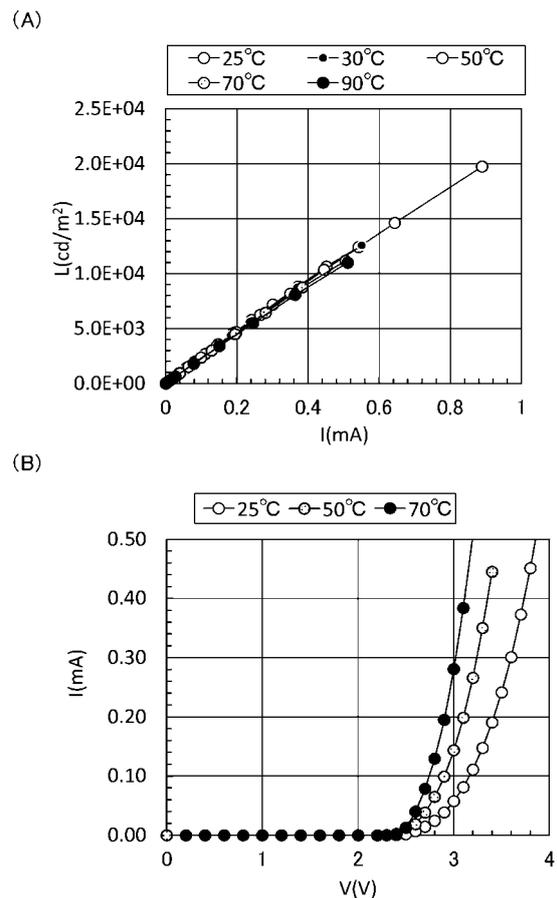
3 0 0 0	成膜装置	
3 0 1 0	加工部材	
3 1 8 0	成膜室	
3 1 8 1 a	原料供給部	
3 1 8 1 b	原料供給部	
3 1 8 2	制御部	
3 1 8 2 a	流量制御器	
3 1 8 2 b	流量制御器	
3 1 8 2 c	流量制御器	
3 1 8 2 h	加熱機構	10
3 1 8 3	導入口	
3 1 8 4	排出口	
3 1 8 5	排気装置	
3 1 8 6	支持部	
3 1 8 7	加熱機構	
3 1 8 8	扉	
5 1 0 0	ペレット	
5 1 2 0	基板	
5 1 6 1	領域	
5 2 0 0	ペレット	20
5 2 0 1	イオン	
5 2 0 3	粒子	
5 2 2 0	基板	
5 2 3 0	ターゲット	
5 2 4 0	プラズマ	
5 2 6 0	加熱機構	
8 0 0 0	表示モジュール	
8 0 0 1	上部カバー	
8 0 0 2	下部カバー	
8 0 0 3	F P C	30
8 0 0 4	タッチパネル	
8 0 0 5	F P C	
8 0 0 6	表示パネル	
8 0 0 7	バックライト	
8 0 0 8	光源	
8 0 0 9	フレーム	
8 0 1 0	プリント基板	
8 0 1 1	バッテリー	
9 0 0 0	筐体	
9 0 0 1	表示部	40
9 0 0 3	スピーカ	
9 0 0 5	操作キー	
9 0 0 6	接続端子	
9 0 0 7	センサ	
9 0 0 8	マイクロフォン	
9 0 5 0	操作ボタン	
9 0 5 1	情報	
9 0 5 2	情報	
9 0 5 3	情報	
9 0 5 4	情報	50

- 9 0 5 5     ヒンジ
- 9 1 0 0     携帯情報端末
- 9 1 0 1     携帯情報端末
- 9 1 0 2     携帯情報端末
- 9 2 0 0     携帯情報端末
- 9 2 0 1     携帯情報端末
- 9 5 0 0     表示装置
- 9 5 0 1     表示パネル
- 9 5 0 2     表示領域
- 9 5 0 3     領域
- 9 5 1 1     軸部
- 9 5 1 2     軸受部

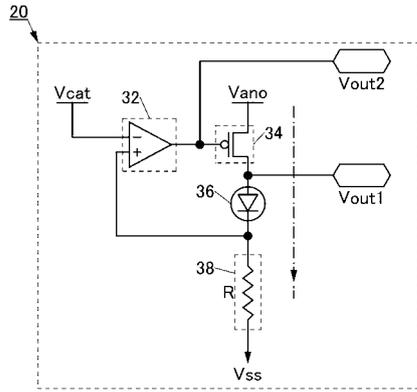
【 図 1 】



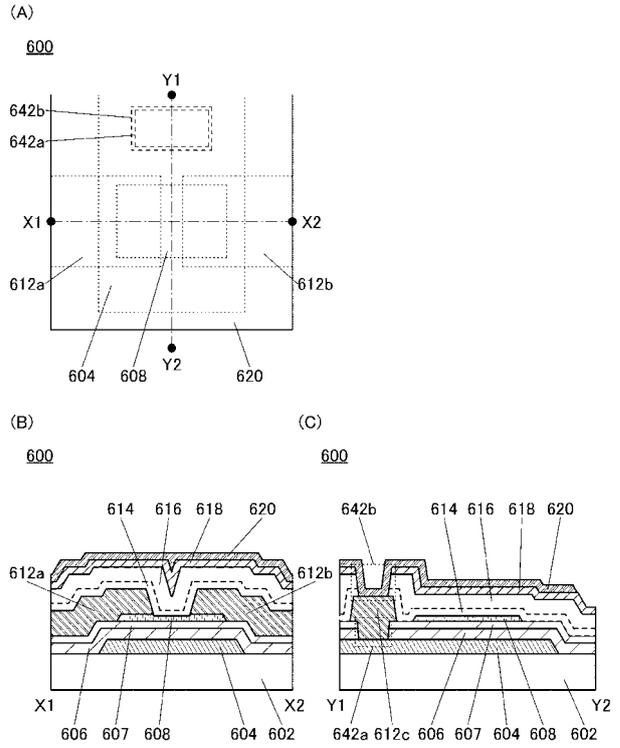
【 図 2 】



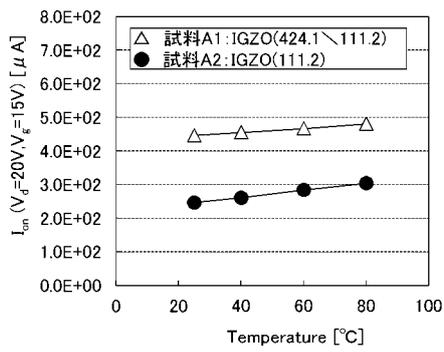
【 図 3 】



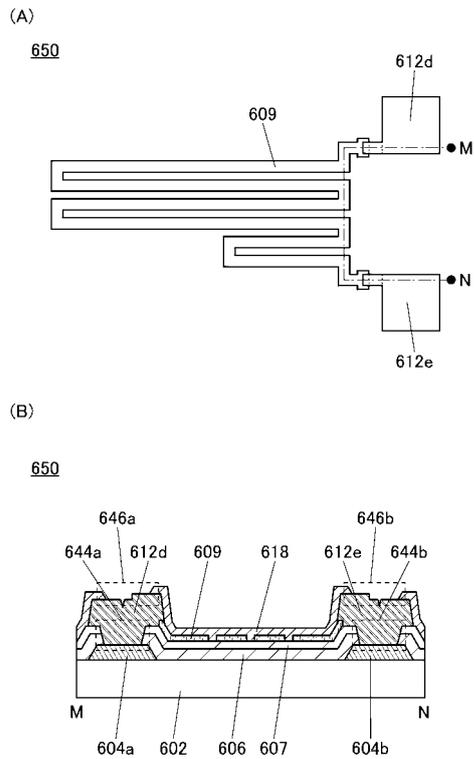
【 図 4 】



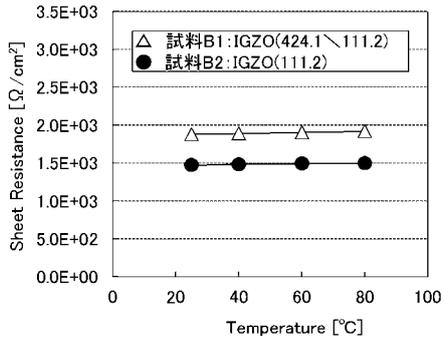
【 図 5 】



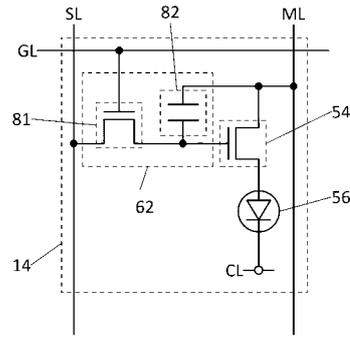
【 図 6 】



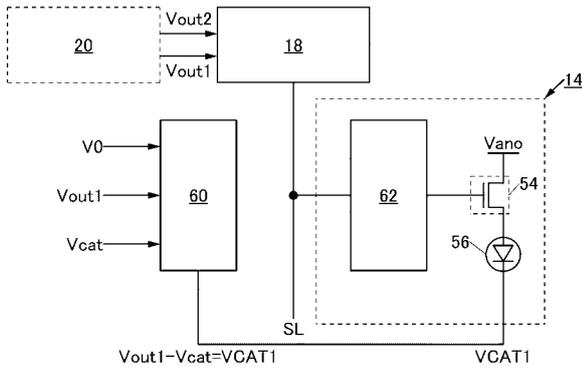
【 図 7 】



【 図 9 】

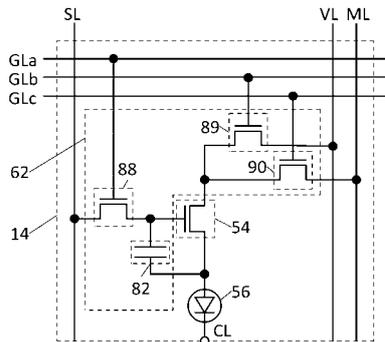


【 図 8 】

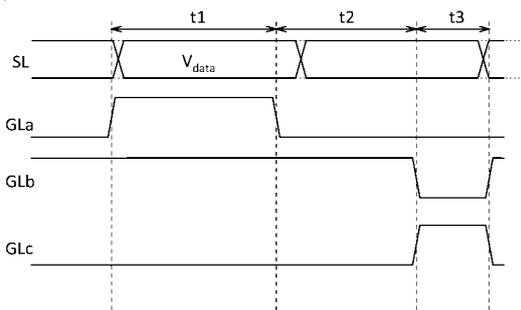


【 図 1 0 】

(A)

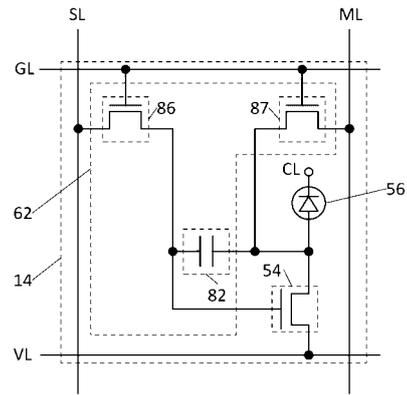


(B)

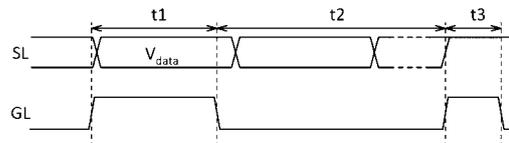


【 図 1 1 】

(A)

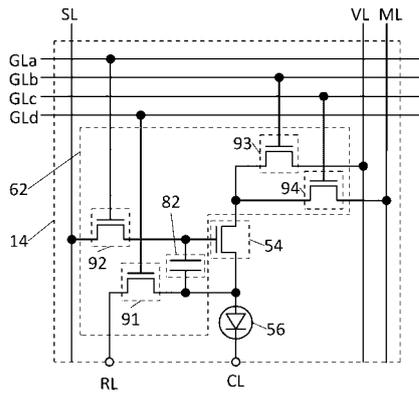


(B)

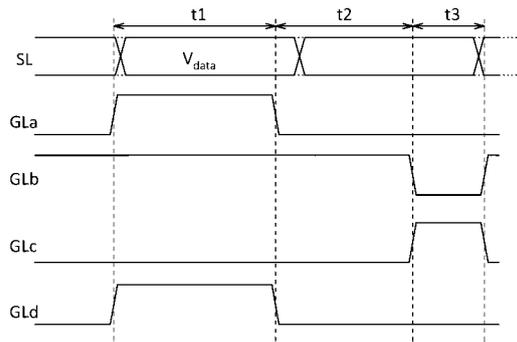


【 図 1 2 】

(A)

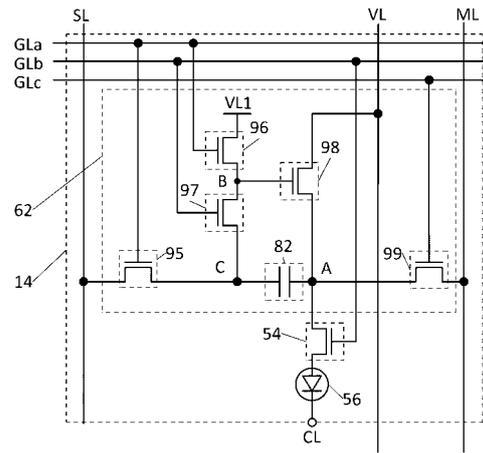


(B)

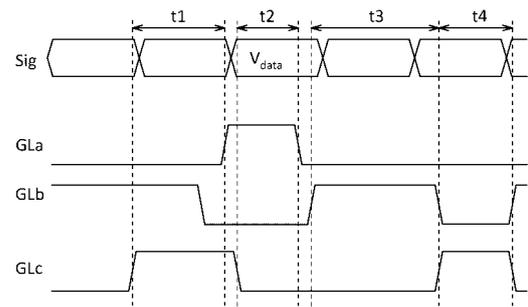


【 図 1 3 】

(A)

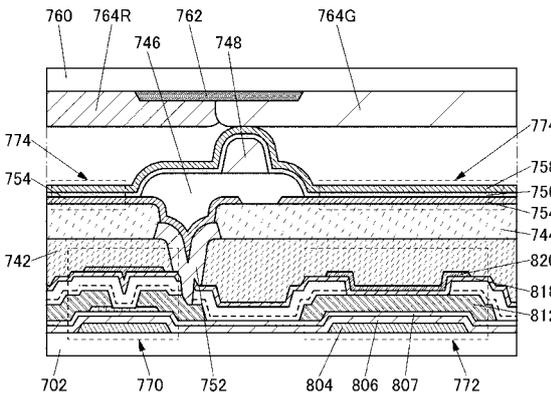


(B)

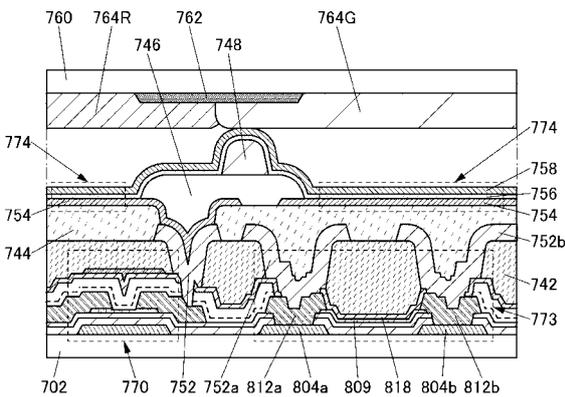


【 図 1 4 】

(A)

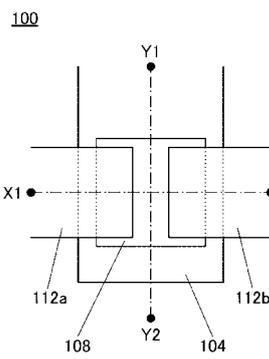


(B)

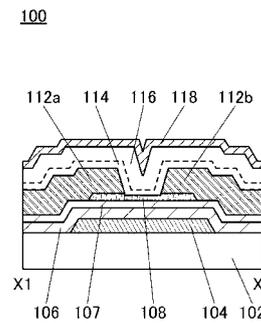


【 図 1 5 】

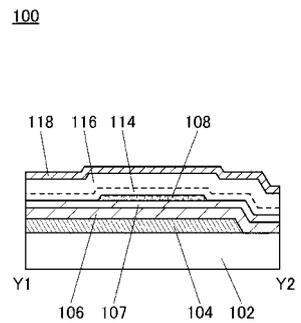
(A)



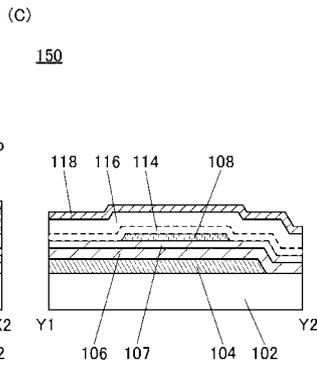
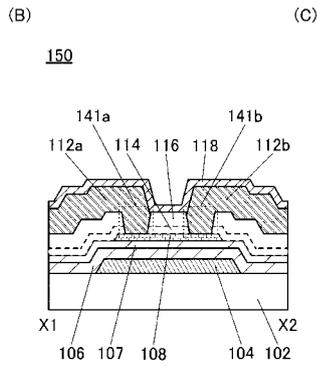
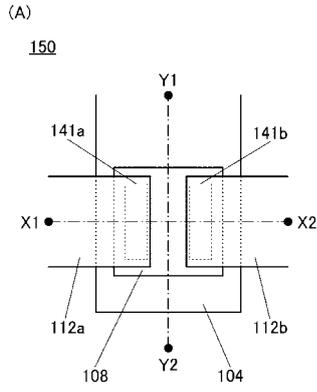
(B)



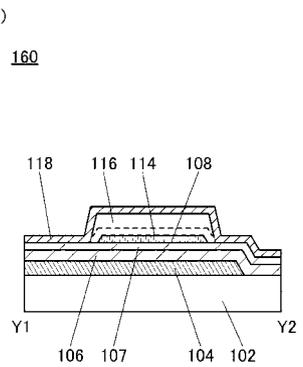
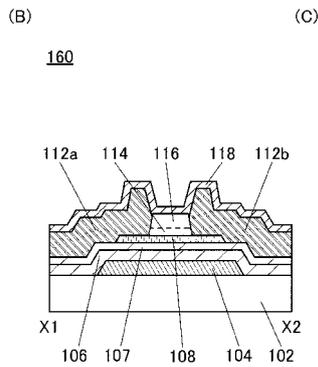
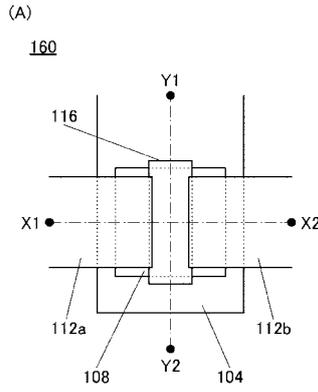
(C)



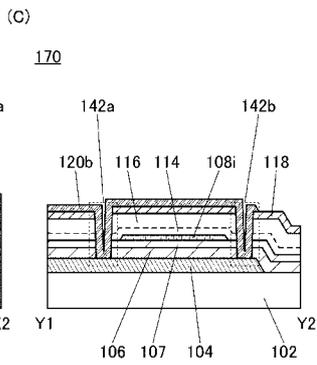
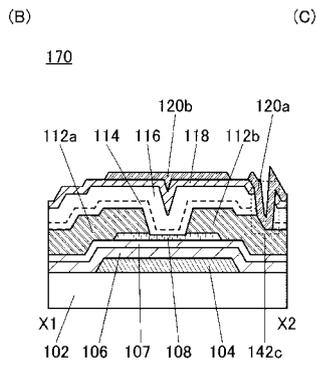
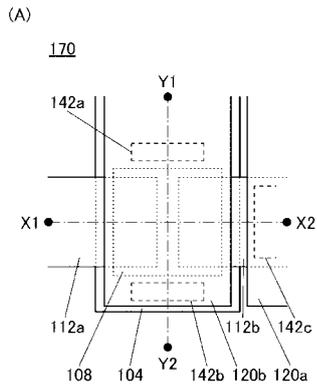
【 図 1 6 】



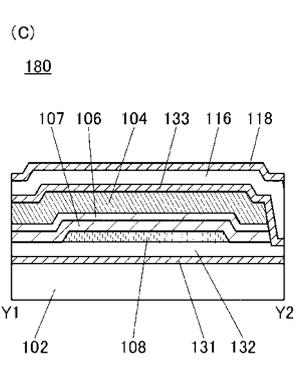
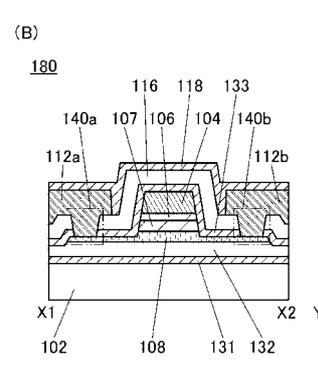
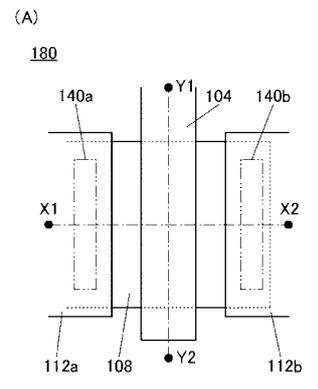
【 図 1 7 】



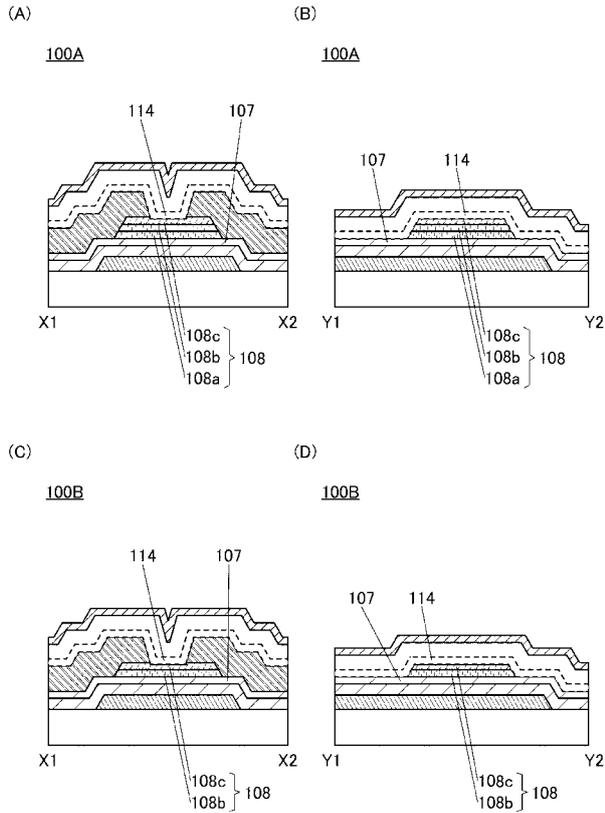
【 図 1 8 】



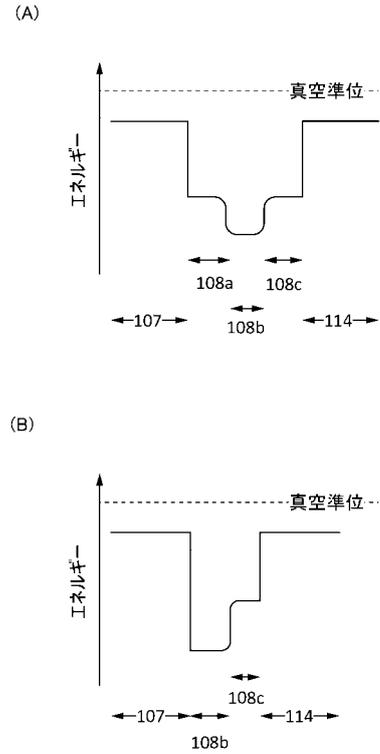
【 図 1 9 】



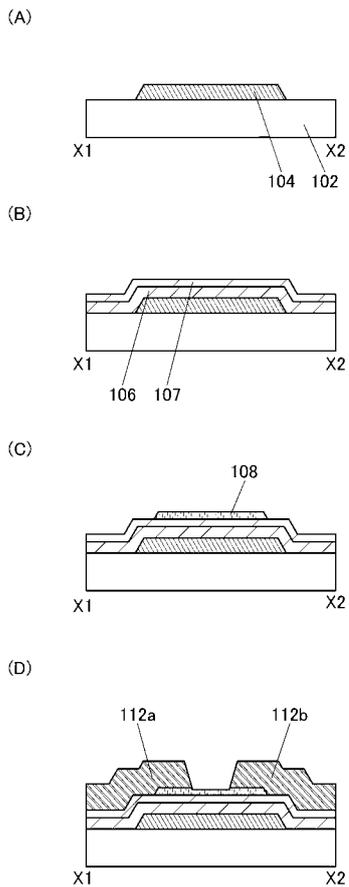
【図 2 0】



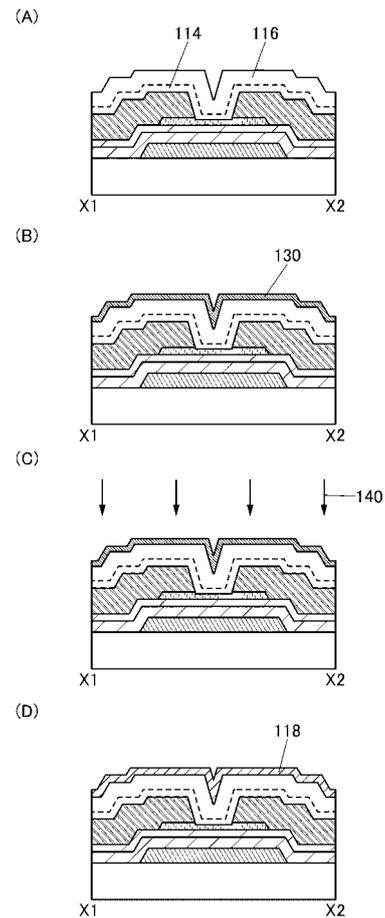
【図 2 1】



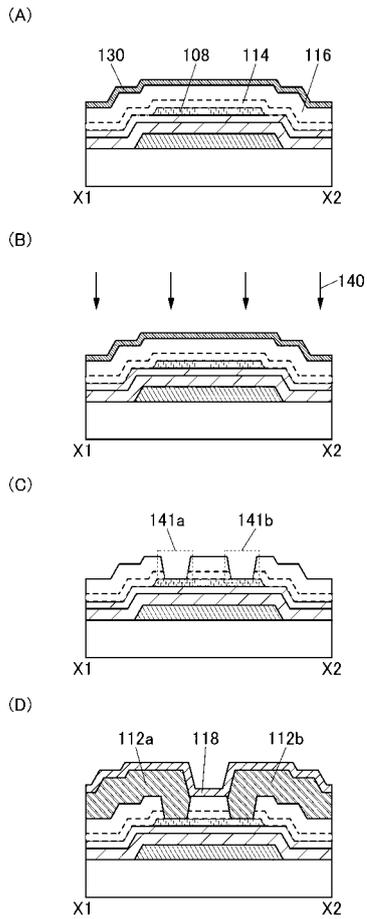
【図 2 2】



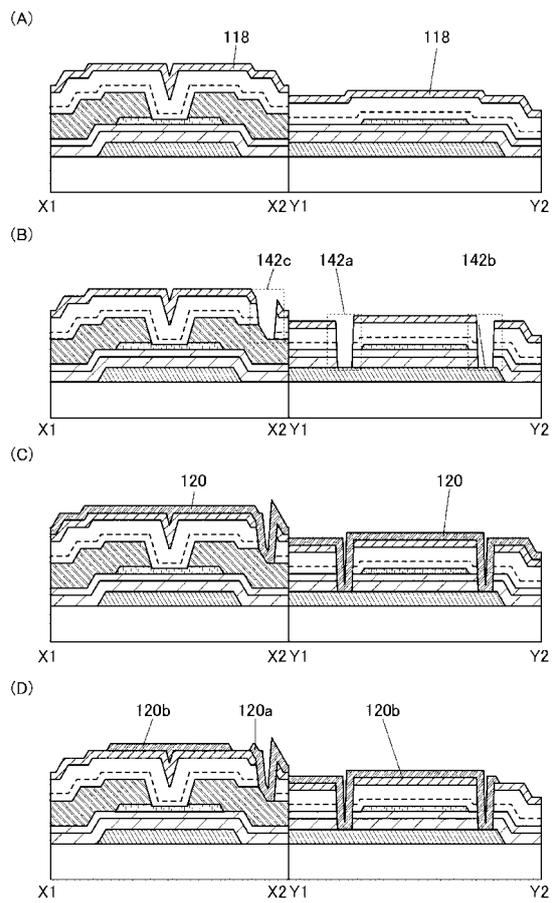
【図 2 3】



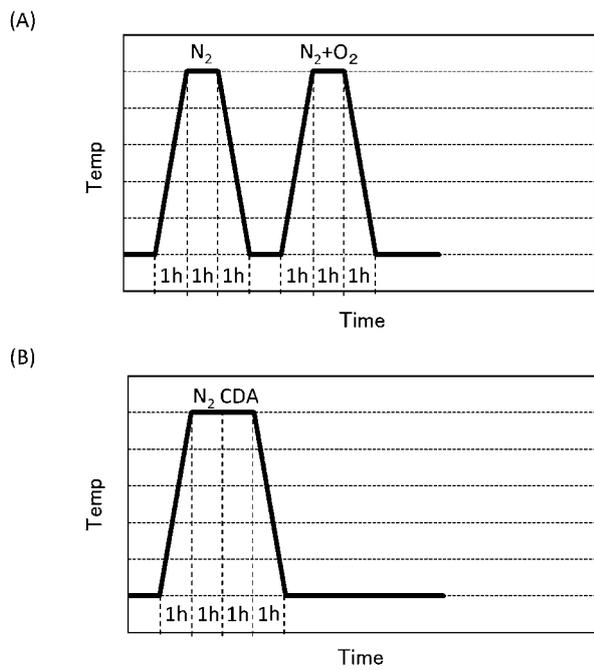
【 図 2 4 】



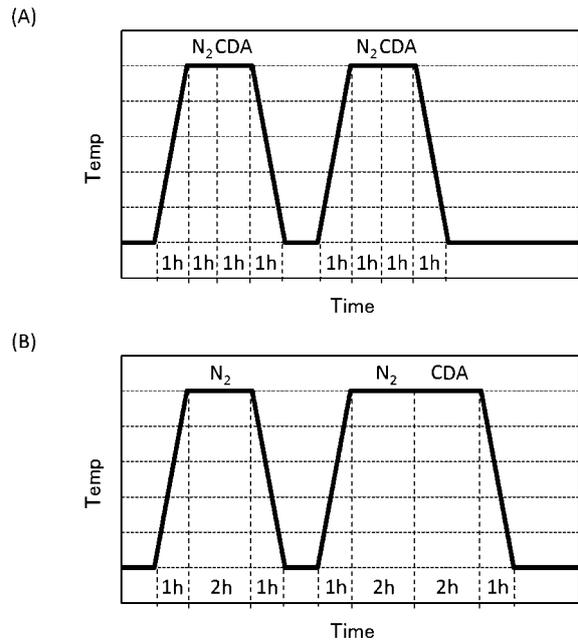
【 図 2 5 】



【 図 2 6 】

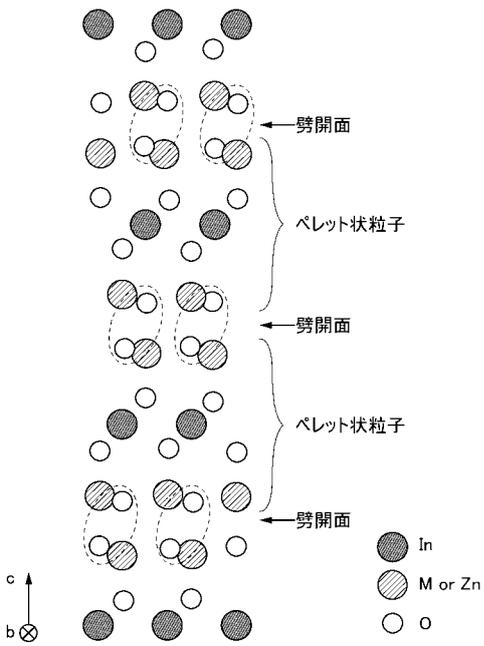


【 図 2 7 】

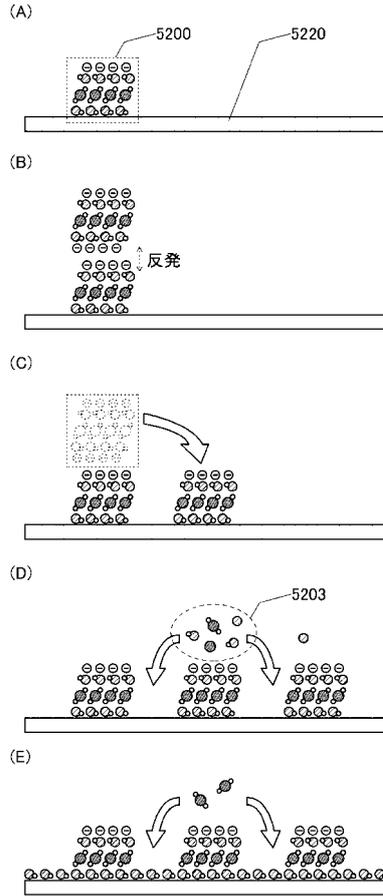


【 図 3 4 】

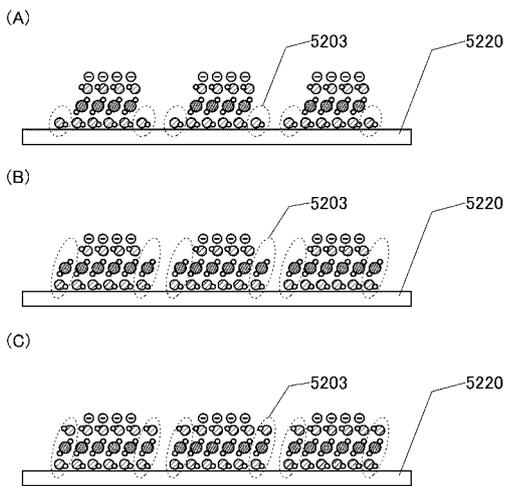
InM<sub>2</sub>ZnO<sub>4</sub>の結晶構造



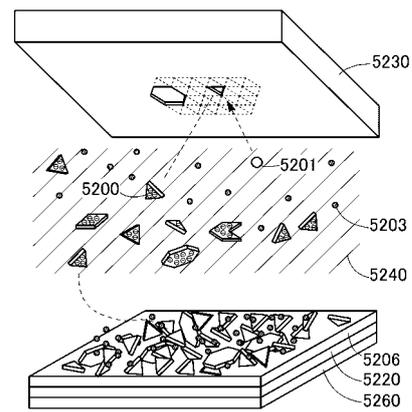
【 図 3 5 】



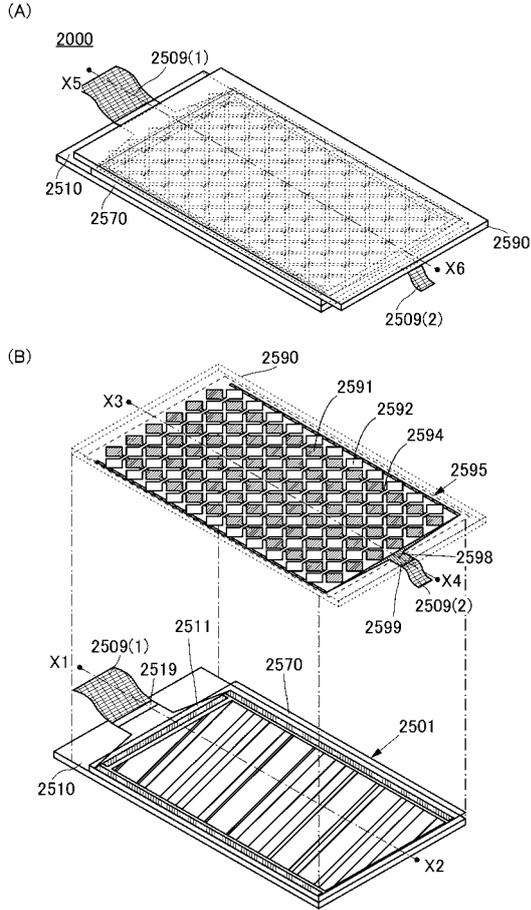
【 図 3 6 】



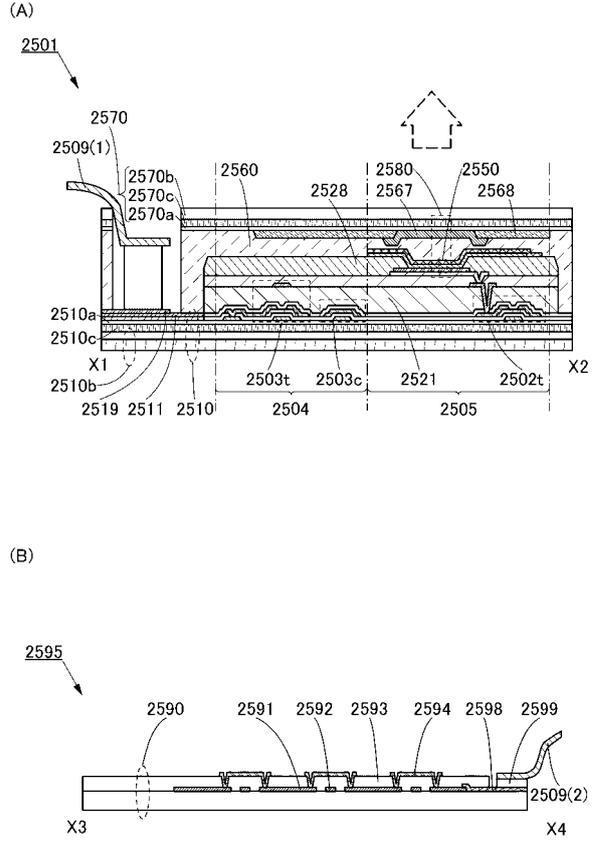
【 図 3 7 】



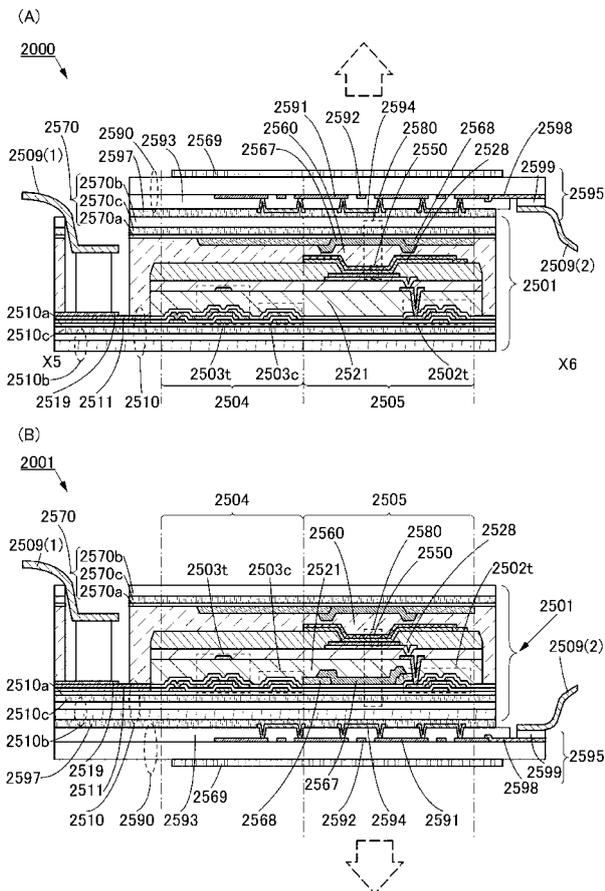
【図38】



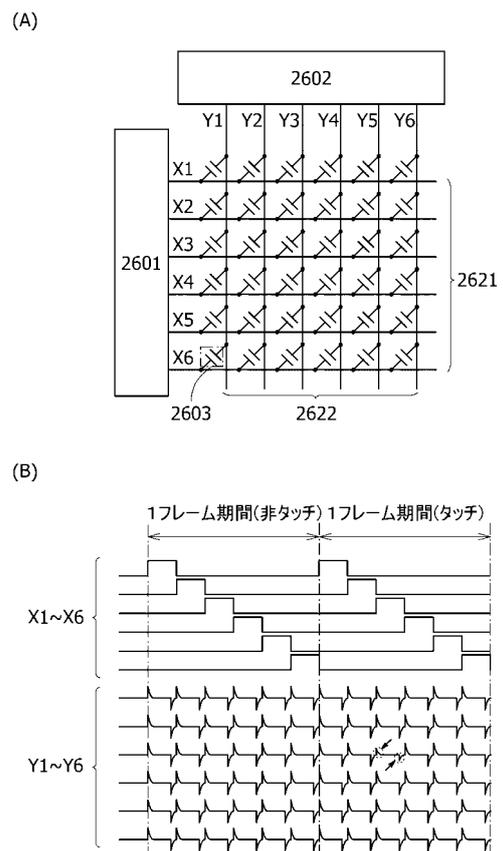
【図39】



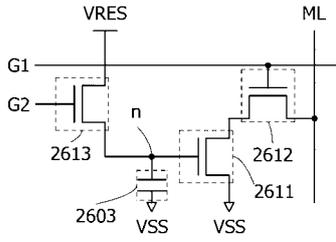
【図40】



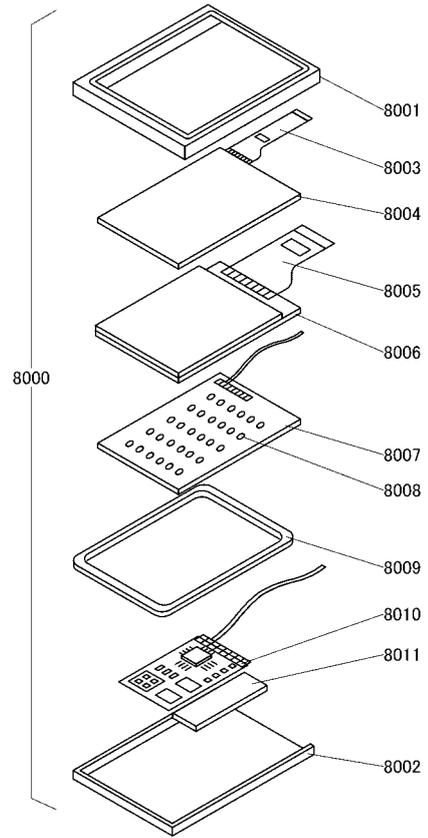
【図41】



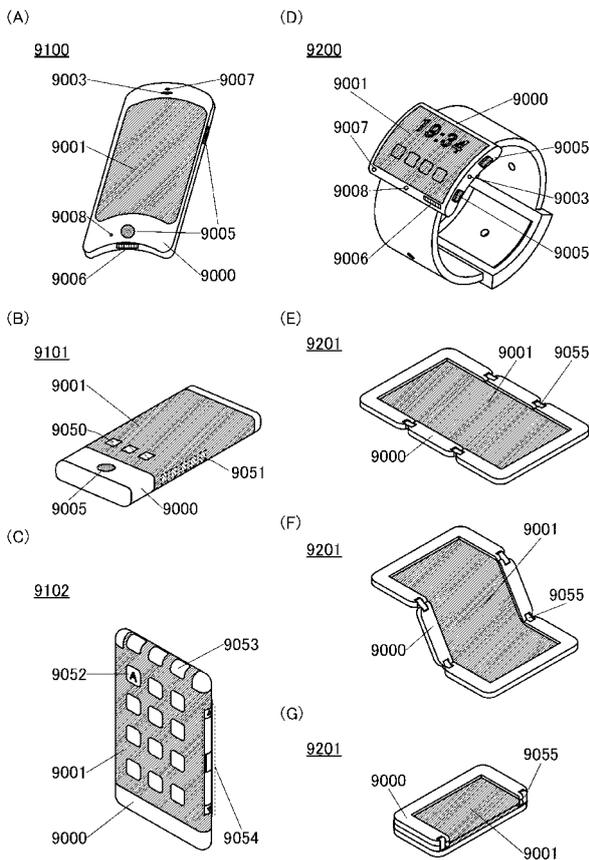
【 図 4 2 】



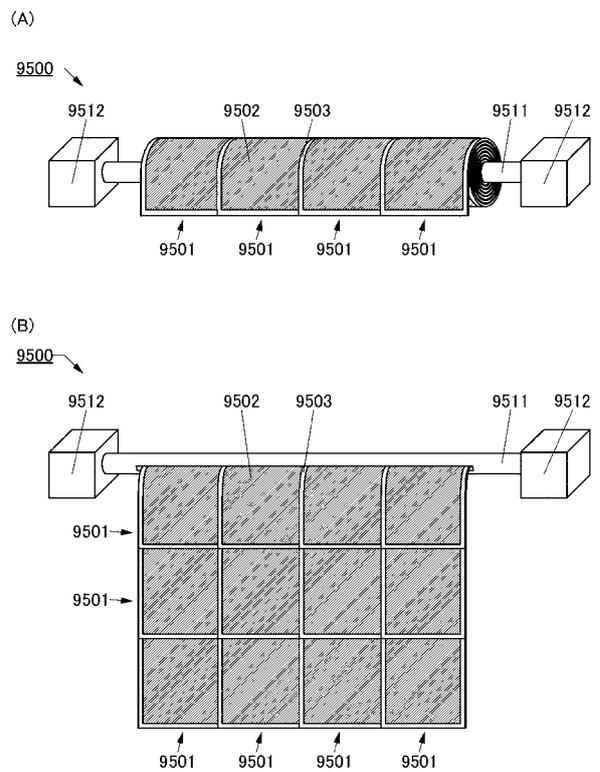
【 図 4 3 】



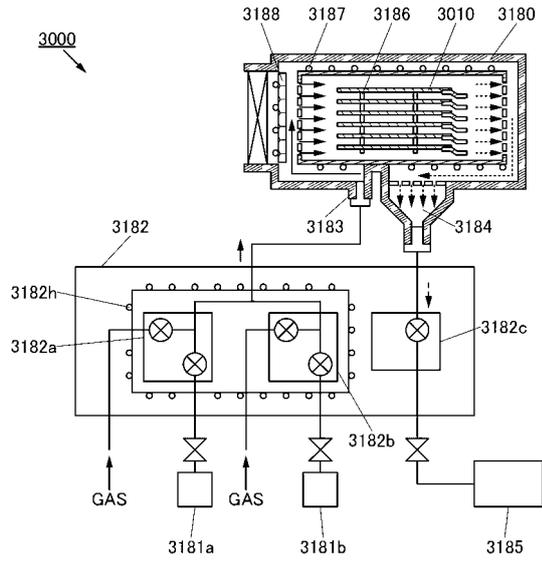
【 図 4 4 】



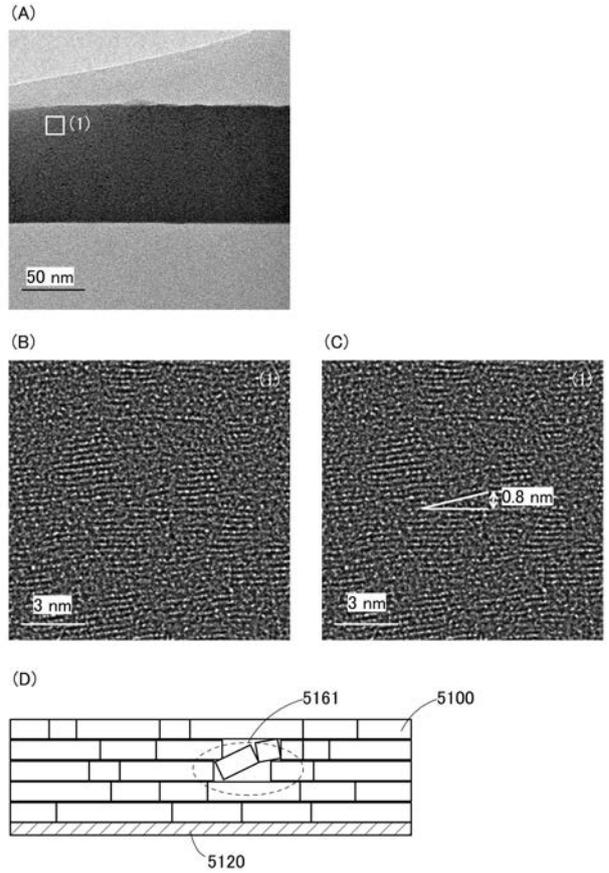
【 図 4 5 】



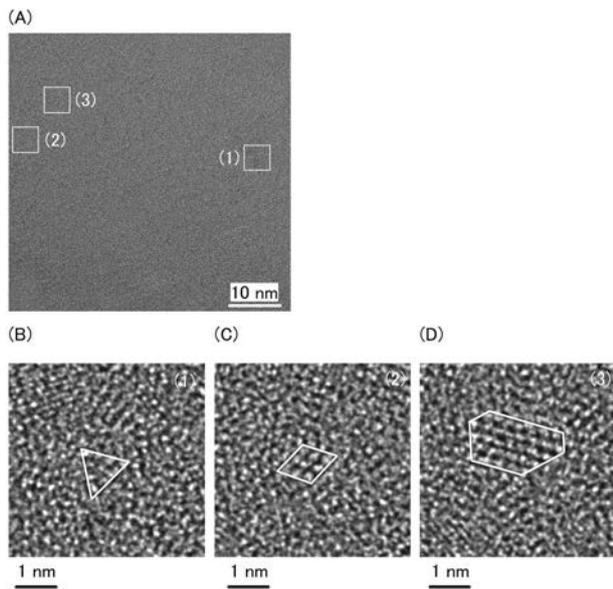
【 図 4 6 】



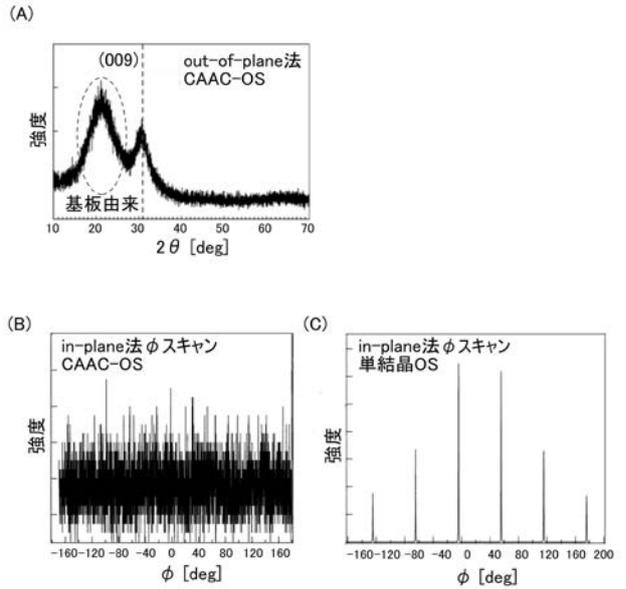
【 図 2 8 】



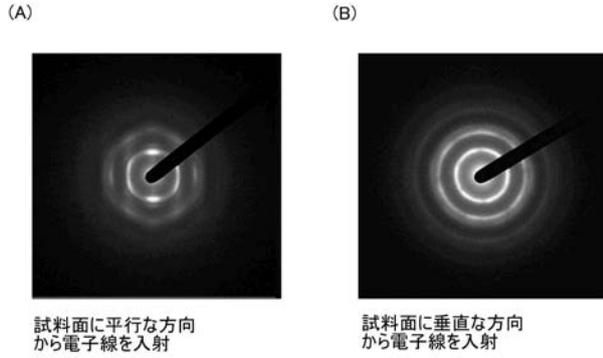
【 図 2 9 】



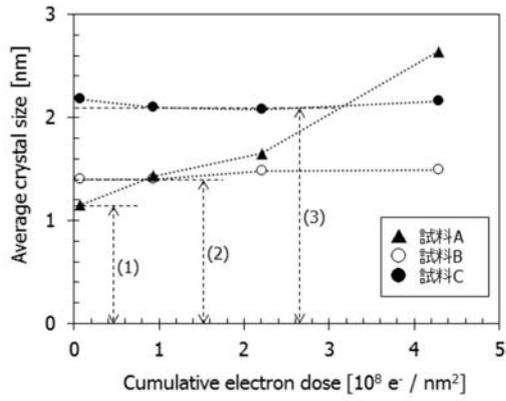
【 図 3 0 】



【 図 3 1 】



【 図 3 2 】



【 図 3 3 】

