

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-96545
(P2016-96545A)

(43) 公開日 平成28年5月26日(2016.5.26)

(51) Int.Cl.	F I	テーマコード(参考)
HO4N 5/374 (2011.01)	HO4N 5/335 740	4M118
HO1L 27/146 (2006.01)	HO1L 27/14 A	5C024
HO1L 29/786 (2006.01)	HO1L 27/14 E	5F048
HO1L 21/8234 (2006.01)	HO1L 29/78 613Z	5F110
HO1L 27/088 (2006.01)	HO1L 29/78 618B	

審査請求 未請求 請求項の数 8 O L (全 65 頁) 最終頁に続く

(21) 出願番号 特願2015-220035 (P2015-220035)
 (22) 出願日 平成27年11月10日(2015.11.10)
 (31) 優先権主張番号 特願2014-227703 (P2014-227703)
 (32) 優先日 平成26年11月10日(2014.11.10)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 井上 広樹
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 黒川 義元
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 池田 隆之
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 岡本 佑樹
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 最終頁に続く

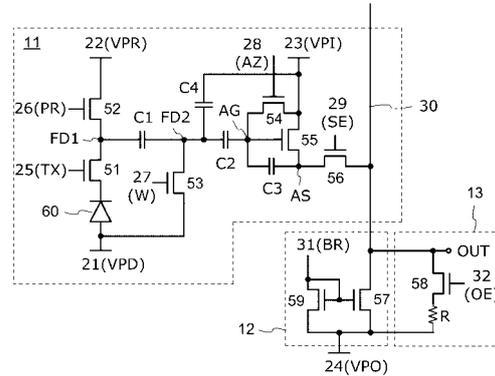
(54) 【発明の名称】 撮像装置および電子機器

(57) 【要約】

【課題】 高品質な撮像データを得ることのできる撮像装置を提供する。

【解決手段】 第1の回路と、第2の回路と、を有し、第1の回路は、光電変換素子と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、第1の容量素子と、第2の容量素子と、第3の容量素子と、を有し、第2の回路は、第7のトランジスタを有する撮像装置であり、第1の回路が有する増幅トランジスタの電気特性のばらつきの補正を行うことができる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 の回路と、第 2 の回路と、を有する撮像装置であって、

前記第 1 の回路は、光電変換素子と、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタと、第 6 のトランジスタと、第 1 の容量素子と、第 2 の容量素子と、第 3 の容量素子と、を有し、

前記第 2 の回路は、第 7 のトランジスタを有し、

前記光電変換素子の一方の端子は、前記第 1 のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第 1 のトランジスタのソースまたはドレインの他方は、前記第 2 のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第 1 のトランジスタのソースまたはドレインの他方は、前記第 1 の容量素子の一方の端子と電氣的に接続され、

前記第 3 のトランジスタのソースまたはドレインの一方は、前記第 1 の容量素子の他方の端子と電氣的に接続され、

前記第 1 の容量素子の他方の端子は、前記第 2 の容量素子の一方の端子と電氣的に接続され、

前記第 4 のトランジスタのソースまたはドレインの一方は、前記第 2 の容量素子の他方の端子と電氣的に接続され、

前記第 4 のトランジスタのソースまたはドレインの他方は、前記第 5 のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第 3 の容量素子の一方の端子は、前記第 2 の容量素子の他方の端子と電氣的に接続され、

前記第 3 の容量素子の他方の端子は、前記第 5 のトランジスタのソースまたはドレインの他方と電氣的に接続され、

前記第 5 のトランジスタのゲートは前記第 3 の容量素子の一方の端子と電氣的に接続され、

前記第 6 のトランジスタのソースまたはドレインの一方は、前記第 5 のトランジスタのソースまたはドレインの他方と電氣的に接続され、

前記第 6 のトランジスタのソースまたはドレインの他方は、前記第 7 のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記光電変換素子は、光電変換層にセレンを有することを特徴とする撮像装置。

【請求項 2】

請求項 1 において、

前記撮像装置は第 3 の回路を有し、前記第 3 の回路は、第 8 のトランジスタと、抵抗素子と、を有し、前記第 8 のトランジスタのソースまたはドレインの一方は、前記第 6 のトランジスタのソースまたはドレインの他方と電氣的に接続され、前記第 8 のトランジスタのソースまたはドレインの他方は、前記抵抗素子の一方の端子と電氣的に接続されていることを特徴とする撮像装置。

【請求項 3】

請求項 1 または 2 において、

前記第 2 の回路は、第 9 のトランジスタを有し、前記第 9 のトランジスタのソースまたはドレインの一方は、前記第 7 のトランジスタのソースまたはドレインの他方と電氣的に接続され、前記第 9 のトランジスタのゲートは、前記第 7 のトランジスタのゲートと電氣的に接続され、前記第 9 のトランジスタのゲートは、前記第 9 のトランジスタのソースまたはドレインの他方と電氣的に接続されていることを特徴とする撮像装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、

前記第 3 のトランジスタのソースまたはドレインの他方は、前記光電変換素子の他方の端子と電氣的に接続されていることを特徴とする撮像装置。

10

20

30

40

50

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、
前記画素回路は第 4 の容量素子を有し、前記第 4 の容量素子の一方の端子は、前記第 3 のトランジスタのソースまたはドレインの一方と電気的に接続されていることを特徴とする撮像装置。

【請求項 6】

請求項 5 において、
前記第 4 の容量素子の他方の端子は、前記第 4 のトランジスタのソースまたはドレインの他方と電気的に接続されていることを特徴とする撮像装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一項において、
前記第 1 乃至第 9 のトランジスタの一部または全ては、活性層に酸化物半導体を有し、当該酸化物半導体は、In と、Zn と、M (M は Al、Ti、Ga、Sn、Y、Zr、La、Ce、Nd または Hf) と、を有することを特徴とする撮像装置。

【請求項 8】

請求項 1 乃至 7 のいずれか一項に記載の撮像装置と、
表示装置、操作キー、または、シャッターボタンと、
を有することを特徴とする電子機器。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の一態様は、撮像装置に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物 (コンポジション・オブ・マター) に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの駆動方法、または、それらの製造方法、を一例として挙げるができる。

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、撮像装置、電子機器は、半導体装置を有する場合がある。

【背景技術】**【0004】**

フォトセンサを有する画素がマトリクス状に配置された半導体装置として、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサが知られている。CMOS イメージセンサは、撮像素子としてデジタルカメラや携帯電話などの携帯機器に多く搭載されている。

【0005】

一般的に CMOS イメージセンサ等を構成するトランジスタに適用可能な半導体材料としては、シリコンが広く知られているが、その他の材料として酸化物半導体が注目されている。

【0006】

例えば、特許文献 1 では、酸化物半導体を有し、かつオフ電流が極めて低いトランジスタを画素回路の一部に用い、CMOS 回路が作製可能なシリコン半導体を有するトランジスタを周辺回路に用いることで、高速かつ低消費電力の撮像装置が作製できることが開示されている。

【先行技術文献】

10

20

30

40

50

【特許文献】

【0007】

【特許文献1】特開2011-119711号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

CMOSイメージセンサは、画素毎にデータを出力する増幅トランジスタを有する。高品質な撮像データを得るには、全ての画素における当該トランジスタの電気特性が一様であることが好ましいが、微細化が進むほどトランジスタの作製工程の難度が上がり、電気特性のばらつきを抑えることが難しくなる。

10

【0009】

また、電気特性のばらつきを補正するデータを容量素子などに保持させることにより、出力データを補正することもできるが、容量素子へのデータの書き込みを撮像毎に行うと、全体の撮像時間が長くなってしまふ。また、消費電力の増加も問題になる。

【0010】

したがって、本発明の一態様では、高品質な撮像データを得ることのできる撮像装置を提供することを目的の一つとする。または、画素回路が有する増幅トランジスタの電気特性のばらつきを補正することができる撮像装置を提供することを目的の一つとする。または、低消費電力の撮像装置を提供することを目的の一つとする。または、高速動作に適した撮像装置を提供することを目的の一つとする。または、高感度の撮像装置を提供することを目的の一つとする。または、ダイナミックレンジの広い撮像装置を提供することを目的の一つとする。または、解像度の高い撮像装置を提供することを目的の一つとする。または、低コストの撮像装置を提供することを目的の一つとする。または、信頼性の高い撮像装置を提供することを目的の一つとする。または、新規な撮像装置などを提供することを目的の一つとする。または、新規な半導体装置などを提供することを目的の一つとする。

20

【0011】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

30

【課題を解決するための手段】

【0012】

本発明の一態様は、画素回路が有する増幅トランジスタの電気特性のばらつきを補正することができる撮像装置に関する。

【0013】

本発明の一態様は、第1の回路と、第2の回路と、を有する撮像装置であって、第1の回路は、光電変換素子と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、第1の容量素子と、第2の容量素子と、第3の容量素子と、を有し、第2の回路は、第7のトランジスタを有し、光電変換素子の一方の端子は、第1のトランジスタのソースまたはドレインの一方と電気的に接続され、第1のトランジスタのソースまたはドレインの他方は、第2のトランジスタのソースまたはドレインの一方と電気的に接続され、第1のトランジスタのソースまたはドレインの他方は、第1の容量素子の一方の端子と電気的に接続され、第3のトランジスタのソースまたはドレインの一方は、第1の容量素子の他方の端子と電気的に接続され、第1の容量素子の他方の端子は、第2の容量素子の一方の端子と電気的に接続され、第4のトランジスタのソースまたはドレインの一方は、第2の容量素子の他方の端子と電気的に接続され、第4のトランジスタのソースまたはドレインの他方は、第5のトランジスタのソースまたはドレインの一方と電気的に接続され、第3の容量素子の一方の端子は、第2の容量素子の他方の端子と電気的に接続され、第3の容量素子の他方の端子は、第5のトランジスタのソースまたはドレインの他方と電気的に接続され、第

40

50

5のトランジスタのゲートは第3の容量素子の一方の端子と電氣的に接続され、第6のトランジスタのソースまたはドレインの一方は、第5のトランジスタのソースまたはドレインの他方と電氣的に接続され、第6のトランジスタのソースまたはドレインの他方は、第7のトランジスタのソースまたはドレインの一方と電氣的に接続され、光電変換素子は、光電変換層にセレンを有することを特徴とする撮像装置である。

【0014】

上記撮像装置は第3の回路を有し、第3の回路は、第8のトランジスタと、抵抗素子と、を有し、第8のトランジスタのソースまたはドレインの一方は、第6のトランジスタのソースまたはドレインの他方と電氣的に接続され、第8のトランジスタのソースまたはドレインの他方は、抵抗素子の一方の端子と電氣的に接続されている構成としてもよい。

10

【0015】

また、第2の回路は、第9のトランジスタを有し、第9のトランジスタのソースまたはドレインの一方は、第7のトランジスタのソースまたはドレインの他方と電氣的に接続され、第9のトランジスタのゲートは、第7のトランジスタのゲートと電氣的に接続され、第9のトランジスタのゲートは、第9のトランジスタのソースまたはドレインの他方と電氣的に接続されている構成としてもよい。

【0016】

第3のトランジスタのソースまたはドレインの他方は、光電変換素子の他方の端子と電氣的に接続されている構成としてもよい。

【0017】

また、上記画素回路は第4の容量素子を有し、第4の容量素子の一方の端子は、第3のトランジスタのソースまたはドレインの一方と電氣的に接続されている構成としてもよい。また、第4の容量素子の他方の端子は、第4のトランジスタのソースまたはドレインの他方と電氣的に接続されている構成とすることができる。

20

【0018】

第1乃至第9のトランジスタの一部または全ては、活性層に酸化物半導体を有し、当該酸化物半導体は、Inと、Znと、M(MはAl、Ti、Ga、Sn、Y、Zr、La、Ce、NdまたはHf)と、を有することが好ましい。

【発明の効果】

【0019】

本発明の一態様により、高品質な撮像データを得ることのできる撮像装置を提供することができる。または、画素回路が有する増幅トランジスタの電気特性のばらつきを補正することができる撮像装置を提供することができる。または、低消費電力の撮像装置を提供することができる。または、高速動作に適した撮像装置を提供することができる。または、高感度の撮像装置を提供することができる。または、ダイナミックレンジの広い撮像装置を提供することができる。または、解像度の高い撮像装置を提供することができる。または、低コストの撮像装置を提供することができる。または、信頼性の高い撮像装置を提供することができる。または、新規な撮像装置などを提供することができる。または、新規な半導体装置などを提供することができる。

30

【0020】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

40

【図面の簡単な説明】

【0021】

【図1】撮像装置が有する回路を説明する図。

【図2】撮像装置が有する回路を説明する図。

【図3】補正動作を説明するタイミングチャート。

【図4】補正動作を説明する図。

50

- 【図 5】補正動作を説明する図。
- 【図 6】補正動作を説明する図。
- 【図 7】補正動作を説明する図。
- 【図 8】補正動作を説明する図。
- 【図 9】撮像装置が有する回路を説明する図。
- 【図 10】回路部を含む撮像装置の断面図。
- 【図 11】回路部を含む撮像装置の断面図。
- 【図 12】光電変換素子の接続形態を説明する断面図。
- 【図 13】光電変換素子の接続形態を説明する断面図。
- 【図 14】回路部を含む撮像装置の断面図。 10
- 【図 15】光電変換素子の接続形態を説明する断面図。
- 【図 16】湾曲した撮像装置を説明する図。
- 【図 17】撮像装置の構成を説明する図。
- 【図 18】撮像装置の動作を説明するタイミングチャート。
- 【図 19】撮像装置の動作を説明するタイミングチャート。
- 【図 20】グローバルシャッタ方式の動作およびローリングシャッタ方式の動作を説明するタイミングチャート。
- 【図 21】トランジスタを説明する上面図および断面図。
- 【図 22】トランジスタを説明する上面図および断面図。
- 【図 23】トランジスタを説明する上面図および断面図。 20
- 【図 24】トランジスタを説明する上面図および断面図。
- 【図 25】トランジスタを説明する上面図および断面図。
- 【図 26】トランジスタを説明する上面図および断面図。
- 【図 27】トランジスタのチャンネル幅方向の断面を説明する図。
- 【図 28】トランジスタのチャンネル長方向の断面を説明する図。
- 【図 29】半導体層を説明する上面図および断面図。
- 【図 30】半導体層を説明する上面図および断面図。
- 【図 31】トランジスタを説明する上面図および断面図。
- 【図 32】トランジスタを説明する上面図および断面図。
- 【図 33】トランジスタを説明する上面図および断面図。 30
- 【図 34】トランジスタを説明する上面図および断面図。
- 【図 35】トランジスタを説明する上面図および断面図。
- 【図 36】トランジスタを説明する上面図および断面図。
- 【図 37】トランジスタのチャンネル幅方向の断面を説明する図。
- 【図 38】トランジスタのチャンネル長方向の断面を説明する図。
- 【図 39】トランジスタを説明する上面図。
- 【図 40】トランジスタの作製方法を説明する図。
- 【図 41】トランジスタの作製方法を説明する図。
- 【図 42】トランジスタの作製方法を説明する図。
- 【図 43】トランジスタの作製方法を説明する図。 40
- 【図 44】トランジスタの作製方法を説明する図。
- 【図 45】トランジスタの作製方法を説明する図。
- 【図 46】電子機器を説明する図。
- 【図 47】撮像装置が有する回路を説明する図。
- 【発明を実施するための形態】
- 【0022】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成 50

において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。なお、図を構成する同じ要素のハッチングを異なる図面間で適宜省略または変更する場合もある。

【0023】

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

10

【0024】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0025】

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、XとYとが、接続されている場合である。

20

【0026】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

30

【0027】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電氣的に接続されている場合とを含むものとする。

40

【0028】

なお、XとYとが電氣的に接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とが、本明細書等に開示されているものとする。つまり、電氣的に接続されている、と明示的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合と同様な内容が、本明細書等に開示されているものとする。

50

【 0 0 2 9 】

なお、例えば、トランジスタのソース（又は第 1 の端子など）が、Z 1 を介して（又は介さず）、X と電氣的に接続され、トランジスタのドレイン（又は第 2 の端子など）が、Z 2 を介して（又は介さず）、Y と電氣的に接続されている場合や、トランジスタのソース（又は第 1 の端子など）が、Z 1 の一部と直接的に接続され、Z 1 の別の一部が X と直接的に接続され、トランジスタのドレイン（又は第 2 の端子など）が、Z 2 の一部と直接的に接続され、Z 2 の別の一部が Y と直接的に接続されている場合は、以下のように表現することができる。

【 0 0 3 0 】

例えば、「X と Y とトランジスタのソース（又は第 1 の端子など）とドレイン（又は第 2 の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第 1 の端子など）、トランジスタのドレイン（又は第 2 の端子など）、Y の順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第 1 の端子など）は、X と電氣的に接続され、トランジスタのドレイン（又は第 2 の端子など）は Y と電氣的に接続され、X、トランジスタのソース（又は第 1 の端子など）、トランジスタのドレイン（又は第 2 の端子など）、Y は、この順序で電氣的に接続されている」と表現することができる。または、「X は、トランジスタのソース（又は第 1 の端子など）とドレイン（又は第 2 の端子など）とを介して、Y と電氣的に接続され、X、トランジスタのソース（又は第 1 の端子など）、トランジスタのドレイン（又は第 2 の端子など）、Y は、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第 1 の端子など）と、ドレイン（又は第 2 の端子など）とを、区別して、技術的範囲を決定することができる。

10

20

【 0 0 3 1 】

または、別の表現方法として、例えば、「トランジスタのソース（又は第 1 の端子など）は、少なくとも第 1 の接続経路を介して、X と電氣的に接続され、前記第 1 の接続経路は、第 2 の接続経路を有しておらず、前記第 2 の接続経路は、トランジスタを介した、トランジスタのソース（又は第 1 の端子など）とトランジスタのドレイン（又は第 2 の端子など）との間の経路であり、前記第 1 の接続経路は、Z 1 を介した経路であり、トランジスタのドレイン（又は第 2 の端子など）は、少なくとも第 3 の接続経路を介して、Y と電氣的に接続され、前記第 3 の接続経路は、前記第 2 の接続経路を有しておらず、前記第 3 の接続経路は、Z 2 を介した経路である。」と表現することができる。または、「トランジスタのソース（又は第 1 の端子など）は、少なくとも第 1 の接続経路によって、Z 1 を介して、X と電氣的に接続され、前記第 1 の接続経路は、第 2 の接続経路を有しておらず、前記第 2 の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン（又は第 2 の端子など）は、少なくとも第 3 の接続経路によって、Z 2 を介して、Y と電氣的に接続され、前記第 3 の接続経路は、前記第 2 の接続経路を有していない。」と表現することができる。または、「トランジスタのソース（又は第 1 の端子など）は、少なくとも第 1 の電氣的パスによって、Z 1 を介して、X と電氣的に接続され、前記第 1 の電氣的パスは、第 2 の電氣的パスを有しておらず、前記第 2 の電氣的パスは、トランジスタのソース（又は第 1 の端子など）からトランジスタのドレイン（又は第 2 の端子など）への電氣的パスであり、トランジスタのドレイン（又は第 2 の端子など）は、少なくとも第 3 の電氣的パスによって、Z 2 を介して、Y と電氣的に接続され、前記第 3 の電氣的パスは、第 4 の電氣的パスを有しておらず、前記第 4 の電氣的パスは、トランジスタのドレイン（又は第 2 の端子など）からトランジスタのソース（又は第 1 の端子など）への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース（又は第 1 の端子など）と、ドレイン（又は第 2 の端子など）とを、区別して、技術的範囲を決定することができる。

30

40

【 0 0 3 2 】

50

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z 1、Z 2 は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0033】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

10

【0034】

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0035】

（実施の形態1）

本実施の形態では、本発明の一態様である撮像装置について、図面を参照して説明する。

【0036】

本発明の一態様の撮像装置は、ソースフォロワにより信号電荷（データ）を出力する撮像装置の画素において、そのソースフォロワ増幅トランジスタの電気特性のばらつきを補正することができる画素回路を有する。当該画素回路は、トランジスタのしきい値電圧や移動度のばらつきだけでなく、トランジスタのチャネル形成領域のサイズ（L、W）やゲート絶縁膜の膜厚（容量値）のばらつきなどに起因する電流値のばらつきも補正することができる。

20

【0037】

図1は、本発明の一態様の撮像装置が有する、画素回路として機能させることができる回路11、基準電流源回路として機能させることのできる回路12、および出力回路として動作させることのできる回路13の回路図である。なお、図1などにおいて、トランジスタがn-ch型である場合の例を示すが、本発明の一態様は、これに限定されない。電位の大小関係を逆にすることなどにより、図47に示すようにトランジスタをp-ch型にしてもよい。または、一部のトランジスタをp-ch型トランジスタに置き換えてもよい。

30

【0038】

回路11は、光電変換部と信号生成部に大別される。光電変換部は、フォトダイオード60と、トランジスタ51と、トランジスタ52を有する。また、信号生成部は、トランジスタ53、トランジスタ54、トランジスタ55、トランジスタ56、容量素子C1、容量素子C2、容量素子C3および容量素子C4を有する。なお、容量素子C4を省くこともできる。

【0039】

回路12は、トランジスタ57およびトランジスタ59を有する。

40

【0040】

回路13は、トランジスタ58、抵抗素子Rおよび出力端子（OUT）を有する。

【0041】

配線30に接続される回路12および回路13は、図2（A）、（B）、（C）に示す形態とすることもできる。図2（A）は、回路12からトランジスタ59を省いた構成である。図2（B）は、回路13を省き、配線30に出力端子（OUT）を設けた構成である。図2（C）は、回路12のトランジスタ59および回路13を省き、配線30に出力端子（OUT）を設けた構成である。

【0042】

50

図1の回路11において、フォトダイオード60の一方の端子は、トランジスタ51のソースまたはドレインの一方と電氣的に接続される。また、トランジスタ51のソースまたはドレインの他方は、トランジスタ52のソースまたはドレインの一方と電氣的に接続される。また、トランジスタ51のソースまたはドレインの他方は、容量素子C1の一方の端子と電氣的に接続される。また、トランジスタ53のソースまたはドレインの一方は、容量素子C1の他方の端子と電氣的に接続される。また、容量素子C1の他方の端子は、容量素子C2の一方の端子と電氣的に接続される。また、トランジスタ54のソースまたはドレインの一方は、容量素子C2の他方の端子と電氣的に接続される。また、トランジスタ54のソースまたはドレインの他方は、トランジスタ55のソースまたはドレインの一方と電氣的に接続される。また、容量素子C3の一方の端子は、容量素子C2の他方の端子と電氣的に接続される。また、容量素子C3の他方の端子は、トランジスタ53のソースまたはドレインの他方と電氣的に接続される。また、トランジスタ55のゲートは、容量素子C3の一方の端子と電氣的に接続される。また、容量素子C4の一方の端子は、容量素子C2の一方の端子と電氣的に接続される。また、容量素子C4の他方の端子は、トランジスタ55のソースまたはドレインの一方と電氣的に接続される。また、トランジスタ55のソースまたはドレインの他方は、トランジスタ56のソースまたはドレインの一方と電氣的に接続される。

10

【0043】

フォトダイオード60の他方の端子は、配線21(VPD)に電氣的に接続される。また、トランジスタ52のソースまたはドレインの他方は、配線22(VPR)に電氣的に接続される。また、トランジスタ55のソースまたはドレインの一方は、配線23(VPI)に電氣的に接続される。また、トランジスタ51のゲートは、配線25(TX)に電氣的に接続される。また、トランジスタ52のゲートは、配線26(PR)に電氣的に接続される。また、トランジスタ53のゲートは、配線27(W)に電氣的に接続される。また、トランジスタ54のゲートは、配線28(AZ)に電氣的に接続される。また、トランジスタ56のゲートは配線29(SE)に電氣的に接続される。また、トランジスタ56のソースまたはドレインの他方は、配線30に電氣的に接続される。

20

【0044】

回路12において、トランジスタ57のソースまたはドレインの一方は、配線30と電氣的に接続され、ソースまたはドレインの他方は、配線24(VPO)と電氣的に接続される。また、トランジスタ59のソースまたはドレインの一方は、配線31(BR)と電氣的に接続される。また、トランジスタ59のソースまたはドレインの一方は、トランジスタ59のゲートおよびトランジスタ57のゲートと電氣的に接続される。また、トランジスタ59のソースまたはドレインの他方は、配線24(VPO)に電氣的に接続される。

30

【0045】

回路13において、トランジスタ58のソースまたはドレインの一方は、配線30と電氣的に接続される。また、トランジスタ58のソースまたはドレインの一方には、出力端子(OUT)が設けられる。また、トランジスタ58のソースまたはドレインの他方は、抵抗素子Rの一方の端子と電氣的に接続される。また、トランジスタ58のゲートは、配線32(OE)に電氣的に接続される。また、抵抗素子Rの他方の端子は、配線24(VPO)に電氣的に接続される。

40

【0046】

ここで、配線21(VPD)、配線22(VPR)、配線23(VPI)および配線24(VPO)は、電源線として機能させることができる。また、配線25(TX)、配線26(PR)、配線27(W)、配線28(AZ)、配線29(SE)、配線30、配線31(BR)および配線32(OE)は、信号線として機能させることができる。

【0047】

図1において、トランジスタ53のソースまたはドレインの他方は、配線21(VPD)に接続する構成を図示しているが、固定電位を供給することのできる他の配線等に接続されていてもよい。

50

【 0 0 4 8 】

また、図 1 において、容量素子 C 4 の他方の端子は、配線 2 3 (V P I) に接続する構成を図示しているが、固定電位を供給することのできる他の配線等に接続されていてもよい。

【 0 0 4 9 】

上記構成において、トランジスタ 5 1 のソースまたはドレインの他方、トランジスタ 5 2 のソースまたはドレインの一方および容量素子 C 1 の一方の端子が接続されるノードを F D 1 とする。

【 0 0 5 0 】

また、トランジスタ 5 3 のソースまたはドレインの一方、容量素子 C 1 の他方の端子、容量素子 C 2 の一方の端子および容量素子 C 4 の一方の端子が接続されるノードを F D 2 とする。

10

【 0 0 5 1 】

また、トランジスタ 5 4 のソースまたはドレインの一方、容量素子 C 2 の他方の端子、容量素子 C 3 の一方の端子およびトランジスタ 5 5 のゲートが接続されるノードを A G とする。

【 0 0 5 2 】

また、トランジスタ 5 5 のソースまたはドレインの他方、容量素子 C 3 の他方の端子およびトランジスタ 5 6 のソースまたはドレインの一方が接続されるノードを A S とする。

【 0 0 5 3 】

20

フォトダイオード 6 0 には、シリコン基板において p n 型や p i n 型の接合が形成されたダイオード素子を用いることができる。または非晶質シリコン膜や微結晶シリコン膜などを用いた p i n 型ダイオード素子などを用いてもよい。なお、回路 1 1 においては、フォトダイオードを有する構成を例示したが、他の光電変換素子であってもよい。例えば、ダイオード接続のトランジスタを用いてもよい。また、光電効果を利用した可変抵抗などをシリコン、ゲルマニウム、セレンなど用いて形成してもよい。

【 0 0 5 4 】

また、アバランシェ増倍という現象を利用したセレンを用いた光電変換素子を用いてもよい。当該光電変換素子では、入射される光量に対する電子の増幅が大きい高感度のセンサとすることができる。

30

【 0 0 5 5 】

セレン系材料としては、非晶質セレンまたは結晶セレンを用いることができる。結晶セレンは、一例として、非晶質セレンを成膜後、熱処理することで得ることができる。なお結晶セレンの結晶粒径を画素ピッチより小さくすることで、画素ごとの特性ばらつきを低減させることができる。

【 0 0 5 6 】

回路 1 1 において、フォトダイオード 6 0 は受光素子であり、回路 1 1 に入射した光に応じた電流を生成する機能を有することができる。トランジスタ 5 1 は、フォトダイオード 6 0 によるノード F D 1 への電荷蓄積を制御する機能を有することができる。トランジスタ 5 2 は、ノード F D 1 の電位をリセットする動作を行う機能を有することができる。トランジスタ 5 3 は、ノード F D 2 を電位のリセットする動作を行う機能を有することができる。トランジスタ 5 4 は、トランジスタ 5 5 に電流を流す機能を有することができる。トランジスタ 5 5 は、ノード A G の電位に応じた信号を出力する動作を行う機能を有することができる。トランジスタ 5 6 は、読み出し時に回路 1 1 (画素回路) の選択を制御する動作を行う機能を有することができる。

40

【 0 0 5 7 】

回路 1 2 において、トランジスタ 5 7 およびトランジスタ 5 9 は、カレントミラー回路を構成しており、トランジスタ 5 9 に流れる電流と同等の電流をトランジスタ 5 7 に流す機能を有する。

【 0 0 5 8 】

50

回路 13 において、トランジスタ 58 および抵抗素子 R に流れる電流に応じた電圧信号を出力端子 (OUT) から出力する機能を有することができる。

【0059】

上記の構成における本発明の一態様の撮像装置においては、回路 11 が有するトランジスタ 55 の飽和領域 ($V_{ds} > V_{gs} - V_{th}$ 、 V_{ds} : ドレイン - ソース間電圧、 V_{gs} : ゲート - ソース間電圧、 V_{th} : しきい値電圧) における基準出力を定める V_{gs} を回路 11 内に記憶させることにより出力信号の補正を行うことができる。

【0060】

当該補正動作および補正後の出力動作について、図 3 に示すタイミングチャートを用いて詳細な説明を行う。図 3 に示すタイミングチャートは、配線 25 (TX)、配線 26 (PR)、配線 27 (W)、配線 28 (AZ)、配線 29 (SE)、配線 31 (BR)、配線 32 (OE)、ノード FD1、ノード FD2、ノード AG、ノード AS および出力端子 (OUT) の電位を示す。なお、各トランジスタは、ゲートに接続される配線に供給される電位に従ってオンまたはオフの動作が行われるものとする。

10

【0061】

また、当該説明に用いる回路図面では、導通状態を明瞭化するためにトランジスタ 55 以外のトランジスタをスイッチ記号として記す。また、一部の符号は省略している。また、トランジスタ 59 およびトランジスタ 57 は連動してスイッチングするものとする。ここでは、配線 21 (VPD) は低電位 ("GND")、配線 22 (VPR) は高電位 ("VPR")、配線 23 (VPI) は高電位 ("VPI")、配線 24 (VPO) は低電位 ("GND")、とする。

20

【0062】

時刻 T1 において、トランジスタ 52、53、54、56、57、59 をオン、トランジスタ 51、58 をオフとする。また、配線 31 (BR) に基準信号電流が供給されるとトランジスタ 59 に基準電流 (I_{ref}) が流れ、配線 23 (VPI) と配線 24 (VPO) との間には、トランジスタ 57 を通してバイアス電流 (I_{bias}) が流れる (図 4 参照、電流経路を破線で表示)。なお、配線 31 (BR) には基準信号電圧が供給されてもよい。

【0063】

このとき、ノード FD1 は、配線 22 (VPR) の電位 ("VPR") に設定される。また、ノード FD2 は、配線 21 (VPD) の電位 ("GND"、例えば 0V) に設定される。また、ノード AG は、配線 23 (VPI) の電位 ("VPI") に設定される。また、ここで、トランジスタ 55 のゲートとソースの電位差を " V_{gs} " とすると、ゲートの電位 (ノード AG の電位) が " V_{PI} " であることから、ノード AS の電位は、" $V_{PI} - V_{gs}$ " に設定される。そして、ノード AG の電位が " V_{PI} "、ノード AS の電位が " $V_{PI} - V_{gs}$ " であることから、容量素子 C3 の両端には、" V_{gs} " がかかることになる。なお、 $V_{gs} = V_{th}$ (トランジスタ 55 のしきい値電圧) + V_{ov} (オーバードライブ電圧) である。以上により、バイアス電流 (I_{bias}) を流すための " V_{gs} " が設定される。

30

【0064】

次に、時刻 T2 において、トランジスタ 54 をオフとすると、ノード AG はフローティングとなり、容量素子 C3 には " V_{gs} " が保持される (図 5 参照)。

40

【0065】

次に、時刻 T3 において、全てのトランジスタをオフとすると、バイアス電流 (I_{bias}) は遮断され、ノード AS の電位は " $V_{PI} - V_{gs}$ " から " V_{PI} " に上昇する。また、ノード AG の電位は " V_{PI} " から " $V_{PI} + V_{gs}$ " に上昇する。また、" GND " が 0V であれば、ノード FD2 の電位は " GND " から " V_{gs} " に上昇する (図 6 参照)。以上により、バイアス電流 (I_{bias}) を流すための " V_{gs} " の保持が完了する。すなわち、トランジスタ 55 の基準出力を定める " V_{gs} " の回路 11 内への記憶を完了させる。

50

【0066】

次に、補正後の出力動作について説明する。時刻T4において、トランジスタ56、58をオン、トランジスタ52、51、53、54、57、59をオフとする。このとき、容量素子C3にはバイアス電流(Ibias)を流すための"Vgs"が保持されているため、配線23(VPI)と配線24(VPO)の間には、回路13(トランジスタ58および抵抗素子R)を介してバイアス電流(Ibias)が流れる。したがって、回路13の出力端子(OUT)には、基準出力電圧である" $R \cdot I_{bias}$ "が出力される(図7参照)。このとき、容量素子C3の他方の端子の電位が" $R \cdot I_{bias}$ "となることから、ノードAGの電位は" $R \cdot I_{bias} + V_{gs}$ "となる。

【0067】

次に、実際の撮像動作を想定して、ノードFD2の電位が-Vだけ変化したときの動作について説明する。まず、ノードFD2の電位が-Vだけ変化する状態となるには、トランジスタ52をオフとし、ノードFD1に配線22(VPR)の電位"VPR"を保持させた状態でトランジスタ51をオンし、-Vに相当する電荷を光が照射された状態のフォトダイオード60を通じて配線21(VPD)に放出させる。そして、トランジスタ51をオフとしてノードFD1の電位を保持する。上記動作により、ノードFD1の電位を"VPR"から" $VPR - V$ "に変化させることができる。

【0068】

ノードFD1が"VPR"から" $VPR - V$ "に変化すると、ノードFD2は"Vgs"から" $V_{gs} - V$ "に変化する。また、ノードAGは" $R \cdot I_{bias} + V_{gs}$ "から" $R \cdot I_{bias} + V_{gs} - V$ "に変化する。したがって、配線23(VPI)と配線24(VPO)の間には、ノードAGの電位" $R \cdot I_{bias} + V_{gs} - V$ "に従ったバイアス電流(I_{bias}')が流れる。このとき、回路13の出力端子(OUT)には、" $R \cdot I_{bias} - V$ "、すなわち" $R \cdot I_{bias}'$ "($I_{bias}' < I_{bias}$)が出力される(図8参照)。

【0069】

以上により、基準出力電圧よりも-Vに相当する電圧分だけ低い出力信号を得ることができる。すなわち、図1の回路構成においては、フォトダイオード60に照射される光の強度が高いほど出力端子(OUT)から出力される出力信号は小さくなる。

【0070】

上記補正動作は、撮像毎に行う必要はなく、一回の補正動作のみで連続して撮像することができる。もちろん、撮像前、撮像後、電源オン時、電源オフ時、またはタイマーなどを用いて任意のタイミングで上記補正動作を行ってもよい。

【0071】

また、本発明の一態様の撮像装置は、図9(A)、(B)に示す構成であってもよい。図9(A)は、回路11における光電変換部のフォトダイオード60の接続の向きが図1とは逆になる構成である。この場合、配線21(VPD)は高電位、配線22(VPR)は低電位とする。補正動作および出力動作は上記の図1の回路の説明を参照することができるが、この場合はフォトダイオード60に照射される光の強度が高いほどノードFD1の電位が高くなる。したがって、図9(A)の回路構成においては、フォトダイオード60に照射される光の強度が高いほど出力端子(OUT)から出力される出力信号は大きくなる。

【0072】

また、図9(B)は、図1に示す回路11からトランジスタ52を省いた構成である。この場合、配線21(VPD)は低電位と高電位に変動できる構成とする。FD1のリセット動作は、配線21(VPD)を高電位にすることで行うことができる。定められた期間において、配線21(VPD)を高電位とするとフォトダイオード60には順方向バイアスがかかる。したがって、ノードFD1を配線21(VPD)の電位に設定することができる。

【0073】

10

20

30

40

50

また、光を検出する動作（蓄積動作）を行う場合は、配線 2 1（VPD）を低電位とする。配線 2 1（VPD）を低電位とすることでフォトダイオード 6 0 には逆方向バイアスがかかるため、光の強度に応じてノード FD 1 から配線 2 1（VPD）に電荷を放出することができる。この場合はフォトダイオード 6 0 に照射される光の強度が高いほどノード FD 1 の電位が低くなる。したがって、図 9（B）の回路構成においては、フォトダイオード 6 0 に照射される光の強度が高いほど出力端子（OUT）から出力される出力信号は小さくなる。

【0074】

本発明の一態様の撮像装置には、酸化物半導体を有するトランジスタを用いることが好ましい。酸化物半導体を有するトランジスタを回路 1 1 に用いると、撮像のダイナミックレンジを拡大することができる。図 1 に示す回路構成では、フォトダイオード 6 0 に入射する光の強度が大きいときにノード AG の電位が小さくなる。酸化物半導体を用いたトランジスタは極めてオフ電流が低いため、ノード AG の電位（トランジスタ 5 5 のゲート電位）が極めて小さい場合においても当該ゲート電位に応じた電流を正確に出力することができる。したがって、検出することのできる照度のレンジ、すなわちダイナミックレンジを広げることができる。

10

【0075】

また、酸化物半導体を有するトランジスタの低いオフ電流特性によってノード FD 1、ノード FD 2、ノード AG およびノード AS で電荷を保持できる期間を極めて長くすることができる。そのため、回路構成や動作方法を複雑にすることなく全画素で略同時に電荷の蓄積動作を行うグローバルシャッタ方式を適用することができる。したがって、被写体が動体であっても歪の小さい画像を容易に得ることができる。また、露光時間（電荷の蓄積動作を行う期間）を長くすることもできることから、低照度環境における撮像にも適する。

20

【0076】

また、ノード FD 1、ノード FD 2、ノード AG およびノード AS のいずれかと接続するトランジスタはノイズが少ないことが求められる。後述する二層または三層の酸化物半導体層を有するトランジスタはチャンネルが埋め込み型であり、極めてノイズに強い特性を有する。したがって、当該トランジスタを用いることでノイズの少ない画像を得ることができる。

30

【0077】

以上の本発明の一態様によって、画素回路が有する増幅トランジスタ（トランジスタ 5 5）のパラメータ（しきい値電圧、移動度、チャンネル形成領域のサイズ（L、W）、ゲート絶縁膜の膜厚（容量値）等）のばらつきに依存しない出力信号を得ることができる。

【0078】

図 1 0（A）は、回路部を含む撮像装置の断面図の一例である。回路部 9 0 は、シリコン基板に活性領域を有するトランジスタ 7 0 と、酸化物半導体を活性層とするトランジスタ 7 1 との組み合わせであり、例えば、インバータ回路やメモリ回路などを構成することができる。また、回路部 9 2 は、シリコン基板 4 0 に形成されるフォトダイオード 6 0 と、酸化物半導体を活性層とするトランジスタ 5 1 との組み合わせであり、図 1 に示す回路 1 1 における光電変換部の一部に相当する。なお、破線で示す配線およびコンタクトプラグは、他の配線およびコンタクトプラグと奥行き方向の位置が異なることを示している。

40

【0079】

また、本実施の形態において、各配線、各電極および各導電体 8 9 を個別の要素として図示しているが、それらが電氣的に接続している場合においては、同一の要素として設けられる場合もある。また、トランジスタのゲート電極、ソース電極、またはドレイン電極が導電体 8 9 を介して各配線と接続される形態は一例であり、トランジスタのゲート電極、ソース電極、またはドレイン電極のそれぞれが配線としての機能を有する場合もある。また、図面に示される配線等の一部が設けられない場合や、上記以外の配線等やトランジスタ等が各層に含まれる場合もある。

50

【0080】

また、各要素上には保護膜、層間絶縁膜または平坦化膜としての機能を有する絶縁層が設けられる。例えば、絶縁層41乃至絶縁層43等(図10に絶縁層41は図示なし)は、酸化シリコン膜、酸化窒化シリコン膜などの無機絶縁膜を用いることができる。または、アクリル樹脂、ポリイミド樹脂などの有機絶縁膜などを用いてもよい。絶縁層41乃至絶縁層43等の上面は、必要に応じてCMP(Chemical Mechanical Polishing)法等で平坦化処理を行うことが好ましい。

【0081】

図10(A)において、フォトダイオード60と、トランジスタ51とを重なるように形成することができるため、画素の集積度を高めることができる。すなわち、撮像装置の解像度を高めることができる。また、回路部92の占有領域においてシリコン基板40にはトランジスタが形成されていないため、フォトダイオードの面積を広くすることができる。したがって、低照度環境においてもノイズの少ない画像を得ることができる。

10

【0082】

図10では、フォトダイオード60とトランジスタ70は、同じシリコン基板40に設ける構成を図示しているが、これに限らない。例えば、トランジスタ70をシリコン基板40に設け、別の基板に作製したフォトダイオードを貼り合わせてもよい。また、トランジスタ70をシリコン基板40に設けず、トランジスタ71、51と同様に酸化物半導体を活性層とするトランジスタで設けてもよい。また、図10(B)に示すようにトランジスタ70、51をシリコン基板40に設けてもよい。また、トランジスタ70以外の素子もシリコン基板40に設けてもよい。たとえば、シリコン基板40に、容量素子、ダイオード、抵抗素子、などを設けてもよい。

20

【0083】

図10(A)に示す構成において、トランジスタ70およびフォトダイオード60を有する領域と、トランジスタ71およびトランジスタ51を有する領域との間には絶縁層95が設けられる。

【0084】

トランジスタ70の活性領域近傍に設けられる絶縁層中の水素はシリコンのダングリングボンドを終端する。したがって、当該水素はトランジスタ70の信頼性を向上させる効果がある。一方、トランジスタ71およびトランジスタ51等の活性層である酸化物半導体層の近傍に設けられる絶縁層中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなる。そのため、当該水素はトランジスタ71およびトランジスタ51等の信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体材料を用いたトランジスタを有する一方の層と、酸化物半導体を用いたトランジスタを有する他方の層を積層する場合、これら間に水素の拡散を防止する機能を有する絶縁層95を設けることが好ましい。絶縁層95により、一方の層に水素を閉じ込めることでトランジスタ51の信頼性を向上することができる。また、一方の層から他方の層への水素の拡散が抑制されることでトランジスタ71およびトランジスタ51等の信頼性も同時に向上させることができる。

30

【0085】

絶縁層95としては、例えば酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア(YSZ)等を用いることができる。

40

【0086】

また、シリコン基板40はバルクのシリコン基板に限らず、SOI基板であってもよい。また、シリコン基板40に替えて、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、有機半導体を材料とする基板または当該材料の薄膜が形成された基板を用いることもできる。

【0087】

トランジスタ70は、プレーナ型のトランジスタだけでなく、様々なタイプのトランジス

50

タとすることができる。例えば、FIN（フィン）型、TRI-GATE（トライゲート）型などのトランジスタなどとすることができる。

【0088】

また、トランジスタ51は、状況に応じて酸化物半導体だけでなく、様々な半導体を有することができる。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、有機半導体などを有することもできる。

【0089】

また、本発明の態様の撮像装置は、図11(A)に示す形態であってもよい。

【0090】

図10(A)、(B)に示すフォトダイオード60の変形例である光電変換素子80には、様々な形態の素子を用いることができる。図11(A)では、セレン系材料を光電変換層81に用いた形態を図示している。セレン系材料を用いた光電変換素子80は、可視光に対する外部量子効率が高い特性を有する。当該光電変換素子では、アバランシェ倍増により入射される光量に対する電子の増幅が大きい高感度のセンサとすることができる。また、セレン系材料は光吸収係数が高いため、光電変換層81を薄くしやすい利点を有する。

【0091】

セレン系材料としては、非晶質セレンまたは結晶セレンを用いることができる。結晶セレンは、一例として、非晶質セレンを成膜後、熱処理することで得ることができる。なお、結晶セレンの結晶粒径を画素ピッチより小さくすることで、画素ごとの特性ばらつきを低減させることができる。また、結晶セレンは、非晶質セレンよりも可視光に対する分光感度や光吸収係数が高い特性を有する。

【0092】

なお、光電変換層81は単層として図示しているが、セレン系材料の受光面側に正孔注入阻止層として酸化ガリウムまたは酸化セリウムなどを設け、電極86側に電子注入阻止層として酸化ニッケルまたは硫化アンチモンなどを設ける構成とすることもできる。

【0093】

また、光電変換層81は、銅、インジウム、セレンの化合物(CIS)を含む層であってもよい。または、銅、インジウム、ガリウム、セレンの化合物(CIGS)を含む層であってもよい。CISおよびCIGSでは、セレンの単層と同様にアバランシェ倍増が利用できる光電変換素子を形成することができる。

【0094】

セレン系材料を用いた光電変換素子80は、例えば、金属材料などで形成された電極86と透光性導電層82との間に光電変換層81を有する構成とすることができる。また、CISおよびCIGSはp型半導体であり、接合を形成するためにn型半導体の硫化カドミウムや硫化亜鉛等を接して設けてもよい。

【0095】

アバランシェ現象を発生させるためには、光電変換素子に比較的高い電圧（例えば、10V以上）を印加することが好ましい。OSトランジスタは、Siトランジスタよりもドレイン耐圧の高い特性を有するため、光電変換素子に比較的高い電圧を印加することが容易である。したがって、ドレイン耐圧の高いOSトランジスタと、セレン系材料を光電変換層とした光電変換素子とを組み合わせることで、高感度、かつ信頼性の高い撮像装置とすることができる。

【0096】

図11(A)では、光電変換層81および透光性導電層82を画素回路間で分離しない構成としているが、図12(A)に示すように回路間で分離する構成としてもよい。また、画素間における電極86を有さない領域には、絶縁体で隔壁77を設け、光電変換層81および透光性導電層82に亀裂が入らないようにすることが好ましいが、図12(B)に示すように隔壁77を設けない構成としてもよい。また、図11(A)では、透光性導電

10

20

30

40

50

層 8 2 と配線 8 7 との間に配線 8 8 および導電体 8 9 を介する構成を図示しているが、図 1 2 (C)、(D) に示すように透光性導電層 8 2 と配線 8 7 が直接接する形態としてもよい。

【 0 0 9 7 】

また、電極 8 6 および配線 8 7 等は多層としてもよい。例えば、図 1 3 (A) に示すように、電極 8 6 を導電層 8 6 a、8 6 b の二層とし、配線 8 7 を導電層 8 7 a、8 7 b の二層とすることができる。図 1 3 (A) の構成においては、例えば、導電層 8 6 a および 8 7 a を低抵抗の金属等を選択して形成し、導電層 8 6 b および 8 7 b を光電変換層 8 1 とコンタクト特性の良い金属等を選択して形成するとよい。このような構成とすることで、光電変換素子の電気特性を向上させることができる。また、一部の金属は透光性導電層 8 2 と接触することにより電蝕を起こすことがある。そのような金属を導電層 8 7 a に用いた場合でも導電層 8 7 b を介することによって電蝕を防止することができる。

10

【 0 0 9 8 】

導電層 8 6 b および導電層 8 7 b には、例えば、モリブデンやタングステンなどを用いることができる。また、導電層 8 6 a および導電層 8 7 a には、例えば、アルミニウム、チタン、またはアルミニウムをチタンで挟むような積層を用いることができる。

【 0 0 9 9 】

また、絶縁層 4 1 等が多層である構成であってもよい。例えば、図 1 3 (B) に示すように、絶縁層 4 1 が絶縁層 4 1 a および絶縁層 4 1 b を有し、かつ絶縁層 4 1 a と絶縁層 4 1 b とのエッチングレート等が異なる場合は、導電体 8 9 は段差を有するようになる。層間絶縁膜や平坦化膜に用いられるその他の絶縁層が多層である場合も同様に導電体 8 9 は段差を有するようになる。なお、ここでは絶縁層 4 1 が 2 層である例を示したが、絶縁層 4 1 およびその他の絶縁層は 3 層以上の構成であってもよい。

20

【 0 1 0 0 】

隔壁 7 7 は、無機絶縁体や絶縁有機樹脂などを用いて形成することができる。また、隔壁 7 7 は、トランジスタ等に対する遮光のため、および / または 1 画素あたりの受光部の面積を確定するために黒色等に着色されていてもよい。

【 0 1 0 1 】

なお、図 1 1 (A) において、トランジスタ 5 1、7 1 はバックゲートを有する形態を例示しているが、図 1 1 (B) に示すように、バックゲートを有さない形態であってもよい。また、図 1 1 (C) に示すように一部のトランジスタ、例えばトランジスタ 5 1 のみにバックゲートを有するような形態であってもよい。当該バックゲートは、対向して設けられるトランジスタのフロントゲートと電氣的に接続する場合がある。または、当該バックゲートにフロントゲートとは異なる固定電位が供給される場合がある。なお、当該バックゲート有無に関する形態は、本実施の形態で説明する他の撮像装置の形態にも適用することができる。

30

【 0 1 0 2 】

また、光電変換素子 8 0 には、非晶質シリコン膜や微結晶シリコン膜などを用いた p i n 型ダイオード素子などを用いてもよい。

【 0 1 0 3 】

例えば、図 1 4 は光電変換素子 8 0 に p i n 型の薄膜フォトダイオードを用いた例である。当該フォトダイオードは、n 型の半導体層 8 5、i 型の半導体層 8 4、および p 型の半導体層 8 3 が順に積層された構成を有している。i 型の半導体層 8 4 には非晶質シリコンを用いることが好ましい。また、p 型の半導体層 8 3 および n 型の半導体層 8 5 には、それぞれの導電型を付与するドーパントを含む非晶質シリコンまたは微結晶シリコンなどを用いることができる。非晶質シリコンを光電変換層とするフォトダイオードは可視光の波長領域における感度が高く、微弱な可視光を検知しやすい。

40

【 0 1 0 4 】

図 1 4 に示す光電変換素子 8 0 では、カソードとして作用する n 型の半導体層 8 5 がトランジスタ 5 6 と電氣的な接続を有する電極 8 6 と電氣的な接続を有する。また、アノード

50

として作用する p 型の半導体層 8 3 が導電体 8 9 を介して配線 8 8 および配線 8 7 と電気的な接続を有する。

【0105】

なお、いずれの場合においても、p 型の半導体層 8 3 が受光面となるように光電変換素子 8 0 を形成することが好ましい。p 型の半導体層 8 3 を受光面とすることで、光電変換素子 8 0 の出力電流を高めることができる。そのため、光電変換素子 8 0 のアノードおよびカソードと接続する配線等との接続形態が図 1 4 とは逆となる場合もある。

【0106】

また、pin 型の薄膜フォトダイオードの形態を有する光電変換素子 8 0 の構成、ならびに光電変換素子 8 0 および配線の接続形態は、図 1 5 (A)、(B)、(C)、(D)、(E)、(F) に示す例であってもよい。なお、光電変換素子 8 0 の構成、光電変換素子 8 0 と配線の接続形態はこれらに限定されず、他の形態であってもよい。

10

【0107】

図 1 5 (A) は、光電変換素子 8 0 の p 型の半導体層 8 3 と接する透光性導電層 8 2 を設けた構成である。透光性導電層 8 2 は電極として作用し、光電変換素子 8 0 の出力電流を高めることができる。

【0108】

透光性導電層 8 2 には、例えば、インジウム錫酸化物、シリコンを含むインジウム錫酸化物、亜鉛を含む酸化インジウム、酸化亜鉛、ガリウムを含む酸化亜鉛、アルミニウムを含む酸化亜鉛、酸化錫、フッ素を含む酸化錫、アンチモンを含む酸化錫、またはグラフェン等を用いることができる。また、透光性導電層 8 2 は単層に限らず、異なる膜の積層であっても良い。

20

【0109】

図 1 5 (B) は、光電変換素子 8 0 の p 型の半導体層 8 3 と配線 8 8 が電気的な接続を直接有する構成である。

【0110】

図 1 5 (C) は、光電変換素子 8 0 の p 型の半導体層 8 3 と接する透光性導電層 8 2 が設けられ、配線 8 8 と透光性導電層 8 2 が電気的な接続を有する構成である。

【0111】

図 1 5 (D) は、光電変換素子 8 0 を覆う絶縁層に p 型の半導体層 8 3 が露出する開口部が設けられ、当該開口部を覆う透光性導電層 8 2 と配線 8 8 が電気的な接続を有する構成である。

30

【0112】

図 1 5 (E) は、光電変換素子 8 0 を貫通する導電体 8 9 が設けられた構成である。当該構成では、配線 8 7 は導電体 8 9 を介して p 型の半導体層 8 3 と電気的に接続される。なお、図面上では、配線 8 7 と電極 8 6 とは、n 型の半導体層 8 5 を介して見かけ上導通してしまう形態を示している。しかしながら、n 型の半導体層 8 5 の横方向の抵抗が高いため、配線 8 7 と上記電極との間に適切な間隔を設ければ、両者間は極めて高抵抗となる。したがって、光電変換素子 8 0 は、アノードとカソードが短絡することなく、ダイオード特性を有することができる。なお、p 型の半導体層 8 3 と電気的に接続される導電体 8 9 は複数であってもよい。

40

【0113】

図 1 5 (F) は、図 1 5 (E) の光電変換素子 8 0 に対して、p 型の半導体層 8 3 と接する透光性導電層 8 2 を設けた構成である。

【0114】

なお、図 1 5 (D)、図 1 5 (E)、および図 1 5 (F) に示す光電変換素子 8 0 では、受光領域と配線等が重ならないため、広い受光面積を確保できる利点を有する。

【0115】

上述したセレン系材料や非晶質シリコンなどを用いて形成した光電変換素子 8 0 は、成膜工程、リソグラフィ工程、エッチング工程などの一般的な半導体作製工程を用いて作製す

50

ることができる。また、セレン系材料は高抵抗であり、図11(A)に示すように、光電変換層81を回路間で分離しない構成とすることもできる。したがって、本発明の一態様の撮像装置は、歩留りが高く、低コストで作製することができる。一方で、結晶性シリコンを光電変換層とするフォトダイオードを形成する場合は、研磨工程や貼り合わせ工程などの難度の高い工程が必要となる。

【0116】

また、撮像装置は、図16(A1)及び図16(B1)に示すように湾曲させてもよい。図16(A1)は、撮像装置を同図中の二点鎖線X1-X2の方向に湾曲させた状態を示している。図16(A2)は、図16(A1)中の二点鎖線X1-X2で示した部位の断面図である。図16(A3)は、図16(A1)中の二点鎖線Y1-Y2で示した部位の断面図である。

10

【0117】

図16(B1)は、撮像装置を同図中の二点鎖線X3-X4の方向に湾曲させ、かつ、同図中の二点鎖線Y3-Y4の方向に湾曲させた状態を示している。図16(B2)は、図16(B1)中の二点鎖線X3-X4で示した部位の断面図である。図16(B3)は、図16(B1)中の二点鎖線Y3-Y4で示した部位の断面図である。

【0118】

撮像装置を湾曲させることで、像面湾曲や非点収差を低減することができる。よって、撮像装置と組み合わせて用いるレンズなどの光学設計を容易とすることができる。例えば、収差補正のためのレンズ枚数を低減できるため、撮像装置を用いた半導体装置などの小型化や軽量化を容易とすることができる。また、撮像された画像の品質を向上させる事ができる。

20

【0119】

なお、本実施の形態において、本発明の一態様について述べた。または、他の実施の形態において、本発明の一態様について述べる。ただし、本発明の一態様は、これらに限定されない。例えば、本発明の一態様として、撮像装置に適用した場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様は、撮像装置に適用しなくてもよい。例えば、本発明の一態様は、別の機能を有する半導体装置に適用してもよい。または、本発明の一態様は、トランジスタの電気特性のばらつきや劣化を補正する機能を有していたり、補正する動作を行う場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様では、トランジスタの電気特性のばらつきや劣化を補正しなくてもよい。

30

【0120】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0121】

(実施の形態2)

本実施の形態では、画素回路の駆動方法の一例について説明する。

【0122】

実施の形態1で説明した画素回路は、通常の撮像を行う第1の動作と、初期フレームの撮像データと現フレームの撮像データとの差分データを保持し、当該差分データに応じた信号を出力することができる第2の動作を行うことができる。第2の動作では、外部回路での比較処理などを行うことなく差分データを出力することができるため、低消費電力の防犯カメラなどへ適用することができる。

40

【0123】

本発明の一態様の撮像装置は、図17に示すようにマトリクス状に配置された回路11を有する画素部400と、回路11に接続される行ドライバ410と、回路11に接続される回路12および回路13と、回路12に接続されるA/D変換回路420と、A/D変換回路420に接続される列ドライバ430を有する。また、画素部400は、図17(B)に示すように、回路11をライン状に配置する構成とすることもできる。図17(B

50

)の構成の撮像装置は、一方向に走査することで平面の情報を読み取ることができる。

【0124】

行ドライバ410により選択された回路11で取得された撮像データは、回路12を介してA/D変換回路420に入力される。A/D変換回路420は、入力された撮像データをA/D変換によりデジタルデータに変換する。A/D変換されたデジタルデータは、列ドライバ430により、順次外部に取り出される。行ドライバ410と列ドライバ430には、例えば、デコーダやシフトレジスタ等の様々な回路を用いることができる。

【0125】

次に、図1に示す回路における第1の動作について、図18に示すタイミングチャートを用いて説明する。

10

【0126】

時刻T1乃至時刻T2において、配線25(TX)を $V_{PR} + V_{th}$ より高い電位、配線26(PR)を $V_{PR} + V_{th}$ より高い電位、配線27(W)を V_{th} より高い電位とする。このとき、ノードFD1の電位は配線22(VPR)の電位(すなわち、“VPR”)、ノードFD2の電位は配線21(VPD)の電位(すなわち、“GND”)に設定される(リセット動作)。

【0127】

時刻T2乃至時刻T3において、配線25(TX)を $V_{PR} + V_{th}$ より高い電位、配線26(PR)を“GND”、配線27(W)を $-V_{PR}$ より低い電位とする。ここで、フォトダイオード60に照射する光に応じて、ノードFD1およびノードFD2の電位は低下する。時刻T3におけるノードFD1の低下電位量をV1とすると、ノードFD1の電位は $V_{PR} - V_1$ となる。また、ノードFD2の電位は、容量結合によりV2だけ減少し $GND - V_2$ となる(蓄積動作)。なお、図1に示す回路構成では、フォトダイオード60に照射する光が強い程、ノードFD1およびノードFD2の電位は低下する。

20

【0128】

時刻T3乃至時刻T4において、配線25(TX)を“GND”、配線26(PR)を“GND”、配線27(W)を $-V_{PR}$ より低い電位とすると、ノードFD1およびノードFD2の電位は保持される。

【0129】

時刻T4乃至時刻T5において、配線30(SE)を $V_{PI} + V_{th}$ より高い電位とすると、ノードFD2の電位に応じて、出力端子(OUT)に撮像データに対応する信号が出力される(選択動作)。以上によって、第1の動作を行うことができる。

30

【0130】

次に、図1に示す回路における第2の動作について、図19に示すタイミングチャートを用いて説明する。

【0131】

時刻T1乃至時刻T2において、配線25(TX)を $V_{PR} + V_{th}$ より高い電位、配線26(PR)を $V_{PR} + V_{th}$ より高い電位、配線27(W)を V_{th} より高い電位とする。このとき、ノードFD1の電位は配線22(VPR)の電位(すなわち、“VPR”)、ノードFD2の電位は配線21(VPD)の電位(すなわち、“GND”)に設定される。

40

【0132】

時刻T2乃至時刻T3において、配線25(TX)を $V_{PR} + V_{th}$ より高い電位、配線26(PR)を“GND”、配線27(W)を V_{th} より高い電位とする。ここで、フォトダイオード60に照射する光に応じて、ノードFD1の電位は低下する。時刻T3におけるノードFD1の低下電位量をV1とすると、ノードFD1の電位は $V_{PR} - V_1$ となる。なお、図1の回路構成においては、フォトダイオード60に照射する光が強い程、ノードFD1の電位は低下する。

【0133】

時刻T3乃至時刻T4において、配線25(TX)を“GND”、配線26(PR)を“

50

GND”、配線27(W)をV_{th}より高い電位とすると、ノードFD1の電位は保持される。

【0134】

時刻T4乃至時刻T5において、配線25(TX)を”GND”、配線26(PR)を”GND”、配線27(W)を-V_{PR}より低い電位とすると、ノードFD1の電位およびノードFD2の電位は保持される。

【0135】

時刻T5乃至時刻T6において、配線25(TX)をV_{PR}+V_{th}より高い電位、配線26(PR)をV_{PR}+V_{th}より高い電位、配線27(W)を-V_{PR}より低い電位とすると、ノードFD1の電位はV₁だけ上昇し、ノードFD2の電位は容量結合によりV₂だけ上昇する。ここで、V₁およびV₂は、初期フレームの照度を反映する電位である。

10

【0136】

時刻T6乃至時刻T7において、配線25(TX)をV_{PR}+V_{th}より高い電位、配線26(PR)を”GND”、配線27(W)を-V_{PR}より低い電位とすると、フォトダイオード60に照射する光に応じて、ノードFD1およびノードFD2の電位は低下する。時刻T6におけるノードFD1の低下電位量をV₁'とすると、ノードFD1の電位はV_{PR}-V₁'となる。また、ノードFD2の電位は容量結合によりV₂'だけ減少しGND+V₂-V₂'となる。

【0137】

時刻T7乃至時刻T8において、配線25(TX)を”GND”、配線26(PR)を”GND”、配線27(W)を-V_{PR}より低い電位とすると、ノードFD1およびノードFD2の電位は保持される。

20

【0138】

時刻T8乃至時刻T9において、配線30(SE)をV_{PI}+V_{th}より高い電位とすると、ノードFD2の電位に応じて、出力端子(OUT)に撮像データに対応する信号が出力される。上記の形態では、信号出力時のノードFD2の電位はGND+V₂-V₂'であることから、GNDが例えば0Vのとき、当該電位はV₂-V₂'となる。ここで、V₂は初期フレームの照度を反映する電位であり、V₂'は後のフレーム(現フレーム)における照度を反映する電位である。すなわち、初期フレームと現フレームとの差分を出力する第2の動作を行うことができる。

30

【0139】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0140】

(実施の形態3)

本実施の形態では、画素回路の駆動方法の一例について説明する。

【0141】

実施の形態2で説明したように、画素回路の動作は、リセット動作、蓄積動作、および選択動作の繰り返しである。画素マトリクス全体を制御する撮像方法としては、グローバルシャッタ方式とローリングシャッタ方式が知られている。

40

【0142】

図20(A)は、グローバルシャッタ方式におけるタイミングチャートである。なお、当該タイミングチャートは、マトリクス状に複数の画素回路を有し、当該画素回路に図1の回路を有する撮像装置を例として、第1行目から第n行目(nは3以上の自然数)の画素回路の動作を説明するものである。また、当該動作は、実施の形態2で説明した第1の動作を例として説明する。

【0143】

図20(A)において、信号501、信号502、信号503は、第1行目、第2行目、第n行目の各画素回路に接続された配線26(PR)に入力される信号である。また、信

50

号504、信号506、信号508は、第1行目、第2行目、第n行目の各画素回路に接続された配線25(TX)に入力される信号である。また、信号505、信号507、信号509は、第1行目、第2行目、第n行目の各画素回路に接続された配線29(SE)に入力される信号である。

【0144】

また、期間510は、1回の撮像に要する期間である。また、期間511および期間520は、それぞれ、各行の画素回路が同じタイミングでリセット動作および蓄積動作を行う期間である。選択動作は各行の画素回路で順次行われる。一例として、期間531は、第1行目の画素回路が選択動作を行っている期間である。このように、グローバルシャッタ方式では、全画素回路で略同時にリセット動作および蓄積動作が行われ、1行毎に順次読み出し動作が行われる。

10

【0145】

つまり、グローバルシャッタ方式では、全ての画素回路において蓄積動作が略同時に行われているため、各行の画素回路における撮像の同時性が確保される。したがって、被写体が動体であっても歪の小さい画像を取得することができる。

【0146】

一方、図20(B)は、ローリングシャッタ方式を用いた場合のタイミングチャートである。なお、信号501乃至509は図20(A)の説明を参照することができる。期間610は1回の撮像に要する期間である。期間611は、第1行目の画素がリセット動作を行う期間である。期間612は、第2行目の画素がリセット動作を行う期間である。期間613は、第n行目の画素がリセット動作を行う期間である。期間621は、第1行目の画素が蓄積動作を行う期間である。期間622は、第2行目の画素が蓄積動作を行う期間である。期間623は、第n行目の画素が蓄積動作を行う期間である。また、期間631は、1行目の画素が選択動作を行っている期間である。このように、ローリングシャッタ方式では、蓄積動作が全ての画素では同時に行われず、行毎に順次行われるため、各行の画素における撮像の同時性が確保されない。したがって、一行目と最終行目では撮像のタイミングが異なるため、被写体が動体である場合は歪の大きい画像となってしまう。

20

【0147】

グローバルシャッタ方式を実現するためには、各画素からの信号の読み出しが順次終了するまで、電荷蓄積部(ノードFD2)の電位を長時間保つ必要がある。電荷蓄積部(ノードFD2)の電位の長時間の保持は、トランジスタ55などにチャンネル形成領域を酸化物半導体で形成した極めてオフ電流の低いトランジスタを用いることで実現できる。一方、トランジスタ55などにチャンネル形成領域をシリコンなどで形成したトランジスタを適用した場合は、オフ電流が高いために電荷蓄積部(ノードFD2)の電位を長時間保持できず、グローバルシャッタ方式を用いることが困難となる。

30

【0148】

以上のように、画素回路にチャンネル形成領域を酸化物半導体で形成したトランジスタを用いることでグローバルシャッタ方式を容易に実現することができる。ただし、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、グローバルシャッタ方式以外の方式を用いてもよい。例えば、場合によっては、または、状況に応じて、ローリングシャッタ方式を用いてもよい。

40

【0149】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0150】

(実施の形態4)

本実施の形態では、本発明の一態様に用いることのできる酸化物半導体を有するトランジスタについて図面を用いて説明する。なお、本実施の形態における図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。

【0151】

50

図 2 1 (A)、(B) は、本発明の一態様のトランジスタ 1 0 1 の上面図および断面図である。図 2 1 (A) に示す一点鎖線 B 1 - B 2 方向の断面が図 2 1 (B) に相当する。また、図 2 1 (A) に示す一点鎖線 B 3 - B 4 方向の断面が図 2 7 (A) に相当する。また、一点鎖線 B 1 - B 2 方向をチャンネル長方向、一点鎖線 B 3 - B 4 方向をチャンネル幅方向と呼称する場合がある。

【 0 1 5 2 】

トランジスタ 1 0 1 は、基板 1 1 5 と接する絶縁層 1 2 0 と、絶縁層 1 2 0 と接する酸化物半導体層 1 3 0 と、酸化物半導体層 1 3 0 と電氣的に接続する導電層 1 4 0 および導電層 1 5 0 と、酸化物半導体層 1 3 0、導電層 1 4 0 および導電層 1 5 0 と接する絶縁層 1 6 0 と、絶縁層 1 6 0 と接する導電層 1 7 0 と、導電層 1 4 0、導電層 1 5 0、絶縁層 1 6 0 および導電層 1 7 0 と接する絶縁層 1 7 5 と、絶縁層 1 7 5 と接する絶縁層 1 8 0 と、を有する。また、必要に応じて絶縁層 1 8 0 に平坦化膜としての機能を付加してもよい。

10

【 0 1 5 3 】

ここで、導電層 1 4 0 はソース電極層、導電層 1 5 0 はドレイン電極層、絶縁層 1 6 0 はゲート絶縁膜、導電層 1 7 0 はゲート電極層としてそれぞれ機能することができる。

【 0 1 5 4 】

また、図 2 1 (B) に示す領域 2 3 1 はソース領域、領域 2 3 2 はドレイン領域、領域 2 3 3 はチャンネル形成領域として機能することができる。領域 2 3 1 および領域 2 3 2 は導電層 1 4 0 および導電層 1 5 0 とそれぞれ接しており、例えば導電層 1 4 0 および導電層 1 5 0 として酸素と結合しやすい導電材料を用いれば領域 2 3 1 および領域 2 3 2 を低抵抗化することができる。

20

【 0 1 5 5 】

具体的には、酸化物半導体層 1 3 0 と導電層 1 4 0 および導電層 1 5 0 とが接することで酸化物半導体層 1 3 0 内に酸素欠損が生じ、当該酸素欠損と酸化物半導体層 1 3 0 内に残留または外部から拡散する水素との相互作用により、領域 2 3 1 および領域 2 3 2 は低抵抗の n 型となる。

【 0 1 5 6 】

なお、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることができる。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。また、「電極層」は、「配線」と言い換えることもできる。

30

【 0 1 5 7 】

また、導電層 1 7 0 は、導電層 1 7 1 および導電層 1 7 2 の二層で形成される例を図示しているが、一層または三層以上の積層であってもよい。当該構成は本実施の形態で説明する他のトランジスタにも適用できる。

【 0 1 5 8 】

また、導電層 1 4 0 および導電層 1 5 0 は単層で形成される例を図示しているが、二層以上の積層であってもよい。当該構成は本実施の形態で説明する他のトランジスタにも適用できる。

40

【 0 1 5 9 】

また、本発明の一態様のトランジスタは、図 2 2 (A)、(B) に示す構成であってもよい。図 2 2 (A) はトランジスタ 1 0 2 の上面図であり、図 2 2 (A) に示す一点鎖線 C 1 - C 2 方向の断面が図 2 2 (B) に相当する。また、図 2 2 (A) に示す一点鎖線 C 3 - C 4 方向の断面は、図 2 7 (B) に相当する。また、一点鎖線 C 1 - C 2 方向をチャンネル長方向、一点鎖線 C 3 - C 4 方向をチャンネル幅方向と呼称する場合がある。

【 0 1 6 0 】

トランジスタ 1 0 2 は、ゲート絶縁膜として作用する絶縁層 1 6 0 の端部とゲート電極層として作用する導電層 1 7 0 の端部とを一致させない点を除き、トランジスタ 1 0 1 と同

50

様の構成を有する。トランジスタ102の構造は、導電層140および導電層150が絶縁層160で広く覆われているため、導電層140および導電層150と導電層170との間の抵抗が高く、ゲートリーク電流の少ない特徴を有している。

【0161】

トランジスタ101およびトランジスタ102は、導電層170と導電層140および導電層150が重なる領域を有するトップゲート構造である。当該領域のチャネル長方向の幅は、寄生容量を小さくするために3nm以上300nm未満とすることが好ましい。当該構成では、酸化半導体層130にオフセット領域が形成されないため、オン電流の高いトランジスタを形成しやすい。

【0162】

また、本発明の一態様のトランジスタは、図23(A)、(B)に示す構成であってもよい。図23(A)はトランジスタ103の上面図であり、図23(A)に示す一点鎖線D1-D2方向の断面が図23(B)に相当する。また、図23(A)に示す一点鎖線D3-D4方向の断面は、図27(A)に相当する。また、一点鎖線D1-D2方向をチャネル長方向、一点鎖線D3-D4方向をチャネル幅方向と呼称する場合がある。

10

【0163】

トランジスタ103は、基板115と接する絶縁層120と、絶縁層120と接する酸化半導体層130と、酸化半導体層130と接する絶縁層160と、絶縁層160と接する導電層170と、酸化半導体層130、絶縁層160および導電層170を覆う絶縁層175と、絶縁層175と接する絶縁層180と、絶縁層175および絶縁層180に設けられた開口部を通じて酸化半導体層130と電気的に接続する導電層140および導電層150を有する。また、必要に応じて絶縁層180、導電層140および導電層150に接する絶縁層(平坦化膜)などを有していてもよい。

20

【0164】

ここで、導電層140はソース電極層、導電層150はドレイン電極層、絶縁層160はゲート絶縁膜、導電層170はゲート電極層としてそれぞれ機能することができる。

【0165】

また、図23(B)に示す領域231はソース領域、領域232はドレイン領域、領域233はチャネル形成領域として機能することができる。領域231および領域232は絶縁層175と接しており、例えば絶縁層175として水素を含む絶縁材料を用いれば領域231および領域232を低抵抗化することができる。

30

【0166】

具体的には、絶縁層175を形成するまでの工程により領域231および領域232に生じる酸素欠損と、絶縁層175から領域231および領域232に拡散する水素との相互作用により、領域231および領域232は低抵抗のn型となる。水素を含む絶縁材料としては、例えば窒化シリコンや窒化アルミニウムなどを用いることができる。

【0167】

また、本発明の一態様のトランジスタは、図24(A)、(B)に示す構成であってもよい。図24(A)はトランジスタ104の上面図であり、図24(A)に示す一点鎖線E1-E2方向の断面が図24(B)に相当する。また、図24(A)に示す一点鎖線E3-E4方向の断面は、図27(A)に相当する。また、一点鎖線E1-E2方向をチャネル長方向、一点鎖線E3-E4方向をチャネル幅方向と呼称する場合がある。

40

【0168】

トランジスタ104は、導電層140および導電層150が酸化半導体層130の端部を覆うように接している点を除き、トランジスタ103と同様の構成を有する。

【0169】

また、図24(B)に示す領域331および領域334はソース領域、領域332および領域335はドレイン領域、領域333はチャネル形成領域として機能することができる。

【0170】

50

領域 331 および領域 332 は、トランジスタ 101 における領域 231 および領域 232 と同様に低抵抗化することができる。

【0171】

また、領域 334 および領域 335 は、トランジスタ 103 における領域 231 および領域 232 と同様に低抵抗化することができる。なお、チャンネル長方向における領域 334 および領域 335 の長さが 100 nm 以下、好ましくは 50 nm 以下の場合には、ゲート電界の寄与によりオン電流は大きく低下しない。したがって、領域 334 および領域 335 の低抵抗化を行わない場合もある。

【0172】

トランジスタ 103 およびトランジスタ 104 は、導電層 170 と導電層 140 および導電層 150 が重なる領域を有さないセルフアライン構造である。セルフアライン構造のトランジスタはゲート電極層とソース電極層およびドレイン電極層間の寄生容量が極めて小さいため、高速動作用途に適している。

【0173】

また、本発明の一態様のトランジスタは、図 25 (A)、(B) に示す構成であってもよい。図 25 (A) はトランジスタ 105 の上面図であり、図 25 (A) に示す一点鎖線 F1 - F2 方向の断面が図 25 (B) に相当する。また、図 25 (A) に示す一点鎖線 F3 - F4 方向の断面は、図 27 (A) に相当する。また、一点鎖線 F1 - F2 方向をチャンネル長方向、一点鎖線 F3 - F4 方向をチャンネル幅方向と呼称する場合がある。

【0174】

トランジスタ 105 は、基板 115 と接する絶縁層 120 と、絶縁層 120 と接する酸化物半導体層 130 と、酸化物半導体層 130 と電氣的に接続する導電層 141 および導電層 151 と、酸化物半導体層 130、導電層 141、導電層 151 と接する絶縁層 160 と、絶縁層 160 と接する導電層 170 と、酸化物半導体層 130、導電層 141、導電層 151、絶縁層 160 および導電層 170 と接する絶縁層 175 と、絶縁層 175 と接する絶縁層 180 と、絶縁層 175 および絶縁層 180 に設けられた開口部を通じて導電層 141 および導電層 151 とそれぞれ電氣的に接続する導電層 142 および導電層 152 を有する。また、必要に応じて絶縁層 180、導電層 142 および導電層 152 に接する絶縁層などを有していてもよい。

【0175】

ここで、導電層 141 および導電層 151 は、酸化物半導体層 130 の上面と接し、側面には接しない構成となっている。

【0176】

トランジスタ 105 は、導電層 141 および導電層 151 を有する点、絶縁層 175 および絶縁層 180 に設けられた開口部を有する点、ならびに当該開口部を通じて導電層 141 および導電層 151 とそれぞれ電氣的に接続する導電層 142 および導電層 152 を有する点を除き、トランジスタ 101 と同様の構成を有する。導電層 140 (導電層 141 および導電層 142) はソース電極層として作用させることができ、導電層 150 (導電層 151 および導電層 152) はドレイン電極層として作用させることができる。

【0177】

また、本発明の一態様のトランジスタは、図 26 (A)、(B) に示す構成であってもよい。図 26 (A) はトランジスタ 106 の上面図であり、図 26 (A) に示す一点鎖線 G1 - G2 方向の断面が図 26 (B) に相当する。また、図 26 (A) に示す一点鎖線 G3 - G4 方向の断面は、図 27 (A) に相当する。また、一点鎖線 G1 - G2 方向をチャンネル長方向、一点鎖線 G3 - G4 方向をチャンネル幅方向と呼称する場合がある。

【0178】

トランジスタ 106 は、基板 115 と接する絶縁層 120 と、絶縁層 120 と接する酸化物半導体層 130 と、酸化物半導体層 130 と電氣的に接続する導電層 141 および導電層 151 と、酸化物半導体層 130 と接する絶縁層 160 と、絶縁層 160 と接する導電層 170 と、絶縁層 120、酸化物半導体層 130、導電層 141、導電層 151、絶縁

10

20

30

40

50

層 160、導電層 170 と接する絶縁層 175 と、絶縁層 175 と接する絶縁層 180 と、絶縁層 175 および絶縁層 180 に設けられた開口部を通じて導電層 141 および導電層 151 とそれぞれ電氣的に接続する導電層 142 および導電層 152 を有する。また、必要に応じて絶縁層 180、導電層 142 および導電層 152 に接する絶縁層（平坦化膜）などを有していてもよい。

【0179】

ここで、導電層 141 および導電層 151 は、酸化物半導体層 130 の上面と接し、側面には接しない構成となっている。

【0180】

トランジスタ 106 は、導電層 141 および導電層 151 を有する点を除き、トランジスタ 103 と同様の構成を有する。導電層 140（導電層 141 および導電層 142）はソース電極層として作用させることができ、導電層 150（導電層 151 および導電層 152）はドレイン電極層として作用させることができる。

10

【0181】

トランジスタ 105 およびトランジスタ 106 の構成では、導電層 140 および導電層 150 が絶縁層 120 と接しない構成であるため、絶縁層 120 中の酸素が導電層 140 および導電層 150 に奪われにくくなり、絶縁層 120 から酸化物半導体層 130 中への酸素の供給を容易とすることができる。

【0182】

トランジスタ 103 における領域 231 および領域 232、トランジスタ 104 およびトランジスタ 106 における領域 334 および領域 335 には、酸素欠損を形成し導電率を高めるための不純物を添加してもよい。酸化物半導体層に酸素欠損を形成する不純物としては、例えば、リン、砒素、アンチモン、ホウ素、アルミニウム、シリコン、窒素、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、インジウム、フッ素、塩素、チタン、亜鉛、および炭素のいずれかから選択される一つ以上を用いることができる。当該不純物の添加方法としては、プラズマ処理法、イオン注入法、イオンドーピング法、プラズマイメージイオンインプランテーション法などを用いることができる。

20

【0183】

不純物元素として、上記元素が酸化物半導体層に添加されると、酸化物半導体層中の金属元素および酸素の結合が切断され、酸素欠損が形成される。酸化物半導体層に含まれる酸素欠損と酸化物半導体層中に残存または後から添加される水素の相互作用により、酸化物半導体層の導電率を高くすることができる。

30

【0184】

不純物元素の添加により酸素欠損が形成された酸化物半導体に水素を添加すると、酸素欠損サイトに水素が入り伝導帯近傍にドナー準位が形成される。その結果、酸化物導電体を形成することができる。ここでは、導電体化された酸化物半導体を酸化物導電体という。なお、酸化物導電体は酸化物半導体と同様に透光性を有する。

【0185】

酸化物導電体は、縮退半導体であり、伝導帯端とフェルミ準位とが一致または略一致していると推定される。このため、酸化物導電体層とソース電極層およびドレイン電極層として機能する導電層との接触はオーミック接触であり、酸化物導電体層とソース電極層およびドレイン電極層として機能する導電層との接触抵抗を低減することができる。

40

【0186】

また、本発明の一態様のトランジスタは、図 28 (A)、(B)、(C)、(D)、(E)、(F) に示すチャンネル長方向の断面図、ならびに図 27 (C)、(D) に示すチャンネル幅方向の断面図のように、酸化物半導体層 130 と基板 115 との間に導電層 173 を備えていてもよい。導電層 173 を第 2 のゲート電極層（バックゲート）として用いることで、オン電流の増加や、しきい値電圧の制御を行うことができる。なお、図 28 (A)、(B)、(C)、(D)、(E)、(F) に示す断面図において、導電層 173 の幅を酸化物半導体層 130 よりも短くしてもよい。さらに、導電層 173 の幅を導電層 170

50

の幅よりも短くしてもよい。

【0187】

オン電流を増加させるには、例えば、導電層170と導電層173を同電位とし、ダブルゲートトランジスタとして駆動させればよい。また、しきい値電圧の制御を行うには、導電層170とは異なる定電位を導電層173に供給すればよい。導電層170と導電層173を同電位とするには、例えば、図27(D)に示すように、導電層170と導電層173とをコンタクトホールを介して電氣的に接続すればよい。

【0188】

また、図21乃至図26におけるトランジスタ101乃至トランジスタ106では、酸化物半導体層130が単層である例を図示したが、酸化物半導体層130は積層であってもよい。トランジスタ101乃至トランジスタ106の酸化物半導体層130は、図29または図30に示す酸化物半導体層130と入れ替えることができる。

10

【0189】

図29(A)、(B)、(C)は、二層構造である酸化物半導体層130の上面図および断面図である。図29(A)に示す一点鎖線A1-A2方向の断面が図29(B)に相当する。また、図29(A)に示す一点鎖線A3-A4方向の断面が図29(C)に相当する。

【0190】

また、図30(A)、(B)、(C)は、三層構造である酸化物半導体層130の上面図および断面図である。図30(A)に示す一点鎖線A1-A2方向の断面が図30(B)に相当する。また、図30(A)に示す一点鎖線A3-A4方向の断面が図30(C)に相当する。

20

【0191】

酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130cには、それぞれ組成の異なる酸化物半導体層などを用いることができる。

【0192】

また、本発明の一態様のトランジスタは、図31(A)、(B)に示す構成であってもよい。図31(A)はトランジスタ107の上面図であり、図31(A)に示す一点鎖線H1-H2方向の断面が図31(B)に相当する。また、図31(A)に示す一点鎖線H3-H4方向の断面が図37(A)に相当する。また、一点鎖線H1-H2方向をチャネル長方向、一点鎖線H3-H4方向をチャネル幅方向と呼称する場合がある。

30

【0193】

トランジスタ107は、基板115と接する絶縁層120と、絶縁層120と接する酸化物半導体層130aおよび酸化物半導体層130bからなる積層と、当該積層と電氣的に接続する導電層140および導電層150と、当該積層、導電層140および導電層150と接する酸化物半導体層130cと、酸化物半導体層130cと接する絶縁層160と、絶縁層160と接する導電層170と、導電層140、導電層150、酸化物半導体層130c、絶縁層160および導電層170と接する絶縁層175と、絶縁層175と接する絶縁層180と、を有する。また、必要に応じて絶縁層180に平坦化膜としての機能を付加してもよい。

40

【0194】

トランジスタ107は、領域231および領域232において酸化物半導体層130が二層(酸化物半導体層130a、酸化物半導体層130b)である点、領域233において酸化物半導体層130が三層(酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c)である点、および導電層140および導電層150と絶縁層160との間に酸化物半導体層の一部(酸化物半導体層130c)が介在している点を除き、トランジスタ101と同様の構成を有する。

【0195】

また、本発明の一態様のトランジスタは、図32(A)、(B)に示す構成であってもよい。図32(A)はトランジスタ108の上面図であり、図32(A)に示す一点鎖線I

50

1 - I 2 方向の断面が図 3 2 (B) に相当する。また、図 3 2 (A) に示す一点鎖線 I 3 - I 4 方向の断面が図 3 7 (B) に相当する。また、一点鎖線 I 1 - I 2 方向をチャンネル長方向、一点鎖線 I 3 - I 4 方向をチャンネル幅方向と呼称する場合がある。

【 0 1 9 6 】

トランジスタ 1 0 8 は、絶縁層 1 6 0 および酸化物半導体層 1 3 0 c の端部が導電層 1 7 0 の端部と一致しない点がトランジスタ 1 0 7 と異なる。

【 0 1 9 7 】

また、本発明の一態様のトランジスタは、図 3 3 (A)、(B) に示す構成であってもよい。図 3 3 (A) はトランジスタ 1 0 9 の上面図であり、図 3 3 (A) に示す一点鎖線 J 1 - J 2 方向の断面が図 3 3 (B) に相当する。また、図 3 3 (A) に示す一点鎖線 J 3 - J 4 方向の断面が図 3 7 (A) に相当する。また、一点鎖線 J 1 - J 2 方向をチャンネル長方向、一点鎖線 J 3 - J 4 方向をチャンネル幅方向と呼称する場合がある。

10

【 0 1 9 8 】

トランジスタ 1 0 9 は、基板 1 1 5 と接する絶縁層 1 2 0 と、絶縁層 1 2 0 と接する酸化物半導体層 1 3 0 a および酸化物半導体層 1 3 0 b からなる積層と、当該積層と接する酸化物半導体層 1 3 0 c と、酸化物半導体層 1 3 0 c と接する絶縁層 1 6 0 と、絶縁層 1 6 0 と接する導電層 1 7 0 と、当該積層、酸化物半導体層 1 3 0 c、絶縁層 1 6 0 および導電層 1 7 0 を覆う絶縁層 1 7 5 と、絶縁層 1 7 5 と接する絶縁層 1 8 0 と、絶縁層 1 7 5 および絶縁層 1 8 0 に設けられた開口部を通じて当該積層と電氣的に接続する導電層 1 4 0 および導電層 1 5 0 を有する。また、必要に応じて絶縁層 1 8 0、導電層 1 4 0 および導電層 1 5 0 に接する絶縁層 (平坦化膜) など を有していてもよい。

20

【 0 1 9 9 】

トランジスタ 1 0 9 は、領域 2 3 1 および領域 2 3 2 において酸化物半導体層 1 3 0 が二層 (酸化物半導体層 1 3 0 a、酸化物半導体層 1 3 0 b) である点、領域 2 3 3 において酸化物半導体層 1 3 0 が三層 (酸化物半導体層 1 3 0 a、酸化物半導体層 1 3 0 b、酸化物半導体層 1 3 0 c) である点を除き、トランジスタ 1 0 3 と同様の構成を有する。

【 0 2 0 0 】

また、本発明の一態様のトランジスタは、図 3 4 (A)、(B) に示す構成であってもよい。図 3 4 (A) はトランジスタ 1 1 0 の上面図であり、図 3 4 (A) に示す一点鎖線 K 1 - K 2 方向の断面が図 3 4 (B) に相当する。また、図 3 4 (A) に示す一点鎖線 K 3 - K 4 方向の断面が図 3 7 (A) に相当する。また、一点鎖線 K 1 - K 2 方向をチャンネル長方向、一点鎖線 K 3 - K 4 方向をチャンネル幅方向と呼称する場合がある。

30

【 0 2 0 1 】

トランジスタ 1 1 0 は、領域 2 3 1 および領域 2 3 2 において酸化物半導体層 1 3 0 が二層 (酸化物半導体層 1 3 0 a、酸化物半導体層 1 3 0 b) である点、領域 2 3 3 において酸化物半導体層 1 3 0 が三層 (酸化物半導体層 1 3 0 a、酸化物半導体層 1 3 0 b、酸化物半導体層 1 3 0 c) である点を除き、トランジスタ 1 0 4 と同様の構成を有する。

【 0 2 0 2 】

また、本発明の一態様のトランジスタは、図 3 5 (A)、(B) に示す構成であってもよい。図 3 5 (A) はトランジスタ 1 1 1 の上面図であり、図 3 5 (A) に示す一点鎖線 L 1 - L 2 方向の断面が図 3 5 (B) に相当する。また、図 3 5 (A) に示す一点鎖線 L 3 - L 4 方向の断面が図 3 7 (A) に相当する。また、一点鎖線 L 1 - L 2 方向をチャンネル長方向、一点鎖線 L 3 - L 4 方向をチャンネル幅方向と呼称する場合がある。

40

【 0 2 0 3 】

トランジスタ 1 1 1 は、基板 1 1 5 と接する絶縁層 1 2 0 と、絶縁層 1 2 0 と接する酸化物半導体層 1 3 0 a および酸化物半導体層 1 3 0 b からなる積層と、当該積層と電氣的に接続する導電層 1 4 1 および導電層 1 5 1 と、当該積層、導電層 1 4 1 および導電層 1 5 1 と接する酸化物半導体層 1 3 0 c と、酸化物半導体層 1 3 0 c と接する絶縁層 1 6 0 と、絶縁層 1 6 0 と接する導電層 1 7 0 と、当該積層、導電層 1 4 1、導電層 1 5 1、酸化物半導体層 1 3 0 c、絶縁層 1 6 0 および導電層 1 7 0 と接する絶縁層 1 7 5 と、絶縁層

50

175と接する絶縁層180と、絶縁層175および絶縁層180に設けられた開口部を通じて導電層141および導電層151とそれぞれ電氣的に接続する導電層142および導電層152を有する。また、必要に応じて絶縁層180、導電層142および導電層152に接する絶縁層(平坦化膜)などを有していてもよい。

【0204】

トランジスタ111は、領域231および領域232において酸化物半導体層130が二層(酸化物半導体層130a、酸化物半導体層130b)である点、領域233において酸化物半導体層130が三層(酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c)である点、および導電層141および導電層151と絶縁層160との間に酸化物半導体層の一部(酸化物半導体層130c)が介在している点を除き、トランジスタ105と同様の構成を有する。

10

【0205】

また、本発明の一態様のトランジスタは、図36(A)、(B)に示す構成であってもよい。図36(A)はトランジスタ112の上面図であり、図36(A)に示す一点鎖線M1-M2方向の断面が図36(B)に相当する。また、図36(A)に示す一点鎖線M3-M4方向の断面が図37(A)に相当する。また、一点鎖線M1-M2方向をチャネル長方向、一点鎖線M3-M4方向をチャネル幅方向と呼称する場合がある。

【0206】

トランジスタ112は、領域331、領域332、領域334および領域335において酸化物半導体層130が二層(酸化物半導体層130a、酸化物半導体層130b)である点、領域333において酸化物半導体層130が三層(酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c)である点を除き、トランジスタ106と同様の構成を有する。

20

【0207】

また、本発明の一態様のトランジスタは、図38(A)、(B)、(C)、(D)、(E)、(F)に示すチャネル長方向の断面図、ならびに図37(C)、(D)に示すチャネル幅方向の断面図のように、酸化物半導体層130と基板115との間に導電層173を備えていてもよい。当該導電層を第2のゲート電極層(バックゲート)として用いることで、オン電流の増加や、しきい値電圧の制御を行うことができる。なお、図38(A)、(B)、(C)、(D)、(E)、(F)に示す断面図において、導電層173の幅を酸化物半導体層130よりも短くしてもよい。さらに、導電層173の幅を導電層170の幅よりも短くしてもよい。

30

【0208】

また、本発明の一態様のトランジスタにおける導電層140(ソース電極層)および導電層150(ドレイン電極層)は、図39(A)に示すように、導電層140および導電層150の幅(W_{SD})は、酸化物半導体層130の幅(W_{OS})よりも長く形成されていてもよい。また、図39(B)に示すように、 W_{SD} は W_{OS} よりも短く形成されていてもよい。 $W_{OS} > W_{SD}$ (W_{SD} は W_{OS} 以下)とすることで、ゲート電界が酸化物半導体層130全体にかかりやすくなり、トランジスタの電気特性を向上させることができる。

40

【0209】

本発明の一態様のトランジスタ(トランジスタ101乃至トランジスタ112)では、いずれの構成においても、ゲート電極層である導電層170は、ゲート絶縁膜である絶縁層160を介して酸化物半導体層130のチャネル幅方向を電氣的に取り囲み、オン電流が高められる。このようなトランジスタの構造を、*surrounded channel (s-channel)*構造とよぶ。

【0210】

また、酸化物半導体層130aおよび酸化物半導体層130bを有するトランジスタ、ならびに酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cを有するトランジスタにおいては、酸化物半導体層130を構成する二層または三層の材

50

料を適切に選択することで酸化物半導体層 130b に電流を流すことができる。酸化物半導体層 130b に電流が流れることで、界面散乱の影響を受けにくく、高いオン電流を得ることができる。なお、酸化物半導体層 130b を厚くすると、オン電流を向上させることができる。例えば、酸化物半導体層 130b の膜厚を 100nm 乃至 200nm としてもよい。

【0211】

以上の構成のトランジスタを用いることにより、半導体装置に良好な電気特性を付与することができる。

【0212】

なお、本明細書において、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

10

【0213】

また、チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

20

【0214】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャンネル幅が、見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、見かけ上のチャンネル幅よりも、実効的なチャンネル幅の方が大きくなる。

30

【0215】

このような場合、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0216】

そこで、本明細書では、見かけ上のチャンネル幅を、「囲い込みチャンネル幅（SCW：Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像を解析することなどによって、値を決定することができる。

40

【0217】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャ

50

ネル幅を用いて計算する場合とは異なる値をとる場合がある。

【0218】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

【0219】

(実施の形態5)

本実施の形態では、実施の形態4に示したトランジスタの構成要素について詳細を説明する。

【0220】

基板115は、トランジスタおよび/またはフォトダイオードが形成されたシリコン基板、および当該シリコン基板上に絶縁層、配線、コンタクトプラグとして機能を有する導電体等が形成されたものである。なお、シリコン基板にp-ch型のトランジスタを形成する場合、n⁻型の導電性を有するシリコン基板を用いることが好ましい。または、n⁻型またはi型のシリコン層を有するSOI基板であってもよい。また、当該シリコン基板におけるトランジスタを形成する面の面方位は、(110)面であることが好ましい。(110)面にp-ch型トランジスタを形成することで、移動度を高くすることができる。

10

【0221】

絶縁層120は、基板115に含まれる要素からの不純物の拡散を防止する役割を有するほか、酸化半導体層130に酸素を供給する役割を担うことができる。したがって、絶縁層120は酸素を含む絶縁膜であることが好ましく、化学量論組成よりも多い酸素を含む絶縁膜であることがより好ましい。絶縁層120は、TDS法で測定した酸素原子に換算しての酸素の放出量が 1.0×10^{19} atoms/cm³以上であることが好ましい。なお、上記TDS分析時における膜の表面温度は100以上700以下、または100以上500以下の範囲とする。絶縁層120は層間絶縁膜としての機能も有し、表面が平坦になるようにCMP (Chemical Mechanical Polishing) 法等で平坦化処理を行ってもよい。

20

【0222】

例えば、絶縁層120には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどの酸化絶縁膜、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁膜、またはこれらの混合材料を用いることができる。また、上記材料の積層であってもよい。

30

【0223】

本実施の形態では、トランジスタが有する酸化半導体層130が酸化半導体層130a、酸化半導体層130bおよび酸化半導体層130cを絶縁層120側から順に積んだ三層構造である場合を主として詳細を説明する。

【0224】

なお、酸化半導体層130が単層の場合は、本実施の形態に示す、酸化半導体層130bに相当する層を用いればよい。

40

【0225】

また、酸化半導体層130が二層の場合は、本実施の形態に示す、酸化半導体層130aに相当する層および酸化半導体層130bに相当する層を絶縁層120側から順に積んだ積層を用いればよい。この構成の場合、酸化半導体層130aと酸化半導体層130bとを入れ替えることもできる。

【0226】

また、酸化半導体層130が四層以上である場合は、例えば、本実施の形態で説明する三層構造の酸化半導体層130に対して他の酸化半導体層を付加する構成とすることができる。

【0227】

50

一例としては、酸化物半導体層 130b には、酸化物半導体層 130a および酸化物半導体層 130c よりも電子親和力（真空準位から伝導帯下端までのエネルギー）が大きい酸化物半導体を用いる。電子親和力は、真空準位と価電子帯上端とのエネルギー差（イオン化ポテンシャル）から、伝導帯下端と価電子帯上端とのエネルギー差（エネルギーギャップ）を差し引いた値として求めることができる。

【0228】

酸化物半導体層 130a および酸化物半導体層 130c は、酸化物半導体層 130b を構成する金属元素を一種以上含み、例えば、伝導帯下端のエネルギーが酸化物半導体層 130b よりも、0.05 eV、0.07 eV、0.1 eV、0.15 eV のいずれか以上であって、2 eV、1 eV、0.5 eV、0.4 eV のいずれか以下の範囲で真空準位に近い酸化物半導体で形成することが好ましい。

10

【0229】

このような構造において、導電層 170 に電界を印加すると、酸化物半導体層 130 のうち、伝導帯下端のエネルギーが最も小さい酸化物半導体層 130b にチャネルが形成される。

【0230】

また、酸化物半導体層 130a は、酸化物半導体層 130b を構成する金属元素を一種以上含んで構成されるため、酸化物半導体層 130b と絶縁層 120 が接した場合の界面と比較して、酸化物半導体層 130b と酸化物半導体層 130a との界面には界面準位が形成されにくくなる。該界面準位はチャネルを形成することがあるため、トランジスタのしきい値電圧が変動することがある。したがって、酸化物半導体層 130a を設けることにより、トランジスタのしきい値電圧などの電気特性のばらつきを低減することができる。また、当該トランジスタの信頼性を向上させることができる。

20

【0231】

また、酸化物半導体層 130c は、酸化物半導体層 130b を構成する金属元素を一種以上含んで構成されるため、酸化物半導体層 130b とゲート絶縁膜（絶縁層 160）が接した場合の界面と比較して、酸化物半導体層 130b と酸化物半導体層 130c との界面ではキャリアの散乱が起こりにくくなる。したがって、酸化物半導体層 130c を設けることにより、トランジスタの電界効果移動度を高くすることができる。

【0232】

酸化物半導体層 130a および酸化物半導体層 130c には、例えば、Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce または Hf を酸化物半導体層 130b よりも高い原子数比で含む材料を用いることができる。具体的には、当該原子数比を 1.5 倍以上、好ましくは 2 倍以上、さらに好ましくは 3 倍以上とする。前述の元素は酸素と強く結合するため、酸素欠損が酸化物半導体層に生じることを抑制する機能を有する。すなわち、酸化物半導体層 130a および酸化物半導体層 130c は、酸化物半導体層 130b よりも酸素欠損が生じにくいとすることができる。

30

【0233】

また、酸化物半導体層 130a、酸化物半導体層 130b、および酸化物半導体層 130c として用いることのできる酸化物半導体は、少なくとも In もしくは Zn を含むことが好ましい。または、In と Zn の双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

40

【0234】

スタビライザーとしては、Ga、Sn、Hf、Al、または Zr 等がある。また、他のスタビライザーとしては、ランタノイドである La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu 等がある。

【0235】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化ガリウム、酸化亜鉛、In-Zn 酸化物、Sn-Zn 酸化物、Al-Zn 酸化物、Zn-Mg 酸化物、Sn-Mg

50

酸化物、In-Mg酸化物、In-Ga酸化物、In-Ga-Zn酸化物、In-Al-Zn酸化物、In-Sn-Zn酸化物、Sn-Ga-Zn酸化物、Al-Ga-Zn酸化物、Sn-Al-Zn酸化物、In-Hf-Zn酸化物、In-La-Zn酸化物、In-Ce-Zn酸化物、In-Pr-Zn酸化物、In-Nd-Zn酸化物、In-Sm-Zn酸化物、In-Eu-Zn酸化物、In-Gd-Zn酸化物、In-Tb-Zn酸化物、In-Dy-Zn酸化物、In-Ho-Zn酸化物、In-Er-Zn酸化物、In-Tm-Zn酸化物、In-Yb-Zn酸化物、In-Lu-Zn酸化物、In-Sn-Ga-Zn酸化物、In-Hf-Ga-Zn酸化物、In-Al-Ga-Zn酸化物、In-Sn-Al-Zn酸化物、In-Sn-Hf-Zn酸化物、In-Hf-Al-Zn酸化物を用いることができる。

10

【0236】

ここで、例えば、In-Ga-Zn酸化物とは、InとGaとZnを主成分として有する酸化物という意味である。また、InとGaとZn以外の金属元素が入っていてもよい。また、本明細書においては、In-Ga-Zn酸化物で構成した膜をIGZO膜とも呼ぶ。

【0237】

また、 $InMO_3(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される材料を用いてもよい。なお、 M は、Ga、Y、Zr、La、Ce、またはNdから選ばれた一つの金属元素または複数の金属元素を示す。また、 $In_2SnO_5(ZnO)_n$ ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

20

【0238】

酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130cが、少なくともインジウム、亜鉛および M (Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属)を含むIn-M-Zn酸化物であるとき、酸化物半導体層130aを $In:M:Zn = x_1:y_1:z_1$ [原子数比]、酸化物半導体層130bを $In:M:Zn = x_2:y_2:z_2$ [原子数比]、酸化物半導体層130cを $In:M:Zn = x_3:y_3:z_3$ [原子数比]とすると、 y_1/x_1 および y_3/x_3 が y_2/x_2 よりも大きくなるのが好ましい。 y_1/x_1 および y_3/x_3 は y_2/x_2 よりも1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。このとき、酸化物半導体層130bにおいて、 y_2 が x_2 以上であるとトランジスタの電気特性を安定させることができる。ただし、 y_2 が x_2 の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 y_2 は x_2 の3倍未満であることが好ましい。

30

【0239】

酸化物半導体層130aおよび酸化物半導体層130cにおけるZnおよびOを除いた場合において、InおよびMの原子数比率は、好ましくはInが50atomic%未満、Mが50atomic%以上、さらに好ましくはInが25atomic%未満、Mが75atomic%以上とする。また、酸化物半導体層130bのZnおよびOを除いてのInおよびMの原子数比率は、好ましくはInが25atomic%以上、Mが75atomic%未満、さらに好ましくはInが34atomic%以上、Mが66atomic%未満とする。

40

【0240】

また、酸化物半導体層130bは、酸化物半導体層130aおよび酸化物半導体層130cよりもインジウムの含有量を多くするとよい。酸化物半導体では主として重金属のs軌道がキャリア伝導に寄与しており、Inの含有率を多くすることにより、より多くのs軌道が重なるため、InがMよりも多い酸化物はInがMと同等または少ない酸化物と比較して移動度が高くなる。そのため、酸化物半導体層130bにインジウムの含有量が多い酸化物を用いることで、高い電界効果移動度のトランジスタを実現することができる。

【0241】

酸化物半導体層130aの厚さは、3nm以上100nm以下、好ましくは5nm以上50nm以下、さらに好ましくは5nm以上25nm以下とする。また、酸化物半導体層1

50

30bの厚さは、3nm以上200nm以下、好ましくは10nm以上150nm以下、さらに好ましくは15nm以上100nm以下とする。また、酸化物半導体層130cの厚さは、1nm以上50nm以下、好ましくは2nm以上30nm以下、さらに好ましくは3nm以上15nm以下とする。また、酸化物半導体層130bは、酸化物半導体層130aおよび酸化物半導体層130cより厚い方が好ましい。

【0242】

酸化物半導体層をチャンネルとするトランジスタに安定した電気特性を付与するためには、酸化物半導体層中の不純物濃度を低減し、酸化物半導体層を真性または実質的に真性にすることが有効である。ここで、実質的に真性とは、酸化物半導体層のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満であること、 $1 \times 10^{15} / \text{cm}^3$ 未満であること、あるいは $1 \times 10^{13} / \text{cm}^3$ 未満であることとする。

10

【0243】

また、酸化物半導体層において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンは酸化物半導体層中で不純物準位の形成に寄与する。当該不純物準位はトラップとなり、トランジスタの電気特性を劣化させることがある。したがって、酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cの層中や、それぞれの界面において不純物濃度を低減させることが好ましい。

【0244】

酸化物半導体層を真性または実質的に真性とするためには、SIMS (Secondary Ion Mass Spectrometry) 分析において、水素濃度が、 $2 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下であって、 $1 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以上になる領域を有するように制御する。また、窒素濃度は、 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下であって、 $5 \times 10^{16} \text{ atoms} / \text{cm}^3$ 以上になる領域を有するように制御する。

20

【0245】

シリコンや炭素が高濃度で含まれると、酸化物半導体層の結晶性を低下させることがある。酸化物半導体層の結晶性を低下させないためには、例えばシリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満であって、 $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以上になる領域を有するように制御する。また、炭素濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満であって、 $6 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以上になる領域を有するように制御する。

30

【0246】

また、上述のように高純度化された酸化物半導体膜をチャンネル形成領域に用いたトランジスタのオフ電流は極めて小さい。例えば、ソースとドレインとの間の電圧を0.1V、5V、または、10V程度とした場合に、トランジスタのチャンネル幅当たりのオフ電流を数yA/μm乃至数zA/μmにまで低減することが可能となる。

40

【0247】

トランジスタのゲート絶縁膜としては、シリコンを含む絶縁膜が多く用いられるため、上記理由により酸化物半導体層のチャンネルとなる領域は、本発明の一態様のトランジスタのようにゲート絶縁膜と接しない構造が好ましいといえる。また、ゲート絶縁膜と酸化物半導体層との界面にチャンネルが形成される場合、該界面でキャリアの散乱が起こり、トランジスタの電界効果移動度が低くなる。このような観点からも、酸化物半導体層のチャンネルとなる領域はゲート絶縁膜から離すことが好ましいといえる。

【0248】

50

したがって、酸化物半導体層130を酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130cの積層構造とすることで、酸化物半導体層130bにチャンネルを形成することができ、高い電界効果移動度および安定した電気特性を有したトランジスタを形成することができる。

【0249】

酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130cのバンド構造においては、伝導帯下端のエネルギーが連続的に変化する。これは、酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130cの組成が近似することにより、酸素が相互に拡散しやすい点からも理解される。したがって、酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130cは組成が異なる層の積層体ではあるが、物性的に連続であるということもでき、図面において、当該積層体のそれぞれの界面は点線で表している。

10

【0250】

主成分を共通として積層された酸化物半導体層130は、各層を単に積層するのではなく連続接合（ここでは特に伝導帯下端のエネルギーが各層の間で連続的に変化するU字型の井戸構造（U Shape Well））が形成されるように作製する。すなわち、各層の界面にトラップ中心や再結合中心のような欠陥準位を形成するような不純物が存在しないように積層構造を形成する。仮に、積層された酸化物半導体層の層間に不純物が混在していると、エネルギーバンドの連続性が失われ、界面でキャリアがトラップあるいは再結合により消滅してしまう。

20

【0251】

例えば、酸化物半導体層130aおよび酸化物半導体層130cにはIn:Ga:Zn=1:3:2、1:3:3、1:3:4、1:3:6、1:4:5、1:6:4または1:9:6（原子数比）などのIn-Ga-Zn酸化物などを用いることができる。また、酸化物半導体層130bにはIn:Ga:Zn=1:1:1、2:1:3、5:5:6、または3:1:2（原子数比）などのIn-Ga-Zn酸化物などを用いることができる。なお、酸化物半導体層130a、酸化物半導体層130b、および酸化物半導体層130cの原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス20%の変動を含む。

【0252】

酸化物半導体層130における酸化物半導体層130bはウェル（井戸）となり、チャンネルは酸化物半導体層130bに形成される。なお、酸化物半導体層130は伝導帯下端のエネルギーが連続的に変化しているため、U字型井戸とも呼ぶことができる。また、このような構成で形成されたチャンネルを埋め込みチャンネルということもできる。

30

【0253】

また、酸化物半導体層130aおよび酸化物半導体層130cと、酸化シリコン膜などの絶縁層との界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得る。酸化物半導体層130aおよび酸化物半導体層130cがあることにより、酸化物半導体層130bと当該トラップ準位とを遠ざけることができる。

【0254】

ただし、酸化物半導体層130aおよび酸化物半導体層130cの伝導帯下端のエネルギーと、酸化物半導体層130bの伝導帯下端のエネルギーとの差が小さい場合、酸化物半導体層130bの電子が該エネルギー差を越えてトラップ準位に達することがある。電子がトラップ準位に捕獲されることで、絶縁層界面にマイナスの電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

40

【0255】

酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cには、結晶部が含まれることが好ましい。特にc軸に配向した結晶を用いることでトランジスタに安定した電気特性を付与することができる。また、c軸に配向した結晶は歪曲に強く、フレキシブル基板を用いた半導体装置の信頼性を向上させることができる。

50

【0256】

ソース電極層として作用する導電層140およびドレイン電極層として作用する導電層150には、例えば、Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc、および当該金属材料の合金から選ばれた材料の単層、または積層を用いることができる。代表的には、特に酸素と結合しやすいTiや、後のプロセス温度が比較的高くできることなどから、融点の高いWを用いることがより好ましい。また、低抵抗のCuやCu-Mnなどの合金と上記材料との積層を用いてもよい。トランジスタ105、トランジスタ106、トランジスタ111、トランジスタ112においては、例えば、導電層141および導電層151にW、導電層142および導電層152にTiとAlとの積層膜などを用いることができる。

10

【0257】

上記材料は酸化物半導体層から酸素を引き抜く性質を有する。そのため、上記材料と接した酸化物半導体層の一部の領域では酸化物半導体層中の酸素が脱離し、酸素欠損が形成される。層中に僅かに含まれる水素と当該酸素欠損が結合することにより当該領域はn型化する。したがって、n型化した当該領域はトランジスタのソースまたはドレインとして作用させることができる。

【0258】

また、導電層140および導電層150にWを用いる場合には、窒素をドーピングしてもよい。窒素をドーピングすることで酸素を引き抜く性質を適度に弱めることができ、n型化した領域がチャネル領域まで拡大することを防ぐことができる。また、導電層140および導電層150をn型の半導体層との積層とし、n型の半導体層と酸化物半導体層を接触させることによってもn型化した領域がチャネル領域まで拡大することができる。n型の半導体層としては、窒素が添加されたIn-Ga-Zn酸化物、酸化亜鉛、酸化インジウム、酸化スズ、酸化インジウムスズなどを用いることができる。

20

【0259】

ゲート絶縁膜として作用する絶縁層160には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、絶縁層160は上記材料の積層であってもよい。なお、絶縁層160に、La、N、Zrなどを、不純物として含んでいてもよい。

30

【0260】

また、絶縁層160の積層構造の一例について説明する。絶縁層160は、例えば、酸素、窒素、シリコン、ハフニウムなどを有する。具体的には、酸化ハフニウム、および酸化シリコンまたは酸化窒化シリコンを含むと好ましい。

【0261】

酸化ハフニウムおよび酸化アルミニウムは、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがって、酸化シリコンを用いる場合よりも膜厚を大きくできるため、トンネル電流によるリーク電流を小さくすることができる。即ち、オフ電流の小さいトランジスタを実現することができる。さらに、結晶構造を有する酸化ハフニウムは、非晶質構造を有する酸化ハフニウムと比べて高い比誘電率を備える。したがって、オフ電流の小さいトランジスタとするためには、結晶構造を有する酸化ハフニウムを用いることが好ましい。結晶構造の例としては、単斜晶系や立方晶系などが挙げられる。ただし、本発明の一態様は、これらに限定されない。

40

【0262】

また、酸化物半導体層130と接する絶縁層120および絶縁層160は、窒素酸化物の放出量の少ない膜を用いることが好ましい。絶縁層120および絶縁層160には、例えば、窒素酸化物の放出量の少ない酸化窒化シリコン膜または酸化窒化アルミニウム膜等を用いることができる。

【0263】

50

窒素酸化物の放出量の少ない酸化窒化シリコン膜は、TDS法において、窒素酸化物の放出量よりアンモニアの放出量が多い膜であり、代表的にはアンモニアの放出量が 1×10^{18} 個/cm³以上 5×10^{19} 個/cm³以下である。なお、アンモニアの放出量は、膜の表面温度が50以上650以下、好ましくは50以上550以下の加熱処理による放出量とする。

【0264】

絶縁層120および絶縁層160として、上記酸化物絶縁層を用いることで、トランジスタのしきい値電圧のシフトを低減することが可能であり、トランジスタの電気特性の変動を低減することができる。

【0265】

ゲート電極層として作用する導電層170には、例えば、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Mn、Nd、Sc、TaおよびWなどの導電膜を用いることができる。また、上記材料の合金や上記材料の導電性窒化物を用いてもよい。また、上記材料、上記材料の合金、および上記材料の導電性窒化物から選ばれた複数の材料の積層であってもよい。代表的には、タングステン、タングステンと窒化チタンの積層、タングステンと窒化タンタルの積層などを用いることができる。また、低抵抗のCuまたはCu-Mnなどの合金や上記材料とCuまたはCu-Mnなどの合金との積層を用いてもよい。本実施の形態では、導電層171に窒化タンタル、導電層172にタングステンをを用いて導電層170を形成する。

【0266】

絶縁層175には、水素を含む窒化シリコン膜または窒化アルミニウム膜などを用いることができる。実施の形態4に示したトランジスタ103、トランジスタ104、トランジスタ106、トランジスタ109、トランジスタ110、およびトランジスタ112では、絶縁層175として水素を含む絶縁膜を用いることで酸化物半導体層の一部をn型化することができる。また、窒化絶縁膜は水分などのブロッキング膜としての作用も有し、トランジスタの信頼性を向上させることができる。

【0267】

また、絶縁層175としては酸化アルミニウム膜を用いることもできる。特に、実施の形態4に示したトランジスタ101、トランジスタ102、トランジスタ105、トランジスタ107、トランジスタ108、およびトランジスタ111では絶縁層175に酸化アルミニウム膜を用いることが好ましい。酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウム膜は、トランジスタの作製工程中および作製後において、水素、水分などの不純物の酸化物半導体層130への混入防止、酸素の酸化物半導体層からの放出防止、絶縁層120からの酸素の不必要な放出防止の効果をも有する保護膜として用いることに適している。また、酸化アルミニウム膜に含まれる酸素を酸化物半導体層中に拡散させることもできる。

【0268】

また、絶縁層175上には絶縁層180が形成されていることが好ましい。当該絶縁層には、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、当該絶縁層は上記材料の積層であってもよい。

【0269】

ここで、絶縁層180は絶縁層120と同様に化学量論組成よりも多くの酸素を有することが好ましい。絶縁層180から放出される酸素は絶縁層160を経由して酸化物半導体層130のチャンネル形成領域に拡散させることができることから、チャンネル形成領域に形成された酸素欠損に酸素を補填することができる。したがって、安定したトランジスタの電気特性を得ることができる。

【0270】

半導体装置を高集積化するにはトランジスタの微細化が必須である。一方、トランジスタの微細化によりトランジスタの電気特性が悪化することが知られており、特にチャネル幅が縮小するとオン電流は低下する。

【0271】

本発明の一態様のトランジスタ107乃至トランジスタ112では、チャネルが形成される酸化物半導体層130bを覆うように酸化物半導体層130cが形成されており、チャネル形成層とゲート絶縁膜が接しない構成となっている。そのため、チャネル形成層とゲート絶縁膜との界面で生じるキャリアの散乱を抑えることができ、トランジスタのオン電流を大きくすることができる。

【0272】

また、本発明の一態様のトランジスタでは、前述したように酸化物半導体層130のチャネル幅方向を電気的に取り囲むようにゲート電極層(導電層170)が形成されているため、酸化物半導体層130に対しては上面に垂直な方向からのゲート電界に加えて、側面に垂直な方向からのゲート電界が印加される。すなわち、チャネル形成層に対して全体的にゲート電界が印加されることになり実効チャネル幅が拡大するため、さらにオン電流を高められる。

【0273】

また、本発明の一態様における酸化物半導体層130が二層または三層のトランジスタでは、チャネルが形成される酸化物半導体層130bを酸化物半導体層130a上に形成することで界面準位を形成しにくくする効果を有する。また、本発明の一態様における酸化物半導体層130が三層のトランジスタでは、酸化物半導体層130bを三層構造の中間に位置する層とすることで上下からの不純物混入の影響を排除できる効果などを併せて有する。そのため、上述したトランジスタのオン電流の向上に加えて、しきい値電圧の安定化や、S値(サブスレッショルド値)の低減をはかることができる。したがって、ゲート電圧VGが0V時の電流を下げることができ、消費電力を低減させることができる。また、トランジスタのしきい値電圧が安定化することから、半導体装置の長期信頼性を向上させることができる。また、本発明の一態様のトランジスタは、微細化にともなう電気特性の劣化が抑えられることから、集積度の高い半導体装置の形成に適しているといえる。

【0274】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

【0275】

(実施の形態6)

本実施の形態では、実施の形態4で説明したトランジスタ101、トランジスタ107およびトランジスタ111の作製方法を説明する。

【0276】

まず、基板115に含まれるシリコントランジスタの作製方法を説明する。ここでは、一例として、p-ch型トランジスタの作製方法を説明する。シリコン基板としては、n⁻型の単結晶シリコン基板を用い、表面に絶縁層(フィールド酸化膜とも言う)で分離した素子形成領域を形成する。素子形成領域の形成は、LOCOS法(Local Oxidation of Silicon)やSTI法(Shallow Trench Isolation)等を用いることができる。

【0277】

ここで基板は単結晶シリコン基板に限らず、SOI(Silicon on Insulator)基板等を用いることもできる。

【0278】

次に、素子形成領域を覆うようにゲート絶縁膜を形成する。例えば、熱処理を行い素子形成領域の表面を酸化させることにより酸化シリコン膜を形成する。また、酸化シリコン膜を形成した後に窒化処理を行うことによって酸化シリコン膜の表面を窒化させてもよい。

【0279】

10

20

30

40

50

次に、ゲート絶縁膜を覆うように導電膜を形成する。導電膜としては、T a、W、T i、M o、A l、C u、C r、N b等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体材料により形成することもできる。

【0280】

次に、導電膜を選択的にエッチングすることによって、ゲート絶縁膜上にゲート電極層を形成する。

【0281】

次に、ゲート電極層を覆うように酸化シリコン膜または窒化シリコン膜等の絶縁膜を形成し、エッチバックを行ってゲート電極層の側面にサイドウォールを形成する。

10

【0282】

次に、素子形成領域以外を覆うようにレジストマスクを選択的に形成し、当該レジストマスクおよびゲート電極層をマスクとして不純物元素を導入することによってp⁺型の不純物領域を形成する。ここでは、p-ch型のトランジスタを形成するため、不純物元素としては、p型を付与する不純物元素であるBやGa等を用いることができる。

【0283】

以上でシリコン基板に活性領域を有するp-ch型のトランジスタが完成する。なお、当該トランジスタ上には窒化シリコン膜や酸化アルミニウム膜などのパッシベーション膜を形成することが好ましい。

20

【0284】

次に、トランジスタを形成したシリコン基板上に層間絶縁膜を形成し、各種コンタクトプラグおよび各種配線を形成する。

【0285】

続いて、図40および図41を用いてトランジスタ101の作製方法を説明する。なお、図面の左側にはトランジスタのチャネル長方向の断面を示し、右側にはチャネル幅方向の断面を示す。また、チャネル幅方向の図面は拡大図のため、各要素の見かけ上の膜厚は左右の図面で異なる。

【0286】

酸化物半導体層130は、酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cの三層構造である場合を例示する。酸化物半導体層130が二層構造の場合は、酸化物半導体層130aおよび酸化物半導体層130bの二層とすればよい。また、酸化物半導体層130が単層構造の場合は、酸化物半導体層130bの一層とすればよい。

30

【0287】

まず、基板115上に絶縁層120を形成する。基板115の種類および絶縁層120の材質は実施の形態5の説明を参照することができる。絶縁層120は、スパッタ法、CVD法、MBE(Molecular Beam Epitaxy)法などを用いて形成することができる。

【0288】

また、絶縁層120にイオン注入法、イオンドーピング法、プラズマイメージョンイオンインプラネーション法、プラズマ処理法などを用いて酸素を添加してもよい。酸素を添加することによって、絶縁層120から酸化物半導体層130への酸素の供給をさらに容易にすることができる。

40

【0289】

基板115の表面が絶縁体であり、後に設ける酸化物半導体層130への不純物拡散の影響が無い場合は、絶縁層120を設けない構成とすることができる。

【0290】

次に、絶縁層120上に酸化物半導体層130aとなる酸化物半導体膜130A、酸化物半導体層130bとなる酸化物半導体膜130B、および酸化物半導体層130cとなる

50

酸化物半導体膜 130C をスパッタ法、CVD法、MBE法などを用いて成膜する（図40（A）参照）。

【0291】

酸化物半導体層 130 が積層構造である場合、酸化物半導体膜はロードロック室を備えたマルチチャンバー方式の成膜装置（例えばスパッタ装置）を用いて各層を大気に触れさせることなく連続して積層することが好ましい。スパッタ装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべく、クライオポンプのような吸着式の真空排気ポンプを用いて高真空排気（ 5×10^{-7} Pa 乃至 1×10^{-4} Pa 程度まで）できること、かつ、基板を 100 以上、好ましくは 500 以上に加熱できることが好ましい。ターボ分子ポンプとコールドトラップを組み合わせる排気系からチャンパー内に炭素成分や水分等を含む気体が逆流しないようにしておくことが好ましい。ターボ分子ポンプとクライオポンプを組み合わせた排気系を用いてもよい。

10

【0292】

高純度真性酸化物半導体を得るためには、チャンパー内を高真空排気するのみならずスパッタガスを高純度化することが好ましい。スパッタガスとして用いる酸素ガスやアルゴンガスは、露点が -40 以下、好ましくは -80 以下、より好ましくは -100 以下にまで高純度化することで酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。

【0293】

酸化物半導体膜 130A、酸化物半導体膜 130B、および酸化物半導体膜 130C には、実施の形態 5 で説明した材料を用いることができる。成膜法にスパッタ法を用いる場合は、実施の形態 5 で説明した材料をターゲットとして成膜することができる。

20

【0294】

ただし、実施の形態 5 に詳細を記したように、酸化物半導体膜 130B には酸化物半導体膜 130A および酸化物半導体膜 130C よりも電子親和力が大きい材料を用いる。

【0295】

酸化物半導体膜の成膜には、スパッタ法を用いることが好ましい。スパッタ法としては、RFスパッタ法、DCスパッタ法、ACスパッタ法等を用いることができる。

【0296】

酸化物半導体膜 130C の形成後に、第 1 の加熱処理を行ってもよい。第 1 の加熱処理は、250 以上 650 以下、好ましくは 300 以上 500 以下の温度で、不活性ガス雰囲気、酸化性ガスを 10 ppm 以上含む雰囲気、または減圧状態で行えばよい。また、第 1 の加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを 10 ppm 以上含む雰囲気で行ってもよい。第 1 の加熱処理によって、酸化物半導体膜 130A、酸化物半導体膜 130B、および酸化物半導体膜 130C の結晶性を高め、さらに絶縁層 120、酸化物半導体膜 130A、酸化物半導体膜 130B、および酸化物半導体膜 130C から水素や水などの不純物を除去することができる。なお、第 1 の加熱処理は、後述する酸化物半導体層 130a、酸化物半導体層 130b、および酸化物半導体層 130c を形成するエッチングの後に行ってもよい。

30

【0297】

次に、酸化物半導体膜 130C 上に導電層を形成する。導電層は、例えば、次の方法を用いて形成することができる。

40

【0298】

まず、酸化物半導体膜 130C 上に第 1 の導電膜を形成する。第 1 の導電膜としては、Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc、および当該金属材料の合金から選ばれた材料の単層、または積層を用いることができる。

【0299】

次に、第 1 の導電膜上にレジスト膜を形成し、当該レジスト膜に対して電子ビーム露光、液浸露光、EUV露光などの方法を用いて露光し、現像処理を行うことで第 1 のレジストマスクを形成する。なお、第 1 の導電膜とレジスト膜の間には密着剤として有機塗布膜を

50

形成することが好ましい。また、ナノインプリントリソグラフィ法を用いて第1のレジストマスクを形成してもよい。

【0300】

次に、第1のレジストマスクを用いて、第1の導電膜を選択的にエッチングし、第1のレジストマスクをアッシングすることにより導電層を形成する。

【0301】

次に、上記導電層をハードマスクとして用い、酸化物半導体膜130A、酸化物半導体膜130B、および酸化物半導体膜130Cを選択的にエッチングして上記導電層を取り除き、酸化物半導体層130a、酸化物半導体層130b、および酸化物半導体層130cの積層からなる酸化物半導体層130を形成する(図40(B)参照)。なお、上記導電層を形成せずに、第1のレジストマスクを用いて酸化物半導体層130を形成してもよい。ここで、酸化物半導体層130に対して酸素イオンを注入してもよい。

10

【0302】

次に、酸化物半導体層130を覆うように第2の導電膜を形成する。第2の導電膜としては、実施の形態5で説明した導電層140および導電層150に用いることのできる材料で形成すればよい。第2の導電膜の形成には、スパッタ法、CVD法、MBE法などを用いることができる。

【0303】

次に、ソース領域およびドレイン領域となる部分の上に第2のレジストマスクを形成する。そして、第2の導電膜の一部をエッチングし、導電層140および導電層150を形成する(図40(C)参照)。

20

【0304】

次に、酸化物半導体層130、導電層140および導電層150上に絶縁膜160Aを形成する。絶縁膜160Aは、実施の形態5で説明した絶縁層160に用いることのできる材料で形成すればよい。絶縁膜160Aの形成には、スパッタ法、CVD法、MBE法などを用いることができる。

【0305】

次に、第2の加熱処理を行ってもよい。第2の加熱処理は、第1の加熱処理と同様の条件で行うことができる。第2の加熱処理により、絶縁層120から酸素を酸化物半導体層130の全体に拡散させることができる。なお、第2の加熱処理を行わずに、第3の加熱処理で上記効果を得てもよい。

30

【0306】

次に、絶縁膜160A上に導電層170となる第3の導電膜171Aおよび第4の導電膜172Aを形成する。第3の導電膜171Aおよび第4の導電膜172Aは、実施の形態5で説明した導電層171および導電層172に用いることのできる材料で形成すればよい。第3の導電膜171Aおよび第4の導電膜172Aの形成には、スパッタ法、CVD法、MBE法などを用いることができる。

【0307】

次に、第4の導電膜172A上に第3のレジストマスク156を形成する(図41(A)参照)。そして、第3のレジストマスク156を用いて、第3の導電膜171A、第4の導電膜172Aおよび絶縁膜160Aを選択的にエッチングし、導電層171および導電層172からなる導電層170、および絶縁層160を形成する(図41(B)参照)。なお、絶縁膜160Aをエッチングしない構造とすれば、トランジスタ102を作製することができる。

40

【0308】

次に、酸化物半導体層130、導電層140、導電層150、絶縁層160および導電層170上に絶縁層175を形成する。絶縁層175の材質は、実施の形態5の説明を参照することができる。トランジスタ101の場合は、酸化アルミニウム膜を用いることが好ましい。絶縁層175は、スパッタ法、CVD法、MBE法などで形成することができる。

50

【0309】

次に、絶縁層175上に絶縁層180を形成する(図41(C)参照)。絶縁層180の材質は、実施の形態5の説明を参照することができる。また、絶縁層180は、スパッタ法、CVD法、MBE法などで形成することができる。

【0310】

また、絶縁層175および/または絶縁層180にイオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理法などを用いて酸素を添加してもよい。酸素を添加することによって、絶縁層175および/または絶縁層180から酸化物半導体層130への酸素の供給をさらに容易にすることができる。

【0311】

次に、第3の加熱処理を行ってもよい。第3の加熱処理は、第1の加熱処理と同様の条件で行うことができる。第3の加熱処理により、絶縁層120、絶縁層175、絶縁層180から過剰酸素が放出されやすくなり、酸化物半導体層130の酸素欠損を低減することができる。

【0312】

次に、トランジスタ107の作製方法について説明する。なお、上述したトランジスタ102の作製方法と重複する工程の詳細な説明は省略する。

【0313】

基板115上に絶縁層120を形成し、当該絶縁層上に酸化物半導体層130aとなる酸化物半導体膜130A、および酸化物半導体層130bとなる酸化物半導体膜130Bをスパッタ法、CVD法、MBE法などを用いて成膜する(図42(A)参照)。

【0314】

次に、第1の導電膜を酸化物半導体膜130B上に形成し、前述した方法と同様に第1のレジストマスクを用いて導電層を形成する。そして、当該導電層をハードマスクとして酸化物半導体膜130Aおよび酸化物半導体膜130Bを選択的にエッチングし、上記導電層を取り除いて酸化物半導体層130aおよび酸化物半導体層130bからなる積層を形成する(図42(B)参照)。なお、ハードマスクを形成せずに、第1のレジストマスクを用いて当該積層を形成してもよい。ここで、酸化物半導体層130aおよび酸化物半導体層130bに対して酸素イオンを注入してもよい。

【0315】

次に、上記積層を覆うように第2の導電膜を形成する。そして、ソース領域およびドレイン領域となる部分の上に第2のレジストマスクを形成し、当該第2のレジストマスクを用いて第2の導電膜の一部をエッチングし、導電層140および導電層150を形成する(図42(C)参照)。

【0316】

次に、酸化物半導体層130aおよび酸化物半導体層130bの積層上、ならびに導電層140および導電層150上に酸化物半導体層130cとなる酸化物半導体膜130Cを形成する。さらに、酸化物半導体膜130C上に絶縁膜160A、第3の導電膜171Aおよび第4の導電膜172Aを形成する。

【0317】

次に、第4の導電膜172A上に第3のレジストマスク156を形成する(図43(A)参照)。そして、当該レジストマスクを用いて、第3の導電膜171A、第4の導電膜172A、絶縁膜160A、および酸化物半導体膜130Cを選択的にエッチングし、導電層171および導電層172からなる導電層170、絶縁層160、および酸化物半導体層130cを形成する(図43(B)参照)。なお、絶縁膜160Aおよび酸化物半導体膜130Cを第4のレジストマスクを用いてエッチングすることで、トランジスタ108を作製することができる。

【0318】

次に、絶縁層120、酸化物半導体層130(酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c)、導電層140、導電層150、絶縁層160およ

10

20

30

40

50

び導電層 170 上に絶縁層 175 および絶縁層 180 を形成する (図 43 (C) 参照)。

【0319】

以上の工程において、トランジスタ 107 を作製することができる。

【0320】

次に、トランジスタ 111 の作製方法について説明する。なお、上述したトランジスタ 102 の作製方法と重複する工程の詳細な説明は省略する。

【0321】

基板 115 上に絶縁層 120 を形成し、絶縁層 120 上に酸化物半導体層 130a となる酸化物半導体膜 130A、および酸化物半導体層 130b となる酸化物半導体膜 130B をスパッタ法、CVD法、MBE法などを用いて成膜する。そして、第1の導電膜を酸化物半導体膜 130B 上に形成し、第1のレジストマスクを用いて導電層 141a を形成する (図 44 (A) 参照)。

10

【0322】

そして、導電層 141a をハードマスクとして酸化物半導体膜 130A および酸化物半導体膜 130B を選択的にエッチングし、酸化物半導体層 130a、酸化物半導体層 130b および導電層 141a からなる積層を形成する (図 44 (B) 参照)。ここで、酸化物半導体層 130a および酸化物半導体層 130b に対して酸素イオンを注入してもよい。

【0323】

次に、ソース領域およびドレイン領域となる部分の上に第2のレジストマスクを形成し、当該第2のレジストマスクを用いて導電層 141a の一部をエッチングし、導電層 141 および導電層 151 を形成する (図 44 (C) 参照)。

20

【0324】

次に、酸化物半導体層 130a および酸化物半導体層 130b の積層上、ならびに導電層 141 および導電層 151 上に酸化物半導体層 130c となる酸化物半導体膜 130C を形成する。さらに、酸化物半導体膜 130C 上に絶縁膜 160A、第3の導電膜 171A および第4の導電膜 172A を形成する。

【0325】

次に、第4の導電膜 172A 上に第3のレジストマスク 156 を形成する (図 45 (A) 参照)。そして、第3のレジストマスク 156 を用いて、第3の導電膜 171A、第4の導電膜 172A、絶縁膜 160A、および酸化物半導体膜 130C を選択的にエッチングし、導電層 171 および導電層 172 からなる導電層 170、絶縁層 160、および酸化物半導体層 130c を形成する (図 45 (B) 参照)。

30

【0326】

次に、絶縁層 120、酸化物半導体層 130 (酸化物半導体層 130a、酸化物半導体層 130b、酸化物半導体層 130c)、導電層 140、導電層 150、絶縁層 160 および導電層 170 上に絶縁層 175 および絶縁層 180 を形成する。

【0327】

次に、絶縁層 175 および絶縁層 180 に導電層 141 および導電層 151 に達する開口部を設け、当該開口部を覆うように第5の導電膜を形成する。そして、第5の導電膜上に第4のレジストマスクを設け、当該レジストマスクを用いて、第5の導電膜を選択的にエッチングし、導電層 142 および導電層 152 を形成する (図 45 (C) 参照)。

40

【0328】

以上の工程において、トランジスタ 111 を作製することができる。

【0329】

本実施の形態で説明した金属膜、半導体膜、無機絶縁膜など様々な膜は、代表的にはスパッタ法やプラズマCVD法により形成することができるが、他の方法、例えば、熱CVD法により形成してもよい。熱CVD法の例としては、MOCVD (Metal Organic Chemical Vapor Deposition) 法やALD (Atomic Layer Deposition) 法などがある。

【0330】

50

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

【0331】

また、熱CVD法では、原料ガスと酸化剤を同時にチャンパー内に送り、チャンパー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

【0332】

ALD法は、チャンパー内を大気圧または減圧下とし、反応のための原料ガスをチャンパーに導入・反応させ、これを繰り返すことで成膜を行う。原料ガスと一緒に不活性ガス（アルゴン、或いは窒素など）をキャリアガスとして導入しても良い。例えば2種類以上の原料ガスを順番にチャンパーに供給してもよい。その際、複数種の原料ガスが混ざらないように第1の原料ガスの反応後、不活性ガスを導入し、第2の原料ガスを導入する。あるいは、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着・反応して第1の層を成膜し、後から導入される第2の原料ガスが吸着・反応して、第2の層が第1の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入の繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

【0333】

MOCVD法やALD法などの熱CVD法は、これまでに記載した実施形態に開示された金属膜、半導体膜、無機絶縁膜など様々な膜を形成することができ、例えば、In-Ga-Zn-O膜を成膜する場合には、トリメチルインジウム（ $\text{In}(\text{CH}_3)_3$ ）、トリメチルガリウム（ $\text{Ga}(\text{CH}_3)_3$ ）、およびジメチル亜鉛（ $\text{Zn}(\text{CH}_3)_2$ ）を用いることができる。これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム（ $\text{Ga}(\text{C}_2\text{H}_5)_3$ ）を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛（ $\text{Zn}(\text{C}_2\text{H}_5)_2$ ）を用いることもできる。

【0334】

例えば、ALDを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体を含む液体（ハフニウムアルコキシドや、テトラキスジメチルアミドハフニウム（ TDMAH 、 $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ ）やテトラキス（エチルメチルアミド）ハフニウムなどのハフニウムアミド）を気化させた原料ガスと、酸化剤としてオゾン（ O_3 ）の2種類のガスを用いる。

【0335】

例えば、ALDを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体を含む液体（トリメチルアルミニウム（ TMA 、 $\text{Al}(\text{CH}_3)_3$ ）など）を気化させた原料ガスと、酸化剤として H_2O の2種類のガスを用いる。他の材料としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス（2, 2, 6, 6-テトラメチル-3, 5-ヘプタンジオナート）などがある。

【0336】

例えば、ALDを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、酸化性ガス（ O_2 、一酸化二窒素）のラジカルを供給して吸着物と反応させる。

【0337】

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスを順次導入してタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

【0338】

10

20

30

40

50

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えばIn-Ga-Zn-O膜を成膜する場合には、 $\text{In}(\text{CH}_3)_3$ ガスと O_3 ガスを順次導入してIn-O層を形成し、その後、 $\text{Ga}(\text{CH}_3)_3$ ガスと O_3 ガスを順次導入してGa-O層を形成し、更にその後 $\text{Zn}(\text{CH}_3)_2$ ガスと O_3 ガスを順次導入してZnO層を形成する。なお、これらの層の順番はこの例に限らない。これらのガスを用いてIn-Ga-O層やIn-Zn-O層、Ga-Zn-O層などの混合化合物層を形成しても良い。なお、 O_3 ガスに代えてAr等の不活性ガスでパブリングして得られた H_2O ガスを用いても良いが、Hを含まない O_3 ガスを用いる方が好ましい。

【0339】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

10

【0340】

(実施の形態7)

以下では、本発明の一態様に用いることのできる酸化物半導体膜の構造について説明する。

【0341】

なお、本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。

20

【0342】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0343】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。

【0344】

まずは、CAAC-OS膜について説明する。

30

【0345】

CAAC-OS膜は、c軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【0346】

透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって、CAAC-OS膜の明視野像および回折パターンの複合解析像(高分解能TEM像ともいう。)を観察することで複数の結晶部を確認することができる。一方、高分解能TEM像によっても明確な結晶部同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0347】

40

試料面と概略平行な方向から、CAAC-OS膜の断面の高分解能TEM像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面(被形成面ともいう。)または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

【0348】

一方、試料面と概略垂直な方向から、CAAC-OS膜の平面の高分解能TEM像を観察すると、結晶部において、金属原子が三角形または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0349】

CAAC-OS膜に対し、X線回折(XRD: X-Ray Diffraction)装

50

置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有する C A A C - O S 膜の out - o f - p l a n e 法による解析では、回折角 (2θ) が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (009) 面に帰属されることから、C A A C - O S 膜の結晶が c 軸配向性を有し、c 軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0350】

なお、 InGaZnO_4 の結晶を有する C A A C - O S 膜の out - o f - p l a n e 法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、C A A C - O S 膜中の一部に、c 軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

10

【0351】

C A A C - O S 膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径 (または分子半径) が大きいいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

20

【0352】

また、C A A C - O S 膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【0353】

不純物濃度が低く、欠陥準位密度が低い (酸素欠損の少ない) ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性 (ノーマリーオンともいう。) になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

30

【0354】

また、C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0355】

次に、微結晶酸化物半導体膜について説明する。

40

【0356】

微結晶酸化物半導体膜は、高分解能 T E M 像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体膜に含まれる結晶部は、1 nm 以上 100 nm 以下、または 1 nm 以上 10 nm 以下の大きさであることが多い。特に、1 nm 以上 10 nm 以下、または 1 nm 以上 3 nm 以下の微結晶であるナノ結晶 (n c : n a n o c r y s t a l) を有する酸化物半導体膜を、n c - O S (n a n o c r y s t a l l i n e O x i d e S e m i c o n d u c t o r) 膜と呼ぶ。また、n c - O S 膜は、例えば、高分解能 T E M 像では、結晶粒界を明確に確認できない場合がある。

50

【0357】

nc-OS膜は、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子回折（制限視野電子回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子回折を行うと、円周状に分布したスポットが観測される場合がある。また、nc-OS膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

10

【0358】

nc-OS膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc-OS膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

20

【0359】

次に、非晶質酸化物半導体膜について説明する。

【0360】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体膜である。石英のような無定形状態を有する酸化物半導体膜が一例である。

【0361】

非晶質酸化物半導体膜は、高分解能TEM像において結晶部を確認することができない。

【0362】

非晶質酸化物半導体膜に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体膜に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体膜に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

30

【0363】

なお、酸化物半導体膜は、nc-OS膜と非晶質酸化物半導体膜との間の物性を示す構造を有する場合がある。そのような構造を有する酸化物半導体膜を、特に非晶質ライク酸化物半導体(a-like OS: amorphous-like Oxide Semiconductor)膜と呼ぶ。

【0364】

a-like OS膜は、高分解能TEM像において鬆(ポイドともいう。)が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。a-like OS膜は、TEMによる観察程度の微量な電子照射によって、結晶化が起こり、結晶部の成長が見られる場合がある。一方、良質なnc-OS膜であれば、TEMによる観察程度の微量な電子照射による結晶化はほとんど見られない。

40

【0365】

なお、a-like OS膜およびnc-OS膜の結晶部の大きさの計測は、高分解能TEM像を用いて行うことができる。例えば、InGaZnO₄の結晶は層状構造を有し、In-O層の間に、Ga-Zn-O層を2層有する。InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層

50

状に重なった構造を有する。よって、これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。そのため、高分解能TEM像における格子縞に着目し、格子縞の間隔が0.28nm以上0.30nm以下である箇所においては、それぞれの格子縞がInGaZnO₄の結晶のa-b面に対応する。

【0366】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、a-like OS膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

【0367】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

10

【0368】

(実施の形態8)

本発明の一態様に係る撮像装置および当該撮像装置を含む半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD:Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る撮像装置および当該撮像装置を含む半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図46に示す。

20

【0369】

図46(A)は携帯型ゲーム機であり、筐体901、筐体902、表示部903、表示部904、マイク905、スピーカー906、操作キー907、スタイラス908、カメラ909等を有する。なお、図46(A)に示した携帯型ゲーム機は、2つの表示部903と表示部904とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。カメラ909には本発明の一態様の撮像装置を用いることができる。

【0370】

図46(B)は携帯データ端末であり、筐体911、表示部912、カメラ919等を有する。表示部912が有するタッチパネル機能により情報の入出力を行うことができる。カメラ919には本発明の一態様の撮像装置を用いることができる。

30

【0371】

図46(C)はデジタルカメラであり、筐体921、シャッターボタン922、マイク923、発光部927、レンズ925等を有する。レンズ925の焦点となる位置には本発明の一態様の撮像装置を備えることができる。

【0372】

図46(D)は腕時計型の情報端末であり、筐体931、表示部932、リストバンド933、カメラ939等を有する。表示部932はタッチパネルとなってもよい。カメラ939には本発明の一態様の撮像装置を用いることができる。

40

【0373】

図46(E)はビデオカメラであり、第1筐体941、第2筐体942、表示部943、操作キー944、レンズ945、接続部946等を有する。操作キー944およびレンズ945は第1筐体941に設けられており、表示部943は第2筐体942に設けられている。そして、第1筐体941と第2筐体942とは、接続部946により接続されており、第1筐体941と第2筐体942の間の角度は、接続部946により変更が可能である。表示部943における映像を、接続部946における第1筐体941と第2筐体942との間の角度に従って切り替える構成としても良い。レンズ945の焦点となる位置には本発明の一態様の撮像装置を備えることができる。

50

【 0 3 7 4 】

図 4 6 (F) は複写機であり、筐体 9 5 1 に、読み取り部 9 5 2、操作部 9 5 3、センサ部 9 5 4 等を有する。センサ部 9 5 4 には、ライン状に画素が配置された本発明の一態様の撮像装置を用いることができ、画素の配置と直交する方向に走査することで平面の情報を読み取ることができる。なお、同様の構成はファクシミリやスキャナーにも適用することができる。

【 0 3 7 5 】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【 符号の説明 】

【 0 3 7 6 】

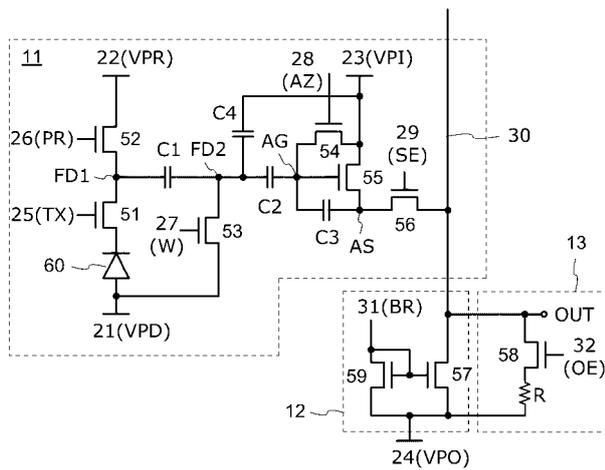
1 1	回路	
1 2	回路	
1 3	回路	
2 1	配線	
2 2	配線	
2 3	配線	
2 4	配線	
2 5	配線	
2 6	配線	20
2 7	配線	
2 8	配線	
2 9	配線	
3 0	配線	
3 1	配線	
3 2	配線	
4 0	シリコン基板	
4 1	絶縁層	
4 1 a	絶縁層	
4 1 b	絶縁層	30
4 3	絶縁層	
5 1	トランジスタ	
5 2	トランジスタ	
5 3	トランジスタ	
5 4	トランジスタ	
5 5	トランジスタ	
5 6	トランジスタ	
5 7	トランジスタ	
5 8	トランジスタ	
5 9	トランジスタ	40
6 0	フォトダイオード	
7 0	トランジスタ	
7 1	トランジスタ	
7 7	隔壁	
8 0	光電変換素子	
8 1	光電変換層	
8 2	透光性導電層	
8 3	半導体層	
8 4	半導体層	
8 5	半導体層	50

8 6	電極	
8 6 a	導電層	
8 6 b	導電層	
8 7	配線	
8 7 a	導電層	
8 7 b	導電層	
8 8	配線	
8 9	導電体	
9 0	回路部	
9 2	回路部	10
9 5	絶縁層	
1 0 1	トランジスタ	
1 0 2	トランジスタ	
1 0 3	トランジスタ	
1 0 4	トランジスタ	
1 0 5	トランジスタ	
1 0 6	トランジスタ	
1 0 7	トランジスタ	
1 0 8	トランジスタ	
1 0 9	トランジスタ	20
1 1 0	トランジスタ	
1 1 1	トランジスタ	
1 1 2	トランジスタ	
1 1 5	基板	
1 2 0	絶縁層	
1 3 0	酸化物半導体層	
1 3 0 a	酸化物半導体層	
1 3 0 A	酸化物半導体膜	
1 3 0 b	酸化物半導体層	
1 3 0 B	酸化物半導体膜	30
1 3 0 c	酸化物半導体層	
1 3 0 C	酸化物半導体膜	
1 4 0	導電層	
1 4 1	導電層	
1 4 1 a	導電層	
1 4 2	導電層	
1 5 0	導電層	
1 5 1	導電層	
1 5 2	導電層	
1 5 6	レジストマスク	40
1 6 0	絶縁層	
1 6 0 A	絶縁膜	
1 7 0	導電層	
1 7 1	導電層	
1 7 1 A	導電膜	
1 7 2	導電層	
1 7 2 A	導電膜	
1 7 3	導電層	
1 7 5	絶縁層	
1 8 0	絶縁層	50

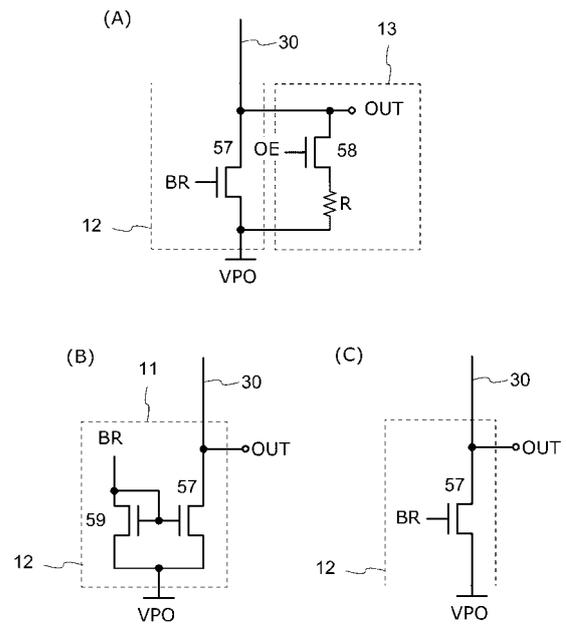
2 3 1	領域	
2 3 2	領域	
2 3 3	領域	
3 3 1	領域	
3 3 2	領域	
3 3 3	領域	
3 3 4	領域	
3 3 5	領域	
4 0 0	画素部	
4 1 0	行ドライバ	10
4 2 0	A / D 変換回路	
4 3 0	列ドライバ	
5 0 1	信号	
5 0 2	信号	
5 0 3	信号	
5 0 4	信号	
5 0 5	信号	
5 0 6	信号	
5 0 7	信号	
5 0 8	信号	20
5 0 9	信号	
5 1 0	期間	
5 1 1	期間	
5 2 0	期間	
5 3 1	期間	
6 1 0	期間	
6 1 1	期間	
6 1 2	期間	
6 1 3	期間	
6 2 1	期間	30
6 2 2	期間	
6 2 3	期間	
6 3 1	期間	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイク	
9 0 6	スピーカー	
9 0 7	操作キー	40
9 0 8	スタイラス	
9 0 9	カメラ	
9 1 1	筐体	
9 1 2	表示部	
9 1 9	カメラ	
9 2 1	筐体	
9 2 2	シャッターボタン	
9 2 3	マイク	
9 2 5	レンズ	
9 2 7	発光部	50

- 9 3 1 筐体
- 9 3 2 表示部
- 9 3 3 リストバンド
- 9 3 9 カメラ
- 9 4 1 筐体
- 9 4 2 筐体
- 9 4 3 表示部
- 9 4 4 操作キー
- 9 4 5 レンズ
- 9 4 6 接続部
- 9 5 1 筐体
- 9 5 2 部
- 9 5 3 操作部
- 9 5 4 センサ部

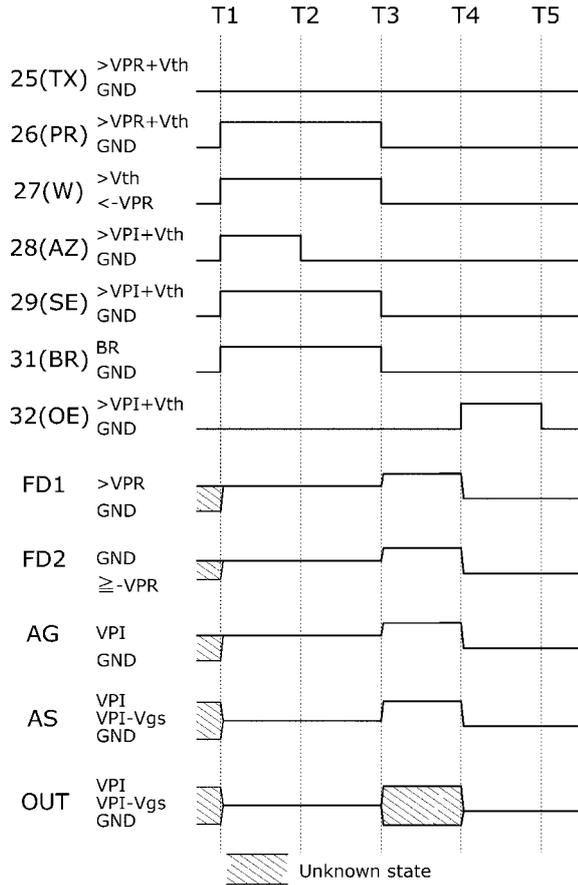
【 図 1 】



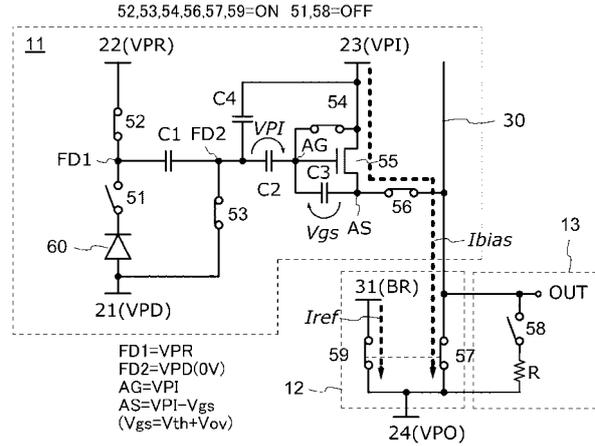
【 図 2 】



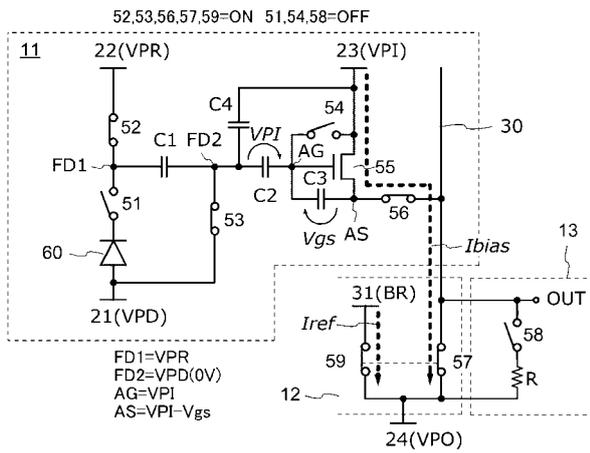
【 図 3 】



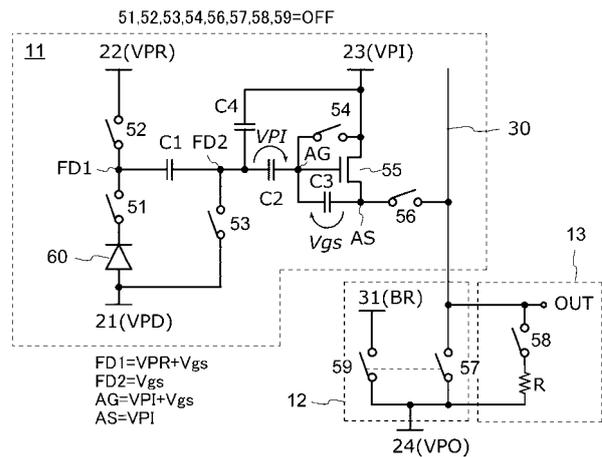
【 図 4 】



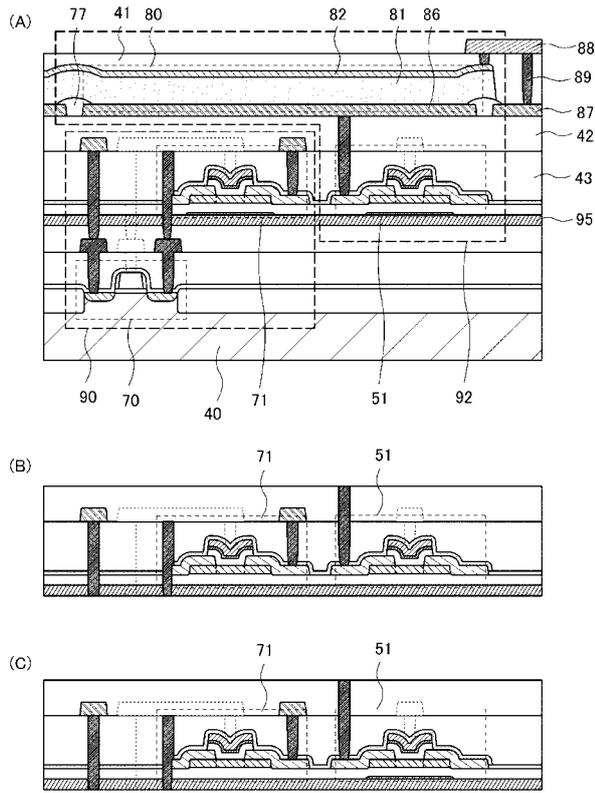
【 図 5 】



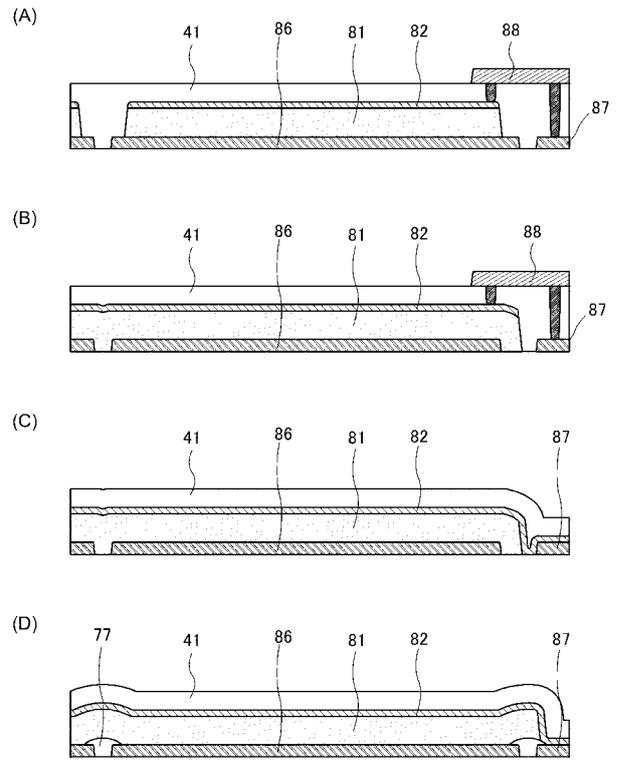
【 図 6 】



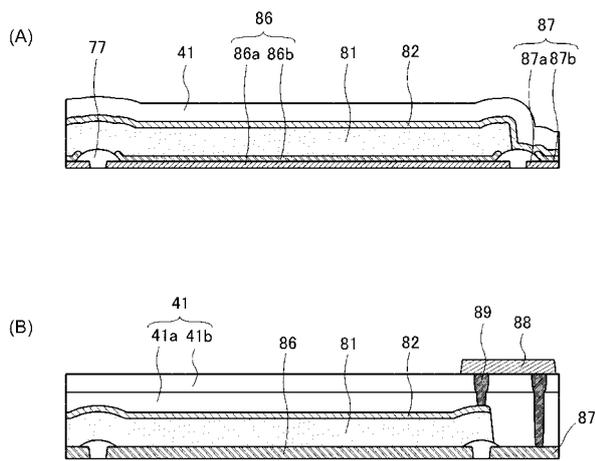
【図 1 1】



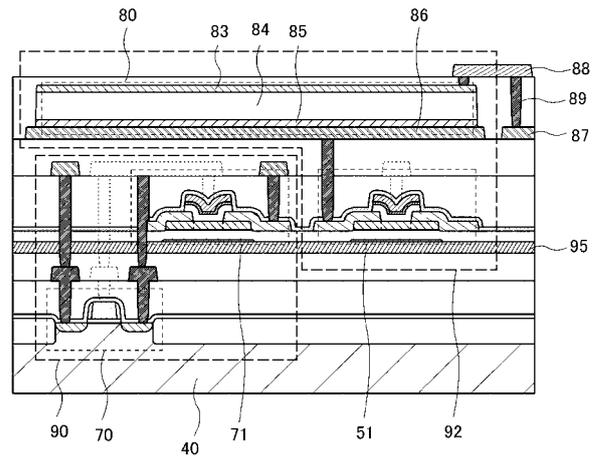
【図 1 2】



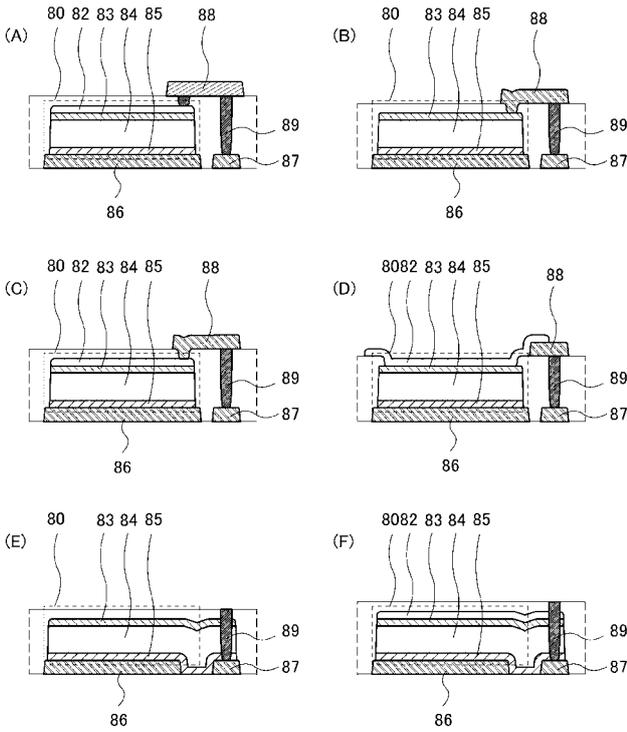
【図 1 3】



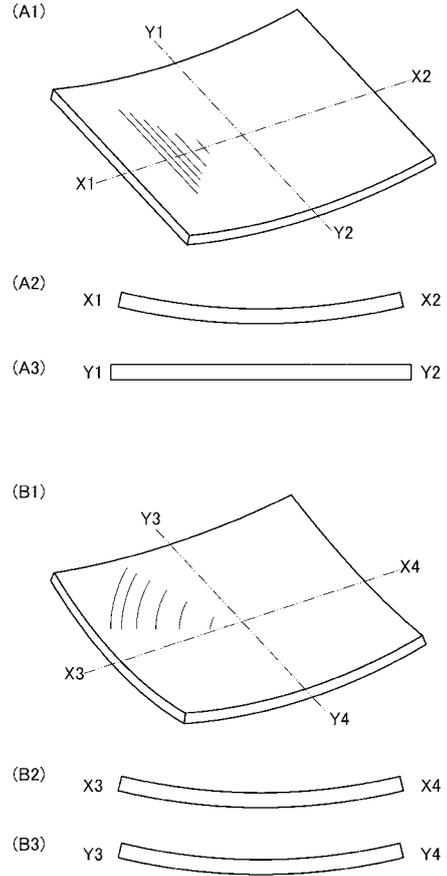
【図 1 4】



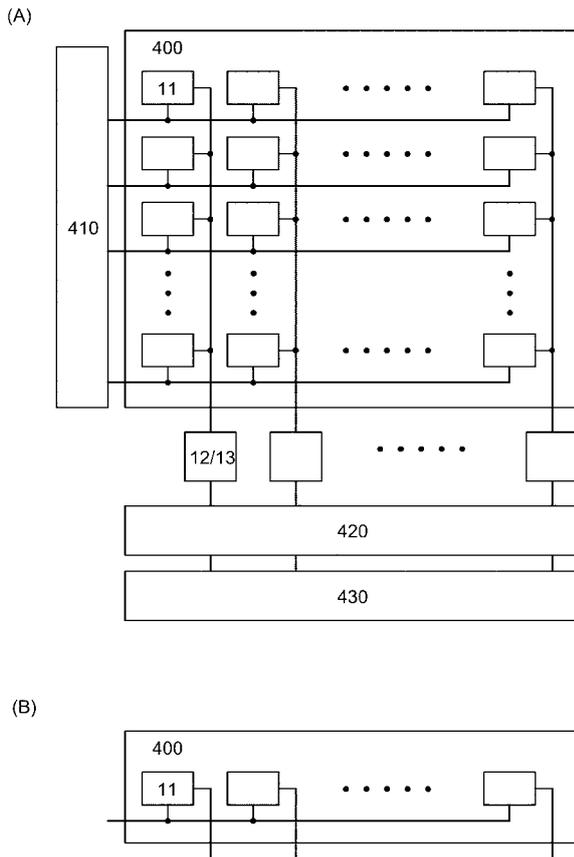
【 図 1 5 】



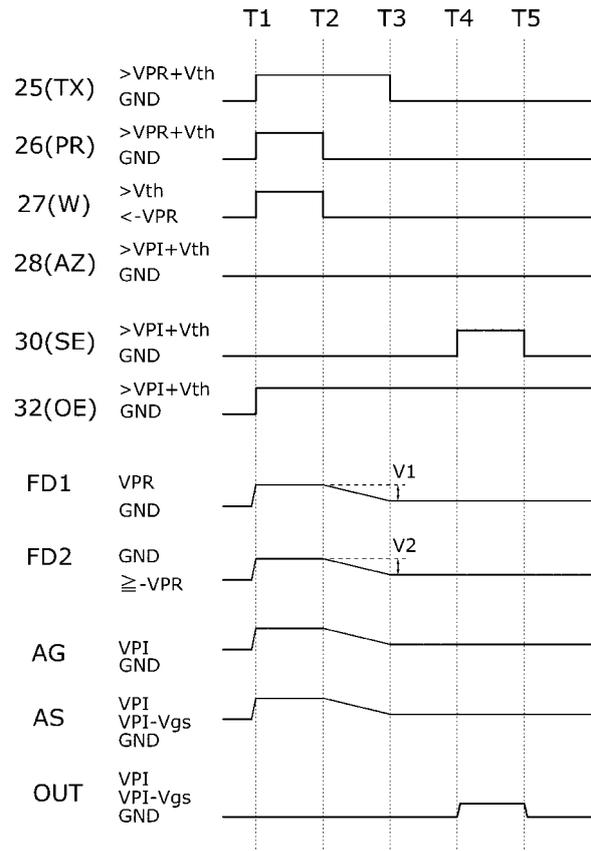
【 図 1 6 】



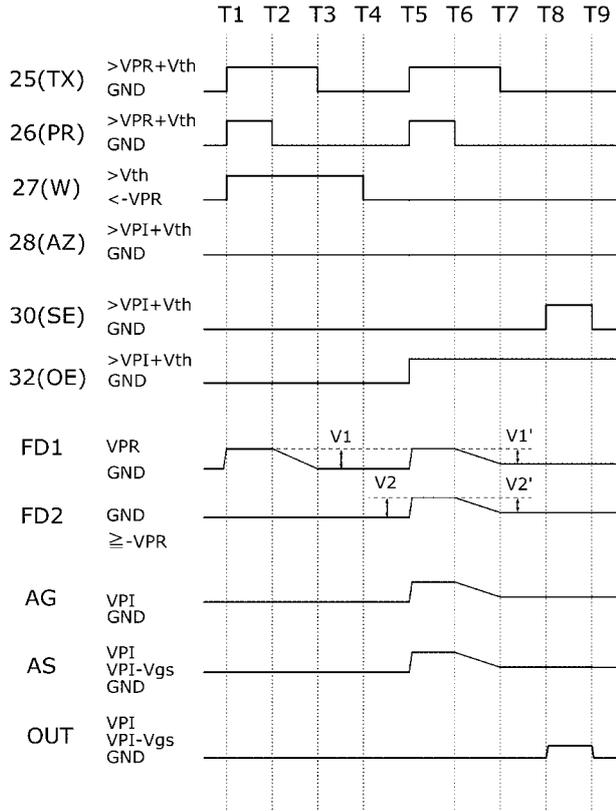
【 図 1 7 】



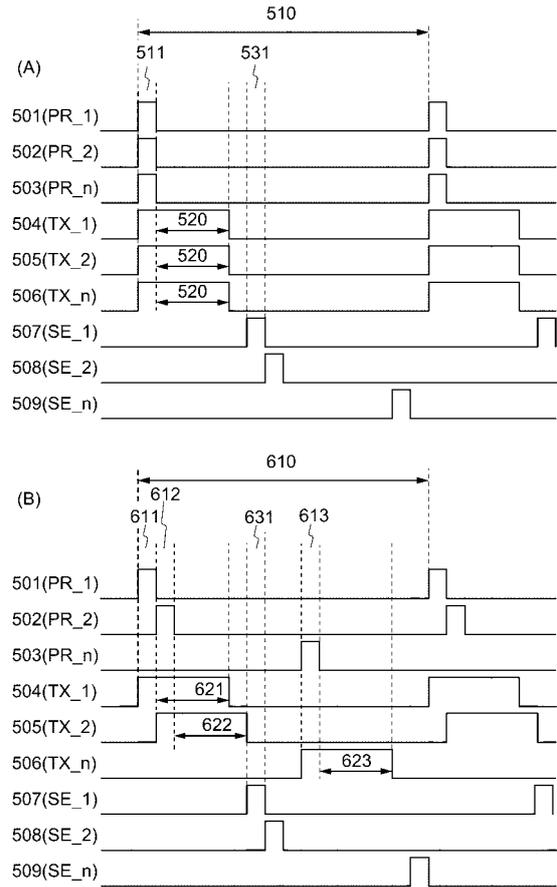
【 図 1 8 】



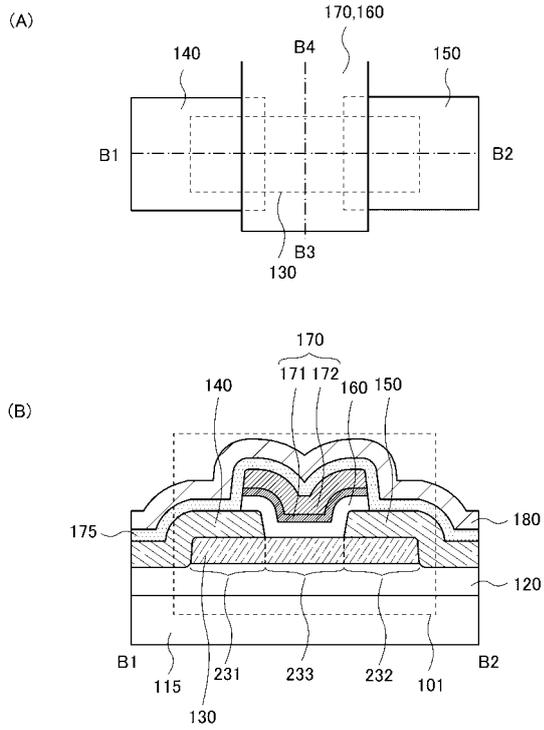
【 図 1 9 】



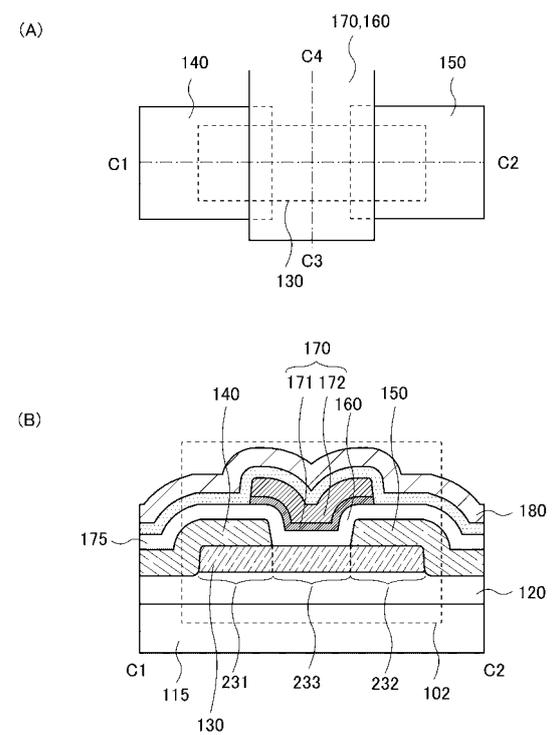
【 図 2 0 】



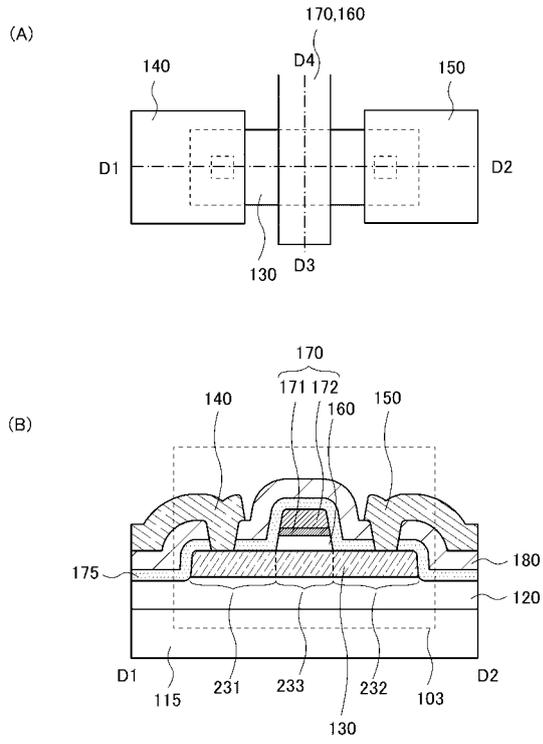
【 図 2 1 】



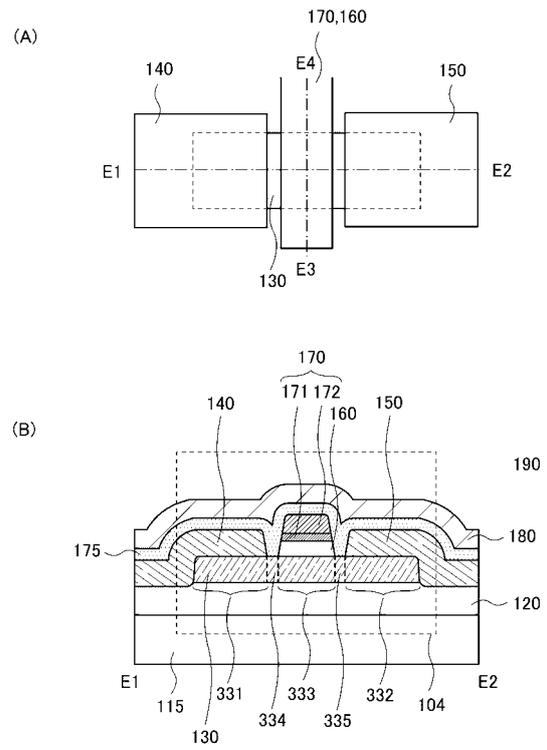
【 図 2 2 】



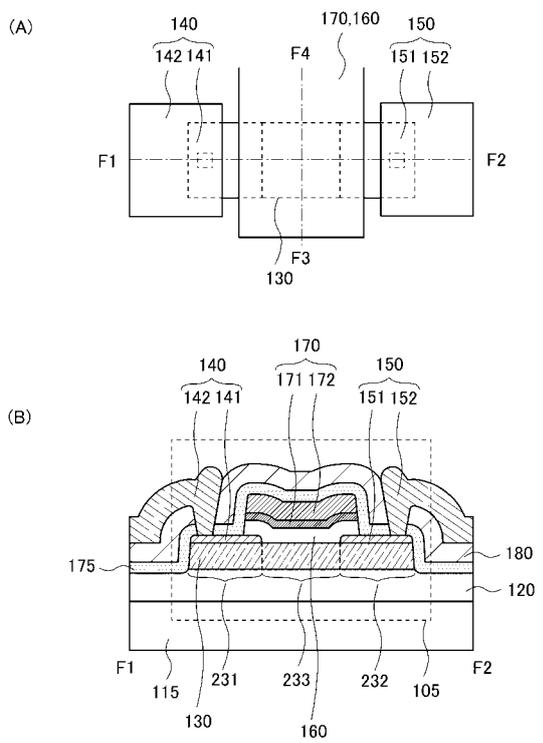
【 図 2 3 】



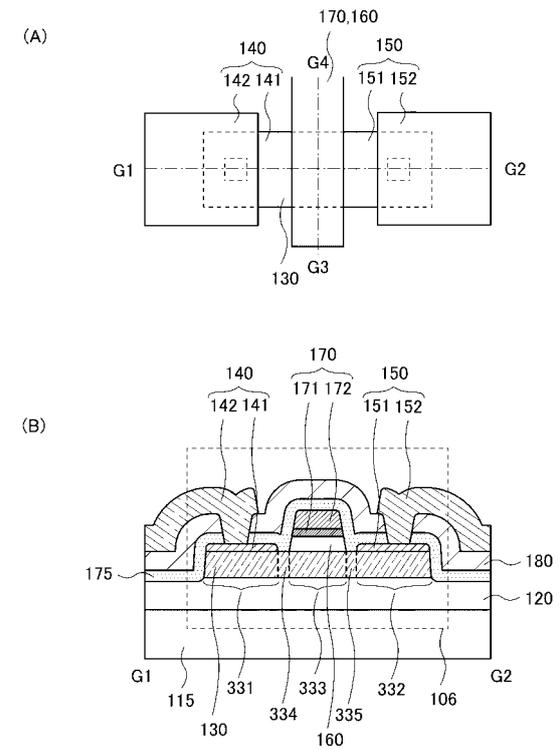
【 図 2 4 】



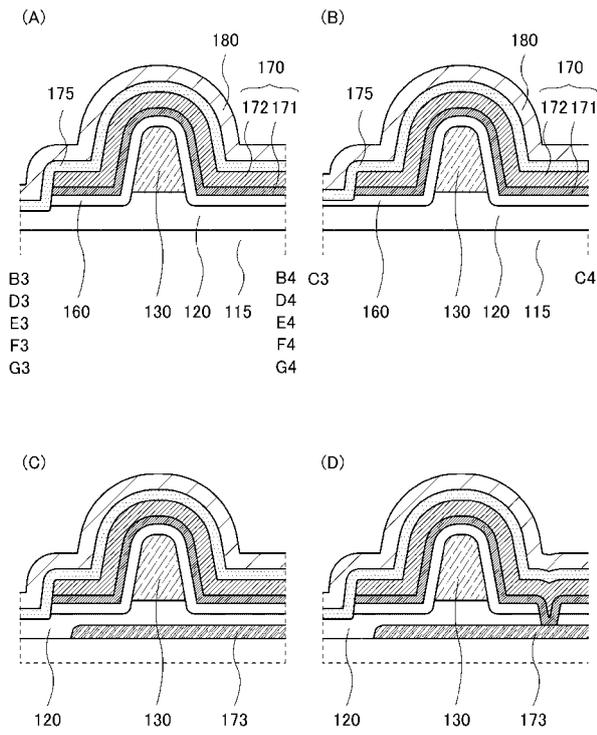
【 図 2 5 】



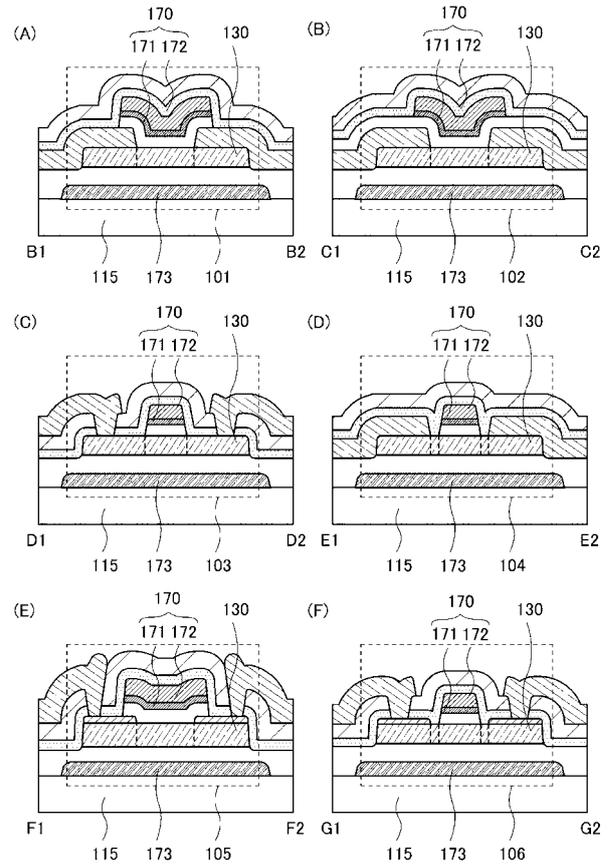
【 図 2 6 】



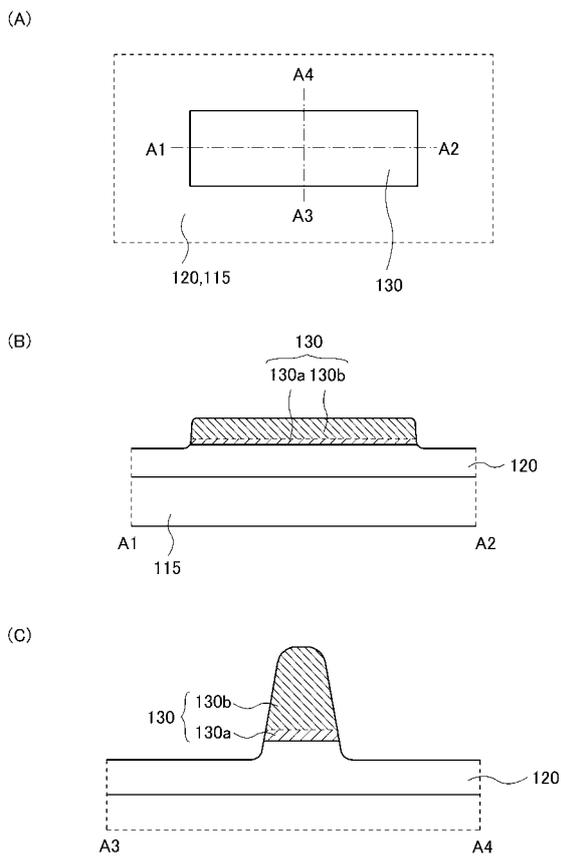
【 図 2 7 】



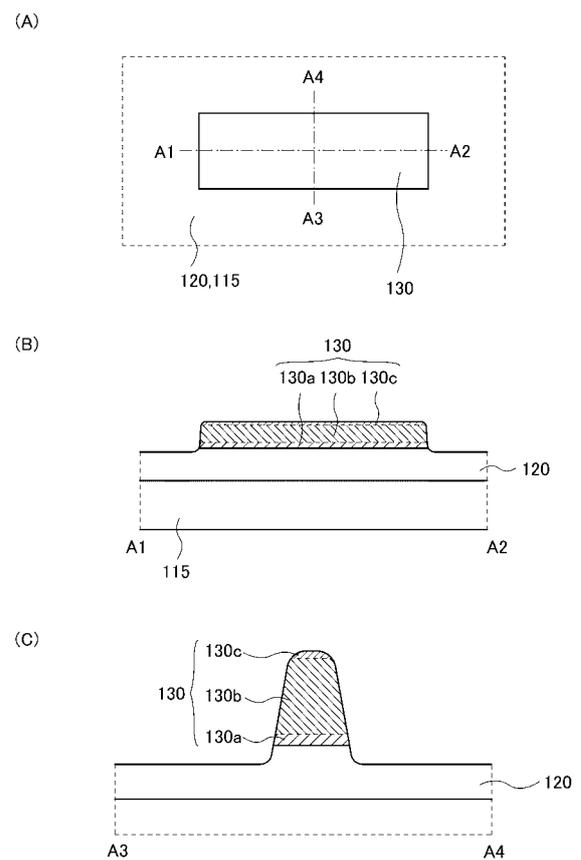
【 図 2 8 】



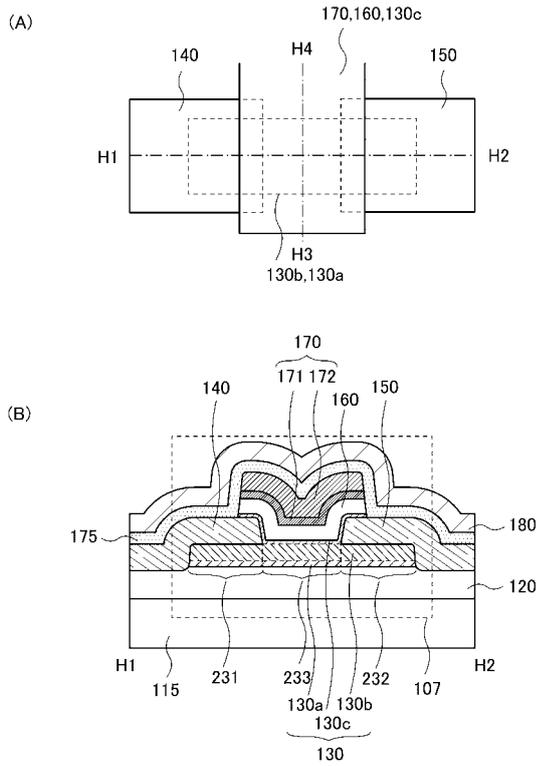
【 図 2 9 】



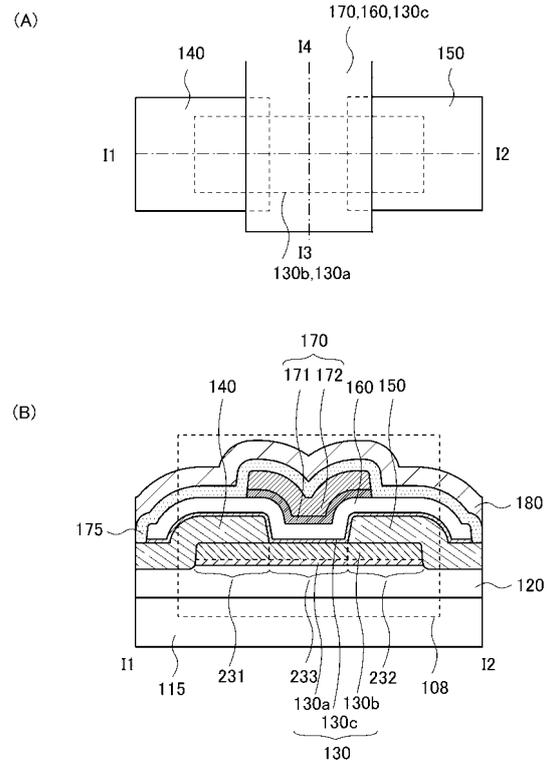
【 図 3 0 】



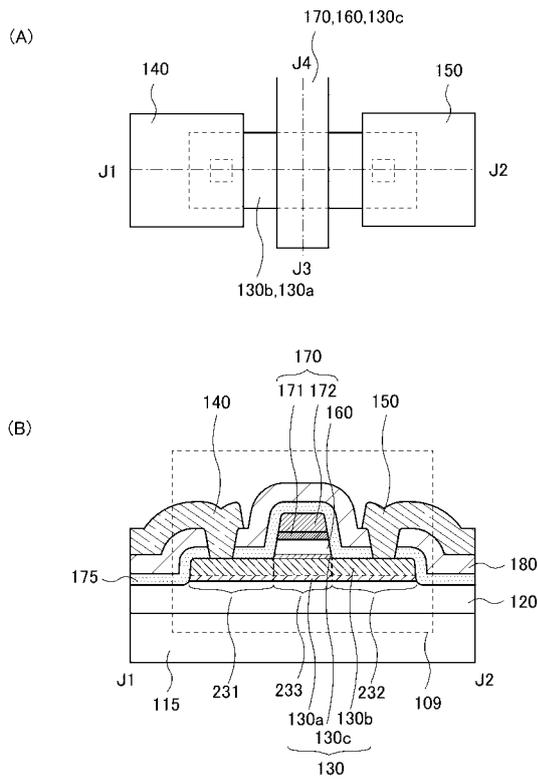
【 図 3 1 】



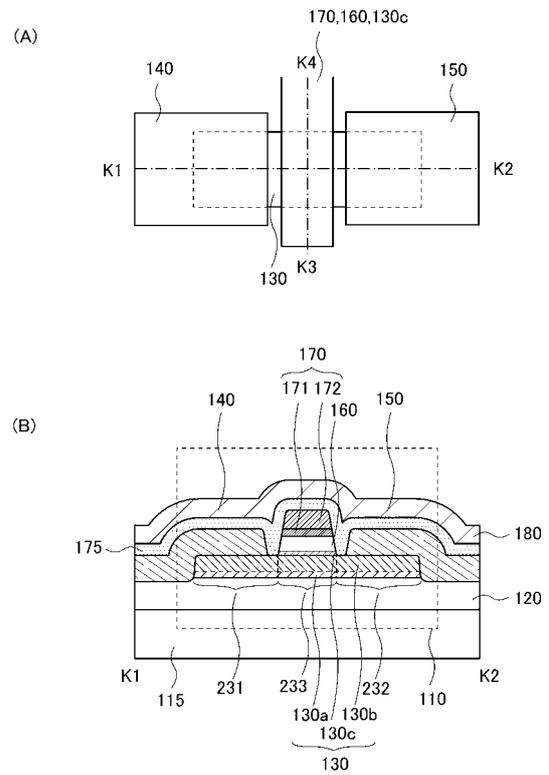
【 図 3 2 】



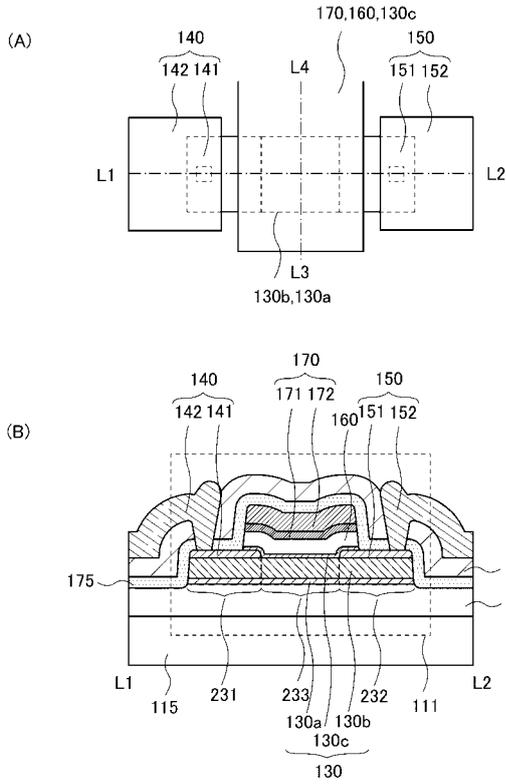
【 図 3 3 】



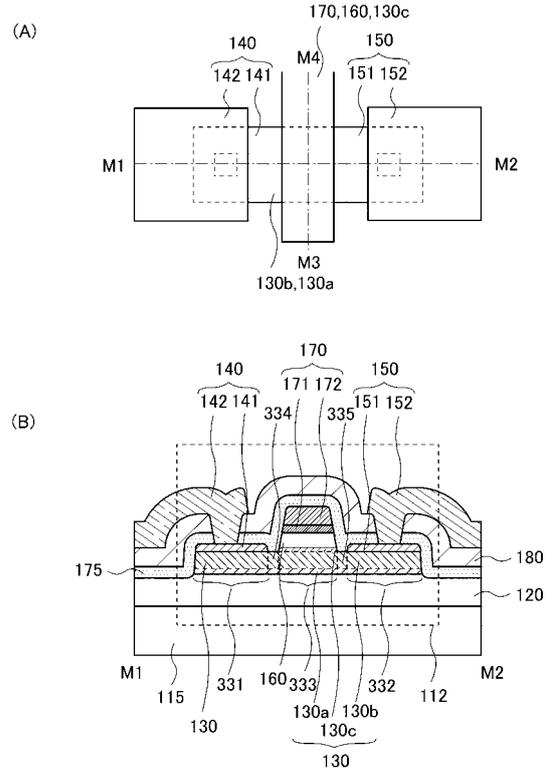
【 図 3 4 】



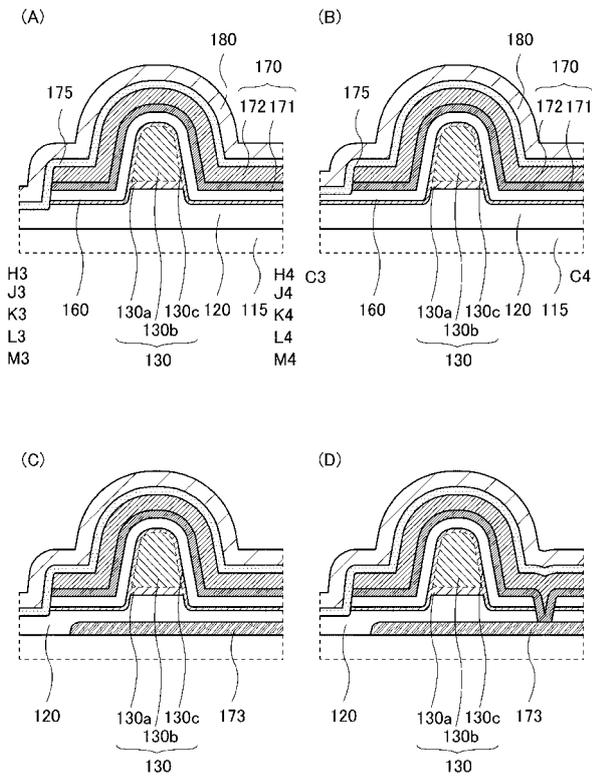
【 図 3 5 】



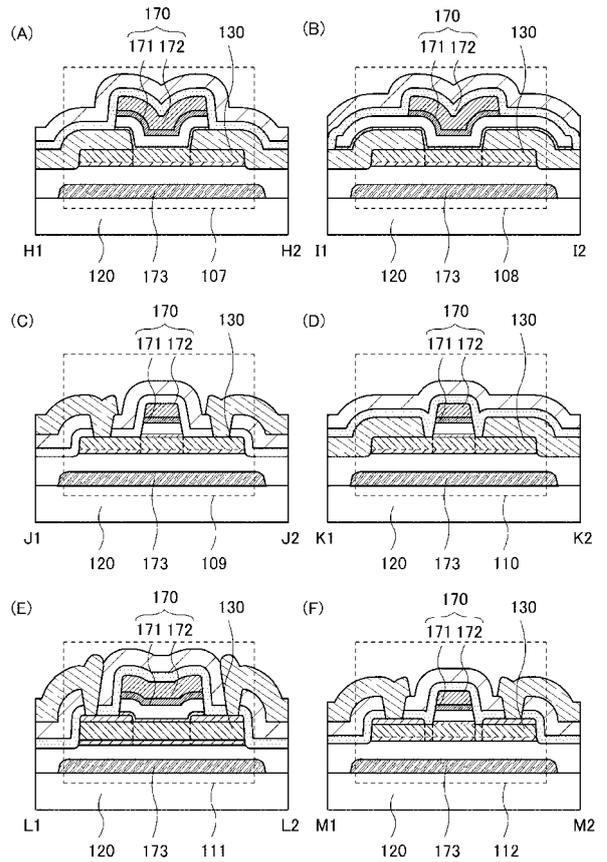
【 図 3 6 】



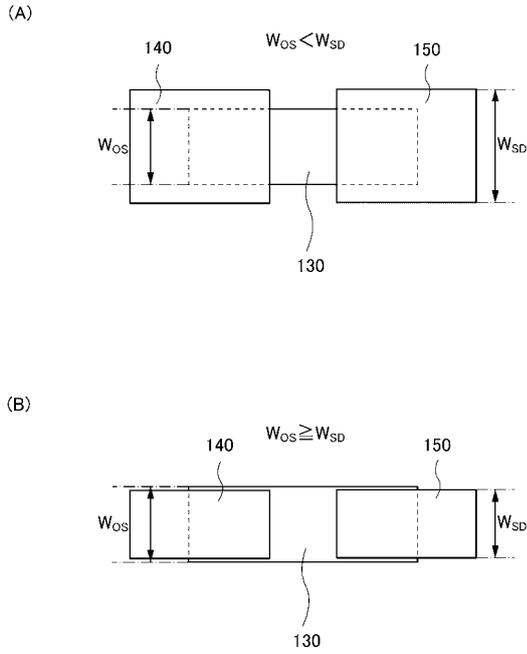
【 図 3 7 】



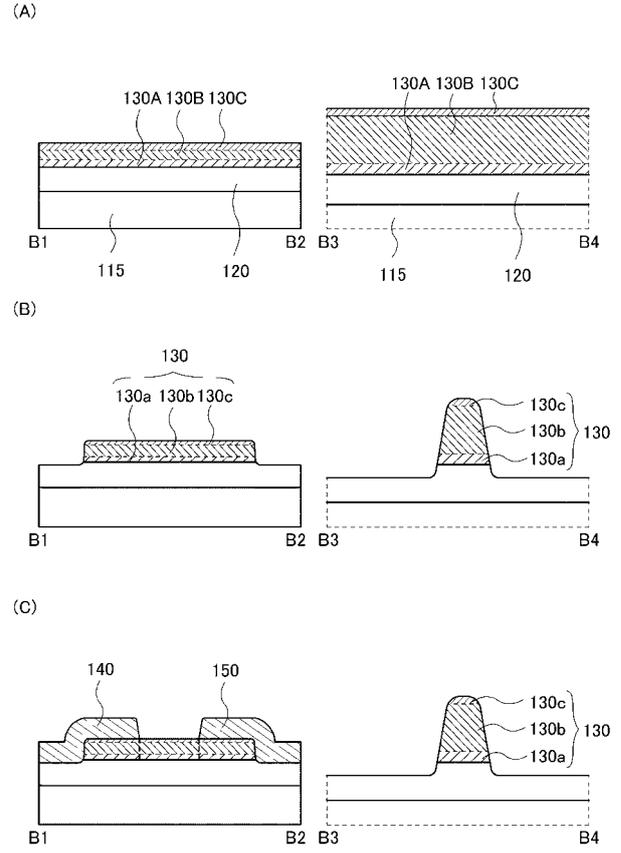
【 図 3 8 】



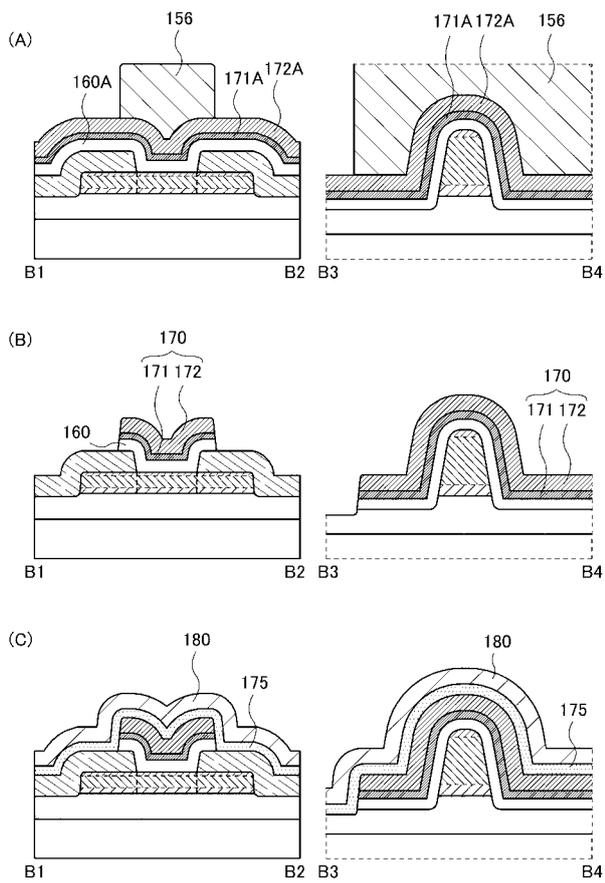
【 図 3 9 】



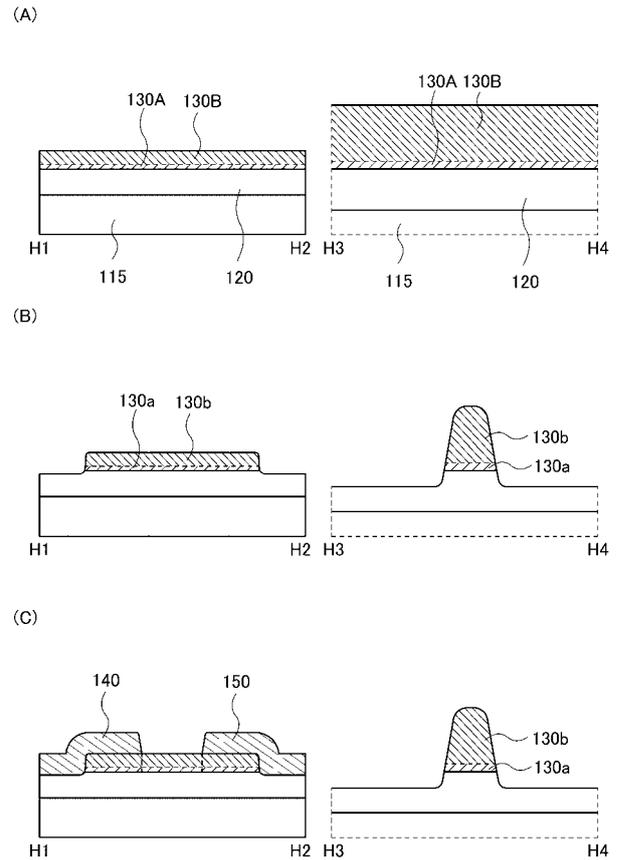
【 図 4 0 】



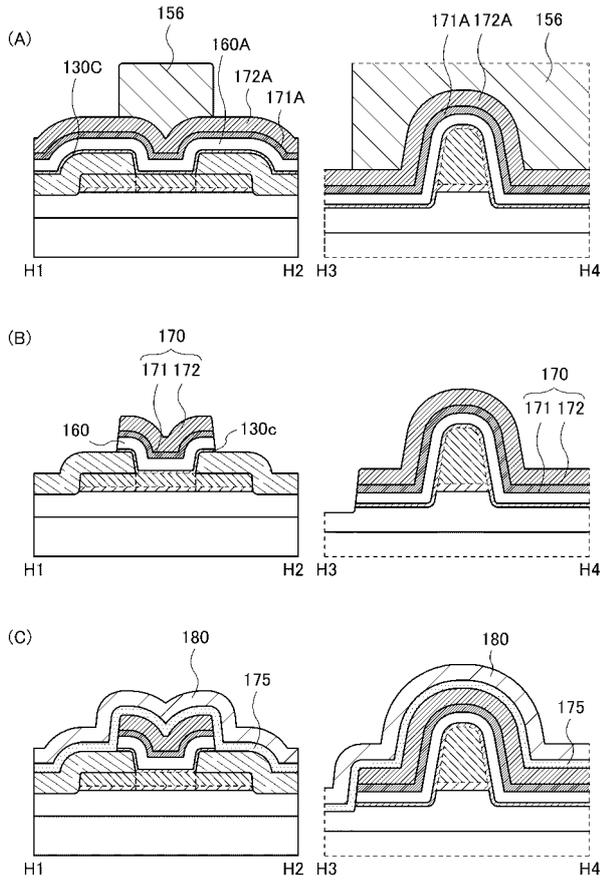
【 図 4 1 】



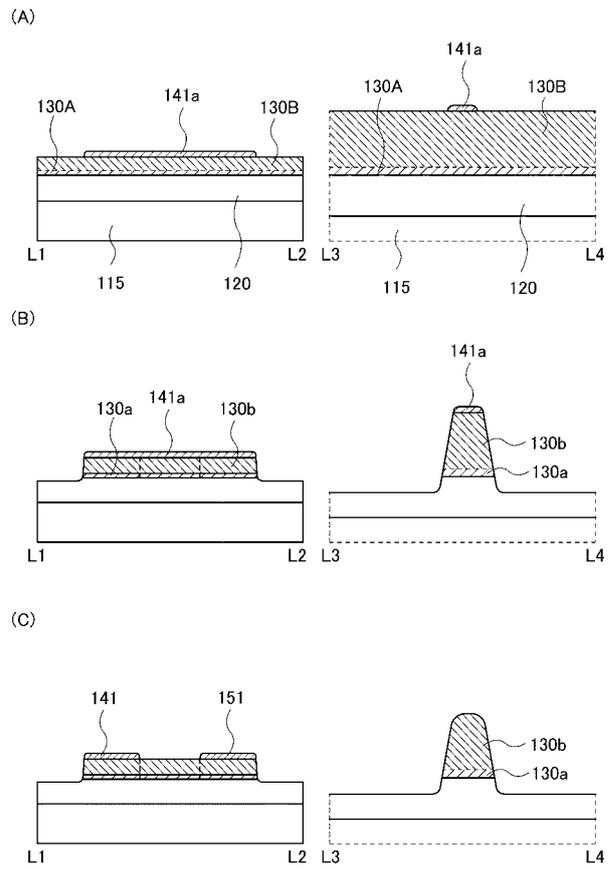
【 図 4 2 】



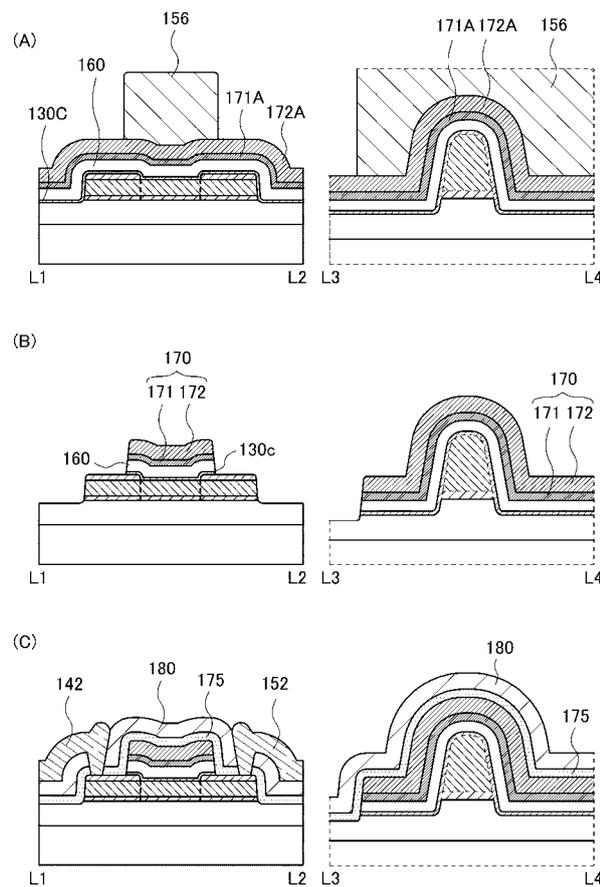
【 図 4 3 】



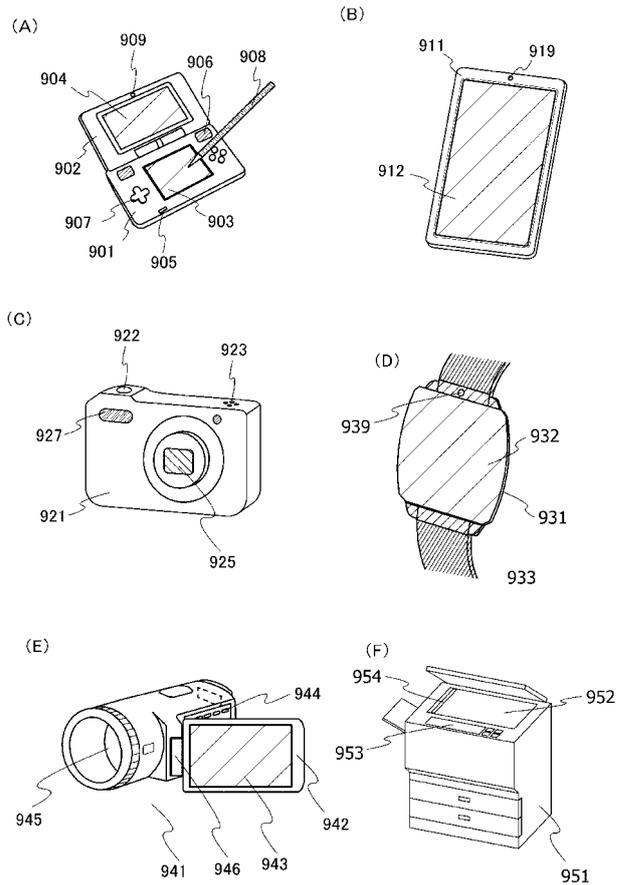
【 図 4 4 】



【 図 4 5 】



【 図 4 6 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 27/08 1 0 2 E

Fターム(参考) 4M118 AA01 AA02 AA04 BA07 BA14 BA19 CA03 CA05 CA09 CA14
 CB05 CB06 CB14 DD04 FA06 FB23 FB24 GB02 GB07 GB10
 GB13
 5C024 AX01 CX41 CX43 CY42 GX03 GY31 HX35 HX40 HX41
 5F048 AB01 AB04 AB10 AC01 AC10 BA01 BA10 BA14 BA15 BA16
 BA19 BA20 BB02 BB06 BB09 BB11 BB12 BB13 BB14 BC18
 BD01 BD05 BD06 BF01 BF02 BF07 BF11 BF16 BG12 BG13
 CB01 CB02 CB03 CB04 DA24 DA25
 5F110 AA01 AA02 AA03 AA06 AA07 AA08 AA14 BB03 BB05 BB09
 CC01 CC05 DD01 DD05 DD12 DD13 DD14 DD15 DD17 DD21
 DD24 DD25 EE01 EE02 EE03 EE04 EE06 EE14 EE15 EE30
 EE42 EE44 EE45 FF01 FF02 FF03 FF04 FF05 FF07 FF13
 FF28 FF29 FF30 GG01 GG02 GG03 GG04 GG06 GG16 GG17
 GG19 GG22 GG24 GG25 GG26 GG30 GG33 GG34 GG42 GG43
 GG44 GG58 HJ01 HJ02 HJ12 HJ13 HJ18 HJ30 HK02 HK03
 HK04 HK06 HK08 HK17 HK21 HL11 HM02 HM13 HM14 HM15
 HM17 NN02 NN03 NN05 NN22 NN23 NN24 NN28 NN33 NN34
 NN35 NN40 NN71 NN72 NN74 NN77 PP10 PP13 PP35 QQ01
 QQ09 QQ11 QQ19