



(12) 发明专利申请

(10) 申请公布号 CN 105489590 A

(43) 申请公布日 2016. 04. 13

(21) 申请号 201510626634. 2

(22) 申请日 2015. 09. 28

(30) 优先权数据

14/507, 927 2014. 10. 07 US

(71) 申请人 格罗方德半导体公司

地址 英属开曼群岛大开曼岛

(72) 发明人 R·赛德尔 T·休伊辛加

(74) 专利代理机构 北京戈程知识产权代理有限公司

公司 11314

代理人 程伟 王锦阳

(51) Int. Cl.

H01L 23/522(2006. 01)

H01L 21/02(2006. 01)

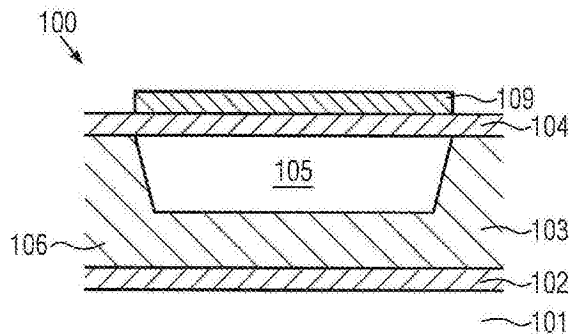
权利要求书3页 说明书7页 附图6页

(54) 发明名称

嵌入式金属 - 绝缘体 - 金属电容器

(57) 摘要

本发明提供一种制造包括电容器结构的半导体装置的方法, 包括步骤: 在半导体衬底上方形成包括第一介电层以及充当该电容器结构的下电极的第一导电层的第一金属化层, 在该第一金属化层上形成充当该电容器结构的电容器绝缘体的阻挡层, 在该阻挡层上形成金属层, 以及蚀刻该金属层以形成该电容器结构的上电极。



1. 一种制造包括电容器结构的半导体装置的方法,包括步骤:

在半导体衬底上方形成包括第一介电层以及充当该电容器结构的下电极的第一导电层的第一金属化层;

在该第一金属化层上形成充当该电容器结构的电容器绝缘体的阻挡层;

在该阻挡层上形成金属层;以及

蚀刻该金属层,以形成该电容器结构的上电极。

2. 如权利要求 1 所述的方法,其中,蚀刻该金属层包括暴露该阻挡层的部分,且还包括:

在经蚀刻的金属层及该阻挡层的暴露部分上形成第二介电层;

蚀刻该第二介电层,以形成至该上电极的过孔;以及

使用接触材料填充该过孔。

3. 如权利要求 2 所述的方法,其中,在所述蚀刻该第二介电层期间,该上电极充当蚀刻停止层。

4. 如权利要求 2 所述的方法,还包括形成包括第二导电层及该第二介电层的第二金属化层。

5. 如权利要求 1 所述的方法,其中,该第一导电层沿第一方向具有第一横向尺寸,以及该金属层经蚀刻以使该上电极沿该第一方向所具有的第二横向尺寸等于或小于该第一导电层的该第一横向尺寸。

6. 如权利要求 2 所述的方法,其中,该过孔止于该上电极。

7. 如权利要求 2 所述的方法,其中,该第一导电层沿横向方向具有第一横向尺寸,以及该金属层经蚀刻以使该上电极沿该横向方向所具有的第二横向尺寸大于该第一导电层的该第一横向尺寸。

8. 如权利要求 7 所述的方法,其中,在沿该横向方向不重叠该第一导电层的该上电极的周边区域中,该过孔延伸穿过该上电极。

9. 如权利要求 1 所述的方法,其中,该第一介电层由超低 k 材料制成,且该阻挡层由与该超低 k 材料的介电常数相比具有较高介电常数的低 k 材料制成。

10. 如权利要求 1 所述的方法,其中,该阻挡层的厚度至多是该第一金属化层的厚度的 1/3。

11. 一种形成金属-绝缘体-金属(metal-insulator-metal ;MIM) 电容器的方法,包括:

在金属化层的第一介电层中形成沟槽并使用第一金属层填充该沟槽,以形成该金属-绝缘体-金属电容器的下电极;

在该第一金属层及该第一介电层上形成由低 k 材料构成的阻挡层,以形成该金属-绝缘体-金属电容器的电容器绝缘体;

在该阻挡层上形成第二金属层,以形成该金属-绝缘体-金属电容器的上电极;

在该第二金属层上形成第二介电层;

在该第二介电层中形成止于该第二金属层的过孔;以及

使用接触材料填充该过孔。

12. 如权利要求 11 所述的方法,其中,该第二金属层沿第一横向方向所具有的横向尺

寸至多是沿该第一横向方向的该第一金属层的横向尺寸。

13. 如权利要求 11 所述的方法,其中,当蚀刻该第二介电层时,该第二金属层充当蚀刻停止层。

14. 如权利要求 11 所述的方法,其中,该第一介电层包括或由与该阻挡层的介电常数相比具有较低介电常数的超低 k 材料组成。

15. 如权利要求 11 所述的方法,其中,该阻挡层的厚度至多是该第一介电层的厚度的 1/3。

16. 一种形成金属-绝缘体-金属 (metal-insulator-metal ;MIM) 电容器的方法,包括:

在金属化层的第一介电层中形成沟槽并使用第一金属层填充该沟槽,以形成该金属-绝缘体-金属电容器的下电极;

在该第一金属层及该第一介电层上形成由低 k 材料构成的阻挡层,以形成该金属-绝缘体-金属电容器的电容器绝缘体;

在该阻挡层上形成第二金属层,以形成该金属-绝缘体-金属电容器的上电极,其中,与该第一金属层相比,该第二金属层沿横向方向具有较大的横向尺寸;

在该第二金属层上形成第二介电层;

在该第二介电层中形成过孔,在沿该横向方向不重叠该第一金属层的该上电极的周边区域中,该过孔延伸穿过该上电极;以及

使用接触材料填充该过孔。

17. 如权利要求 16 所述的方法,其中,该第一介电层包括或由与该阻挡层的介电常数相比具有较低介电常数的超低 k 材料组成。

18. 如权利要求 16 所述的方法,其中,该阻挡层的厚度至多是该第一介电层的厚度的 1/3。

19. 如权利要求 16 所述的方法,还包括在该金属化层的该第一介电层中形成导电结构,以充当所形成的过孔以及填充进入该过孔的该接触材料的着陆点。

20. 一种半导体装置,包括:

第一金属化层,其包括第一介电层以及第一导电层;

低 k 阻挡层,其形成于该第一金属化层上;

第二导电层,其形成于该低 k 阻挡层上;

第二介电层,其形成于该第二导电层上;

接触层,其形成于该第二介电层中并延伸至该第二导电层;以及

电容器结构,其包括该第一导电层、该阻挡层以及该第二导电层。

21. 如权利要求 20 所述的半导体装置,还包括包括该第二介电层的第二金属化层。

22. 如权利要求 20 所述的半导体装置,其中,该第一介电层为超低 k 介电材料层,与该阻挡层的介电常数相比,该超低 k 介电材料层具有较低的介电常数。

23. 如权利要求 20 所述的半导体装置,其中,该阻挡层的厚度至多是该第一介电层的厚度的 1/3。

24. 一种半导体装置,包括:

第一金属化层,其包括第一介电层以及第一导电层;

低 k 阻挡层,其形成于该第一金属化层上;

第二导电层,其形成于该低 k 阻挡层上,且沿横向方向所具有的横向尺寸大于沿该横向方向的该第一导电层的横向尺寸;

第二介电层,其形成于该第二导电层上;

接触层,其形成于该第二介电层中并不重叠该第一导电层的该第二导电层的周边区域中延伸穿过该第二导电层;以及

电容器结构,其包括该第一导电层、该阻挡层以及该第二导电层。

25. 如权利要求 24 所述的半导体装置,还包括包括该第二介电层的第二金属化层。

26. 如权利要求 24 所述的半导体装置,其中,该第一介电层为超低 k 介电材料层,与该阻挡层的介电常数相比,该超低 k 介电材料层具有较低的介电常数。

27. 如权利要求 24 所述的半导体装置,其中,该阻挡层的厚度至多是该第一介电层的厚度的 1/3。

嵌入式金属 - 绝缘体 - 金属电容器

技术领域

[0001] 本揭露通常涉及集成电路领域,尤其涉及金属 - 绝缘体 - 金属电容器。

背景技术

[0002] 集成电路通常包括大量电路元件,这些电路元件构成电路。除主动装置例如场效应晶体管和 / 或双极性晶体管以外,集成电路可包括被动装置,例如电阻器、电感器和 / 或电容器。

[0003] 随着半导体装置的集成密度增加,由独立装置占据的面积持续缩小。尽管如此,但用以存储数据的电容器(例如动态随机访问存储器(DRAM))需要有足够的电容,而不论该电容器所占据的面积降低。除原生电容器(其利用集成电路中金属线之间的原生或“寄生”金属间容量)以外,还有金属 - 绝缘体 - 金属(metal-insulator-metal;MIM)电容器。相应地,金属 - 绝缘体 - 金属(MIM)电容器被用于许多集成电路产品中,且在金属 - 绝缘体 - 金属(MIM)电容器中,下电极与上电极由金属构成并被绝缘材料层隔离。金属 - 绝缘体 - 金属电容器可用于CMOS、BICMOS以及双极性集成电路。金属 - 绝缘体 - 金属电容器的典型应用包括例如模拟 - 数字转换器或数字 - 模拟转换器中的滤波及模拟电容器,射频振荡器、谐振电路以及匹配网络中的去耦电容器、射频耦合及射频旁路电容器。

[0004] 另外,MIM电容器已被广泛用于执行模拟 - 数字转换及数字 - 模拟转换的半导体装置中。模拟与数字信号之间的转换要求用于此类转换的电容器稳定,也就是电容器的电容在一范围的应用电压及温度内必须较稳定。具有多晶硅电极的电容器的电容往往较不稳定,因为该电容器结构往往随温度及应用电压变化而变化。因此,具有多晶硅电极的电容器通常不用于此类转换应用。除其中装备有连接集成电路的主动电路元件(例如晶体管)的电性导线的互连级以外,提供额外的互连级,金属 - 绝缘体 - 金属电容器可设于该额外的互连级中。

[0005] 金属 - 绝缘体 - 金属电容器的关键属性可包括在较宽电压范围内的较高线性、较低串联电阻、较好匹配属性、较小温度系数、较低漏电流、较高击穿电压以及足够的介电可靠性。

[0006] 用以形成金属 - 绝缘体 - 金属电容器的技术可包括在半导体结构的平坦化表面上沉积金属 - 绝缘体 - 金属堆叠并图案化该金属 - 绝缘体 - 金属堆叠。该金属 - 绝缘体 - 金属堆叠可包括底部电极层、介电层以及顶部电极层。可通过光刻工艺来图案化该金属 - 绝缘体 - 金属堆叠。不过,该金属 - 绝缘体 - 金属堆叠的光吸收和 / 或反射主要依赖于所使用的材料以及该金属 - 绝缘体 - 金属堆叠中的层的厚度。因此,能够穿过该金属 - 绝缘体 - 金属堆叠的光学对准的材料组合很有限。

[0007] 在形成MIM电容器的上下金属电极时,通常执行蚀刻工艺来图案化金属层。不过,随着半导体装置的集成密度持续增加,蚀刻此类金属层变得更加困难。尤其,可能难以蚀刻具有良好电迁移抗性(electromigration resistance)以及理想低电阻率的铜。因此,已提出通过镶嵌(damascene)工艺(也就是不涉及蚀刻金属层的工艺)来形成上下金属电极

的各种方法。铜镶嵌工艺通常包括在绝缘层中形成用于铜结构的沟槽,形成足够量的铜来过填充该沟槽,以及自衬底移除多余的铜,从而在该沟槽中保留该铜结构。不过,用于形成基于铜的电容器及导线以及过孔的镶嵌工艺耗时且昂贵,并包括许多步骤,在这些步骤中总是存在形成不良缺陷的可能。

[0008] 此外,现有技术的电容器存在下列问题。垂直自然电容器以及指状金属-氧化物-金属电容器因所用的超低k介电材料的低介电常数值而显示不足的电容,原则上,无论如何,它们需要大面积来提供较大电容。另一方面,原则上,横向电容器的电压受所用的超低k介电材料的操作可靠性限制。此外,金属化/导线层中的传统MIM电容器需要复杂的集成方案。

[0009] 因此,需要改进电容器结构以及形成工艺,例如用于半导体装置制造,以与导电接触形成工艺较好地合并。

[0010] 本揭露提供改进的电容器结构及其制造工艺,以妥善解决上述问题并克服或至少减轻所提到的现有技术的问题。

发明内容

[0011] 下面提供本发明的简要总结,以提供本发明的一些态样的基本理解。本发明内容并非详尽概述本发明。其并非意图识别本发明的关键或重要元件或划定本发明的范围。其唯一目的在于提供一些简化的概念,作为后面所讨论的更详细说明的前序。

[0012] 这里所揭露的一种制造包括电容器结构的半导体装置的示例方法包括步骤:在半导体衬底上方形成包括第一介电层以及充当该电容器结构的下电极的第一导电层的第一金属化层;在该第一金属化层上形成充当该电容器结构的电容器绝缘体的阻挡层;在该阻挡层上形成金属层;以及蚀刻该金属层,以形成该电容器结构的上电极。

[0013] 依据另一种制造半导体装置的示例方法,执行下列步骤:在金属化层的第一介电层中形成沟槽并使用第一金属层填充该沟槽,以形成该MIM电容器的下电极;在该第一金属层及该第一介电层上形成由低k材料构成的阻挡层,以形成该MIM电容器的电容器绝缘体;在该阻挡层上形成第二金属层,以形成该MIM电容器的上电极;在该第二金属层上形成第二介电层;在该第二介电层中形成止于该第二金属层的过孔;以及使用接触材料填充该过孔。

[0014] 此外,这里提供一种形成金属-绝缘体-金属(metal-insulator-metal;MIM)电容器的方法,包括步骤:在金属化层的第一介电层中形成沟槽并使用第一金属层填充该沟槽,以形成该MIM电容器的下电极;在该第一金属层及第一介电层上形成由低k材料构成的阻挡层,以形成该MIM电容器的电容器绝缘体;在该阻挡层上形成第二金属层,以形成该MIM电容器的上电极,其中,与该第一金属层相比,该第二金属层沿横向方向具有较大的横向尺寸;在该第二金属层上形成第二介电层;在该第二介电层中形成过孔,在沿该横向方向不重叠该第一金属层的该上电极的周边区域中,该过孔延伸穿过该上电极;以及使用接触材料填充该过孔。

[0015] 此外,这里提供一种半导体装置,包括:第一金属化层,其包括第一介电层以及第一导电层;低k阻挡层,其形成于该第一金属化层上;第二导电层,其形成于该低k阻挡层上;第二介电层,其形成于该第二导电层上;接触层,其形成于该第二介电层中并延伸至该

第二导电层；以及电容器结构，其包括该第一导电层、该阻挡层以及该第二导电层。

[0016] 另外，这里提供一种半导体装置，包括：第一金属化层，其包括第一介电层以及第一导电层；低 k 阻挡层，其形成于该第一金属化层上；第二导电层，其形成于该低 k 阻挡层上，且沿横向方向所具有的横向尺寸大于沿该横向方向的该第一导电层的横向尺寸；第二介电层，其形成于该第二导电层上；接触层，其形成于该第二介电层中并不重叠该第一导电层的该第二导电层的周边区域中延伸穿过该第二导电层；以及电容器结构，其包括该第一导电层、该阻挡层以及该第二导电层。

[0017] 依据所揭露的方法及半导体装置，形成的 MIM 电容器包括：包括于金属化或互连级层中的导电层形式的第一电极，以及直接形成于较薄阻挡层上的第二电极，该较薄阻挡层充当电容器绝缘体且直接形成于该金属化或互连级层上。尤其，该金属化或互连级层可包括或由超低 k 材料组成，且该阻挡层可包括或由具有低介电常数 (k) 的低 k 材料组成，但该介电常数大于该超低 k 材料的介电常数。例如，该低 k 材料的介电常数可选择为 $4 < k < 6$ ，且该超低 k 材料的介电常数可选择为 $k < 2.4$ 或 $k < 2.3$ 或 $2.0 < k < 2.7$ 。

附图说明

[0018] 结合附图参照下面的说明可理解本揭露，这些附图中类似的附图标记代表类似的元件，以及其中：

[0019] 图 1a 至 1f 显示处于依据本揭露的例子的制造方法的特定阶段中的半导体结构的剖视示意图；以及

[0020] 图 2a 至 2d 显示处于依据本揭露的另一个例子的制造方法的特定阶段中的半导体结构的剖视示意图。

[0021] 尽管这里所揭露的发明主题容许各种修改及替代形式，但附图中以示例形式显示本发明主题的具体实施例，并在此进行详细说明。不过，应当理解，这里对具体实施例的说明并非意图将本发明限于所揭露的特定形式，相反，意图涵盖落入由权利要求定义的本发明的精神及范围内的所有修改、等同及替代。

具体实施方式

[0022] 下面说明本发明的各种示例实施例。出于清楚目的，不是实际实施中的全部特征都在本说明书中进行说明。当然，应当了解，在任意此类实际实施例的开发中，必须作大量的特定实施决定以满足开发者的特定目标，例如符合与系统相关及与商业相关的约束条件，这些约束条件因不同实施而异。而且，应当了解，此类开发努力可能复杂而耗时，但其仍然是本领域技术人员借助本揭露所执行的常规程序。

[0023] 本揭露提供在包括金属化层 / 互连级层的半导体结构中形成 MIM 电容器的方法，其中，电容器的电容器绝缘体由在该金属化层 / 互连级层的表面上形成的阻挡层所构成。集成电路包括形成于半导体衬底上的大量半导体装置，例如晶体管。这些装置通过一个或多个图案化导电材料层（例如铝）选择性互连，以形成执行所需功能的电路。这些层被称为金属化或互连级层。该方法可用于 BEOL (back-end-of-the-line ; 后端工艺) 工艺的框架，尤其细线 BEOL。在完整阅读本申请以后，本领域的技术人员很容易了解，本方法可应用于各种技术，例如 NMOS、PMOS、CMOS 等，并且很容易应用于各种装置，包括但不限于逻辑装

置、存储器装置等。

[0024] 现在将参照附图来说明另外的实施例。附图中示意各种结构、系统及装置仅是出于解释目的以及避免使本揭露与本领域技术人员已知的细节混淆,但仍包括该些附图以说明并解释本揭露的示例。这里所使用的词语和词组的意思应当被理解并解释为与相关领域技术人员对这些词语及词组的理解一致。这里的术语或词组的连贯使用并不意图暗含特别的定义,亦即与本领域技术人员所理解的通常惯用意思不同的定义。若术语或词组意图具有特定意思,亦即不同于本领域技术人员所理解的意思,则此类特别定义会以直接明确地提供该术语或词组的特定定义的定义方式明确表示于说明书中。

[0025] 图 1a 显示代表所揭露的方法的示例起点的半导体结构 100。半导体结构 100 可包括衬底 101。在一些实施例中,衬底 101 可包括由半导体材料(例如硅晶圆或硅晶片)构成的块体半导体衬底。在另一些实施例中,衬底 101 可包括绝缘体上半导体(semiconductor-on-insulator ;SOI)衬底,其包括形成于支持衬底(可为硅晶圆)上方并通过电性绝缘材料(例如二氧化硅层)与该支持衬底隔开的半导体材料层(例如硅层)。衬底 101 可包括半导体层,其相应由任意适当的半导体材料组成,例如硅、硅/锗、硅/碳、其它 II-VI 或 III-V 半导体化合物等。

[0026] 由于改进的可用性以及过去几十年所开发的成熟的工艺技术,可基于硅批量形成具有高集成密度的半导体装置,因此该半导体层可包括大量硅。不过,可使用任意其它合适的半导体材料,例如包含其它等电子成分(例如锗、碳等)的硅基材料。半导体衬底 101 可为硅衬底,尤其是单晶硅衬底。可使用其它材料来形成半导体衬底 101,例如锗、硅锗、磷酸镓、砷化镓等。

[0027] 此外,在衬底 101 中和/或上方可形成多个电路装置(未图示),例如晶体管以及电阻器。尤其,可在衬底 101 中和/或上方形成场效应晶体管。各该场效应晶体管可具有形成于衬底 101 的半导体材料中包括源区、漏区以及沟道区的主动区。另外,各该场效应晶体管可包括形成于该晶体管的沟道区上方的栅极电极、以及设于该栅极电极与沟道区之间的栅极绝缘层。该栅极绝缘层可提供该栅极电极与该沟道区之间的电性绝缘。场效应晶体管的其它特征可对应已知场效应晶体管的特征。此外,可在衬底 101 上形成金属化层(未图示)。

[0028] 金属化层或互连级层 103 可形成于衬底 101 上方并夹设于第一低 k 阻挡层 102 与第二低 k 阻挡层 104 之间。金属化层/互连级层 103 用以电性接触形成于衬底 101 中及衬底 101 上的电路元件。原则上,层 103 可为包括嵌埋于一些介电层 106 中的导电层(结构)105 的任意层。通常,金属化层/互连级层 103 包括多个导电结构,尤其导电接触结构。下面出于示例目的,层 103 表示金属化层。

[0029] 尤其,可设置第一及第二低 k 阻挡层 102 及 104 以阻挡形成于第一低 k 阻挡层 102 下方以及第二低 k 阻挡层 104 中的传导材料(这里,术语“传导”指导电)的不希望的物种扩散,且与硅的介电常数相比,第一及第二低 k 阻挡层 102 及 104 可具有较小的介电常数 k,例如 $k < 3$,例如 $4 < k < 6$ 。不过,第一低 k 阻挡层 102 及第二低 k 阻挡层 104 的介电常数可大于金属化层 103 的介电层 106 的介电常数。第一及第二低 k 阻挡层 102 及 104 可包括氮化硅或碳化硅,且可在这些层中纳入惰性原子,例如氩或氦。第一及第二低 k 阻挡层 102 及 104 可为通过化学气相沉积形成的厚度约 20 至 60 纳米的 NBL_oKTM 层。

[0030] 金属化层 103 可包括(层间)介电层 106。介电层 106 可包括电性绝缘材料,例如二氧化硅和 / 或氮化硅。例如,介电层 106 可包括氟掺杂二氧化硅、碳掺杂二氧化硅、多孔二氧化硅、多孔碳掺杂二氧化硅、SiCOH、聚合物介电材料例如聚酰亚胺、聚降冰片烯、苯并环丁烯和 / 或聚四氟乙烯,或硅基聚合物介电材料,例如氢倍半硅氧烷或甲基倍半硅氧烷。尤其,介电层 106 可包括或由 $2.0 < k < 2.7$ 的超低 k(ULK) 材料组成。例如,介电层 106 可通过化学气相沉积或等离子增强型化学气相沉积形成,且可具有约 100 至 500 纳米的厚度。

[0031] 在沉积介电层 106 以后,可执行平坦化工艺,例如化学机械抛光工艺,以获得基本平坦的表面。在该化学机械抛光工艺中,相对抛光垫移动半导体结构 100 的表面,同时向半导体结构 100 的表面与抛光垫之间的界面提供抛光液。在该表面处,该抛光液可与半导体结构 100 的部分发生化学反应,且可通过半导体结构 100 与抛光垫之间的摩擦和 / 或由该抛光液中的磨粒引起的磨损移除反应产物。

[0032] 导电层 105 包括于金属化层 103 中。导电层 105 可包括金属,例如铜和 / 或铜合金。例如,导电层 105 可通过使用已知的镶嵌技术形成,且可具有约 40 至 60 纳米的厚度。在导电层 105 与介电层 106 之间可设置扩散阻挡层(未图示)。该扩散阻挡层可用以基本避免自导电层 105 向介电层 106 内的金属扩散。例如,该扩散阻挡层可包括包括氮化钛、钽和 / 或氮化钽的一个或多个层。

[0033] 导电层 105 的形成可包括在介电层 106 中形成沟槽以及可选的一个或多个接触过孔。这可通过光刻和 / 或蚀刻技术完成。例如,通过电镀,可使用导电层 105 的导电材料填充该沟槽。接着,可执行化学机械抛光工艺,以移除位于该沟槽外部的导电层 105 的材料和 / 或扩散阻挡层(如设置的话)的部分。接着,例如,通过化学气相沉积和 / 或等离子增强型化学气相沉积可沉积第二低 k 阻挡层 104。

[0034] 依据本揭露,导电层 105 将充当垂直电容器的下电极,第二低 k 阻挡层 104 的部分将代表电容器绝缘体。尤其,第二低 k 阻挡层 104 可经选择以显著薄于金属化层 103,例如,第二低 k 阻挡层 104 的厚度可为金属化层 103 的厚度的 $1/3$ 或 $1/4$ 或 $1/5$ 。如图 1b 所示,包括或由金属或金属化合物组成的金属层 107 形成于第二低 k 阻挡层 104 的暴露表面上。金属层 107 可包括或由钛、氮化钛、钽或氮化钽组成。金属层 107 可通过物理气相沉积工艺例如溅镀,化学气相沉积工艺或等离子增强型化学气相沉积工艺沉积。金属层 107 所具有的厚度可在约 10 至 250 纳米范围内,尤其 30 至 60 纳米。

[0035] 可在半导体结构 100 上方形成掩膜 108,如图 1c 所示。通过光刻技术可由光阻形成掩膜 108。在所举例子中,掩膜 108 经图案化以覆盖金属层 107 的部分而不会延伸超出导电层 105 的横向边缘。通过蚀刻金属层 107,形成最终电容器结构的上电极 109,如图 1d 所示。该蚀刻可为干式(非等向性)或湿式蚀刻工艺,且可在该蚀刻工艺后接着执行湿式清洗工艺。在该湿式清洗工艺中,半导体结构 100 可暴露于胺基抗蚀剂剥离液和 / 或四甲基氢氧化铵(TMAH)。由于掩膜 108 的上述尺寸设定,上电极 109 沿图 1d 中从左至右方向所具有的横向尺寸几乎等于沿相同方向的导电层 105 的横向尺寸。原则上,作为替代,通过适当图案化掩膜 108,可选择使上电极 109 的横向尺寸小于导电层 105 的横向尺寸。

[0036] 掩膜 108 可通过抗蚀剂剥离工艺移除,例如等离子抗蚀剂剥离工艺,其中,通过在包括氧的气体中的射频放电来形成等离子体。

[0037] 在形成包括下电极 105、第二低 k 阻挡层 104 形式的电容器绝缘体以及上电极 109

的电容器结构以后,可形成额外的金属化或互连级层 110,如图 1e 所示。在上电极 109 及第二低 k 阻挡层 104 的暴露表面上沉积介电层 111(例如层间接电材料)。可在介电层 111 中形成过孔及沟槽并使用含金属材料 112 填充,如图 1f 所示。可采用先过孔后沟槽技术,其中,形成至上电极 109 的一个或多个过孔,并随后在介电材料 111 中形成沟槽。尤其,通过着陆于上电极 109 的上表面上的过孔中所填充的含金属材料 112 电性连接上电极 109。也可在金属化层 103 内或穿过金属化层 103 电性接触下电极 105。

[0038] 为保证过孔着陆于上电极 109 的上表面上,对于介电层 111 及上电极 109 的材料,介电层 111 的过孔蚀刻工艺必须具有足够的选择性。相对第二材料选择性蚀刻第一材料时,在所采用的蚀刻工艺中,该第一材料的蚀刻速率基本大于该第二材料的蚀刻速率。当材料暴露于蚀刻工艺中所使用的蚀刻剂时,可以单位时间移除材料层的部分的厚度来表示材料的蚀刻速率,其中,沿与材料层的表面垂直的方向测量该厚度。当蚀刻介电层 111 中的过孔时,图 1f 中所示的例子中,上电极 109 充当蚀刻停止层,也就是介电层 111 所采用的蚀刻配方的蚀刻速率较高于上电极 109 的蚀刻速率。例如,介电层 111 可包括二氧化硅。通过干式蚀刻工艺可相对上电极 109 的材料执行二氧化硅材料的选择性蚀刻,其中所使用的蚀刻气体包含四氟化碳 (CF₄)、四氟化碳 (CF₄) 与氧气 (O₂) 的混合物、和 / 或四氟化碳 (CF₄) 与氢气 (H₂) 的混合物。

[0039] 在现有技术中,通过将介电层 106 的超低 k 材料用作电容器绝缘体,在互连级中及上方形成 MIM 电容器为已知技术。相反,在本揭露中,将低 k 阻挡层 104 用作电容器绝缘体。由此,与超低 k 材料相比,低 k 阻挡层的高 k 值可增加电容。而且,低 k 阻挡层 104 的厚度低于介电层 106 的厚度,从而也增加了包括下电极 105、电容器绝缘体 104 以及上电极 109 的电容器结构的电容。另外,在密度及耐受与工艺相关的损害的鲁棒性方面,与超低 k 材料相比,充当电容器绝缘体的低 k 阻挡层 104 显示较好的介电属性。当选择第二低 k 阻挡层 104 的典型材料例如氮化硅或碳化硅以及惰性原子(例如氩或氦)作为电容器绝缘体时,可可靠地避免自发静电放电。

[0040] 正如所提到的,介电材料 111 中过孔的形成以及因此形成的上电极 109 的电性接触需要介电材料 111 及上电极 109 的材料的选择性,就执行以形成过孔的蚀刻制程的方面。下面说明当至上电极的介电材料蚀刻的选择性不足时适用的形成电容器结构的方法的另一个例子。蚀刻及层形成工艺与参照图 1a 至 1f 所述的工艺类似。而且,可类似地选择相应层的材料及厚度。

[0041] 图 2a 显示与图 1c 中所示的结构类似的半导体结构 200。半导体结构 200 包括可与上述衬底 101 类似的衬底 201。在衬底 201 上方形成第一低 k 阻挡层 202、金属化 / 互连级层 203 以及第二低 k 阻挡层 204。第一及第二低 k 阻挡层 202 及 204 可与图 1a 至 1f 中所示的第一及第二低 k 阻挡层 102 及 104 类似。金属化层 203 可与图 1a 至 1f 中所示的金属化层类似。第二低 k 阻挡层 204 可经选择以显著薄于金属化层 203,例如,第二低 k 阻挡层 204 的厚度可为金属化层 203 的厚度的 1/3 或 1/4 或 1/5。尤其,金属化层 203 可包括包括多个导电结构的导电层 205 以及介电层 206,尤其,介电层 206 可包括或由超低 k 介电材料组成,例如 $k < 2.4$ 。导电层 205 及介电层 206 可由与图 1a 至 1f 中所示的导电层 105 及介电层 106 相同的材料制成。在第二低 k 阻挡层 204 顶上形成与图 1b 至 1f 的金属层 107 类似的包括或由金属或金属化合物组成的金属层 207。

[0042] 金属层 207 须经图案化以形成电容器结构的上电极。在图 2a 所示的例子中,例如,在金属层 207 上形成光阻掩膜。与图 1c 中所示的例子不同,形成掩膜 208,以使其显著延伸于将充当电容器结构的下电极的导电层 205 的横向边缘上方。在所示的例子中,该掩膜至少部分覆盖位于将会形成电容器的下电极的中心导电结构的左边及右边的额外导电结构 215。在蚀刻金属层 207、湿式清洗以及抗蚀剂剥离的步骤以后,形成如图 2b 所示的结构。上电极 209(沿附图中从左至右的方向)明显延伸于下电极 205 的横向边缘以外且可与位于中心导电结构的左边及右边的额外导电结构 215 至少部分重叠。

[0043] 图 2c 显示工艺的下一阶段。在上电极 209 及第二低 k 阻挡层 204 的暴露表面上形成与图 1e 及 1f 中所示的介电层 111 类似的介电层 211。介电层 211 可形成作为包括多个导电结构的另一个金属化/互连级层的部分。而且,可在介电层 211 上形成另外的层,其中,该另外的层可包括导电结构和/或半导体装置,例如电路的电阻器或电容器或存储器单元或逻辑元件。

[0044] 通过适当图案化的(光阻)掩膜蚀刻介电层 211,以形成过孔及沟槽,并随后使用接触材料 212 填充该过孔及沟槽,如图 2d 所示。在所示例子中,对于介电材料 211 及上电极 209 的材料,蚀刻没有显著的选择性,也就是上电极 209 不能充当为形成过孔所执行的蚀刻工艺的蚀刻停止层。实际上,在所示的例子中,蚀刻通过上电极 209 的材料并暴露下方的第二低 k 阻挡层 204。

[0045] 过孔的蚀刻止于(超低 k)介电材料 206 中嵌埋的额外导电结构 215,也就是额外导电结构 215 充当着落假片(landing dummy)。要注意的是,额外导电结构 215 的设置只是可选的,或者可省略额外导电结构 215 或由不导电结构代替。不过,通过与下电极 205 的横向边缘隔开的外侧边缘处的接触材料 212 接触上电极 209,以避免包括下电极及上电极 205、209 以及第二低 k 阻挡层 204 形式的电容器绝缘体的电容器结构的下电极及上电极 205、209 短路。

[0046] 由于本领域的技术人员借助这里的教导可以很容易地以不同但等同的方式修改并实施本发明,因此上面揭露的特定实施例仅为示例性质。例如,可以不同的顺序执行上述工艺步骤。而且,本发明不限于这里所示架构或设计的细节,而是如下面的权利要求所述。因此,显然,可对上面揭露的特定实施例进行修改或变更,所有此类变更落入本发明的范围及精神内。因此,权利要求规定本发明的保护范围。

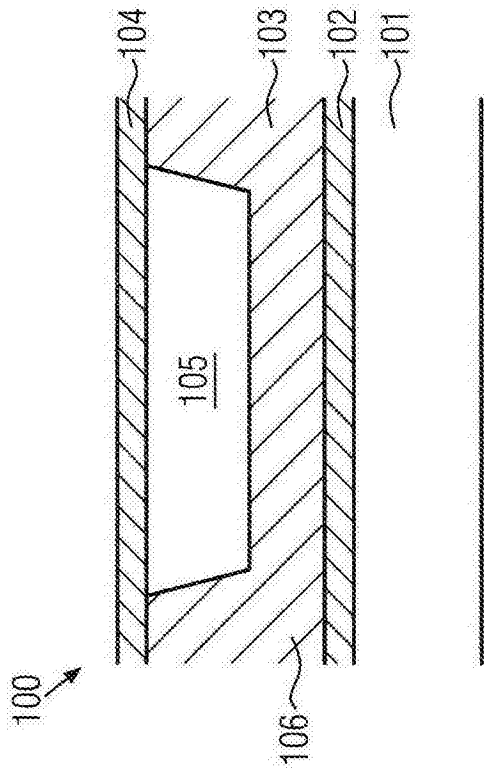


图 1a

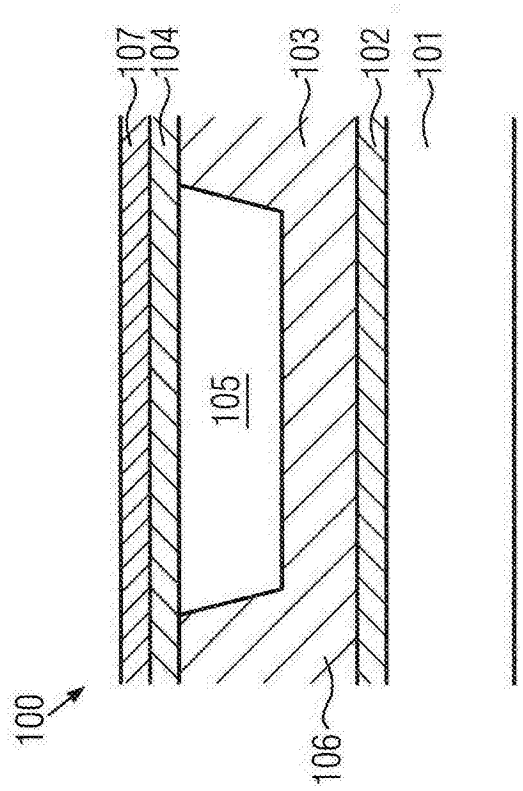


图 1b

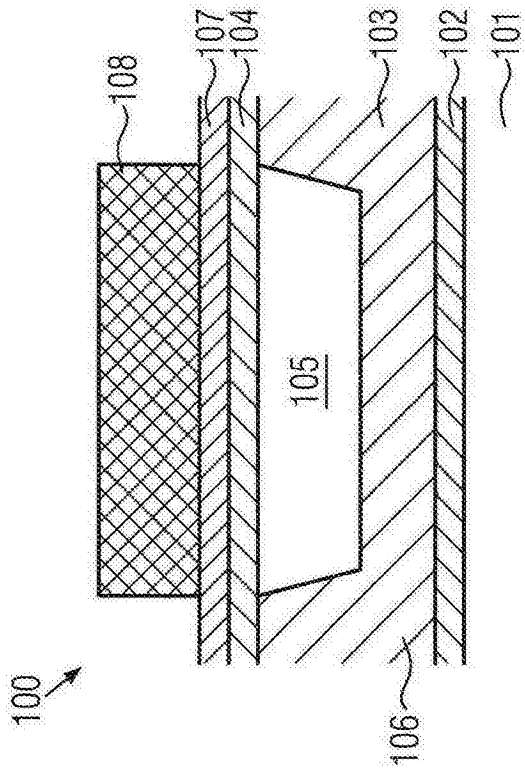


图 1c

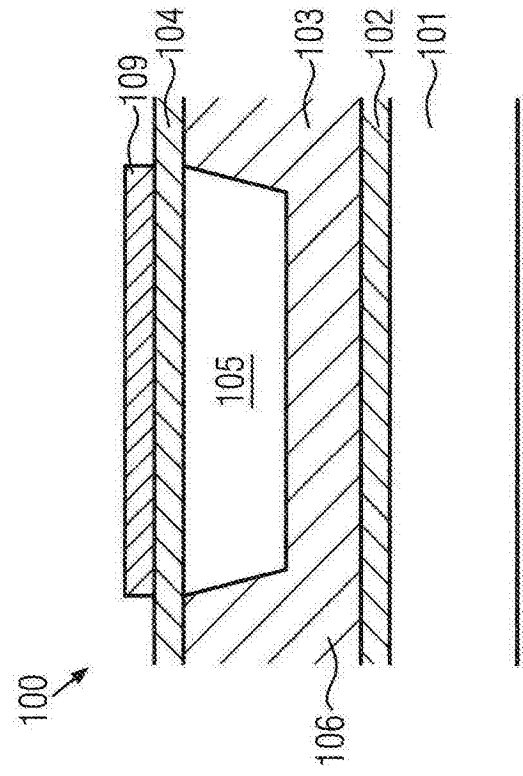


图 1d

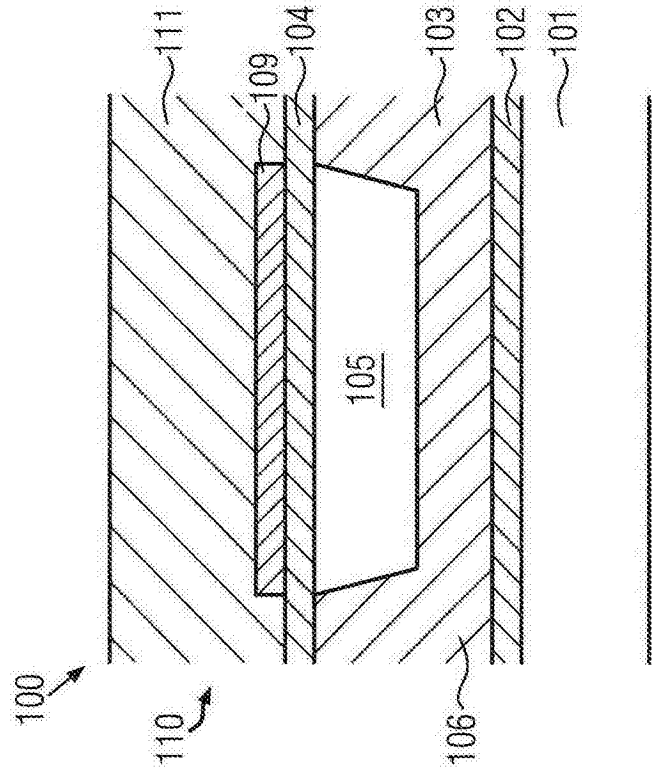


图 1e

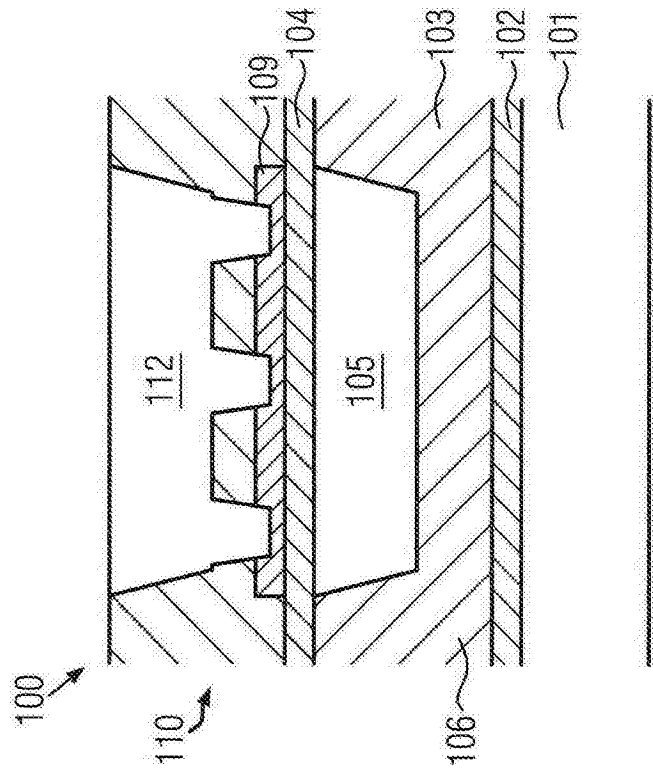


图 1f

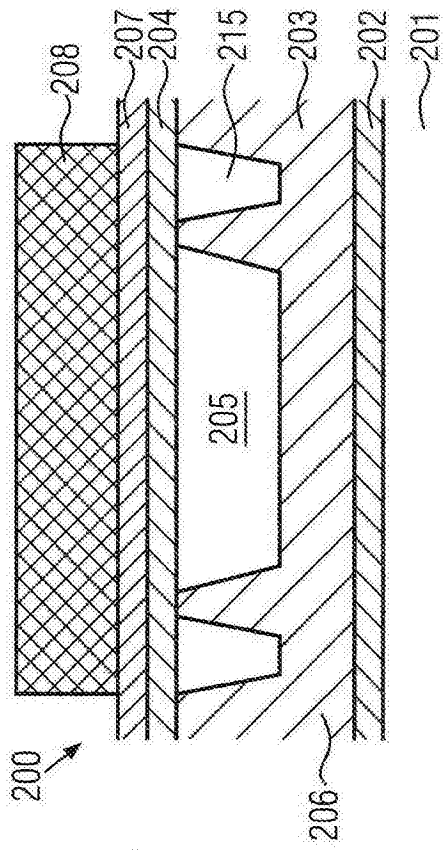


图 2a

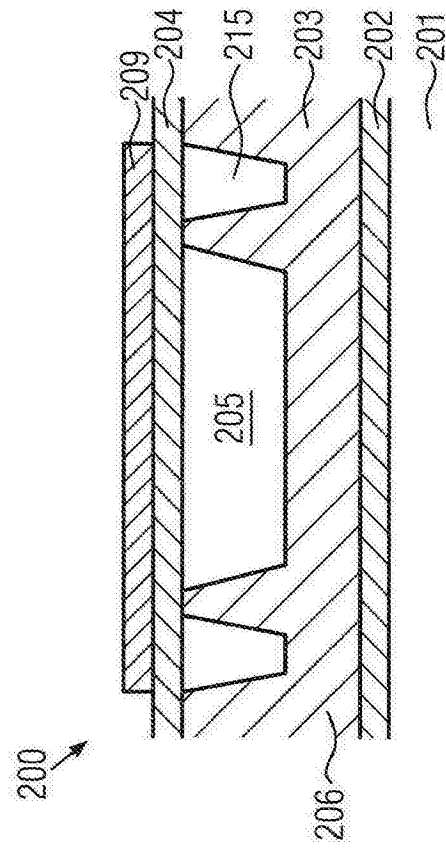


图 2b

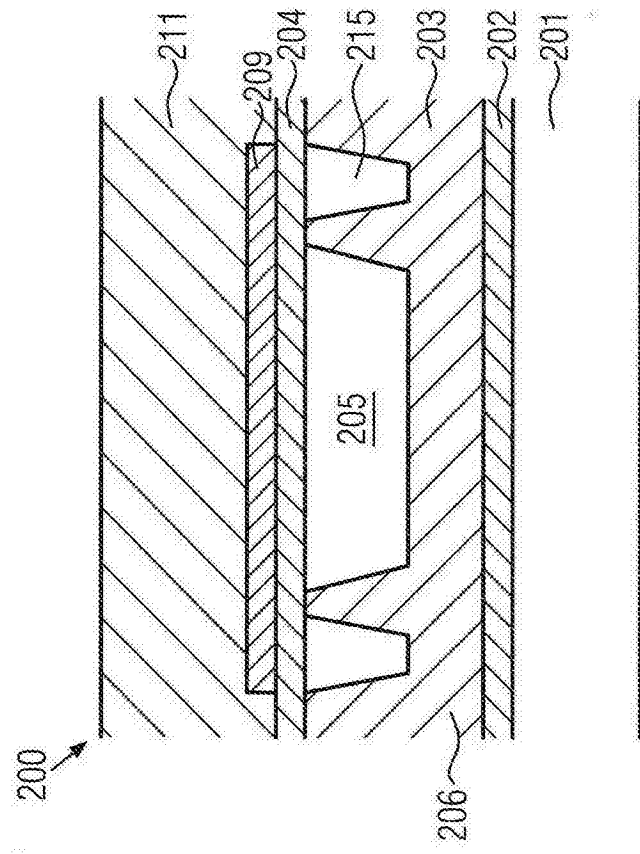


图 2c

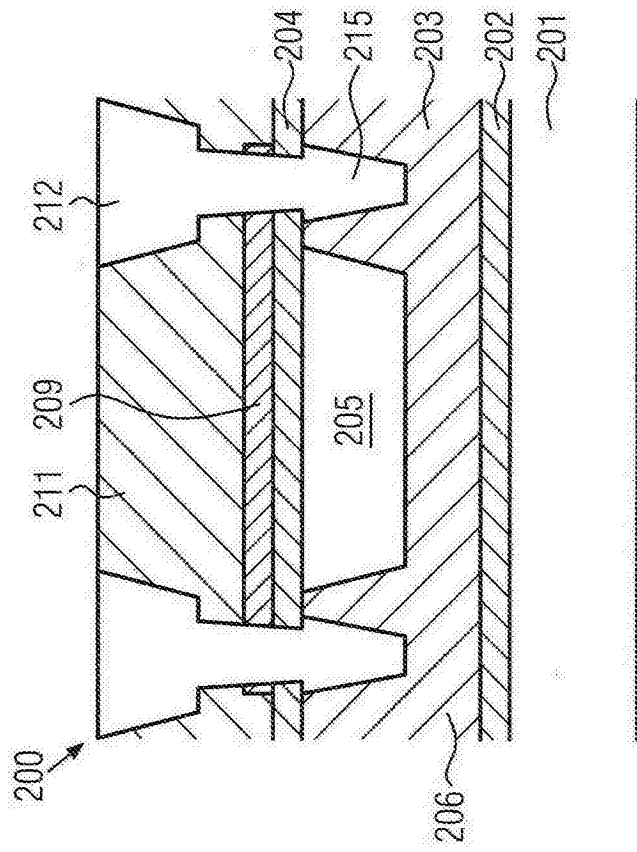


图 2d