

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 21/76	(11) 공개번호 특 1999-0070373	(43) 공개일자 1999년 09월 15일
(21) 출원번호 10-1998-0005173		
(22) 출원일자 1998년 02월 19일		
(71) 출원인 엘지반도체 주식회사 구본준		
(72) 발명자 오한수		
(74) 대리인 양순석, 한윤근		

심사청구 : 없음

(54) 반도체장치의 소자격리방법

요약

본 발명은 반도체장치의 소자격리방법에 관한 것으로서 반도체기판 상에 마스크층을 형성하고 상기 반도체기판의 소정 부분이 노출되도록 패터닝하여 소자격리영역과 활성영역을 한정하는 공정과, 상기 반도체기판의 노출된 부분에 소정 깊이의 트렌치를 형성하는 공정과, 상기 트렌치를 채우는 필드산화막을 형성하는 공정과, 상기 마스크층을 제거하여 상기 반도체기판을 노출시키고 상기 필드산화막의 상기 반도체기판의 표면 보다 높은 부분을 습식 식각하여 단차를 감소시키는 공정과, 상기 반도체기판과 상기 필드산화막의 단차를 감소시키기 위한 습식 식각시 상기 필드산화막의 상기 트렌치 상부 모서리와 접하는 부분에 형성되는 흠을 절연막으로 채우는 공정을 구비한다. 따라서, 이후 공정인 게이트산화막 및 게이트 형성시 게이트산화막이 얇게 형성되거나 게이트의 식각 잔류물이 남는 것을 방지할 수 있어 소자의 신뢰성을 향상시킬 수 있다.

대표도

도 2f

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래 기술에 따른 반도체장치의 소자격리방법을 도시하는 공정도
도 2a 내지 도 2f는 본 발명에 따른 반도체장치의 소자격리방법을 도시하는 공정도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치의 소자격리방법에 관한 것으로서, 특히, 트렌치(trench)를 이용한 반도체장치의 소자격리방법에 관한 것이다.

반도체장치의 집적화가 거듭되면서 반도체장치의 상당한 면적을 점유하는 소자격리영역을 줄이기 위한 기술 개발이 활발히 진행되고 있다.

반도체장치의 집적화가 거듭되면서 반도체장치의 상당한 면적을 점유하는 소자격리영역을 줄이기 위한 기술 개발이 활발히 진행되고 있다.

일반적으로 반도체장치는 LOCOS(Local Oxidation of Silicon) 방법으로 소자를 격리하였다. LOCOS 방법은 활성영역을 한정하는 산화마스크인 질화막과 반도체기판의 열적 특성이 다르기 때문에 발생하는 스트레스를 해소하기 위하여 질화막과 반도체기판 사이에 박막의 버퍼산화막(buffer oxide)을 형성하고 산화시켜 소자격리영역으로 이용되는 필드산화막을 형성한다. 상기에서 필드산화막은 반도체기판의 수직 방향으로 성장할 뿐만 아니라 산화제(Oxidant : O₂)가 버퍼산화막을 따라 수평 방향으로도 확산되므로 질화막의 패턴 엣지(edage) 밑으로 성장되게 되는 특징을 갖는다.

이와같이 필드산화막이 활성 영역을 잠식하는 현상을 그 형상이 새의 부리 모양과 유사하여 버즈비크(Bird's Beak)이라 한다. 이러한 버드 비크의 길이는 필드산화막 두께의 1/2이나 된다. 그러므로,

활성 영역의 크기가 감소되는 것을 줄이기 위하여는 버즈 비크의 길이를 최소화 하여야 한다.

버즈 비크의 길이를 줄이기 위한 방법으로 필드산화막의 두께를 감소시키는 방식이 도입되었으나 16M DRAM급 이상에서 필드산화막의 두께를 감소시키면 배선과 반도체기판 사이의 정전 용량이 증가되어 신호 전달 속도가 저하되는 문제가 발생된다. 또한, 소자의 게이트로 사용되는 배선에 의해 소자 사이의 격리 영역에 형성되는 기생 트랜지스터의 문턱전압(Vt)이 저하되어 소자 사이의 격리특성이 저하되는 문제점이 있다.

따라서, 버즈 비크의 길이를 감소시키면서 소자격리를 하는 방법이 개발되었다. 버즈 비크의 길이를 감소시키면서 소자격리를 하는 방법으로는 스트레스 완충용 버퍼산화막의 두께를 낮추고 반도체기판과 질화막 사이에 다결정실리콘층을 개입시킨 PBLOCOS(Poly Si Buffered LOCOS), 버퍼산화막의 측벽을 질화막으로 보호하는 SILO(Sealed Interface LOCOS), 그리고, 반도체기판 내에 필드산화막을 형성시키는 리세스(Recessed) LOCOS 기술들이 있다.

그러나, 상기 기술들은 격리 영역 표면의 평탄도와 정밀한 디자인 룰(Design Rule) 등의 이유로 256M DRAM급 이상의 집적도를 갖는 차세대 소자의 소자격리기술로 적합하지 않게 되었다.

따라서, 기존의 여러 소자격리기술들의 문제점을 극복할 수 있는 BOX(buried oxide)형 얇은트렌치소자격리(shallow trench isolation) 기술이 개발되었다. BOX형 소자격리기술 반도체기판에 트렌치를 형성하고 화학기상증착(Cheical Vapor Deposition : 이하, CVD라 칭함) 방법으로 산화실리콘 또는 불순물이 도핑되지 않은 다결정실리콘을 매립한 구조를 갖는다. 그러므로, 버즈 비크가 발생되지 않아 활성영역의 손실이 전혀 없으며, 또한, 산화막을 에치 백(etch back)하여 평탄한 표면을 얻을 수 있다.

도 1a 내지 도 1d는 종래 기술에 따른 얇은 트렌치를 이용한 소자격리방법을 도시하는 공정도이다.

도 1a를 참조하면, 반도체기판(11) 상에 열산화 방법으로 버퍼산화막(13)을 형성하고, 이 버퍼산화막(13) 상에 화학기상증착(Cheical Vapor Deposition : 이하, CVD라 칭함) 방법으로 질화실리콘을 증착하여 마스크층(15)을 형성한다.

그리고, 마스크층(15) 및 버퍼산화막(13)을 포토리소그래피 방법으로 반도체기판(11)이 노출되도록 순차적으로 패터닝하여 소자격리영역과 활성영역을 한정한다.

도 1b를 참조하면, 마스크층(15)을 마스크로 사용하여 반도체기판(11)의 노출된 소자격리영역을 소정 깊이로 식각하여 트렌치(17)를 형성한다. 상기에서 트렌치(17)를 반응성이온식각(Reactive Ion Etching : 이하, RIE라 칭함)이나 플라즈마 식각 등으로 이방성 식각하여 형성한다.

도 1c를 참조하면, 마스크층(15) 상에 산화실리콘을 트렌치(17)를 채우도록 CVD 방법으로 증착한다. 그리고, 산화실리콘을 마스크층(15)이 노출되어 화학-기계적연마(Cheical-Mechanical Polishing : 이하, CMP라 칭함) 방법 또는 RIE 방법으로 에치 백하여 트렌치(17) 내에만 잔류되도록 한다. 이 때, 트렌치(17) 내에 잔류하는 산화실리콘은 소자를 분리하는 필드산화막(19)이 된다.

도 1d를 참조하면, 마스크층(15) 및 버퍼산화막(13)을 습식 식각 방법으로 순차적으로 제거하여 반도체기판(11)의 활성영역을 노출시킨다. 이 때, 필드산화막(19)의 반도체기판(11)의 표면 보다 높은 부분도 식각되어 단차가 감소된다.

상술한 종래의 반도체장치의 소자격리방법은 마스크층 및 버퍼산화막을 습식 식각하여 제거하면서 필드산화막의 반도체기판 표면 보다 높은 부분도 식각할 때 이 필드산화막은 습식 식각에 의해 트렌치와 접합 부분의 상부에 흠이 형성된다.

이 후에 게이트산화막과 다결정실리콘으로 게이트를 형성할 때 흠이 형성된 부분에서 게이트산화막의 두께가 감소되고 이 흠의 내부에 다결정실리콘이 잔류하게 되므로 게이트가 활성영역을 에워싸는 구조가 된다. 그러므로, 소자 구동시

흠의 내부에 잔류하는 다결정실리콘에 의해 전계가 증가되어 누설 전류가 흐르며, 또한, 게이트산화막의 두께가 감소에 의해 전계가 집중되어 소자 특성을 저하시키는 문제점이 있었다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 트렌치와 접합 부분의 상부에 흠이 형성되는 것을 방지하여 소자의 신뢰성을 향상시킬 수 있는 반도체장치의 소자격리방법을 제공함에 있다.

상기 목적을 달성하기 위해 본 발명에 따른 반도체장치의 소자격리방법은 반도체기판 상에 마스크층을 형성하고 상기 반도체기판의 소정 부분이 노출되도록 패터닝하여 소자격리영역과 활성영역을 한정하는 공정과, 상기 반도체기판의 노출된 부분에 소정 깊이의 트렌치를 형성하는 공정과, 상기 트렌치를 채우는 필드산화막을 형성하는 공정과, 상기 마스크층을 제거하여 상기 반도체기판을 노출시키고 상기 필드산화막의 상기 반도체기판의 표면 보다 높은 부분을 습식 식각하여 단차를 감소시키는 공정과, 상기 반도체기판과 상기 필드산화막의 단차를 감소시키기 위한 습식 식각시 상기 필드산화막의 상기 트렌치 상부 모서리와 접하는 부분에 형성되는 흠을 절연막으로 채우는 공정을 구비한다.

발명의 구성 및 작용

이하, 첨부한 도면을 참조하여 본 발명을 상세히 설명한다.

도 2a 내지 도 2f는 본 발명에 따른 얇은 트렌치를 이용한 반도체장치의 소자격리방법을 도시하는 공정도이다.

도 2a를 참조하면, 반도체기판(21) 상에 열산화 방법으로 버퍼산화막(23)을 형성하고, 이

버퍼산화막(23) 상에 CVD 방법으로 질화실리콘을 증착하여 마스크층(25)을 형성한다.

그리고, 마스크층(25) 및 버퍼산화막(23)을 포토리소그래피 방법으로 반도체기판(21)이 노출되도록 순차적으로 패터닝하여 소자격리영역과 활성영역을 한정한다.

도 2b를 참조하면, 마스크층(25)을 마스크로 사용하여 반도체기판(21)의 노출된 부분, 즉, 소자격리영역을 소정 깊이로 식각하여 트렌치(27)를 형성한다. 상기에서 트렌치(27)를 RIE 또는 플라즈마 식각 등으로 이방성 식각하여 형성한다.

도 2c를 참조하면, 마스크층(25) 상에 산화실리콘을 트렌치(27)를 채우도록 CVD 방법으로 증착한다. 그리고, 산화실리콘을 마스크층(25)이 노출되어 CMP 방법 또는 RIE 방법으로 에치 백하여 트렌치(27) 내에만 잔류되도록 한다. 이 때, 트렌치(27) 내에 잔류하는 산화실리콘은 소자를 분리하는 필드산화막(29)이 된다.

도 2d를 참조하면, 마스크층(25) 및 버퍼산화막(23)을 습식 식각 방법으로 순차적으로 제거하여 반도체기판(21)의 활성영역을 노출시킨다. 상기에서 버퍼산화막(23)을 제거할 때 필드산화막(29)의 반도체기판(21)의 표면 보다 높은 부분도 식각되어 단차가 감소된다. 이 때, 필드산화막(29)은 트렌치(27)의 상부 모서리 부분에서 수직 및 수평방향으로 식각되므로 트렌치(27)와 접합 부분의 상부예 홈(31)이 형성된다.

도 2e를 참조하면, 반도체기판(21)과 필드산화막(29) 상에 불순물이 도핑되지 않은 다결정실리콘을 홈(31)을 채우도록 CVD 방법으로 증착하고 산화하여 절연막(33)을 형성한다. 상기에서, 다결정실리콘이 반도체기판(21)을 이루는 단결정실리콘 보다 식각율이 2~3배 정도 크므로 다결정실리콘을 산화하여 절연막(33)을 형성할 때 반도체기판(21)이 산화되지 않거나 또는 산화되는 정도를 최소화시킬 수 있다.

상기에서 절연막(33)을 산화실리콘을 CVD 방법으로 증착하여 형성할 수도 있다.

도 2f를 참조하면, 절연막(33)을 RIE 방법 등으로 에치백하여 반도체기판(21)과 필드산화막(29)을 노출시킨다. 이 때, 홈(31) 내에는 절연막(33)이 잔류하여 표면을 평탄화시킨다.

이 후에 반도체기판(21) 상에 게이트산화막(도시되지 않음)을 형성하고, 이 게이트산화막 상의 소정 부분에 다결정실리콘으로 게이트(도시되지 않음)를 형성한다. 이 때, 절연막(33)에 의해 홈(31)이 채워져 있으므로 게이트산화막이 얇게 되거나 또는 다결정실리콘이 잔류되지 않게 된다.

상술한 바와 같이 본 발명에 따른 반도체장치의 소자격리방법은 트렌치 내에 필드산화막을 형성하고 마스크층과 버퍼산화막을 제거할 때 필드산화막이 트렌치 상부 모서리 부분에서 수직 및 수평방향으로 식각되므로 형성된 홈을 채우도록 절연막을 형성한 후 에치백하여 홈을 메꾸어 표면을 평탄화시킨다.

발명의 효과

따라서, 본 발명은 이후 공정인 게이트산화막 및 게이트 형성시 게이트산화막이 얇게 형성되거나 게이트의 식각 잔류물이 남는 것을 방지할 수 있어 소자의 신뢰성을 향상시킬 수 있는 잇점이 있다.

(57) 청구의 범위

청구항 1

반도체기판 상에 마스크층을 형성하고 상기 반도체기판의 소정 부분이 노출되도록 패터닝하여 소자격리영역과 활성영역을 한정하는 공정과,

상기 반도체기판의 노출된 부분에 소정 깊이의 트렌치를 형성하는 공정과,

상기 트렌치를 채우는 필드산화막을 형성하는 공정과,

상기 마스크층을 제거하여 상기 반도체기판을 노출시키고 상기 필드산화막의 상기 반도체기판의 표면 보다 높은 부분을 습식 식각하여 단차를 감소시키는 공정과,

상기 반도체기판과 상기 필드산화막의 단차를 감소시키기 위한 습식 식각시 상기 필드산화막의 상기 트렌치 상부 모서리와 접하는 부분에 형성되는 홈을 절연막으로 채우는 공정을 구비하는 반도체장치의 소자격리방법.

청구항 2

청구항 1에 있어서 상기 홈에 상기 절연막을 채우는 공정은 상기 반도체기판과 상기 필드산화막 상에 절연막을 형성하고 상기 홈에만 잔류하도록 에치백하는 반도체장치의 소자격리방법.

청구항 3

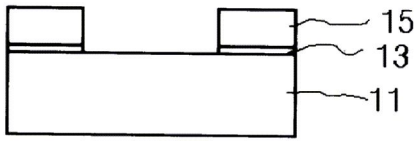
청구항 2에 있어서 상기 절연막을 상기 상기 반도체기판과 상기 필드산화막 상에 불순물이 도핑되지 않은 다결정실리콘을 증착한 후 산화하여 형성하는 반도체장치의 소자격리방법.

청구항 4

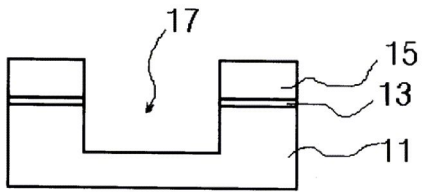
청구항 2에 있어서 상기 절연막을 상기 반도체기판과 상기 필드산화막 상에 산화실리콘을 증착하여 형성하는 반도체장치의 소자격리방법.

도면

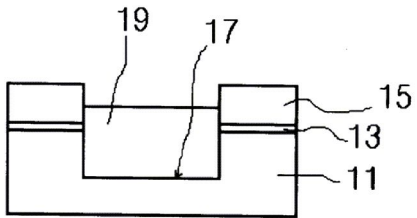
도면 1a



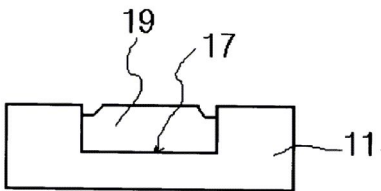
도면 1b



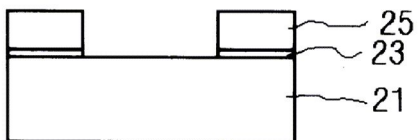
도면 1c



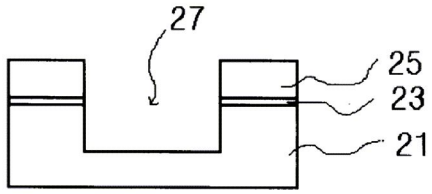
도면 1d



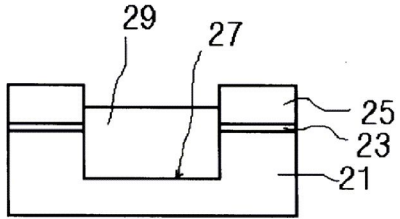
도면 2a



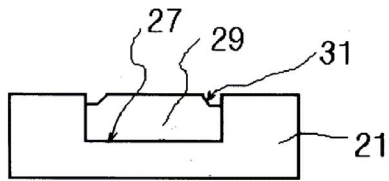
도면2b



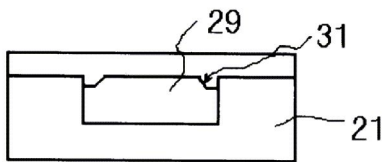
도면2c



도면2d



도면2e



도면2f

