

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：**96141126**

※申請日期：**96.11.1**

※IPC 分類：

H01L 21/82 (2006.01)

一、發明名稱：(中文/英文)

電阻式記憶體及其製造方法

RESISTANCE MEMORY AND METHOD FOR MANUFACTURING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

財團法人工業技術研究院

INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE

代表人：(中文/英文) 林信義 LIN, HSIN-I

住居所或營業所地址：(中文/英文)

新竹縣竹東鎮中興路四段 195 號

NO. 195, SEC. 4, CHUNG-HSING ROAD, CHU-TUNG, HSIN-CHU, TAIWAN, R.O.C.

國籍：(中文/英文) 中華民國 ROC

三、發明人：(共 4 人)

姓名：(中文/英文)

1. 李亨元

LEE, HENG-YUAN

2. 王慶鈞

WANG, CHING-CHIUN

3. 陳邦旭

CHEN, PANG-HSU

4. 吳岱原

WU, TAI-YUAN

國籍：(中文/英文) 1-4：中華民國/R.O.C.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，
其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種電阻式記憶體 (resistance memory) 以及其製造方法，尤其是有關於一種具有平面雙尖端電極結構之電阻式記憶體以及製造該電阻式記憶體之方法，其利用平面雙尖端電極結構使電阻式記憶體之電場集中，因而改善元件的操作特性。

【先前技術】

電阻式記憶體 (resistance memory)，諸如氧化物電阻式記憶體、相變化記憶體等，在其介電質材料中具有一侷限之導電區域，可以利用該侷限之導電區域內之電流分布來改變電阻，進而改善該類記憶體之操作特性，例如，穩定其操作電壓，以及降低其操作電流等。

氧化物電阻式記憶體的操作與介電質材料中之導電區域內所形成的電阻絲結構有很大的關係。然而，一般透過高電壓施壓所形成的電阻絲，由於缺陷生成時任意的分布，所以電阻絲的數目與結構變得無法控制，因此造成電阻式記憶體過大的操作電流與不穩定的操作特性。因此，有效的控制電阻絲的數目與結構是改善該類記憶體之操作特性很重要的課題。

圖一為 IBM 公司在美國專利公開案第 2006/0027893 號中所揭露的電阻式記憶體之橫截面示意圖。在圖一中，一基板 10 上方形成一電晶體層 11。電晶體層 11 中具有複數個電晶體以及相關電路 (圖中未示)。電晶體層 11 上方形成有一絕緣層 12，該絕緣層 12 中依序形成一下電極 13 以及一介電材料 14。

在介電材料 14 上形成一上電極 15，使得下電極 13、介電材料 14 與上電極 15 形成一個金屬 - 絕緣體 - 金屬 (metal-insulator-metal, MIM) 的電容結構。其中，上電極 15 的下表面，具有一向下朝向基板 10 的尖端 16，因而在介電材料 14 中形成一個集中的電場。如此有助於電阻絲 (fuse) 生成在電材料 14 中之侷限的導電區域，來降低電阻絲生成的數目，進而增進元件的操作特性。然而，此法由於僅有靠近上電極 15 的尖端 16 處之電場較為集中，下電極 13 處的電場仍然較為分散。

因此，為了改善上述缺失，亟需一種電阻式記憶體以及其製造方法，使用半導體製程形成一種平面式的雙尖端電極，使電阻式記憶體單元內的電場集中，進而降低介電材料中電阻絲生成的數目並且改善元件的操作特性。

【發明內容】

本發明之一目的在於提供一種電阻式記憶體以及其製造方法，使用半導體製程形成一種平面式的雙尖端電極，使電阻式記憶體單元內的電場集中，進而降低介電材料中電阻絲生成的數目並且改善元件的操作特性。

為達上述目的，本發明提供一種製造電阻式記憶體之方法，包括以下步驟：

提供一具有複數個電晶體之半導體基板，該半導體基板上

方形成一具有複數個第一栓塞之第一絕緣層，使得該第一栓塞連接該電晶體之源／汲極；

形成一電性連接層於該第一絕緣層上，以連接該第一栓塞；

形成一第二絕緣層於該第一絕緣層與該電性連接層上，使得該第二栓塞透過該電性連接層而與該第一栓塞連接；依序形成一電極層以及一犧牲層於該第二絕緣層上；以光學微影與蝕刻技術定義出一圖案化犧牲層，該圖案化犧牲層具有兩相鄰的半圓形圖案、半橢圓形圖案或半多邊形圖案，以裸露出部分之該電極層；沉積與該犧牲層相同材料之一薄膜層於該圖案化犧牲層與裸露部分之該電極層上，該薄膜層之厚度足以使該兩相鄰之半圓形圖案、半橢圓形圖案或半多邊形圖案接合起來；非等向性地蝕去該薄膜層，以形成一側壁部分；沉積與該犧牲層不同材料的一遮罩層，並將該遮罩層平坦化，以覆蓋裸露部分之該電極層；移除該圖案化犧牲層與該側壁部分，只留下該遮罩層，並裸露部分之該電極層；利用該遮罩層以移除裸露部分之該電極層，而裸露部分之第二絕緣層，並且移除該遮罩層，以形成一個平面式的雙尖端電極結構；形成一電阻轉換層於該第二絕緣層上，並且覆蓋該雙尖端電極結構；以及形成一第三絕緣層於該電阻轉換層上，該第三絕緣層中具有一介層窗，以連接該雙尖端電極結構之共用電極至接地端。

為達上述目的，本發明提供一種電阻式記憶體，包括：
一第一記憶體細胞，包括一第一下電極以及一共用上電

極；以及
一第二記憶體細胞，包括一第二下電極以及與該第一記憶體細胞共用之該共用上電極；
其中，該第一下電極、該第二下電極與該共用上電極係位於同一平面，並且分別以一電阻轉換層隔開。

【實施方式】

為使 貴審查委員能對本發明之特徵、目的及功能有更進一步的認知與瞭解，茲配合圖式詳細說明如後。

在本發明中，係提供一種電阻式記憶體以及其製造方法，使用半導體製程形成一種平面式的雙尖端電極，使電阻式記憶體單元內的電場集中，進而降低介電材料中電阻絲生成的數目並且改善元件的操作特性。

圖二至圖十一係為本發明之製造電阻式記憶體之方法之第一至第十步驟的截面示意圖。首先，圖二為本發明之製造電阻式記憶體之方法之第一步驟的截面示意圖。在圖二中，半導體基板 20 具有複數個電晶體（圖中未示）。半導體基板 20 上方形成一第一絕緣層 21。該第一絕緣層 21 具有複數個第一栓塞 22，使得每一該第一栓塞 22 連接該電晶體之源／汲極 23。在半導體基板上形成電晶體之技術係屬業界所熟知者，故在此不予贅述。詳而言之，在第一絕緣層 21 形成之後，利用光學微影術以及蝕刻製程，在該第一絕緣層 21 中，形成複數個開口，之後再沉積一導電材料，以填滿該開口，之後再以平坦化製程將該導電材料平坦化，以形成該第一栓塞 22。該導電材料可以使用鎢或其他導電金屬材料。

圖三為本發明之製造電阻式記憶體之方法之第二步驟的截面示意圖。在圖三中，形成電性連接層 24 於該第一絕緣層 21 上方，以連接該第一栓塞 22。接著，在第一絕緣層 21 與電性連接層 24 上，沉積一第二絕緣層 25，並且在該第二絕緣層 25 形成複數個第二栓塞 26，使得該第二栓塞 26 透過電性連接層 24 而與第一栓塞 22 連接。詳而言之，以光學微影術以及蝕刻製程，在該第二絕緣層 25 中，形成複數個開口；接著沉積一導電材料，以填滿該開口，之後再以平坦化製程將該導電材料平坦化，以形成第二栓塞 26。該導電材料可以使用鎢或其他導電金屬材料。

請參閱圖四，其係為本發明之製造電阻式記憶體之方法之第三步驟的截面示意圖。在圖四中，依序形成一電極層 27 以及一犧牲層 28 於該第二絕緣層 25 上，以在後續步驟中形成電極層 27。在本實施例中，電極層 27 係利用物理氣相沉積(PVD)或化學氣相沉積(CVD)的方式，而以一般電阻式記憶體或相變化記憶常用的電極材料，例如：如鉑(Pt)、金(Au)、鈀(Pd)、鈦(Ru)、氮化鈦(TiN)、鈦鎢(TiW)合金、氮化鈦鋁(TiAlN)、以及其混合物之一者形成。此外，犧牲層 28 係可利用物理氣相沉積(PVD)或化學氣相沉積(CVD)的方式，而以二氧化矽(SiO₂)形成。

由於本發明之平面式的雙尖端電極結構係為以汲極為對稱中心的對稱結構，接下來的製作流程截面圖將只顯示以汲極為對稱中心的左半邊部份，如圖五所示。圖五為圖四之左半邊上視圖，而虛線部份為隱藏在電極層以及犧牲層下的第二栓塞 26 區域。

圖六 A 為本發明之製造電阻式記憶體之方法之第四步驟之一實施例的上視圖。在圖六 A 中，以光學微影與蝕刻技術定義出圖案化犧牲層 28'，該圖案化犧牲層 28' 具有兩個相鄰的半圓形圖案 29，以裸露出部分之該電極層 27。該兩個相鄰的半圓形圖案 29 也可為兩個相鄰的半橢圓形圖案 29'（圖六 B）或半多邊形圖案 29''（圖六 C）。在此我們定義虛線 XX 為兩個相鄰半圓形圖案 29 的對稱線，而虛線 YY 為垂直虛線 XX，而由半圓之圓心所連線而成的對稱線。

圖七 A 與圖七 B 分別為本發明之製造電阻式記憶體之方法之第五步驟的 XX 方向與 YY 方向截面示意圖。如圖七 A 與圖七 B 中所示，沉積與犧牲層 28 相同材料的薄膜層 30 於該圖案化犧牲層 28' 與裸露部分之該電極層 27 上，該薄膜層 30 之厚度足以使相鄰的兩半圓形圖案 29 接合起來。在圖七 A 中與圖七 B 中，薄膜層 30 中的凸起 30' 為兩半圓形圖案 29 接合處。

接著，非等向性地蝕去第五步驟所沉積的薄膜層 30，以形成一側壁部分 30''，如圖八 A 至圖八 C 中所示。其中，圖八 A 為本發明之製造電阻式記憶體之方法之第六步驟的上視圖；圖八 B 為本發明之製造電阻式記憶體之方法之第六步驟的 XX 方向截面示意圖；以及圖八 C 為本發明之製造電阻式記憶體之方法之第六步驟的 YY 方向截面示意圖。

接著，沉積與犧牲層 28 不同材料的遮罩層 32 並將之平坦化，以覆蓋裸露部分之該電極層 27，如圖九 A 與圖九 B 中所示。其中，圖九 A 為本發明之製造電阻式記憶體之方法之第七步驟的上視圖；以及圖九 B 為本發明之製造電阻式記憶體之方法之第七步驟的 XX 方向截面示意圖。在本實施例中，遮罩

層 32 係可利用物理氣相沉積 (PVD) 或化學氣相沉積 (CVD) 的方式，而以氮化矽 (Si_3N_4) 形成。

圖十為本發明之製造電阻式記憶體之方法之第八步驟的上視圖。在圖十中，圖案化犧牲層 28' 與側壁部分 30'' 被移除，只留下遮罩層 32，並裸露部分之該電極層 27。接著，利用遮罩層 32 以移除裸露部分之該電極層 27 而裸露部分之第二絕緣層 25，之後並且移除遮罩層 32，以形成一個平面式的雙尖端電極結構 27'，如圖十一 A 與圖十一 B 所示，其係分別為本發明之製造電阻式記憶體之方法之第九步驟的上視圖與截面示意圖。

圖十二係為本發明之製造電阻式記憶體之方法之第十步驟的截面示意圖。在圖十二中，一電阻轉換層 33 係形成於該第二絕緣層 25 上並且覆蓋該雙尖端電極結構 27'。在本實施例中，該電阻轉換層 33 係利用物理氣相沉積 (PVD) 或化學氣相沉積 (CVD) 的方式，而以任何電阻式記憶體所使用的氧化物，如氧化鈺 (HfO_2)、氧化鉭 (Ta_2O_5)、氧化鈦 (TiO_2)、氧化鈮 (Nb_2O_5)、氧化鋁 (Al_2O_3)、氧化銅 (CuO) 以及其堆疊結構之一者，或是相變化材料層，如鍺銻碲 (GeSbTe ，GST) 等形成。

最後，形成一第三絕緣層 34 於該電阻轉換層 33 上，該第三絕緣層 34 中具有一介層窗 (via) 35，以連接該雙尖端電極結構 27' 之共用電極 271 至接地端 (圖中未示)，如圖十三所示，其係為本發明之製造電阻式記憶體之方法之第十二步驟的截面示意圖。

因此，藉由圖二至圖十三所示之製造電阻式記憶體之方

法，可以形成一電阻式記憶體之雙尖端電極結構，如圖十四所示。該雙尖端電極結構包括兩個記憶體細胞，其各包括一個下電極 272 並且共用一個共用上電極 271。該共用上電極 271 則透過一介層窗 (via) 35 而接地。該下電極 272 則各透過一栓塞 22 而連接至一電晶體之源極。其中，該下電極 272 與該共用上電極 271 係分別以一電阻轉換層 (圖中未示) 隔開，且位於同一平面。利用此結構，元件在操作時，電流將因尖端電極電場分佈的結果，而侷限在電極尖端之間，如圖十四中之虛線所示。此外，此一製作流程較不易受到曝光時的繞射而產生扭曲的圖形，因此更適合小尺寸元件的製作。

綜上所述，當知本發明提供一種電阻式記憶體以及其製造方法，使用半導體製程形成一種平面式的雙尖端電極，使電阻式記憶體單元內的電場集中，進而降低介電材料中電阻絲生成的數目並且改善元件的操作特性。故本發明實為一富有新穎性、進步性，及可供產業利用功效者，應符合專利申請要件無疑，爰依法提請發明專利申請，懇請 貴審查委員早日賜予本發明專利，實感德便。

惟以上所述者，僅為本發明之較佳實施例而已，並非用來限定本發明實施之範圍，即凡依本發明申請專利範圍所述之形狀、構造、特徵、精神及方法所為之均等變化與修飾，均應包括於本發明之申請專利範圍內。

【圖式簡單說明】

圖一為一習知電阻式記憶體之橫截面示意圖；

圖二為本發明之製造電阻式記憶體之方法之第一步驟的截面示意圖；

圖三為本發明之製造電阻式記憶體之方法之第二步驟的截面示意圖；

圖四為本發明之製造電阻式記憶體之方法之第三步驟的截面示意圖；

圖五為圖四之左半邊上視圖；

圖六 A 為本發明之製造電阻式記憶體之方法之第四步驟之一實施例的上視圖；

圖六 B 為本發明之製造電阻式記憶體之方法之第四步驟之另一實施例的上視圖；

圖六 C 為本發明之製造電阻式記憶體之方法之第四步驟之又一實施例的上視圖；

圖七 A 為本發明之製造電阻式記憶體之方法之第五步驟的 XX 方向截面示意圖；

圖七 B 為本發明之製造電阻式記憶體之方法之第五步驟的 YY 方向截面示意圖；

圖八 A 為本發明之製造電阻式記憶體之方法之第六步驟的上視圖；

圖八 B 為本發明之製造電阻式記憶體之方法之第六步驟的 XX 方向截面示意圖；

圖八 C 為本發明之製造電阻式記憶體之方法之第六步驟的 YY 方向截面示意圖；

圖九 A 為本發明之製造電阻式記憶體之方法之第七步驟的上視圖；

圖九 B 為本發明之製造電阻式記憶體之方法之第七步驟的 XX 方向截面示意圖；

圖十為本發明之製造電阻式記憶體之方法之第八步驟的上視圖；

圖十一 A 為本發明之製造電阻式記憶體之方法之第九步驟的上視圖；

圖十一 B 為本發明之製造電阻式記憶體之方法之第九步驟的 XX 方向截面示意圖；

圖十二係為本發明之製造電阻式記憶體之方法之第十步驟的截面示意圖；

圖十三係為本發明之製造電阻式記憶體之方法之第十一步驟的截面示意圖；以及

圖十四為本發明之電阻式記憶體之雙尖端電極結構立體示意圖。

【主要元件符號說明】

- 10 半導體基板
- 11 電晶體層
- 12 絕緣層
- 13 下電極
- 14 介電材料
- 15 上電極

- 16 尖端
- 20 半導體基板
- 21 第一絕緣層
- 22 第一栓塞
- 23 源／汲極
- 24 電性連接層
- 25 第二絕緣層
- 26 第二栓塞
- 27 電極層
- 27' 雙尖端電極結構
- 271 共用上電極
- 272 下電極
- 28 犧牲層
- 28' 圖案化犧牲層
- 29 半圓形圖案
- 29' 半橢圓形圖案
- 29'' 半多邊形圖案
- 30 薄膜層
- 30' 凸起
- 30'' 側壁部分
- 32 遮罩層
- 33 電阻轉換層
- 34 第三絕緣層
- 35 介層窗

五、中文發明摘要：

一種電阻式記憶體及其製造方法，使用半導體製程形成一種平面式的雙尖端電極，使電阻式記憶體單元內的電場集中，進而降低介電材料中電阻絲生成的數目並且改善元件的操作特性。該電阻式記憶體，包括：一第一記憶體細胞，包括一第一下電極以及一共用上電極；以及一第二記憶體細胞，包括一第二下電極以及與該第一記憶體細胞共用之該共用上電極；其中，該第一下電極、該第二下電極與該共用上電極係位於同一平面，並且分別以一電阻轉換層隔開；其中，該共用上電極係透過一介層窗而接地，而該第一下電極與該第二下電極分別透過一栓塞而連接至一電晶體之源極。

六、英文發明摘要：

Resistance Memory and Method for Manufacturing the Same

A resistance memory is manufactured using semiconductor processing to comprise planar dual tip electrodes so that the electric field in the resistance memory is concentrated to reduce the number of fuses in the dielectric material and improve the device characteristics. The resistance memory comprises: a first memory cell including a first bottom electrode and a common top electrode; and a second memory cell including a second bottom electrode and the common top electrode shared with the first memory cell; wherein the first bottom electrode, the second bottom electrode and the common top electrode are disposed on the same plane and are separated by a resistive conversion layer; wherein the common top electrode is connected to the ground through a via, while the first bottom electrode and the second bottom electrode are connected to the source of a transistor through a plug, respectively.

十、申請專利範圍：

1. 一種製造電阻式記憶體之方法，包括以下步驟：

提供一具有複數個電晶體之半導體基板，該半導體基板上
方形成一具有複數個第一栓塞之第一絕緣層，使得該第
一栓塞連接該電晶體之源／汲極；

形成一電性連接層於該第一絕緣層上，以連接該第一栓塞；
形成一第二絕緣層於該第一絕緣層與該電性連接層上，使
得該第二栓塞透過該電性連接層而與該第一栓塞連接；

依序形成一電極層以及一犧牲層於該第二絕緣層上；

以光學微影與蝕刻技術定義出一圖案化犧牲層，該圖案化
犧牲層具有兩相鄰的半圓形圖案、半橢圓形圖案或半多
邊形圖案，以裸露出部分之該電極層；

沉積與該犧牲層相同材料之一薄膜層於該圖案化犧牲層與
裸露部分之該電極層上，該薄膜層之厚度足以使該兩相
鄰之半圓形圖案、半橢圓形圖案或半多邊形圖案接合起
來；

非等向性地蝕去該薄膜層，以形成一側壁部分；

沉積與該犧牲層不同材料的一遮罩層，並將該遮罩層平坦
化，以覆蓋裸露部分之該電極層；

移除該圖案化犧牲層與該側壁部分，只留下該遮罩層，並
裸露部分之該電極層；

利用該遮罩層以移除裸露部分之該電極層，而裸露部分之
第二絕緣層，並且移除該遮罩層，以形成一個平面式的
雙尖端電極結構；

形成一電阻轉換層於該第二絕緣層上，並且覆蓋該雙尖端

電極結構；以及

形成一第三絕緣層於該電阻轉換層上，該第三絕緣層中具有一介層窗，以連接該雙尖端電極結構之共用電極至接地端。

2. 如申請專利範圍第 1 項所述之製造電阻式記憶體之方法，其中該形成複數個第一栓塞之步驟更包括：

以光學微影術以及蝕刻製程，在該第一絕緣層中，形成複數個開口；以及

沉積一導電材料，以填滿該複數個開口，之後再以平坦化製程將該導電材料平坦化。
3. 如申請專利範圍第 2 項所述之製造電阻式記憶體之方法，其中該導電材料係為鎢。
4. 如申請專利範圍第 1 項所述之製造電阻式記憶體之方法，其中該形成複數個第二栓塞之步驟更包括：

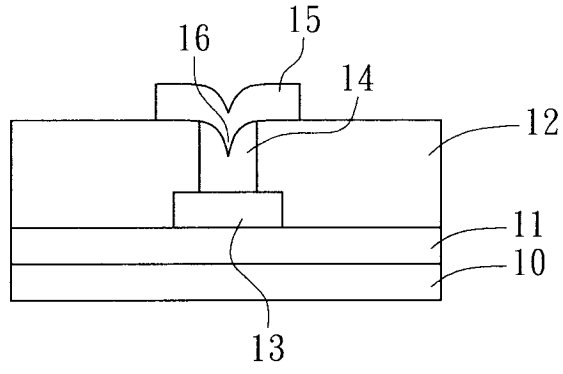
以光學微影術以及蝕刻製程，在該第二絕緣層中，形成複數個開口；以及

沉積一導電材料，以填滿該複數個開口，之後再以平坦化製程將該導電材料平坦化。
5. 如申請專利範圍第 4 項所述之製造電阻式記憶體之方法，其中該導電材料係為鎢。
6. 如申請專利範圍第 1 項所述之製造電阻式記憶體之方法，其中該電極層係以鉑 (Pt)、金 (Au)、鈀 (Pd)、鈳 (Ru)、氮化鈦 (TiN)、鈦鎢 (TiW) 合金、氮化鈦鋁 (TiAlN)、以及其混合物之一者形成。
7. 如申請專利範圍第 6 項所述之製造電阻式記憶體之方法，

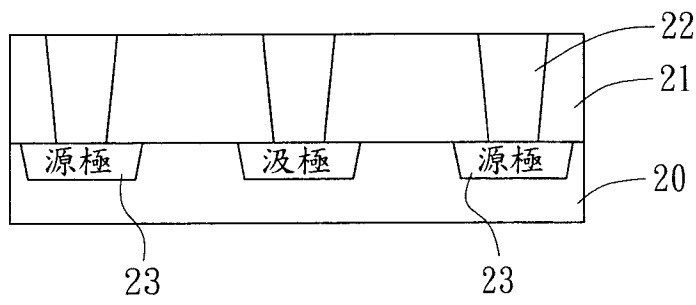
- 其中該電極層係以物理氣相沉積 (PVD) 以及化學氣相沉積 (CVD) 之一者形成。
8. 如申請專利範圍第 1 項所述之製造電阻式記憶體之方法，其中該犧牲層係以二氧化矽 (SiO_2) 形成。
 9. 如申請專利範圍第 8 項所述之製造電阻式記憶體之方法，其中該犧牲層係以物理氣相沉積 (PVD) 以及化學氣相沉積 (CVD) 之一者形成。
 10. 如申請專利範圍第 1 項所述之製造電阻式記憶體之方法，其中該遮罩層係以氮化矽 (Si_3N_4) 形成。
 11. 如申請專利範圍第 10 項所述之製造電阻式記憶體之方法，其中該遮罩層係以物理氣相沉積 (PVD) 以及化學氣相沉積 (CVD) 之一者形成。
 12. 如申請專利範圍第 1 項所述之製造電阻式記憶體之方法，其中該電阻轉換層係以氧化鈺 (HfO_2)、氧化鉭 (Ta_2O_5)、氧化鈦 (TiO_2)、氧化鈮 (Nb_2O_5)、氧化鋁 (Al_2O_3)、氧化銅 (CuO)、其堆疊結構以及鍺銻碲 (GeSbTe , GST) 之一者形成。
 13. 如申請專利範圍第 12 項所述之製造電阻式記憶體之方法，其中該電阻轉換層係以物理氣相沉積 (PVD) 以及化學氣相沉積 (CVD) 之一者形成。
 14. 一種電阻式記憶體，具有一雙尖端電極結構，其包括：
 - 一第一記憶體細胞，包括一第一下電極以及一共用上電極；以及
 - 一第二記憶體細胞，包括一第二下電極以及與該第一記憶體細胞共用之該共用上電極；

其中，該第一下電極、該第二下電極與該共用上電極係位於同一平面，並且分別以一電阻轉換層隔開。

15. 如申請專利範圍第 14 項所述之電阻式記憶體，其中該共用上電極係透過一介層窗而接地。
16. 如申請專利範圍第 14 項所述之電阻式記憶體，其中該第一下電極與該第二下電極分別透過一栓塞而連接至一電晶體之源極。
17. 如申請專利範圍第 14 項所述之電阻式記憶體，其中該電阻轉換層係以氧化鈦 (HfO_2)、氧化鉭 (Ta_2O_5)、氧化鈦 (TiO_2)、氧化鈮 (Nb_2O_5)、氧化鋁 (Al_2O_3)、氧化銅 (CuO)、其堆疊結構以及鍺銻碲 (GeSbTe , GST) 之一者形成。
18. 如申請專利範圍第 17 項所述之電阻式記憶體，其中該電阻轉換層係以物理氣相沉積 (PVD) 以及化學氣相沉積 (CVD) 之一者形成。
19. 如申請專利範圍第 14 項所述之電阻式記憶體，其中該第一下電極、該第二下電極與該共用上電極係以鉑 (Pt)、金 (Au)、鈀 (Pd)、鈦 (Ru)、氮化鈦 (TiN)、鈦鎢 (TiW) 合金、氮化鈦鋁 (TiAlN)、以及其混合物之一者形成。
20. 如申請專利範圍第 19 項所述之電阻式記憶體，其中該第一下電極、該第二下電極與該共用上電極係以物理氣相沉積 (PVD) 以及化學氣相沉積 (CVD) 之一者形成。



圖一
(先前技術)



圖二

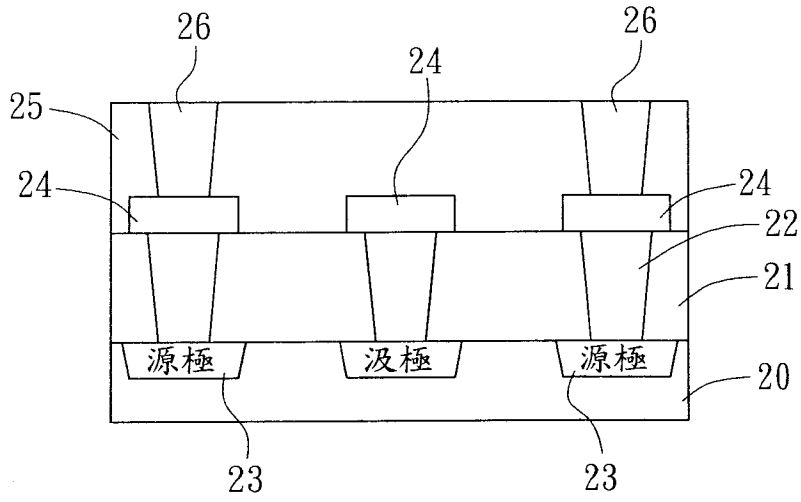


圖 三

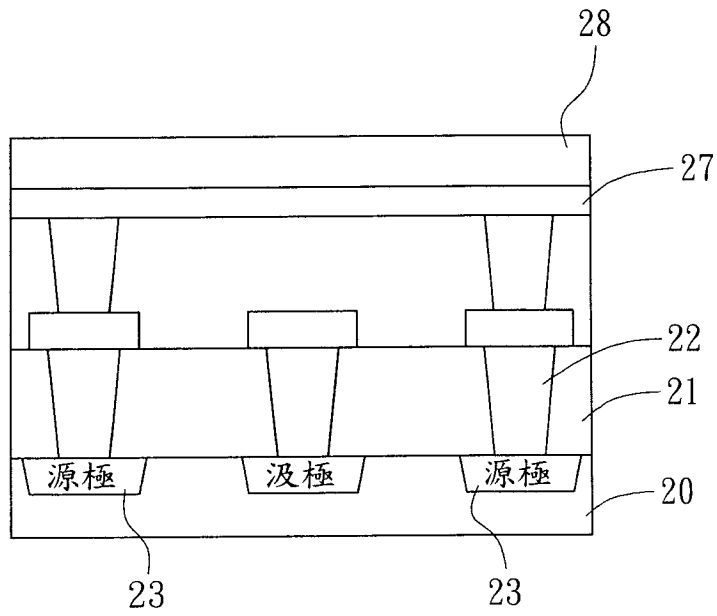


圖 四

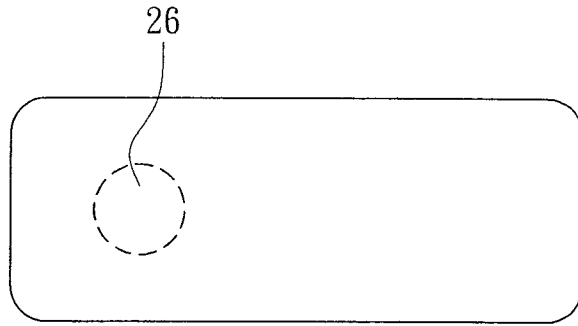


圖 五

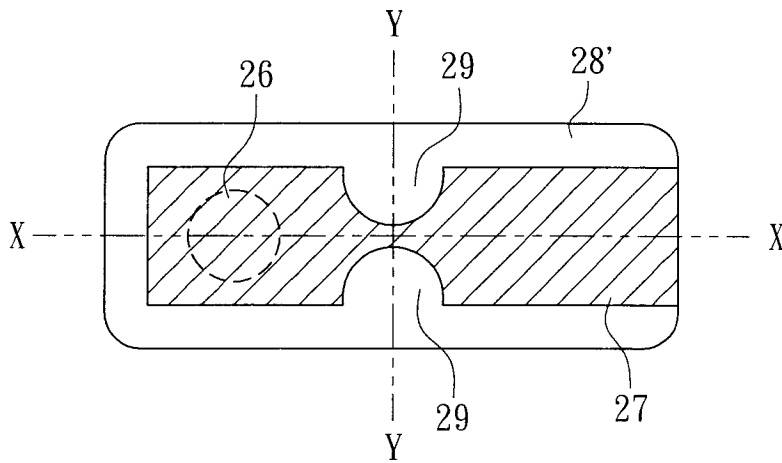


圖 六 A

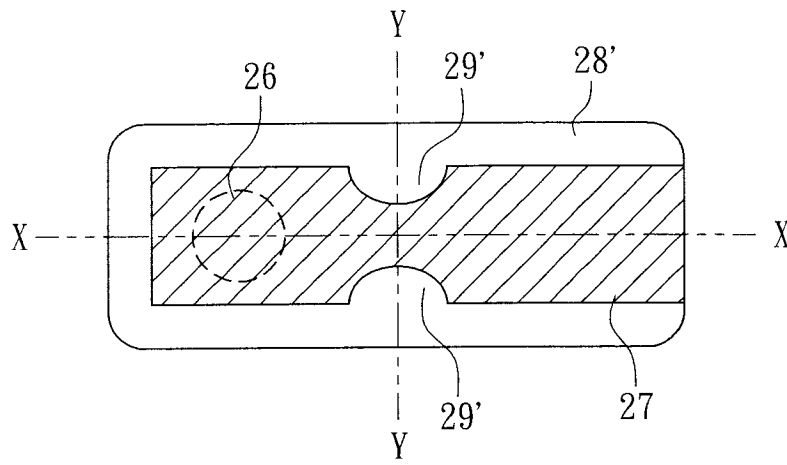


圖 六 B

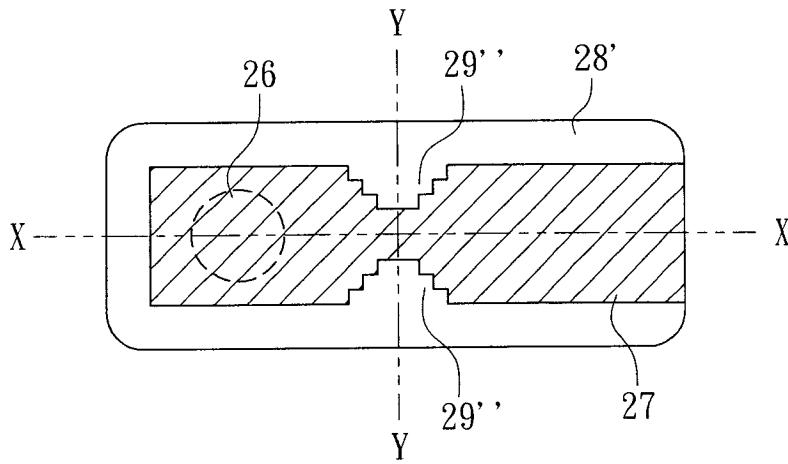


圖 六 C

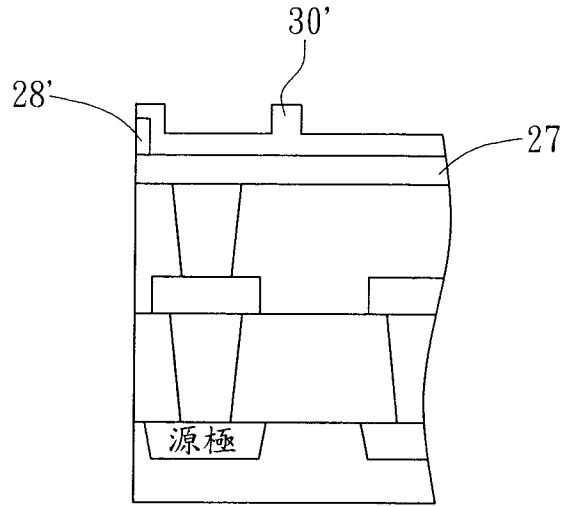


圖 七 A

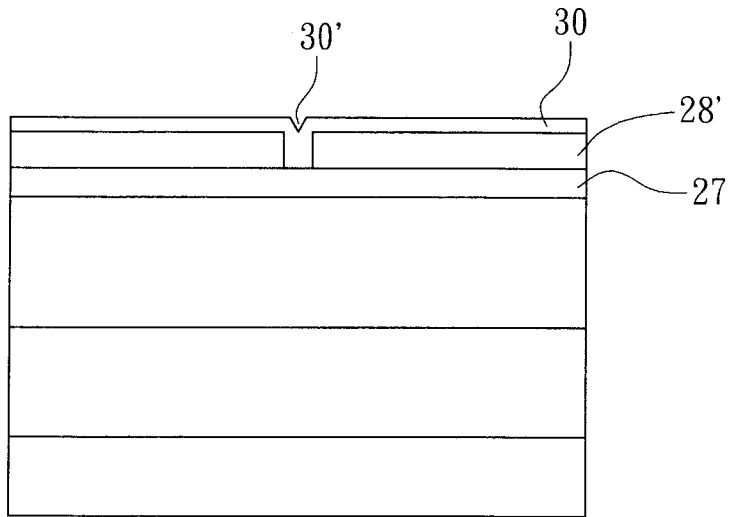


圖 七 B

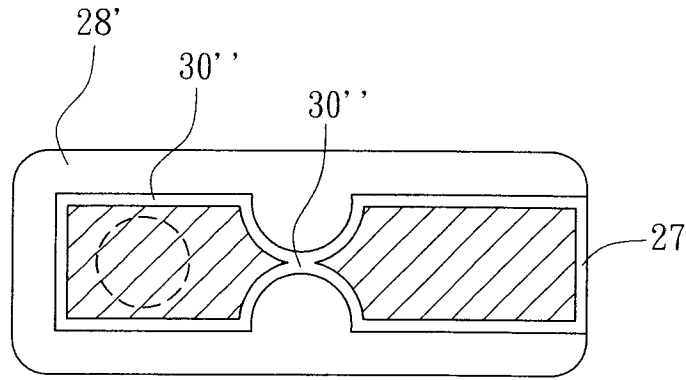


圖 八 A

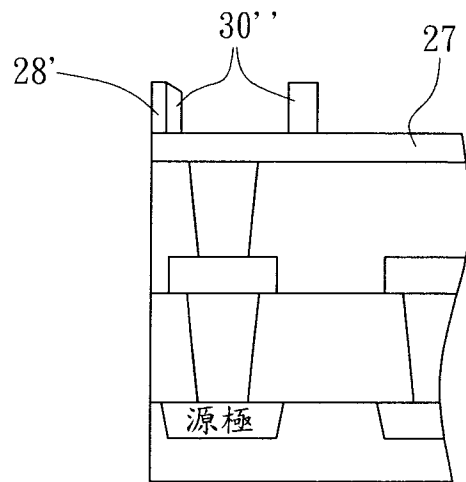
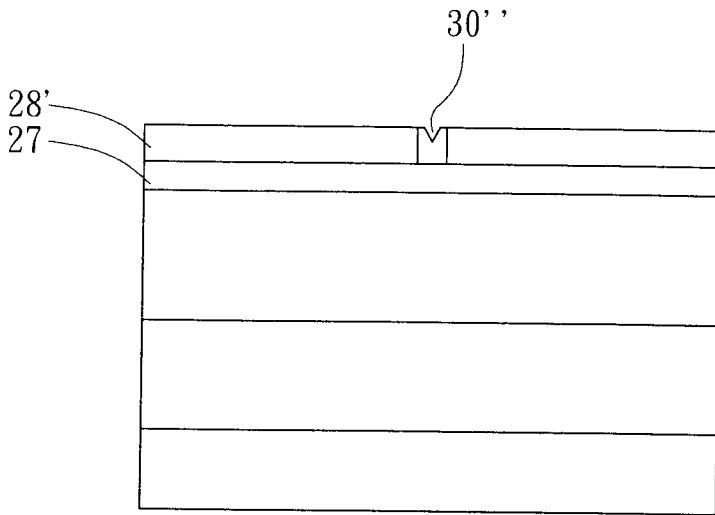
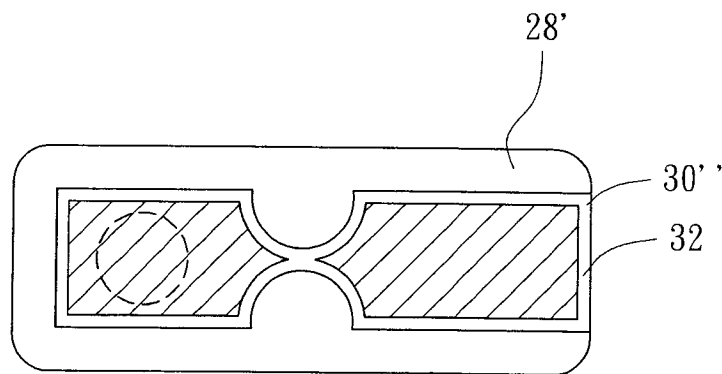


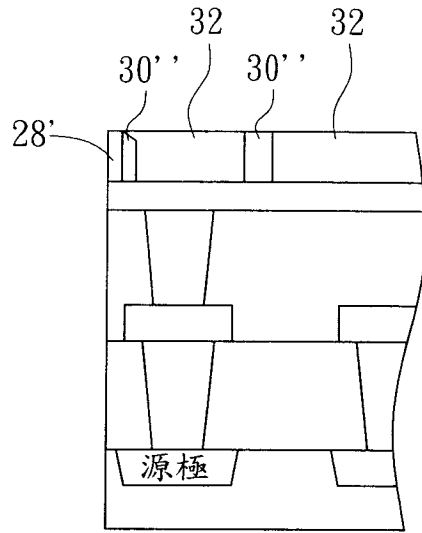
圖 八 B



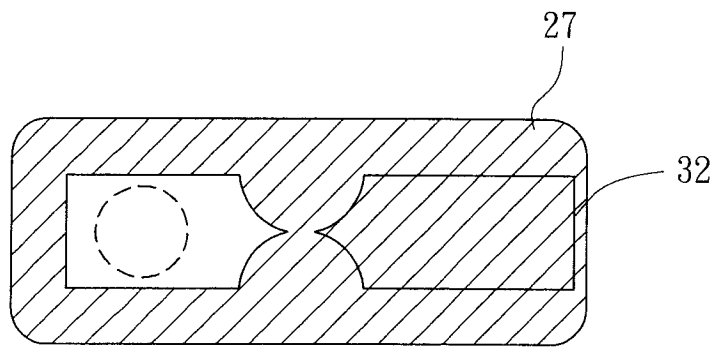
圖八 C



圖九 A



圖九 B



圖十

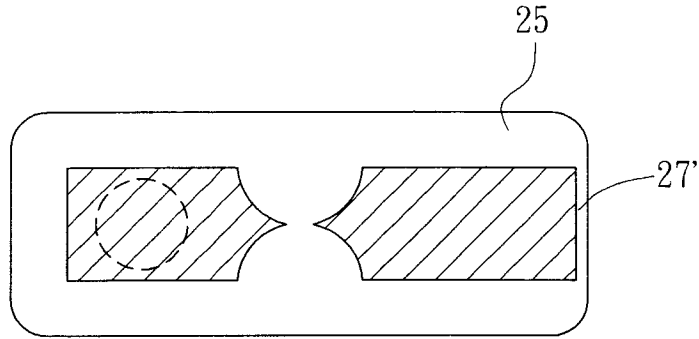


圖 十一 A

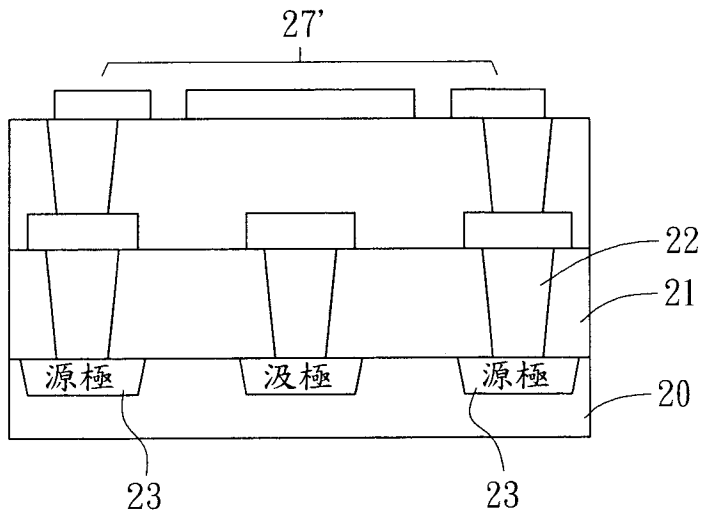


圖 十一 B

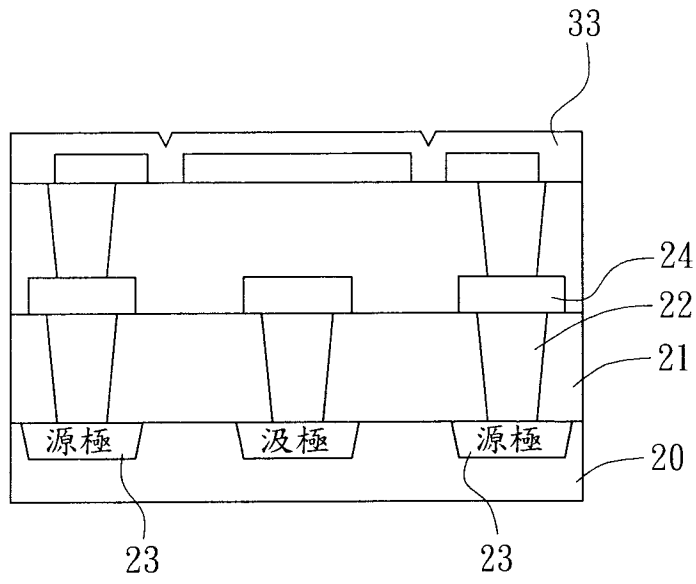


圖 十二

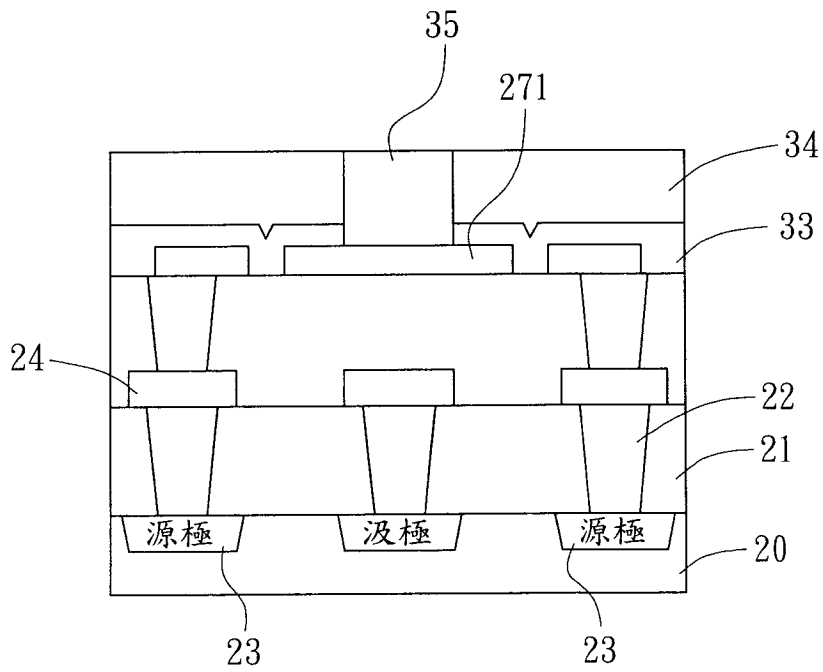


圖 十三

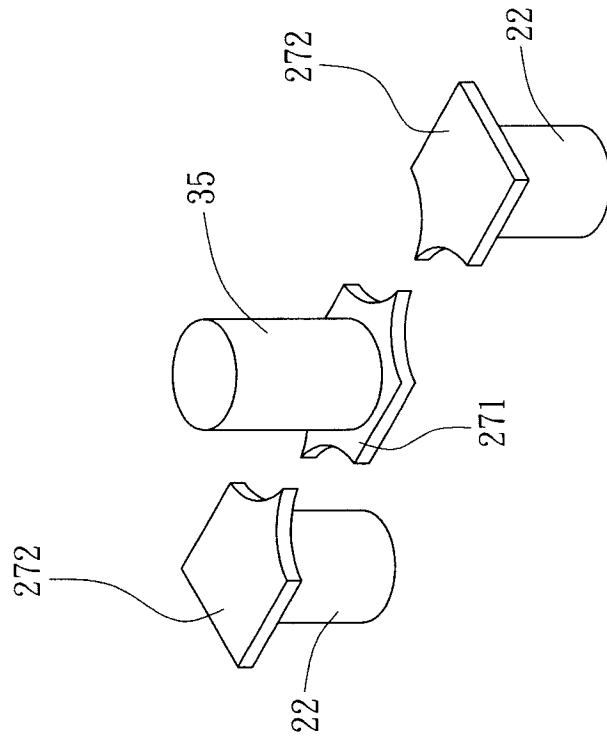


圖 十四

七、指定代表圖：

(一)本案指定代表圖為：第(十四)圖。

(二)本代表圖之元件符號簡單說明：

- 22 栓塞
- 271 共用上電極
- 272 下電極
- 35 介層窗

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：