

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-319282
(P2006-319282A)

(43) 公開日 平成18年11月24日(2006.11.24)

(51) Int. Cl.	F I	テームコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 8 D	5 F O 3 2
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 3 A	
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 5 Z	
HO 1 L 21/76 (2006.01)	HO 1 L 21/76 L	

審査請求 未請求 請求項の数 7 O L (全 8 頁)

(21) 出願番号	特願2005-143121 (P2005-143121)	(71) 出願人	503361248 富士電機デバイステクノロジー株式会社 東京都品川区大崎一丁目11番2号
(22) 出願日	平成17年5月16日(2005.5.16)	(74) 代理人	100104190 弁理士 酒井 昭徳
		(72) 発明者	加藤 博久 東京都品川区大崎一丁目11番2号 富士 電機デバイステクノロジー株式会社内
		Fターム(参考)	5F032 AA35 AA45 AA47 CA17 DA21 DA24

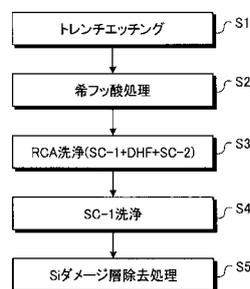
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 トレンチ構造を有する半導体装置を製造する際に、トレンチ形成後に、トレンチエッチング時にトレンチ側壁に付着した保護膜や異物などを十分に除去すること。

【解決手段】 トレンチを形成した後、希フッ酸を用いて洗浄する。続いて、NH₄OH : H₂O₂ : H₂O = 0.1 : 1 : 5の混合溶液(液温: 60 ~ 80)を用いて5 ~ 10分の洗浄を行い、HF : H₂O = 1 : 100の希フッ酸を用いて常温で5 ~ 10分の洗浄を行い、HCl : H₂O₂ : H₂O = 1 : 1 : 6の混合溶液(液温: 50 ~ 80)を用いて5 ~ 10分の洗浄を行う。その後、トレンチの深さが3 μmを超える場合には、NH₄OH : H₂O₂ : H₂O = 0.1 : 1 : 5の混合溶液(液温: 60 ~ 80)を用いて5 ~ 10分の洗浄を行う。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

トレンチ構造を有する半導体装置を製造するにあたって、
 半導体基板に $3\ \mu\text{m}$ を超える深さのトレンチを形成する第 1 の工程と、
 前記トレンチ内の露出面を希フッ酸を用いて洗浄する第 2 の工程と、
 前記トレンチ内の露出面を、 NH_4OH と H_2O_2 と H_2O の混合溶液を用いて洗浄する第 3 の工程と、
 前記トレンチ内の露出面を希フッ酸を用いて洗浄する第 4 の工程と、
 前記トレンチ内の露出面を、 HCl と H_2O_2 と H_2O の混合溶液を用いて洗浄する第 5 の工程と、
 前記トレンチ内の露出面を、 NH_4OH と H_2O_2 と H_2O の混合溶液を用いて洗浄する第 6 の工程と、
 を順に行うことを特徴とする半導体装置の製造方法。

10

【請求項 2】

前記第 3 の工程における前記混合溶液の組成比は、 $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 0.1 : 1 : 5$ であり、液温が 60 以上 80 以下であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 4 の工程における前記希フッ酸の組成比は、 $\text{HF} : \text{H}_2\text{O} = 1 : 100$ であり、液温が常温であることを特徴とする請求項 1 または 2 に記載の半導体装置の製造方法。

20

【請求項 4】

前記第 5 の工程における前記混合溶液の組成比は、 $\text{HCl} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 6$ であり、液温が 50 以上 80 以下であることを特徴とする請求項 2 または 3 に記載の半導体装置の製造方法。

【請求項 5】

前記第 6 の工程における前記混合溶液の組成比は、 $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 0.1 : 1 : 5$ であり、液温が 60 以上 80 以下であることを特徴とする請求項 1 ~ 4 のいずれか一つに記載の半導体装置の製造方法。

【請求項 6】

前記第 2 の工程、前記第 3 の工程、前記第 4 の工程、前記第 5 の工程および前記第 6 の工程では、各混合溶液による処理時間が 5 分以上 10 分以下であることを特徴とする請求項 1 ~ 5 のいずれか一つに記載の半導体装置の製造方法。

30

【請求項 7】

前記第 6 の工程の後にさらに、前記トレンチ内に絶縁膜を形成し、該絶縁膜を介して前記トレンチ内を制御用ゲート電極材料で埋めることを特徴とする請求項 1 ~ 6 のいずれか一つに記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

40

【0001】

この発明は、トレンチ構造を有する半導体装置の製造方法に関する。

【背景技術】

【0002】

従来より、電力変換装置の低消費電力化を図るため、電力変換装置において中心的な役割を果たすパワー半導体素子（スイッチング素子）の消費電力を低減することが望まれている。近年、チャネル密度を大きくし、オン状態の電力損失を大きく低減したトレンチゲート構造を有するパワー半導体素子が実用化されており、その適用範囲は、パワー MOSFET（金属 - 酸化膜 - 半導体構造を有する絶縁ゲート型電界効果トランジスタ）を中心に IGBT（絶縁ゲート型バイポーラトランジスタ）、サイリスタおよびダイオードへと

50

広がりがつある。

【0003】

図5～図7は、トレンチゲート構造を有する半導体素子の一つであるパワーMOSFETの構成を示す図である。図5は、トレンチゲート構造がストライプ状に配置された半導体素子の主要な構成の平面レイアウトを示す平面図であり、図6および図7は、それぞれ図5のA-A'およびB-B'における断面構成を示す断面図である。これらの図において、10はトレンチであり、1はトレンチ10の側壁の位置を示している。また、2はフィールド酸化膜11の段差の位置を示しており、3はゲート電極12となるポリシリコンの段差の位置を示している。

【0004】

これらの図に示すように、 n^+ ドレイン層13とその上の n ドリフト層14からなる n 型半導体基板の一方の主面、すなわち n ドリフト層14の表面層に、チャンネル領域となる p 領域15が選択的に形成されている。 p 領域15の表面層には、 n^+ ソース領域16が選択的に形成されている。トレンチ10は、 n^+ ソース領域16の表面から n^+ ソース領域16および p 領域15を貫通して n ドリフト層14に達している。トレンチ10は、ゲート酸化膜17を介してポリシリコンよりなるゲート電極12で埋められている。

【0005】

n^+ ソース領域16および p 領域15には、Al-Siよりなるソース電極18が接触している。ソース電極18とゲート電極12は、層間絶縁膜19により絶縁されている。 n 型半導体基板の他方の主面、すなわち n^+ ドレイン層13の表面にドレイン電極20が形成されている。図7に示すように、ゲート電極12は、ストライプ状のトレンチ10の終端部において基板表面に引き出され、フィールド酸化膜11の上まで伸び、そこで図には現れていない金属電極に接続されている。この金属電極に適当な電圧を印加することにより、 p 領域15の、トレンチ10の側壁に沿う領域に n チャンネルが形成され、ドレイン電極20とソース電極18の間が導通して電流が流れる。

【0006】

トレンチゲート構造の形成に限らず、半導体基板にトレンチを形成する場合、トレンチエッチング処理中にエッチングガスとSiが反応して副生成物が生じる。この副生成物がトレンチ側壁に付着して保護膜となり、エッチングに異方性が生じる。この保護膜は、トレンチエッチング終了後は不要となる。そのため、従来は、希フッ酸を用いた薬液処理により保護膜を除去してから、次の処理を行っている。このように、トレンチの内部を希フッ酸を用いて洗浄することについては、公知である(例えば、特許文献1参照。)

【0007】

また、半導体基板の表面を、 NH_4OH (アンモニア水)と H_2O_2 (過酸化水素水)と H_2O (純水)の混合溶液を用いて洗浄し、続いて希フッ酸を用いて洗浄し、さらに HCl (塩酸)と H_2O_2 と H_2O の混合溶液を用いて洗浄することにより、基板表面に付着した微細なパーティクルを除去する方法が公知である(例えば、特許文献2参照。)。さらに、 NH_4OH と H_2O_2 と H_2O の混合溶液を用いた洗浄と、 HCl と H_2O_2 と H_2O の混合溶液を用いた洗浄を行うRCA洗浄方法が公知である(例えば、非特許文献1参照。)

【0008】

【特許文献1】特開2004-273742号公報

【特許文献2】特開2004-321875号公報

【非特許文献1】半導体用語大辞典編集委員会、「半導体用語大辞典」、第1版、株式会社日刊工業新聞社、1999年3月20日、p.137

【発明の開示】

【発明が解決しようとする課題】

【0009】

トレンチゲート構造を有する半導体素子では、トレンチゲート構造の信頼性をプレーナゲート構造と同程度まで高くすることが重要な課題となっている。しかしながら、従来は

10

20

30

40

50

、プレーナゲート構造と同程度に信頼性の高いゲート絶縁膜を有するトレンチゲート構造を形成することは困難である。その理由は、第1に、ゲート絶縁膜が形成されるトレンチ内面の平滑さが、基板表面、すなわちプレーナゲート構造においてゲート絶縁膜が形成される面に比べて劣っているからである。第2に、トレンチエッチングの際にシリコンのダメージ層が発生するからである。第3に、トレンチ内面の異物を除去しにくいからである。

【0010】

また、希フッ酸による洗浄だけでは、トレンチエッチングの際にトレンチ側壁やトレンチの終端部に付着した保護膜を十分に除去することが困難である。そのため、図8に示すトレンチ断面のSEM像、図8において丸で囲む部分を拡大して示す図9のSEM像、および図10に示すトレンチ側面のSEM像のように、トレンチ側壁に保護膜の一部が残ってしまう。この状態のままゲート絶縁膜を形成してしまうと、ゲート絶縁膜の品質が劣り、ゲート絶縁膜の耐圧劣化や長期信頼性の低下を招いてしまう。

10

【0011】

近年、MOSFETでは200Vを、IGBTでは600Vを超える耐圧が要求されている。そのため、半導体基板(図6ではnドリフト層14)の抵抗率を高く(例えば30~100 cm程度)している。チャネル領域(図6ではp領域15)の拡散深さは、p領域15の拡散工程のほか、トレンチの形成工程等すべての熱履歴によって定まるのであるが、半導体基板の不純物濃度が低いために自ずと加熱時間も長くなり、p領域15の拡散深さも深くなる。

20

【0012】

先述のとおり、トレンチはp領域15を貫通してnドリフト層14に達する深さで形成する必要があり、上記の理由で深く拡散されたp領域15を貫くためにトレンチの深さが3 μ mを超えて形成される。このようにトレンチの深さが3 μ mを超えると、トレンチ内部の保護膜の除去が不完全となり、ゲート絶縁膜の信頼性が低くなってしまう。

【0013】

前記特許文献1では、トレンチを高濃度のエピタキシャル成長層で埋めるため、ゲート絶縁膜の信頼性の低下とは無関係である。また、前記特許文献2の方法は、半導体基板の表面を洗浄する方法である。さらに、前記非特許文献1に開示された洗浄液の組成比、処理温度および処理時間は、本発明方法のものと異なる。そのため、特許文献2や非特許文献1に開示された方法や条件では、トレンチ内の保護膜、特に深さが3 μ mを超える深いトレンチ内の保護膜を十分に除去することは困難であると考えられる。

30

【0014】

この発明は、上述した事情に鑑みてなされたものであり、トレンチ形成後に、トレンチエッチング時にトレンチ側壁に付着した保護膜や異物などを十分に除去することができる半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0015】

請求項1の発明にかかる半導体装置の製造方法は、トレンチ構造を有する半導体装置を製造するにあたって、半導体基板に3 μ mを超える深さのトレンチを形成する第1の工程と、前記トレンチ内の露出面を希フッ酸を用いて洗浄する第2の工程と、前記トレンチ内の露出面を、NH₄OHとH₂O₂とH₂Oの混合溶液を用いて洗浄する第3の工程と、前記トレンチ内の露出面を希フッ酸を用いて洗浄する第4の工程と、前記トレンチ内の露出面を、HClとH₂O₂とH₂Oの混合溶液を用いて洗浄する第5の工程と、前記トレンチ内の露出面を、NH₄OHとH₂O₂とH₂Oの混合溶液を用いて洗浄する第6の工程と、を順に行うことを特徴とする。

40

【0016】

請求項2の発明にかかる半導体装置の製造方法は、請求項1に記載の発明において、前記第3の工程における前記混合溶液の組成比は、NH₄OH:H₂O₂:H₂O=0.1:1:5であり、液温が60以上80以下であることを特徴とする。

50

【0017】

請求項3の発明にかかる半導体装置の製造方法は、請求項1または2に記載の発明において、前記第4の工程における前記希フッ酸の組成比は、 $\text{HF} : \text{H}_2\text{O} = 1 : 100$ であり、液温が常温であることを特徴とする。

【0018】

請求項4の発明にかかる半導体装置の製造方法は、請求項2または3に記載の発明において、前記第5の工程における前記混合溶液の組成比は、 $\text{HCl} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 6$ であり、液温が50以上80以下であることを特徴とする。

【0019】

請求項5の発明にかかる半導体装置の製造方法は、請求項1～4のいずれか一つに記載の発明において、前記第6の工程における前記混合溶液の組成比は、 $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 0.1 : 1 : 5$ であり、液温が60以上80以下であることを特徴とする。

【0020】

請求項6の発明にかかる半導体装置の製造方法は、請求項1～5のいずれか一つに記載の発明において、前記第2の工程、前記第3の工程、前記第4の工程、前記第5の工程および前記第6の工程では、各混合溶液による処理時間が5分以上10分以下であることを特徴とする。

【0021】

請求項7の発明にかかる半導体装置の製造方法は、請求項1～6のいずれか一つに記載の発明において、前記第6の工程の後にさらに、前記トレンチ内に絶縁膜を形成し、該絶縁膜を介して前記トレンチ内を制御用ゲート電極材料で埋めることを特徴とする。

【0022】

この発明によれば、半導体基板にトレンチを形成した後、希フッ酸を用いた洗浄を行うことによって、トレンチエッチング時にトレンチ側壁に付着した保護膜を除去することができる。続いて、 NH_4OH と H_2O_2 と H_2O の混合溶液を用いた洗浄と、希フッ酸を用いた洗浄と、 HCl と H_2O_2 と H_2O の混合溶液を用いた洗浄と、 NH_4OH と H_2O_2 と H_2O の混合溶液を用いた洗浄を順次行うことによって、トレンチ側壁や終端部に残留する保護膜の一部や異物などを十分に除去することができる。

【発明の効果】

【0023】

本発明にかかる半導体装置の製造方法によれば、トレンチ形成後に、トレンチエッチング時にトレンチ側壁に付着した保護膜や異物などを十分に除去することができるという効果を奏する。

【発明を実施するための最良の形態】

【0024】

以下に添付図面を参照して、この発明にかかる半導体装置の製造方法の好適な実施の形態を詳細に説明する。なお、以下の説明では、半導体基板にトレンチを形成する工程から、トレンチの内面の洗浄が終了するまでの工程について説明する。例えば図5～図7に示すような半導体装置を製造するためのその他の工程については、従来と同様であるので、ここでは説明を省略する。

【0025】

図1は、本発明にかかる半導体装置の製造方法の一例を示すフローチャートである。図1に示すように、まず、公知のトレンチエッチングにより半導体基板の表面から深さが例えば $3\mu\text{m}$ を超えるトレンチを形成する(ステップS1)。次いで、洗浄液として希フッ酸を用いて基板表面およびトレンチ内の露出面を洗浄する(ステップS2)。このときの洗浄時間は5～10分程度である。この1回目の希フッ酸による洗浄処理によって、トレンチエッチング時にトレンチ側壁に付着した保護膜が除去される。

【0026】

次いで、洗浄液として NH_4OH と H_2O_2 と H_2O の混合溶液(以下、SC-1溶液とす

る)を用いて基板表面およびトレンチ内の露出面を洗浄する。このときのSC-1溶液の組成比は、 $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 0.1 : 1 : 5$ である。また、液温は $60 \sim 80$ 程度であり、洗浄時間は $5 \sim 10$ 分程度である。次いで、再び洗浄液として希フッ酸を用いて基板表面およびトレンチ内の露出面を洗浄する。このときの希フッ酸の組成比は、 $\text{HF} : \text{H}_2\text{O} = 1 : 100$ である。また、液温は常温であり、洗浄時間は $5 \sim 10$ 分程度である。

【0027】

次いで、洗浄液としてHClと H_2O_2 と H_2O の混合溶液(以下、SC-2溶液とする)を用いて基板表面およびトレンチ内の露出面を洗浄する。このときのSC-2溶液の組成比は、 $\text{HCl} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 6$ である。また、液温は $50 \sim 80$ 程度であり、洗浄時間は $5 \sim 10$ 分程度である。1回目のSC-1溶液による洗浄からSC-2溶液による洗浄までの一連の工程が、いわゆるRCA洗浄に相当する(ステップS3)。

10

【0028】

次いで、再び洗浄液としてSC-1溶液を用いて基板表面およびトレンチ内の露出面を洗浄する(ステップS4)。このときの液温は $60 \sim 80$ 程度であり、洗浄時間は $5 \sim 10$ 分程度である。ステップS3のRCA洗浄とステップS4のSC-1溶液による洗浄によって、トレンチ側壁に残留する保護膜の一部とその他の異物などが除去される。なお、トレンチの深さが $3 \mu\text{m}$ 以下と浅い場合には、ステップS2とステップS3の洗浄処理によって十分に保護膜の残留物やその他の異物などを除去することができるので、ステップS4の洗浄処理を省略してもよい。

20

【0029】

次いで、公知の方法によりシリコン(Si)のダメージ層を除去する処理を行う(ステップS5)。この後、詳細な説明を省略するが、トレンチの内面にゲート絶縁膜を形成し、さらにトレンチ内をゲート電極材料となるポリシリコンで埋める。また、ソース領域やソース電極などの表面構造を作製し、基板裏面にドレイン電極を形成する。

【0030】

図2~図4に、上述したステップS2~ステップS4の洗浄処理を標準的なバス式洗浄方法で行った場合に得られるトレンチ断面の状態とトレンチ側面の状態のSEM像を示す。図3は、図2の丸で囲む部分を拡大した像である。これらのSEM像(実施例)と図8~図10に示すSEM像(従来例)を比較すると、実施例の方が、トレンチ側面に保護膜の残留物やその他の異物などがなく、トレンチの側面が平滑であり、かつ清浄であることが分かる。

30

【0031】

以上説明したように、実施の形態によれば、トレンチ形成後に希フッ酸による洗浄を行い、その後上述した組成のSC-1溶液、希フッ酸、SC-2溶液およびSC-1溶液による洗浄を順次行うことによって、トレンチ側面や終端部に残留する保護膜の一部やその他の異物などを十分に除去することができる。従って、平滑で、かつ清浄なトレンチ側面および終端部を有するトレンチを形成することができる。このトレンチを用いてトレンチゲート構造を形成することによって、ゲート絶縁膜の耐圧が低下するのを防ぐことができるので、ゲート絶縁膜の信頼性が高いトレンチゲート構造を有する半導体装置が得られる。

40

【0032】

以上において本発明は、上述した実施の形態に限らず、種々変更可能である。例えば、本発明は、図5~図7に示すストライプ状のトレンチゲート構造を形成するのに適しているのは勿論であるが、格子状や多角形セル状など、種々の形状のトレンチゲート構造を形成するのに適用可能である。また、トレンチゲート構造に限らず、トレンチアイソレーション構造や前記特許文献1のようにトレンチを高濃度のエピタキシャル成長層で埋める構成など、トレンチを形成する工程を有する半導体装置の製造方法に適用可能である。なお、バス式洗浄方法に限らず、枚葉処理のスピン洗浄方法で洗浄を行う場合も同様である。

【産業上の利用可能性】

50

【0033】

以上のように、本発明にかかる半導体装置の製造方法は、トレンチ構造を有する半導体装置を製造するのに有用であり、特に、トレンチゲート構造を有する絶縁ゲート型のMOSFETやIGBTの製造に適している。

【図面の簡単な説明】

【0034】

【図1】本発明方法の一例を示すフローチャートである。

【図2】本発明方法により形成されたトレンチの断面を示すSEM像である。

【図3】本発明方法により形成されたトレンチの断面を示すSEM像である。

【図4】本発明方法により形成されたトレンチの側面を示すSEM像である。

10

【図5】トレンチゲート構造を有するパワーMOSFETの主要な構成のレイアウトを示す平面図である。

【図6】図5のA-A'における断面構成を示す断面図である。

【図7】図5のB-B'における断面構成を示す断面図である。

【図8】従来のトレンチの断面を示すSEM像である。

【図9】従来のトレンチの断面を示すSEM像である。

【図10】従来のトレンチの側面を示すSEM像である。

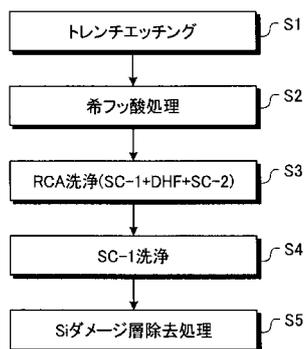
【符号の説明】

【0035】

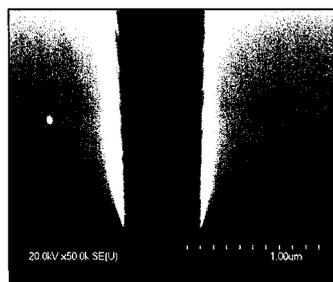
- 10 トレンチ
- 12 ゲート電極
- 17 絶縁膜(ゲート酸化膜)

20

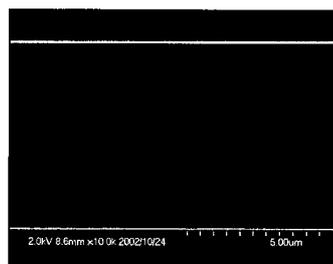
【図1】



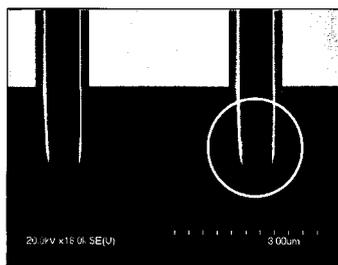
【図3】



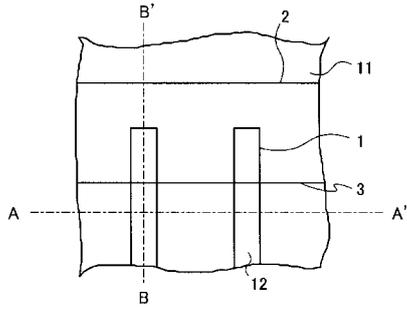
【図4】



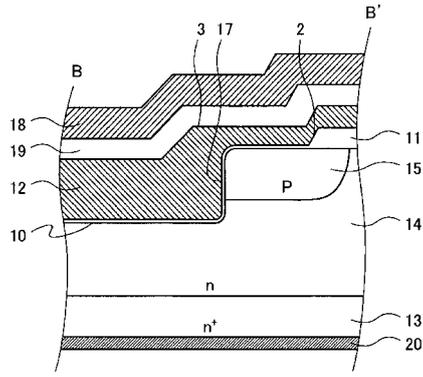
【図2】



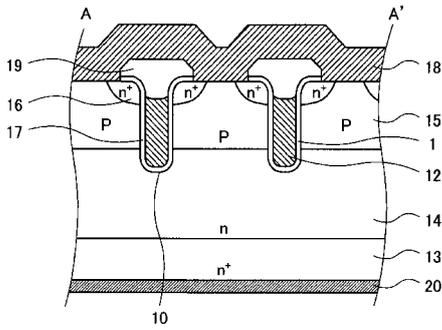
【 図 5 】



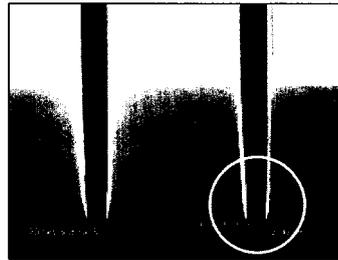
【 図 7 】



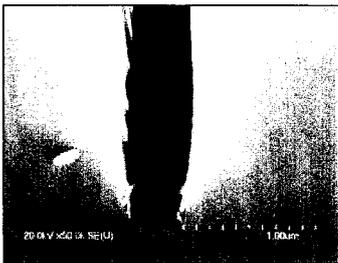
【 図 6 】



【 図 8 】



【 図 9 】



【 図 10 】

