



(12)发明专利申请

(10)申请公布号 CN 105957895 A

(43)申请公布日 2016.09.21

(21)申请号 201610462883.7

(22)申请日 2016.06.23

(71)申请人 无锡新洁能股份有限公司

地址 214131 江苏省无锡市滨湖区高浪东路999号(与华清路交叉口)无锡(滨湖)国家信息传感中心-B1楼东侧2楼

(72)发明人 朱袁正 叶鹏 刘晶晶

(74)专利代理机构 无锡市大为专利商标事务所(普通合伙) 32104

代理人 曹祖良 张涛

(51)Int.Cl.

H01L 29/78(2006.01)

H01L 21/336(2006.01)

H01L 29/423(2006.01)

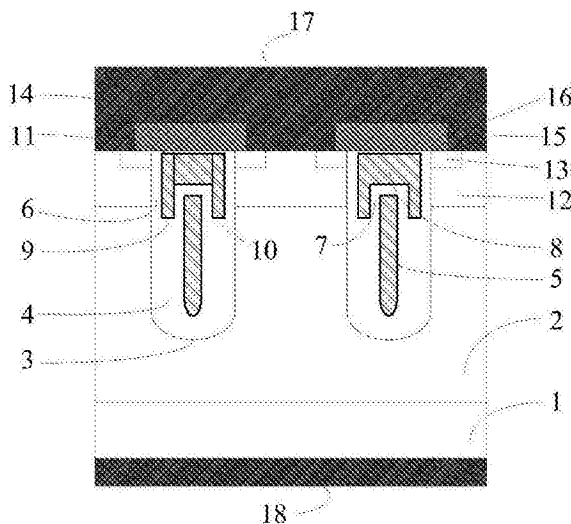
权利要求书3页 说明书14页 附图14页

(54)发明名称

沟槽型功率MOSFET器件及其制造方法

(57)摘要

本发明涉及一种沟槽型功率MOSFET器件及其制造方法,其有源区的元胞采用沟槽结构,元胞沟槽内设有绝缘氧化层,元胞沟槽内的第二绝缘栅氧化层的厚度大于第一绝缘栅氧化层的厚度;所述栅极导电多晶硅包括栅极导电多晶硅中部组件以及分别位于栅极导电多晶硅中部组件两侧的栅极导电多晶硅左部组件与栅极导电多晶硅右部组件,栅极导电多晶硅位于源极导电多晶硅的正上方,栅极导电多晶硅左部组件、栅极导电多晶硅右部组件分布位于源极导电多晶硅的两侧,栅极导电多晶硅中部组件在元胞沟槽内的高度不大于栅极导电多晶硅左部组件、栅极导电多晶硅右部组件的高度;本发明导通电阻低,栅漏电荷Qgd小,输入电容Ciss小,导通损耗低,开关损耗低,工艺简单,成本低。



1. 一种沟槽型功率MOSFET器件, 在所述MOSFET器件的俯视平面上, 包括位于半导体基板的有源区及终端保护区, 所述有源区位于半导体基板的中心区, 终端保护区位于有源区的外圈且环绕包围有源区; 有源区内包括若干规则排布且相互平行并联设置的有源元胞; 在所述MOSFET器件的截面上, 半导体基板具有第一主面以及与所述第一主面对应的第二主面, 所述第一主面与第二主面间包括第一导电类型衬底以及邻接所述第一导电类型衬底的第一导电类型外延层, 第一导电类型外延层内的上部设有第二导电类型层; 其特征是:

在所述MOSFET器件的截面上, 有源区的有源元胞采用沟槽结构, 所述元胞沟槽位于第二导电类型层内, 深度伸入第二导电类型层下方的第一导电类型外延层; 在所述元胞沟槽内淀积有导电多晶硅体, 所述导电多晶硅体包括源极导电多晶硅以及栅极导电多晶硅, 所述源极导电多晶硅位于元胞沟槽内的下部, 源极导电多晶硅的外圈由元胞沟槽内的第二绝缘栅氧化层包裹, 源极导电多晶硅通过第二绝缘栅氧化层与元胞沟槽的侧壁及底壁绝缘隔离; 栅极导电多晶硅通过元胞沟槽内的第一绝缘栅氧化层与元胞沟槽的内壁绝缘隔离, 第一绝缘栅氧化层位于第二绝缘栅氧化层的上方, 且第一绝缘栅氧化层的下端与第二绝缘栅氧化层的上端接触连接;

在所述MOSFET器件的截面上, 所述栅极导电多晶硅包括栅极导电多晶硅中部组件以及分别位于栅极导电多晶硅中部组件两侧的栅极导电多晶硅左部组件与栅极导电多晶硅右部组件, 栅极导电多晶硅位于源极导电多晶硅的正上方, 栅极导电多晶硅左部组件、栅极导电多晶硅右部组件分布位于源极导电多晶硅的两侧, 栅极导电多晶硅中部组件、栅极导电多晶硅右部组件以及栅极导电多晶硅左部组件通过第三绝缘栅氧化层与源极导电多晶硅的上部绝缘隔离, 所述第三绝缘栅氧化层与第二绝缘栅氧化层、第一绝缘栅氧化层接触连接; 所述栅极导电多晶硅左部组件、栅极导电多晶硅右部组件在元胞沟槽内的高度相同, 栅极导电多晶硅中部组件在元胞沟槽内的高度不大于栅极导电多晶硅左部组件、栅极导电多晶硅右部组件的高度;

在所述MOSFET器件的截面上, 在相邻元胞沟槽侧壁的外上方设有第一导电类型注入区, 所述第一导电类型注入区位于第二导电类型层内, 且第一导电类型注入区与元胞沟槽的外侧壁相接触; 源极导电多晶硅与半导体第一主面上的源极金属欧姆接触, 所述源极金属与第一导电类型注入区以及第二导电类型层均欧姆接触, 栅极导电多晶硅中部组件、栅极导电多晶硅右部组件以及栅极导电多晶硅左部组件均与半导体基板第一主面上的栅极金属欧姆接触。

2. 根据权利要求1所述的沟槽型功率MOSFET器件, 其特征是: 所述第二绝缘栅氧化层的厚度大于第一绝缘栅氧化层的厚度, 第三绝缘栅氧化层的厚度大于第一绝缘栅氧化层的厚度, 且第三绝缘栅氧化层与第一绝缘栅氧化层为同一工艺制造层。

3. 根据权利要求1所述的沟槽型功率MOSFET器件, 其特征是: 在所述MOSFET器件的截面上, 栅极导电多晶硅左部组件、栅极导电多晶硅右部组件从元胞沟槽的槽口垂直向下延伸, 且栅极导电多晶硅左部组件、栅极导电多晶硅右部组件的下端部位于第二导电类型层的下方。

4. 根据权利要求1所述的沟槽型功率MOSFET器件, 其特征是: 在所述半导体基板的第二主面上设有漏极金属, 所述漏极金属与第一导电类型衬底欧姆接触。

5. 根据权利要求1所述的沟槽型功率MOSFET器件, 其特征是: 在所述MOSFET器件的截面

上,半导体基板的第一主面上设有绝缘介质层以及贯通所述绝缘介质层的源极接触孔,在所述源极接触孔内填充有接触孔填充金属,所述接触孔填充金属与第一导电类型注入区以及第二导电类型层欧姆接触,源极金属支撑在绝缘介质层上,源极金属与接触孔填充金属电连接,且源极金属与栅极金属通过绝缘介质层绝缘隔离。

6.一种沟槽型功率MOSFET器件的制造方法,其特征是,所述功率MOSFET器件的制造方法包括如下步骤:

(a)、提供具有两个相对主面的半导体基板,两个相对主面包括第一主面以及与第一主面相对应的第二主面,在第一主面与第二主面间包括第一导电类型衬底以及第一导电类型外延层,第一导电类型衬底位于第一导电类型外延层的下方,且第一导电类型衬底邻接第一导电类型外延层;

(b)、在上述半导体基板的第一主面上设置硬掩膜层,选择性地掩蔽和刻蚀硬掩膜层,以得到所需贯通硬掩膜层的掩膜层窗口;

(c)、利用上述硬掩膜层窗口,在第一主面上通过各向异性干法刻蚀半导体基板,在半导体基板的第一导电类型外延层内形成所需的元胞沟槽,所述元胞沟槽的深度小于第一导电类型外延层的厚度;

(d)、去除上述第一主面上的硬掩膜层,并在第一主面及元胞沟槽内壁生长第一绝缘氧化材料层,以在元胞沟槽的中心区形成第一导电多晶硅淀积孔;

(e)、在上述第一主面上淀积第一导电多晶硅材料层,所述第一导电多晶硅材料层覆盖于第一绝缘氧化材料层上,并填充于第一导电多晶硅淀积孔内;

(f)、通过各向异性干法刻蚀,回刻第一主面上的第一导电多晶硅材料层,得到位于元胞沟槽内的源极导电多晶硅;

(g)、湿法腐蚀去除第一主面上的第一绝缘氧化材料层,同时去除元胞沟槽内壁上部的第一绝缘氧化材料层,得到位于元胞沟槽下部的第二绝缘栅氧化层;

(h)、在上述半导体基板的第一主面上生长第二绝缘氧化材料层,所述第二绝缘氧化材料层覆盖于第一主面上,并覆盖于元胞沟槽上部内壁,且得到包覆源极导电多晶硅的第三绝缘栅氧化层;第三绝缘栅氧化层与元胞沟槽侧壁上的第二绝缘氧化材料层间形成第二导电多晶硅淀积孔;

(i)、在上述半导体基板的第一主面淀积第二导电多晶硅材料层,所述第二导电多晶硅材料层覆盖于第二绝缘氧化材料层及第三绝缘栅氧化层上,并填充于第二导电多晶硅淀积孔内;

(j)、刻蚀去除上述半导体基板的第一主面上的第二导电多晶硅材料层及第二绝缘氧化材料层,得到位于元胞沟槽侧壁上部的第一绝缘栅氧化层及位于第二导电多晶硅淀积孔内的栅极导电多晶硅;

(k)、在上述半导体基板的第一主面上,自对准离子注入第二导电类型杂质离子,并通过高温推结形成有源区的第二导电类型层,所述有源区内的第二导电类型层在第一导电类型外延层内的深度小于栅极导电多晶硅在元胞沟槽内向下延伸的距离;

(l)、在上述半导体基板的第一主面上,选择性注入高浓度的第一导电类型杂质离子,通过高温推结形成有源区的第一导电类型注入区;

(m)、在上述半导体基板的第一主面上淀积绝缘介质层,并对所述绝缘介质层进行接触

孔光刻和刻蚀,得到贯通绝缘介质层的源极接触孔,所述源极接触孔位于元胞沟槽两侧;

(n)、在上述源极接触孔内填充接触孔填充金属,得到位于源极接触孔内的接触孔填充金属,接触孔填充金属与第一导电类型注入区及第二导电类型层欧姆接触;

(o)、在上述绝缘介质层上淀积所需的源极金属与栅极金属,所述源极金属与接触孔填充金属、源极导电多晶硅电连接,栅极金属与栅极导电多晶硅欧姆接触;

(p)、在上述半导体基板的第二主面设置漏极金属,所述漏极金属与第一导电类型基底欧姆接触。

7. 根据权利要求6所述沟槽型功率MOSFET器件的制造方法,其特征是,所述栅极导电多晶硅包括栅极导电多晶硅中部组件以及分别位于栅极导电多晶硅中部组件两侧的栅极导电多晶硅左部组件与栅极导电多晶硅右部组件,栅极导电多晶硅位于源极导电多晶硅的正上方,栅极导电多晶硅左部组件、栅极导电多晶硅右部组件分布位于源极导电多晶硅的两侧,栅极导电多晶硅中部组件、栅极导电多晶硅右部组件以及栅极导电多晶硅左部组件通过第三绝缘栅氧化层与源极导电多晶硅的上部绝缘隔离,所述栅极导电多晶硅左部组件、栅极导电多晶硅右部组件在元胞沟槽内的高度相同,栅极导电多晶硅中部组件在元胞沟槽内的高度不大于栅极导电多晶硅左部组件、栅极导电多晶硅右部组件的高度。

8. 根据权利要求6所述沟槽型功率MOSFET器件的制造方法,其特征是,所述第一绝缘栅氧化层的厚度为 $200\text{\AA}\sim 1000\text{\AA}$,第二绝缘栅氧化层的厚度为 $1000\text{\AA}\sim 10000\text{\AA}$ 。

9. 根据权利要求6所述沟槽型功率MOSFET器件的制造方法,其特征是,所述半导体基板材料包括硅。

沟槽型功率MOSFET器件及其制造方法

技术领域

[0001] 本发明涉及一种半导体器件及其制造方法,尤其是一种沟槽功率MOSFET器件及其制造方法,属于功率半导体器件的技术领域。

背景技术

[0002] 在20世纪九十年代,功率沟槽MOSFET的发展和工业化技术的主要研究方向,主要在最小化低压功率器件的正向导通电阻(R_{on})。如今,功率沟槽MOSFET器件已经适用于大多数功率应用电路中,且器件的特性不断接近硅材料的一维极限(硅材料的一维极限表述了器件漂移区特征导通电阻和关断时击穿电压的理论关系)。降低表面电场REDUCED SURFACE FIELD(RESURF)技术的提出,可令击穿电压为600V的功率沟槽MOSFET器件超过硅材料的一维极限。接着依据RESURF的工作原理,又出现分裂栅型沟槽(Split-Gate Trench)MOSFET器件结构,可在低、中压(20V~300V)范围内,打破硅材料的一维极限,拥有较低的正向导通电阻,占有明显的优势。

[0003] 公开号为102280487A的文件公开了一种分裂栅型沟槽MOSFET器件结构及制造方法,其提出的功率MOSFET器件的特征导通电阻较普通功率MOSFET器件降低了约40%,导通电阻小,栅漏电荷小,器件特性得到大幅提升。但仍然存在不足,其元胞沟槽内同时包含栅极导电多晶硅与源极导电多晶硅,栅极电极多晶硅分别位于源极电极多晶硅两侧,上述栅极导电多晶硅与源极导电多晶硅之间的电容即为栅源电容 C_{gs} ,而输入电容 $C_{iss}=C_{gd}+C_{gs}$, C_{gd} 是栅漏电容,由于栅极导电多晶硅分为两部分且分别位于源极电极多晶硅两侧,增大了两者的交叠面积,使得栅源电容 C_{gs} 增大,从而输入电容 C_{iss} 增大。输入电容 C_{iss} 变大,MOS管驱动端的功耗增大,驱动电路的复杂度和设计难度随之增加,同时在高频应用下, C_{iss} 增大将导致效率大幅降低。

发明内容

[0004] 本发明的目的是克服现有技术中存在的不足,提供一种沟槽型功率MOSFET器件及其制造方法,其导通电阻低,栅漏电荷 Q_{gd} 小,输入电容 C_{iss} 小,导通损耗低,开关损耗低,工艺简单,成本低,安全可靠。

[0005] 按照本发明提供的技术方案,所述沟槽型功率MOSFET器件,在所述MOSFET器件的俯视平面上,包括位于半导体基板的有源区及终端保护区,所述有源区位于半导体基板的中心区,终端保护区位于有源区的外圈且环绕包围有源区;有源区内包括若干规则排布且相互平行并联设置的有源元胞;在所述MOSFET器件的截面上,半导体基板具有第一主面以及与所述第一主面对应的第二主面,所述第一主面与第二主面间包括第一导电类型衬底以及邻接所述第一导电类型衬底的第一导电类型外延层,第一导电类型外延层内的上部设有第二导电类型层;

在所述MOSFET器件的截面上,有源区的有源元胞采用沟槽结构,所述元胞沟槽位于第二导电类型层内,深度伸入第二导电类型层下方的第一导电类型外延层;在所述元胞沟槽

内淀积有导电多晶硅体,所述导电多晶硅体包括源极导电多晶硅以及栅极导电多晶硅,所述源极导电多晶硅位于元胞沟槽内的下部,源极导电多晶硅的外圈由元胞沟槽内的第二绝缘栅氧化层包裹,源极导电多晶硅通过第二绝缘栅氧化层与元胞沟槽的侧壁及底壁绝缘隔离;栅极导电多晶硅通过元胞沟槽内的第一绝缘栅氧化层与元胞沟槽的内壁绝缘隔离,第一绝缘栅氧化层位于第二绝缘栅氧化层的上方,且第一绝缘栅氧化层的下端与第二绝缘栅氧化层的上端接触连接;

在所述MOSFET器件的截面上,所述栅极导电多晶硅包括栅极导电多晶硅中部组件以及分别位于栅极导电多晶硅中部组件两侧的栅极导电多晶硅左部组件与栅极导电多晶硅右部组件,栅极导电多晶硅位于源极导电多晶硅的正上方,栅极导电多晶硅左部组件、栅极导电多晶硅右部组件分布位于源极导电多晶硅的两侧,栅极导电多晶硅中部组件、栅极导电多晶硅右部组件以及栅极导电多晶硅左部组件通过第三绝缘栅氧化层与源极导电多晶硅的上部绝缘隔离,所述第三绝缘栅氧化层与第二绝缘栅氧化层、第一绝缘栅氧化层接触连接;所述栅极导电多晶硅左部组件、栅极导电多晶硅右部组件在元胞沟槽内的高度相同,栅极导电多晶硅中部组件在元胞沟槽内的高度不大于栅极导电多晶硅左部组件、栅极导电多晶硅右部组件的高度;

在所述MOSFET器件的截面上,在相邻元胞沟槽侧壁的外上方设有第一导电类型注入区,所述第一导电类型注入区位于第二导电类型层内,且第一导电类型注入区与元胞沟槽的外侧壁相接触;源极导电多晶硅与半导体第一主面上的源极金属欧姆接触,所述源极金属与第一导电类型注入区以及第二导电类型层均欧姆接触,栅极导电多晶硅中部组件、栅极导电多晶硅右部组件以及栅极导电多晶硅左部组件均与半导体基板第一主面上的栅极金属欧姆接触。

[0006] 所述第二绝缘栅氧化层的厚度大于第一绝缘栅氧化层的厚度,第三绝缘栅氧化层的厚度大于第一绝缘栅氧化层的厚度,且第三绝缘栅氧化层与第一绝缘栅氧化层为同一工艺制造层。

[0007] 在所述MOSFET器件的截面上,栅极导电多晶硅左部组件、栅极导电多晶硅右部组件从元胞沟槽的槽口垂直向下延伸,且栅极导电多晶硅左部组件、栅极导电多晶硅右部组件的下端部位于第二导电类型层的下方。

[0008] 在所述半导体基板的第二主面上设有漏极金属,所述漏极金属与第一导电类型衬底欧姆接触。

[0009] 在所述MOSFET器件的截面上,半导体基板的第一主面上设有绝缘介质层以及贯通所述绝缘介质层的源极接触孔,在所述源极接触孔内填充有接触孔填充金属,所述接触孔填充金属与第一导电类型注入区以及第二导电类型层欧姆接触,源极金属支撑在绝缘介质层上,源极金属与接触孔填充金属电连接,且源极金属与栅极金属通过绝缘介质层绝缘隔离。

[0010] 一种沟槽型功率MOSFET器件的制造方法,所述功率MOSFET器件的制造方法包括如下步骤:

a、提供具有两个相对主面的半导体基板,两个相对主面包括第一主面以及与第一主面对应的第二主面,在第一主面与第二主面间包括第一导电类型衬底以及第一导电类型外延层,第一导电类型衬底位于第一导电类型外延层的下方,且第一导电类型衬底邻接第一

导电类型外延层；

b、在上述半导体基板的第一主面上设置硬掩膜层，选择性地掩蔽和刻蚀硬掩膜层，以得到所需贯通硬掩膜层的掩膜层窗口；

c、利用上述硬掩膜层窗口，在第一主面上通过各向异性干法刻蚀半导体基板，在半导体基板的第一导电类型外延层内形成所需的元胞沟槽，所述元胞沟槽的深度小于第一导电类型外延层的厚度；

d、去除上述第一主面上的硬掩膜层，并在第一主面及元胞沟槽内壁生长第一绝缘氧化材料层，以在元胞沟槽的中心区形成第一导电多晶硅淀积孔；

e、在上述第一主面上淀积第一导电多晶硅材料层，所述第一导电多晶硅材料层覆盖于第一绝缘氧化材料层上，并填充于第一导电多晶硅淀积孔内；

f、通过各向异性干法刻蚀，回刻第一主面上的第一导电多晶硅材料层，得到位于元胞沟槽内的源极导电多晶硅；

g、湿法腐蚀去除第一主面上的第一绝缘氧化材料层，同时去除元胞沟槽内壁上部的第一绝缘氧化材料层，得到位于元胞沟槽下部的第二绝缘栅氧化层；

h、在上述半导体基板的第一主面上生长第二绝缘氧化材料层，所述第二绝缘氧化材料层覆盖于第一主面上，并覆盖于元胞沟槽上部内壁，且得到包覆源极导电多晶硅的第三绝缘栅氧化层；第三绝缘栅氧化层与元胞沟槽侧壁上的第二绝缘氧化材料层间形成第二导电多晶硅淀积孔；

i、在上述半导体基板的第一主面淀积第二导电多晶硅材料层，所述第二导电多晶硅材料层覆盖于第二绝缘氧化材料层及第三绝缘栅氧化层上，并填充于第二导电多晶硅淀积孔内；

j、刻蚀去除上述半导体基板的第一主面上的第二导电多晶硅材料层及第二绝缘氧化材料层，得到位于元胞沟槽侧壁上部的第一绝缘栅氧化层及位于第二导电多晶硅淀积孔内的栅极导电多晶硅；

k、在上述半导体基板的第一主面上，自对准离子注入第二导电类型杂质离子，并通过高温推结形成有源区的第二导电类型层，所述有源区内的第二导电类型层在第一导电类型外延层内的深度小于栅极导电多晶硅在元胞沟槽内向下延伸的距离；

l、在上述半导体基板的第一主面上，选择性注入高浓度的第一导电类型杂质离子，通过高温推结形成有源区的第一导电类型注入区；

m、在上述半导体基板的第一主面上淀积绝缘介质层，并对所述绝缘介质层进行接触孔光刻和刻蚀，得到贯通绝缘介质层的源极接触孔，所述源极接触孔位于元胞沟槽两侧；

n、在上述源极接触孔内填充接触孔填充金属，得到位于源极接触孔内的接触孔填充金属，接触孔填充金属与第一导电类型注入区及第二导电类型层欧姆接触；

o、在上述绝缘介质层上淀积所需的源极金属与栅极金属，所述源极金属与接触孔填充金属、源极导电多晶硅电连接，栅极金属与栅极导电多晶硅欧姆接触；

p、在上述半导体基板的第二主面设置漏极金属，所述漏极金属与第一导电类型基底欧姆接触。

[0011] 所述栅极导电多晶硅包括栅极导电多晶硅中部组件以及分别位于栅极导电多晶硅中部组件两侧的栅极导电多晶硅左部组件与栅极导电多晶硅右部组件，栅极导电多晶硅

位于源极导电多晶硅的正上方,栅极导电多晶硅左部组件、栅极导电多晶硅右部组件分布于源极导电多晶硅的两侧,栅极导电多晶硅中部组件、栅极导电多晶硅右部组件以及栅极导电多晶硅左部组件通过第三绝缘栅氧化层与源极导电多晶硅的上部绝缘隔离,所述栅极导电多晶硅左部组件、栅极导电多晶硅右部组件在元胞沟槽内的高度相同,栅极导电多晶硅中部组件在元胞沟槽内的高度不大于栅极导电多晶硅左部组件、栅极导电多晶硅右部组件的高度。

[0012] 所述第一绝缘栅氧化层的厚度为 $200\text{\AA}\sim 1000\text{\AA}$,第二绝缘栅氧化层的厚度为 $1000\text{\AA}\sim 10000\text{\AA}$ 。

[0013] 所述半导体基板材料包括硅。

[0014] 所述“第一导电类型”和“第二导电类型”两者中,对于N型MOSFET器件,第一导电类型指N型,第二导电类型为P型;对于P型MOSFET器件,第一导电类型与第二导电类型所指的类型与N型半导体器件相反。

[0015] 本发明的优点:

1、在元胞沟槽内设置源极导电多晶硅,其中源极导电多晶硅的深度较深,源极导电多晶硅被较厚的第二绝缘氧化层所包覆,并且源极导电多晶硅与源极金属电连接保持零电位,当在器件的漏极金属和源极金属间施加反向电压时,相邻元胞沟槽之间会产生横向电场,结合第二导电类型层和第一导电类型外延层所构成P-N结产生的纵向电场,形成二维电场耗尽区,突破硅材料的一维限制,在满足与传统沟槽功率MOSFET器件相同耐压需求的前提下,能使得第一导电类型外延层电阻率降低,从而大幅降低器件的导通电阻。

[0016] 2、通过调节第一导电多晶硅材料层回刻的刻蚀量,减小源极导电多晶硅和栅极导电多晶硅的交叠区域,大幅减小栅源电容 C_{gs} 以及输入电容 C_{iss} 。

[0017] 3、在本发明中,形成元胞结构的制造工艺都是借助于已广泛使用的一些半导体制造技术的工艺来实现的,并未增加工艺实施难度,因此,利于推广和批量生产。

附图说明

[0018] 图1为本发明的俯视图。

[0019] 图2为本发明实施例1的结构剖视图。

[0020] 图3~图18为本发明实施例1的具体实施时的剖视图,其中,图3为本发明半导体基板的剖视图。

[0021] 图4为本发明得到硬掩膜层窗口后的剖视图。

[0022] 图5为本发明得到元胞沟槽后的剖视图。

[0023] 图6为本发明得到第一导电多晶硅淀积孔后的剖视图。

[0024] 图7为本发明得到第一导电多晶硅材料层的剖视图。

[0025] 图8为本发明得到源极导电多晶硅后的剖视图。

[0026] 图9为本发明第一绝缘栅氧化层后的剖视图。

[0027] 图10为本发明得到第二导电多晶硅淀积孔后的剖视图。

[0028] 图11为本发明得到第二导电多晶硅材料层后的剖视图。

[0029] 图12为本发明得到栅极导电多晶硅后的剖视图。

[0030] 图13为本发明得到P阱层后的剖视图。

- [0031] 图14为本发明得到N+注入区后的剖视图。
- [0032] 图15为本发明得到源极接触孔后的剖视图。
- [0033] 图16为本发明得到接触孔填充金属后的剖视图。
- [0034] 图17为本发明得到源极金属后的剖视图。
- [0035] 图18为本发明得到漏极金属后的剖视图。
- [0036] 图19~图29为本发明实施例2具体实施时的剖视图,其中,
图19为本发明得到源极导电多晶硅后的剖视图。
- [0037] 图20为本发明得到第一绝缘栅氧化层后的剖视图。
- [0038] 图21为本发明得到第二导电多晶硅淀积孔后的剖视图。
- [0039] 图22为本发明得到第二导电多晶硅材料层后的剖视图。
- [0040] 图23为本发明得到栅极导电多晶硅后的剖视图。
- [0041] 图24为本发明得到P阱层后的剖视图。
- [0042] 图25为本发明得到N+注入区后的剖视图。
- [0043] 图26为本发明得到源极接触孔后的剖视图。
- [0044] 图27为本发明得到接触孔填充金属后的剖视图。
- [0045] 图28为本发明得到源极金属后的剖视图。
- [0046] 图29为本发明得到漏极金属后的剖视图。
- [0047] 附图标记说明:1-N+衬底、2-N型外延层、3-元胞沟槽、4-第二绝缘栅氧化层、5-源极导电多晶硅、6-第一绝缘栅氧化层、7-第三绝缘栅氧化层、8-栅极导电多晶硅、9-源极导电多晶硅左部组件、10-源极导电多晶硅右部组件、11-源极导电多晶硅中部组件、12-P阱层、13-N+注入区、14-绝缘介质层、15-源极接触孔、16-接触孔填充金属、17-源极金属、18-漏极金属、19-第一主面、20-第二主面、21-硬掩膜层、22-硬掩膜层窗口、23-第一绝缘氧化材料层、24-第二导电多晶硅淀积孔、25-第一导电多晶硅材料层、26-第二绝缘氧化材料层、27-第一导电多晶硅淀积孔、28-第二导电多晶硅材料层、29-有源区、30-有源元胞、31-终端保护区以及32-栅极金属。

具体实施方式

- [0048] 下面结合具体附图和实施例对本发明作进一步说明。
- [0049] 为了能使得得到的功率MOSFET器件具有导通电阻低,栅漏电荷 Q_{gd} 小,输入电容 C_{iss} 小,导通损耗低,开关损耗低的特点,以N型MOSFET器件为例,下面通过实施例1以及实施例2对本发明做具体详尽的描述。
- [0050] 实施例1

如图1所示,在所述功率MOSFET器件的俯视平面上,包括位于半导体基板中心区的有源区29及位于所述有源区29外圈的终端保护区31,所述终端保护区31包围环绕有源区29,所述有源区29内包括若干规则排布且相互平行并联连接的有源元胞30,对所述有源元胞30,图2和图18只表示了功率MOSFET器件的有源区29的结构剖视图,即沿图1中定义的切割线A-A的剖面结构。在具体实施时,终端保护区31可以采用现有常用的结构形式,终端保护区31与有源区29间的具体作用以及具体的配合关系均为本技术领域人员所熟知,此处不再赘述。

[0051] 在所述MOSFET器件的截面上,半导体基板包括N型外延层2及位于所述外延层2下方的N+衬底1,所述N+衬底1邻接N型外延层2,N+衬底1的浓度大于N型外延层2的浓度。半导体基板具有两个相对应的主面,所述两个主面分别为第一主面19和第二主面20;N型外延层2的表面形成第一主面19,N+衬底1的表面形成第二主面20,第一主面19和第二主面20相对应分布。N型外延层2的上部设有P阱层12,所述P阱层12贯穿有源区的N型外延层2,P阱层12的厚度小于N型外延层2的厚度。

[0052] 在所述MOSFET器件的截面上,有源区29的有源元胞30采用沟槽结构,所述元胞沟槽3位于P阱层12内,并由N型外延层2的第一主面19向第二主面20方向延伸,深度伸入P阱层12下方的N型外延层2内,且元胞沟槽3延伸的距离小于N型外延层2的厚度,即元胞沟槽3的槽底位于N型外延层2内。元胞沟槽3内壁表面生长绝缘氧化层体,所述绝缘氧化层体包括第一绝缘栅氧化层6以及第二绝缘栅氧化层4,所述第一绝缘栅氧化层6生长于元胞沟槽3侧壁的上部,第二绝缘栅氧化层4生长于元胞沟槽3的下部,并覆盖元胞沟槽3侧壁的下部及底部,第二绝缘栅氧化层4的厚度大于第一绝缘栅氧化层6的厚度,且第一绝缘栅氧化层6的下端与第二绝缘栅氧化层4的上端连接,即第一绝缘栅氧化层6的下部与第二绝缘栅氧化层4的上部相连接,以实现元胞沟槽3所有侧壁以及底壁的覆盖。

[0053] 在所述功率MOSFET器件的截面上,元胞沟槽3内淀积有导电多晶硅体,所述导电多晶硅体包括源极导电多晶硅5和栅极导电多晶硅8。所述栅极导电多晶硅8包括栅极导电多晶硅左部组件9、栅极导电多晶硅中部组件11、栅极导电多晶硅右部组件10;所述栅极导电多晶硅左部组件9、栅极导电多晶硅中部组件11、栅极导电多晶硅右部组件10均从元胞沟槽3的槽口垂直向下延伸,栅极导电多晶硅左部组件9和栅极导电多晶硅右部组件10形状大小一致,栅极导电多晶硅中部组件11左右方向分别与栅极导电多晶硅左部组件9和栅极导电多晶硅右部组件10物理相连,即栅极导电多晶硅左部组件9、栅极导电多晶硅右部组件10分别位于栅极导电多晶硅中部组件11的两侧,且栅极导电多晶硅左部组件9、栅极导电多晶硅右部组件10与栅极导电多晶硅中部组件11直接接触连接。

[0054] 本发明实施例中,栅极导电多晶硅中部组件11的高度不大于栅极导电多晶硅右部组件10、栅极导电多晶硅左部组件9的高度。具体实施时,所述栅极导电多晶硅中部组件11的高度为栅极导电多晶硅左部组件9的高度的一半,栅极导电多晶硅右部组件10的高度等于栅极导电多晶硅左部组件9的高度。源极导电多晶硅5位于元胞沟槽3的中心区,栅极导电多晶硅左部组件9和栅极导电多晶硅右部组件10分别位于源极导电多晶硅5的两侧。源极导电多晶硅5的上端伸入P阱层12内,栅极导电多晶硅左部组件9、栅极导电多晶硅右部组件10的下端部均位于P阱层12的下方,栅极导电多晶硅中部组件11全部位于P阱层12内,栅极导电多晶硅左部组件9、栅极导电多晶硅右部组件10以及栅极导电多晶硅中部组件11的上端部相平齐,栅极导电多晶硅中部组件11位于源极导电多晶硅5的正上方,因此,栅极导电多晶硅左部组件9、栅极导电多晶硅右部组件10的下端与源极导电多晶硅5的上端相交叠,通过栅极导电多晶硅中部组件11与栅极导电多晶硅左部组件9、栅极导电多晶硅右部组件10的配合,能够有效减少栅极导电多晶硅左部组件9、栅极导电多晶硅右部组件10与源极导电多晶硅5上部的交叠区域面积,从而能够有效减少栅源电容 C_{gs} 。栅极导电多晶硅左部组件9、栅极导电多晶硅右部组件10与栅极导电多晶硅中部组件11间形成一个开口向下的凹形区域。

[0055] 在栅极导电多晶硅左部组件9、栅极导电多晶硅右部组件10与栅极导电多晶硅中部组件11间形成一个开口向下的凹形区域后,为了实现与源极导电多晶硅5的绝缘隔离,源极导电多晶硅5与栅极导电多晶硅8间通过第三绝缘栅氧化层7隔离,第三绝缘栅氧化层7包裹源极导电多晶硅伸入上述开口向下凹形区域的部分。源极导电多晶硅5与元胞沟槽3的内壁和底部之间通过第二绝缘栅氧化层4隔离,所述第三绝缘栅氧化层7与第二绝缘栅氧化层4上下连接;栅极导电多晶硅8与元胞沟槽3内壁间通过第一绝缘栅氧化层6隔离,即栅极导电多晶硅左部组件9、栅极导电多晶硅右部组件10通过第一绝缘栅氧化层6与元胞沟槽3上部的内壁绝缘隔离。

[0056] 在所述MOSFET器件的截面上,相邻元胞沟槽3间相对应的外壁侧上方均设有N+注入区13,所述N+注入区13的浓度大于N+衬底1的浓度;元胞沟槽3的槽口及邻近槽口的N+注入区13表面由绝缘介质层14覆盖,元胞沟槽3的两侧设有贯通绝缘介质层14的源极接触孔15,所述源极接触孔15内填充有接触孔填充金属16,所述接触孔填充金属16与N+注入区13及P阱层12欧姆接触;第一主面19上方设有源极金属17以及栅极金属32,所述源极金属17覆盖于绝缘介质层14及接触孔填充金属16上,源极金属17与接触孔填充金属16电性连接;源极导电多晶硅5与源极金属17电性连接,以形成功率MOSFET器件的源极端;栅极金属32与栅极导电多晶硅8欧姆接触,以形成功率MOSFET器件的栅极端,栅极金属32与栅极导电多晶硅8间的具体连接以及对应配合的关系均为本技术领域人员所熟知,此处不再赘述。在第二主面20上淀积有漏极金属18,形成功率MOSFET的漏极端。

[0057] 如图3~图18所示,上述结构的功率MOSFET器件,可以通过下述工艺步骤实现,具体工艺包括如下步骤:

a、提供具有两个相对主面的半导体基板,所述半导体基板包括N+衬底1及位于所述N+衬底1上方的N型外延层2,N型外延层2的上表面形成半导体基板的第一主面19,N+衬底1的下表面形成半导体基板的第二主面20;

如图3所示:所述N型外延层2邻接N+衬底1;半导体基板材料为硅,半导体基板的N+衬底1与N型外延层2间的关系为本技术领域人员所熟知,此处不再赘述。

[0058] b、在上述半导体基板的第一主面19上设置硬掩膜层21,选择性地掩蔽和刻蚀硬掩膜层21,以得到所需贯通硬掩膜层的掩膜层窗口22;

如图4所示:所述硬掩膜层21可以采用LPTEOS、热氧化二氧化硅加化学气相沉积二氧化硅或热氧化二氧化硅加氮化硅,其后通过光刻和各向异性刻蚀形成硬掩膜层21;可以通过本技术领域常用的技术手段对硬掩膜层21进行刻蚀,从而得到所需的硬掩膜层窗口22。

[0059] c、利用上述硬掩膜层窗口22,在第一主面19上通过各向异性干法刻蚀半导体基板,在半导体基板的N型外延层2内形成元胞沟槽3,所述元胞沟槽3的深度小于N型外延层2的厚度;

如图5所示:元胞沟槽3的槽口位于第一主面19上,且元胞沟槽3从第一主面19向下延伸;在具体实施时,在半导体基板的N型外延层2还可以形成终端保护区用的沟槽结构,终端保护区内是否有沟槽形式,具体与终端保护区的具体形式所确定,具体为本技术领域人员所熟知,此处不再赘述。

[0060] d、去除上述第一主面19上的硬掩膜层21,并在第一主面19及沟槽内壁生长第一绝缘氧化材料层23,以在元胞沟槽3的中心区形成第一导电多晶硅淀积孔24;

如图6所示:所述第一绝缘氧化材料层23在元胞沟槽3下部的厚度与第二绝缘栅氧化层4的厚度一致;为在元胞沟槽3底部形成第二绝缘栅氧化层4,需要先在第一主面19上生长第一绝缘氧化材料层23;元胞沟槽3内的第一绝缘氧化材料层23总宽度小于元胞沟槽3的宽度,从而能够在元胞沟槽3的中心区第一导电多晶硅淀积孔24,第一导电多晶硅淀积孔24从第一绝缘氧化材料层23的上端表面垂直向下延伸,第一绝缘氧化材料层23为二氧化硅层,具体生长得到第一绝缘氧化材料层23的过程为本技术领域人员所熟知,此处不再赘述。

[0061] e、在上述第一主面19上淀积第一导电多晶硅材料层25,所述第一导电多晶硅材料层25覆盖于第一绝缘氧化材料层23上,并填充于第一导电多晶硅淀积孔24内;

如图7所示:在第一主面19上淀积第一导电多晶硅材料层25后,所述第一导电多晶硅材料层25势必会填充在第一导电多晶硅淀积孔24内,第一导电多晶硅材料层25能将第一导电多晶硅淀积孔24填满,且第一导电多晶硅材料层25覆盖在第一绝缘氧化材料层23上,淀积得到第一导电多晶硅材料层25的具体过程为本技术领域人员所熟知,此处不再赘述。

[0062] f、通过各向异性干法刻蚀,回刻第一主面19上的第一导电多晶硅材料层25,得到位于元胞沟槽3内的源极导电多晶硅5;

如图8所示:回刻第一导电多晶硅材料层25并保留位于第一导电多晶硅淀积孔24内的第一导电多晶硅材料层25,得到位于元胞沟槽3内下部的源极导电多晶硅5,第一导电多晶硅材料层25回刻的刻蚀量约为栅极导电多晶硅左部组件9的高度值的一半,源极导电多晶硅5的具体高度可以根据需要进行控制选择,具体为本技术领域人员所熟知,此处不再赘述。

[0063] g、湿法腐蚀去除第一主面上19的第一绝缘氧化材料层23,同时去除元胞沟槽3内壁上部的第一绝缘氧化材料层23,得到位于元胞沟槽3下部的第二绝缘栅氧化层4;

如图9所示:去除第一主面19上,第一绝缘栅氧化层材料23,并去除需要形成第一绝缘栅氧化层6部位的第一绝缘氧化材料层23,从而得到第二绝缘栅氧化层4,所述第二绝缘栅氧化层4包覆源极导电多晶硅5的下部;第二绝缘栅氧化层4的厚度为1000Å~10000 Å;去除第一绝缘氧化材料层23的具体工艺过程为本技术领域人员所熟知,此处不再赘述。

[0064] h、在上述半导体基板的第一主面19上生长第二绝缘氧化材料层26,所述第二绝缘氧化材料层26覆盖于第一主面19上,并覆盖于元胞沟槽3上部内壁,且得到包覆源极导电多晶硅5上部的第三绝缘栅氧化层7;第三绝缘栅氧化层7与元胞沟槽3侧壁上的第二绝缘氧化材料层26间形成第二导电多晶硅淀积孔27;

如图10所示:通过第二绝缘氧化材料层26可同时形成第一绝缘栅氧化层6及第三绝缘栅氧化层7,第一绝缘栅氧化层6与第三绝缘栅氧化层7为同一工艺制造层;通过第二导电多晶硅淀积孔27用于制备所需的栅极导电多晶硅8;第一绝缘栅氧化层6的厚度为200Å~1000 Å。

[0065] i、在上述半导体基板的第一主面19淀积第二导电多晶硅材料层28,所述第二导电多晶硅材料层28覆盖于第二绝缘氧化材料层26及第三绝缘栅氧化层7上,并填充于第二导电多晶硅淀积孔27内;

如图11所示:通过淀积第二导电多晶硅材料层28,第二导电多晶硅材料层28填充在第二导电多晶硅淀积孔27内后,在第二导电多晶硅淀积孔27内形成栅极导电多晶硅8。

[0066] j、刻蚀去除上述半导体基板的第一主面19上的第二导电多晶硅材料层28及第二

绝缘氧化材料层26,得到位于元胞沟槽3侧壁上部的第一绝缘栅氧化层6及位于第二导电多晶硅淀积孔27内的栅极导电多晶硅8;

如图12所示:同时去除第一主面19上的第二导电多晶硅材料层28及第二绝缘氧化材料层26,从而在元胞沟槽3内同时得到第一绝缘栅氧化层6和栅极导电多晶硅8;所述栅极导电多晶硅8由栅极导电多晶硅左部组件9、栅极导电多晶硅中部组件11和栅极导电多晶硅右部组件10构成,栅极导电多晶硅左部组件9和栅极导电多晶硅右部组件10高度一致,栅极导电多晶硅中部组件11的高度为栅极导电多晶硅左部组件9的高度的一半。源极导电多晶硅5的上端部位于栅极导电多晶硅左部组件9与栅极导电多晶硅右部组件10之间,源极导电多晶硅5通过第三绝缘栅氧化层7与栅极导电多晶硅左部组件9、栅极导电多晶硅中部组件11以及栅极导电多晶硅右部组件10绝缘隔离。

[0067] k、在上述半导体基板的第一主面19上,自对准离子注入P型杂质离子,并通过高温推结形成有源区的P阱层12,所述有源区内的P阱层12在N型外延层2内的深度小于栅极导电多晶硅8在元胞沟槽3内向下延伸的距离;

如图13所示:自对准注入的P型杂质离子可为常用的B离子;所述P阱层12在N型外延层2中向下延伸的距离小于栅极导电多晶硅8的距离,更具体地,所述P阱层12在N型外延层2中向下延伸的距离小于栅极导电多晶硅左部组件9的高度;P阱层12在N型外延层2内向下延伸的距离大于栅极导电多晶硅中部组件11的高度。

[0068] l、在上述半导体基板的第一主面19上,选择性注入高浓度的N型杂质离子,通过高温推结形成有源区的N⁺注入区13;

如图14所示:注入高浓度的N型杂质离子可为As离子或者Ph离子,N⁺注入区13形成MOSFET器件的源区,具体注入N型杂质离子的工艺过程以及N型杂质离子的浓度均为本技术领域人员所熟知,此处不再赘述。

[0069] m、在上述半导体基板的第一主面19上淀积绝缘介质层14,并对所述绝缘介质层14进行接触孔光刻和刻蚀,得到位于元胞沟槽3两侧的源极接触孔15;

如图15所示:所述绝缘介质层14为硅玻璃(USG)、硼磷硅玻璃(BPSG)或磷硅玻璃(PSG);通过对绝缘介质层14进行刻蚀后,得到贯通绝缘介质层14的源极接触孔15,一般地,元胞沟槽3的两侧均具有源极接触孔15;在第一主面19上淀积绝缘介质层14后,通过源极接触孔15能够使得部分的N⁺注入区13以及对应N⁺注入区13之间的P阱层12露出。

[0070] n、在上述源极接触孔15内填充接触孔填充金属16,得到位于源极接触孔15内的接触孔填充金属16,接触孔填充金属16与其下方的N⁺注入区13及P阱层12欧姆接触;

如图16所示:接触孔填充金属16为钨、铜或铝;在源极接触孔15内填充得到接触孔填充金属16的具体工艺过程为本技术领域人员所熟知,此处不再赘述。

[0071] o、在上述绝缘介质层14上淀积源极金属17以及栅极金属32,所述源极金属17与接触孔填充金属16、源极导电多晶硅5连接成等电位,栅极金属32与栅极导电多晶硅8欧姆接触;

如图18所示:在绝缘介质层14上淀积源极金属17,形成功率MOSFET器件的源极端;栅极金属32与栅极导电多晶硅8欧姆接触,用于形成功率MOSFET器件的栅极端,栅极金属32与源极金属17间互不接触,栅极金属32与源极金属17间的位置关系可以参照图1,栅极金属32与栅极导电多晶硅8之间的具体连接形式等均为本技术领域人员所熟知,此处不再赘述。

[0072] p、在上述半导体基板的第二主面20设置漏极金属18,所述漏极金属18与N+衬底1欧姆接触。

[0073] 如图19所示:在第二主面20上淀积漏极金属18,形成功率MOSFET器件的漏极端;淀积得到漏极金属18的具体工艺过程为本技术领域人员所熟知,此处不再赘述。

[0074] 实施例2

如图1所示,在所述功率MOSFET器件的俯视平面上,包括位于半导体基板中心区的有源区29及位于所述有源区29外圈的终端保护区31,所述终端保护区31包围环绕有源区29,所述有源区29内包括若干规则排布且相互平行并联连接的有源元胞30,对所述有源元胞30,图29只表示了功率MOSFET器件的有源区29的结构剖视图,即沿图1中定义的切割线A-A的剖面结构。在具体实施时,终端保护区31可以采用现有常用的结构形式,终端保护区31与有源区29间的具体作用以及具体的配合关系均为本技术领域人员所熟知,此处不再赘述。

[0075] 在所述MOSFET器件的截面上,半导体基板包括N型外延层2及位于所述外延层2下方的N+衬底1,所述N+衬底1邻接N型外延层2,N+衬底1的浓度大于N型外延层2的浓度。半导体基板具有两个相对应的主面,所述两个主面分别为第一主面19和第二主面20;N型外延层2的表面形成第一主面19,N+衬底1的表面形成第二主面20,第一主面19和第二主面20相对应分布。N型外延层2的上部设有P阱层12,所述P阱层12贯穿有源区的N型外延层2,P阱层12的厚度小于N型外延层2的厚度。

[0076] 在所述MOSFET器件的截面上,有源区29的有源元胞30采用沟槽结构,所述元胞沟槽3位于P阱层12内,并由N型外延层2的第一主面19向第二主面20方向延伸,深度伸入P阱层12下方的N型外延层2内,且元胞沟槽3延伸的距离小于N型外延层2的厚度,即元胞沟槽3的槽底位于N型外延层2内。元胞沟槽3内壁表面生长绝缘氧化层体,所述绝缘氧化层体包括第一绝缘栅氧化层6以及第二绝缘栅氧化层4,所述第一绝缘栅氧化层6生长于元胞沟槽3侧壁的上部,第二绝缘栅氧化层4生长于元胞沟槽3的下部,并覆盖元胞沟槽3侧壁的下部及底部,第二绝缘栅氧化层4的厚度大于第一绝缘栅氧化层6的厚度,且第一绝缘栅氧化层6的下端与第二绝缘栅氧化层4的上端连接,即第一绝缘栅氧化层6的下部与第二绝缘栅氧化层4的上部相连接,以实现元胞沟槽3所有侧壁以及底壁的覆盖。

[0077] 在所述功率MOSFET器件的截面上,元胞沟槽3内淀积有导电多晶硅体,所述导电多晶硅体包括源极导电多晶硅5和栅极导电多晶硅8。所述栅极导电多晶硅8包括栅极导电多晶硅左部组件9、栅极导电多晶硅中部组件11、栅极导电多晶硅右部组件10;所述栅极导电多晶硅左部组件9、栅极导电多晶硅中部组件11、栅极导电多晶硅右部组件10均从元胞沟槽3的槽口垂直向下延伸,栅极导电多晶硅左部组件9和栅极导电多晶硅右部组件10形状大小一致,栅极导电多晶硅中部组件11左右方向分别与栅极导电多晶硅左部组件9和栅极导电多晶硅右部组件10物理相连,即栅极导电多晶硅左部组件9、栅极导电多晶硅右部组件10分别位于栅极导电多晶硅中部组件11的两侧,且栅极导电多晶硅左部组件9、栅极导电多晶硅右部组件10与栅极导电多晶硅中部组件11直接接触连接。

[0078] 本发明实施例中,栅极导电多晶硅右部组件10的高度等于栅极导电多晶硅左部组件9的高度,栅极导电多晶硅左部组件9、栅极导电多晶硅中部组件11以及栅极导电多晶硅右部组件10间为同一工艺制造层。栅极导电多晶硅中部组件11的高度等于栅极导电多晶硅右部组件10、栅极导电多晶硅左部组件9的高度。源极导电多晶硅5位于元胞沟槽3的中心

区,栅极导电多晶硅左部组件9和栅极导电多晶硅右部组件10分别位于源极导电多晶硅5的两侧。

[0079] 源极导电多晶硅5的上端位于P阱层12的下方,栅极导电多晶硅左部组件9、栅极导电多晶硅右部组件10以及栅极导电多晶硅中部组件11相对应的下端部均位于P阱层12的下方,栅极导电多晶硅左部组件9、栅极导电多晶硅右部组件10以及栅极导电多晶硅中部组件11的上端部相平齐,栅极导电多晶硅中部组件11位于源极导电多晶硅5的正上方。此时,栅极导电多晶硅8的栅极导电多晶硅左部组件9、栅极导电多晶硅右部组件9与源极导电多晶硅5的上部间不存在任何交叠的区域,从而可以有效减少栅源电容 C_{gs} 。

[0080] 源极导电多晶硅5的上端通过第三绝缘栅氧化层7与栅极导电多晶硅8绝缘隔离,即源极导电多晶硅5通过第三绝缘栅氧化层7与栅极导电多晶硅左部组件9、栅极导电多晶硅中部组件11以及栅极导电多晶硅右部组件10相互绝缘隔离。源极导电多晶硅5的外圈由第一绝缘栅氧化层4包裹,源极导电多晶硅5通过第一绝缘栅氧化层4与元胞沟槽3的侧壁以及底壁绝缘,栅极导电多晶硅左部组件9、栅极导电多晶硅右部组件11通过第一绝缘栅氧化层6与元胞沟槽3上部的侧壁绝缘隔离,第一绝缘栅氧化层4的厚度大于第一绝缘栅氧化层6以及第三绝缘栅氧化层7的厚度,第三绝缘栅氧化层7的厚度大于第一绝缘栅氧化层6的厚度。

[0081] 在所述MOSFET器件的截面上,相邻元胞沟槽3间相对应的外壁上方均设有N⁺注入区13,所述N⁺注入区13的浓度大于N⁺衬底1的浓度;元胞沟槽3的槽口及邻近槽口的N⁺注入区13表面由绝缘介质层14覆盖,元胞沟槽3的两侧设有源极接触孔15,所述源极接触孔15内填充有接触孔填充金属16,所述接触孔填充金属16与N⁺注入区13及P阱层12欧姆接触;第一主面19上方设有源极金属17,所述源极金属17覆盖于绝缘介质层14及接触孔填充金属16上,源极金属17与接触孔填充金属16电性连接;源极导电多晶硅5与源极金属17电性连接。在第二主面20上淀积有漏极金属18,形成功率MOSFET的漏极端。此外,在第一主面19上方还设有栅极金属32,栅极金属32与栅极导电多晶硅8欧姆接触,以形成功率MOSFET器件的栅极端。

[0082] 如图19~图29所示,上述结构的功率MOSFET器件,通过下述工艺步骤实现,具体工艺过程包括如下步骤:

a、提供具有两个相对主面的半导体基板,所述半导体基板包括N⁺衬底1及位于所述N⁺衬底1上方的N型外延层2,N型外延层2的上表面形成半导体基板的第一主面19,N⁺衬底1的下表面形成半导体基板的第二主面20;

具体地,所述N型外延层2邻接N⁺衬底1;半导体基板的材料为硅,具体可以参考实施例1中的图3。

[0083] b、在上述半导体基板的第一主面19上设置硬掩膜层21,选择性地掩蔽和刻蚀硬掩膜层21,以得到所需贯通硬掩膜层的掩膜层窗口22;

具体地,所述硬掩膜层21可以采用LPTEOS、热氧化二氧化硅加化学气相淀积二氧化硅或热氧化二氧化硅加氮化硅,其后通过光刻和各向异性刻蚀形成硬掩膜层21;

c、利用上述硬掩膜层窗口22,在第一主面19上通过各向异性干法刻蚀半导体基板,在半导体基板的N型外延层2内形成元胞沟槽3,所述元胞沟槽3的深度小于N型外延层2的厚度;

具体地,元胞沟槽3的槽口位于第一主面19上,且元胞沟槽3从第一主面19向下延伸;

d、去除上述第一主面19上的硬掩膜层21,并在第一主面19及沟槽内壁生长第一绝缘氧化材料层23,以在元胞沟槽3的中心区形成第一导电多晶硅淀积孔24;

具体地,所述第一绝缘氧化材料层23在元胞沟槽3下部的厚度与第二绝缘栅氧化层4的厚度一致;为在元胞沟槽3底部形成第二绝缘栅氧化层4,需要先在第一主面19上生长第一绝缘氧化材料层23;元胞沟槽3内的第一绝缘氧化材料层23总宽度小于元胞沟槽3的宽度,从而能够在元胞沟槽3的中心区第一导电多晶硅淀积孔24,具体可以参考实施例1中图6所示的情况。

[0084] e、在上述第一主面19上淀积第一导电多晶硅材料层25,所述第一导电多晶硅材料层25覆盖于第一绝缘氧化材料层23上,并填充于第一导电多晶硅淀积孔24内;

具体地,通过淀积第一导电多晶硅材料层25可形成源极导电多晶硅5;

f、通过各向异性干法刻蚀,回刻第一主面19上的第一导电多晶硅材料层25,得到位于元胞沟槽3内的源极导电多晶硅5;

如图19所示:回刻第一导电多晶硅材料层25并保留位于第一导电多晶硅淀积孔24内的第一导电多晶硅材料层25,得到源极导电多晶硅5,第一导电多晶硅材料层25回刻的刻蚀量约为栅极导电多晶硅左部组件9的高度值;

g、湿法腐蚀去除第一主面上19的第一绝缘氧化材料层23,同时去除元胞沟槽3内壁上部的第一绝缘氧化材料层23,得到位于元胞沟槽3下部的第二绝缘栅氧化层4;

如图20所示:去除第一主面19上,第一绝缘栅氧化层材料23,并去除需要形成第一绝缘栅氧化层6部位的第一绝缘氧化材料层23,从而得到第二绝缘栅氧化层4,所述第二绝缘栅氧化层4包覆源极导电多晶硅5;第二绝缘栅氧化层4的厚度为 $1000\text{\AA}\sim 10000\text{\AA}$;

h、在上述半导体基板的第一主面19上生长第二绝缘氧化材料层26,所述第二绝缘氧化材料层26覆盖于第一主面19上,并覆盖于元胞沟槽3上部内壁,且得到包覆源极导电多晶硅5的第三绝缘栅氧化层7;第三绝缘栅氧化层7与元胞沟槽3侧壁上的第二绝缘氧化材料层26间形成第二导电多晶硅淀积孔27;

如图21所示:通过第二绝缘栅氧化材料层26可同时形成第一绝缘栅氧化层6及第三绝缘栅氧化层7,第一绝缘栅氧化层6与第三绝缘栅氧化层7为同一工艺制造层;通过第二导电多晶硅淀积孔27制作所需的栅极导电多晶硅8;第一绝缘栅氧化层6的厚度为 $200\text{\AA}\sim 1000\text{\AA}$ 。

[0085] i、在上述半导体基板的第一主面19淀积第二导电多晶硅材料层28,所述第二导电多晶硅材料层28覆盖于第二绝缘氧化材料层26及第三绝缘栅氧化层7上,并填充于第二导电多晶硅淀积孔27内;

如图22所示:通过淀积第二导电多晶硅材料层28,第二导电多晶硅材料层28填充在第二导电多晶硅淀积孔27内,以便形成所需的栅极导电多晶硅8。

[0086] j、刻蚀去除上述半导体基板的第一主面19上的第二导电多晶硅材料层28及第二绝缘氧化材料层26,得到位于元胞沟槽3侧壁上部的第一绝缘栅氧化层6及位于第二导电多晶硅淀积孔27内的栅极导电多晶硅8;

如图23所示:同时去除第一主面19上的第二导电多晶硅材料层28及第二绝缘氧化材料层26,从而在元胞沟槽3内同时得到第一绝缘栅氧化层6和栅极导电多晶硅8;所述栅极导电多晶硅8由栅极导电多晶硅左部组件9、栅极导电多晶硅中部组件11和栅极导电多晶硅右部

组件10构成,栅极导电多晶硅左部组件9、栅极导电多晶硅中部组件11和栅极导电多晶硅右部组件10高度一致;栅极导电多晶硅中部组件11位于源极导电多晶硅5的正上方。

[0087] k、在上述半导体基板的第一主面19上,自对准离子注入P型杂质离子,并通过高温推结形成有源区的P阱层12,所述有源区内的P阱层12在N型外延层2内的深度小于栅极导电多晶硅8在元胞沟槽3内向下延伸的距离;

如图24所示:自对准注入的P型杂质离子可为常用的B离子;所述P阱层12在N型外延层2中向下延伸的距离小于栅极导电多晶硅8的距离,更具体地,所述P阱层12在N型外延层2中向下延伸的距离小于栅极导电多晶硅左部组件9的高度。在具体实施时,还可以在N型外延层2中制备得到P阱层12,在得到P阱层12后,在制作所需的元胞沟槽3、第一绝缘栅氧化层4、第二绝缘栅氧化层6等结构形式,具体为本技术领域人员所熟知,此处不再赘述。

[0088] l、在上述半导体基板的第一主面19上,选择性注入高浓度的N型杂质离子,通过高温推结形成有源区的N⁺注入区13;

如图25所示:注入高浓度的N型杂质离子可为As离子或者Ph离子,N⁺注入区13形成MOSFET器件的源区;

m、在上述半导体基板的第一主面19上淀积绝缘介质层14,并对所述绝缘介质层14进行接触孔光刻和刻蚀,得到位于元胞沟槽两侧的源极接触孔15;

如图26所示:所述绝缘介质层14为硅玻璃(USG)、硼磷硅玻璃(BPSG)或磷硅玻璃(PSG);

n、在上述源极接触孔15内填充接触孔填充金属,得到位于源极接触孔15内的接触孔填充金属16,接触孔填充金属16与其下方的N⁺注入区13及P阱层12欧姆接触;

如图27所示:接触孔填充金属16为钨、铜或铝;

o、在上述绝缘介质层14上淀积源极金属17,所述源极金属17与接触孔填充金属16、源极导电多晶硅5连接成等电位;

如图28所示:在绝缘介质层14上淀积源极金属17,形成功率MOSFET器件的源极端;此外,绝缘介质层14上还设置栅极金属32,栅极金属32与源极金属17间互不接触,栅极金属32与源极金属17间的位置关系可以参照图1,栅极金属32与栅极导电多晶硅8之间的具体连接形式等均为本技术领域人员所熟知,此处不再赘述。

[0089] p、在上述半导体基板的第二主面20设置漏极金属18,所述漏极金属18与N⁺衬底1欧姆接触。

[0090] 如图29所示:在第二主面20上淀积漏极金属18,形成功率MOSFET器件的漏极端。

[0091] 综上,本发明在元胞沟槽3内设置源极导电多晶硅5,其中源极导电多晶硅5深度较深,源极导电多晶硅5的外圈被较厚的第二绝缘氧化层4所包覆,并且源极导电多晶硅5与源极金属17电连接,当在器件的漏极金属18和源极金属17间施加反向电压时,相邻元胞沟槽3之间会产生横向电场,结合P阱层12和N型外延层2所构成P-N结产生的纵向电场,形成二维电场耗尽区,突破硅材料的一维限制,在满足与传统沟槽功率MOSFET器件相同耐压需求的前提下,能使得N型外延层2的电阻率降低,从而大幅降低器件的导通电阻。

[0092] 通过调节第一导电多晶硅材料层25回刻的刻蚀量,调整栅极导电多晶硅8的形貌及栅极导电多晶硅8与源极导电多晶硅5的相对位置,最终使源极导电多晶硅5和栅极导电多晶硅8的交叠区域得以减小,从而大幅降低栅源电容C_{gs}以及输入电容C_{i,ss},解决现有技术MOSFET器件驱动电路设计复杂,高频应用效率低的问题。

[0093] 这里本发明的描述和应用是说明性的,并非想将本发明的范围限制在上述实施例中。这里所披露的实施例的变形和改变是可能的,对于那些本领域的普通技术人员来说实施例的替换和等效的各种部件是公知的。本领域技术人员应该清楚的是,在不脱离本发明的精神或本质特征的情况下,本发明可以以其它形式、结构、布置、比例,以及用其它组件、材料和部件来实现。在不脱离本发明范围和精神的情况下,可以对这里所披露的实施例进行其它变形和改变。

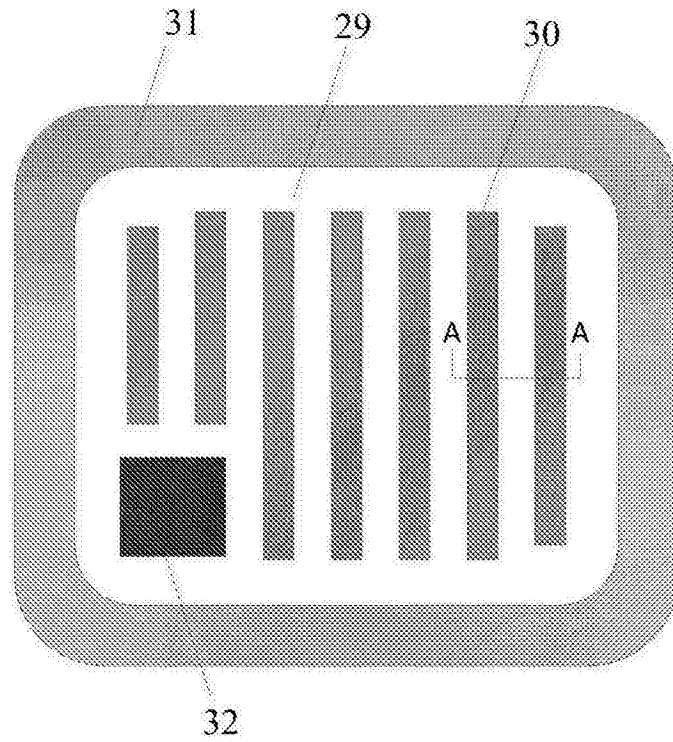


图1

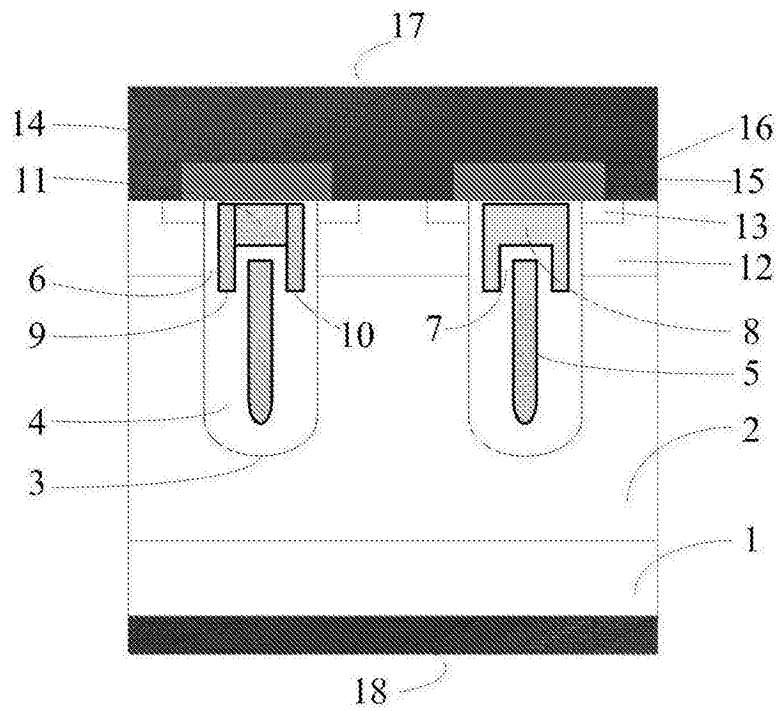


图2

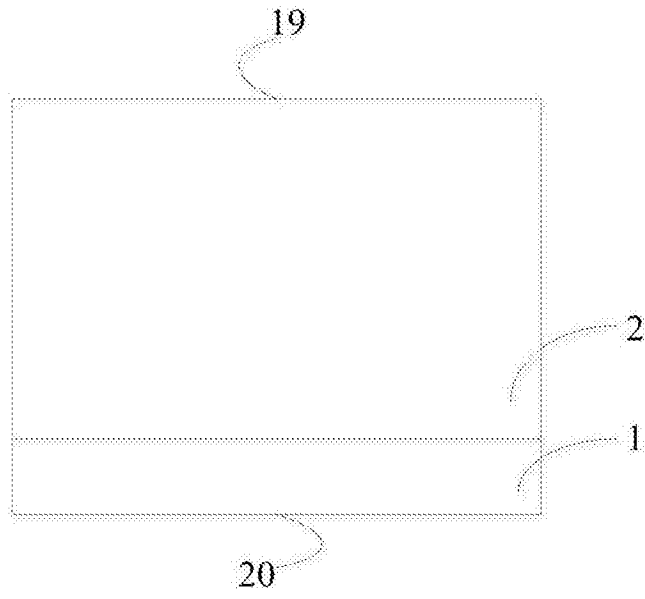


图3

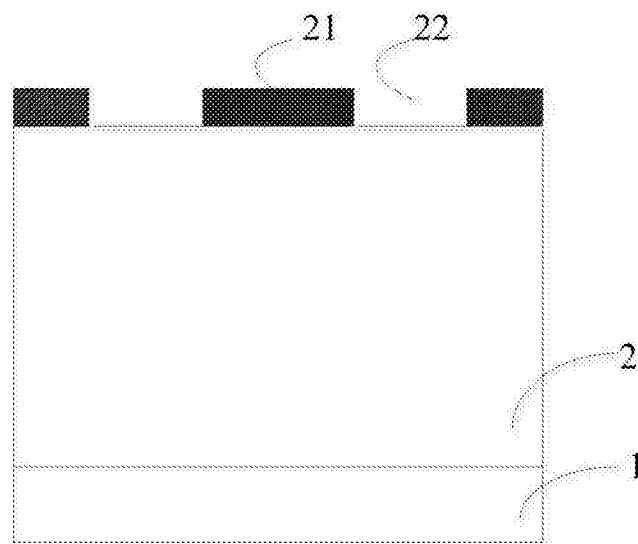


图4

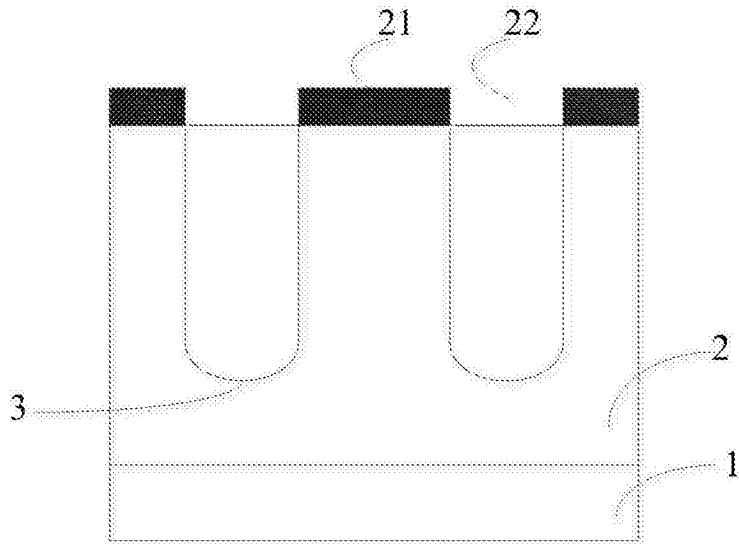


图5

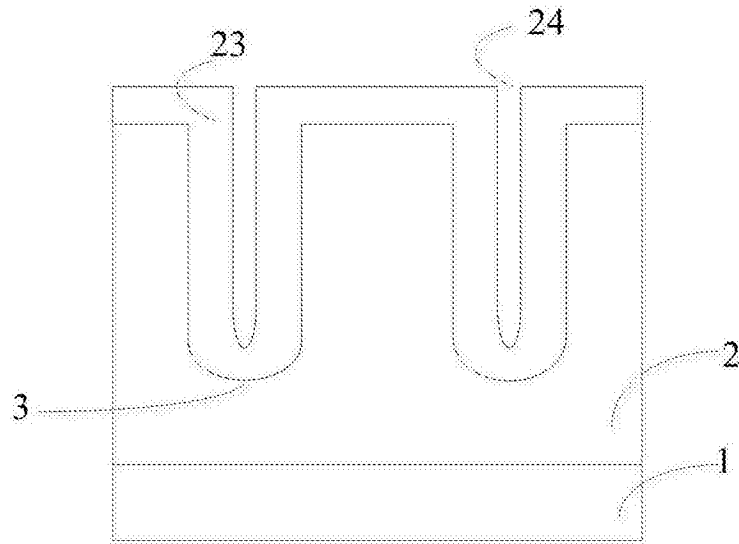


图6

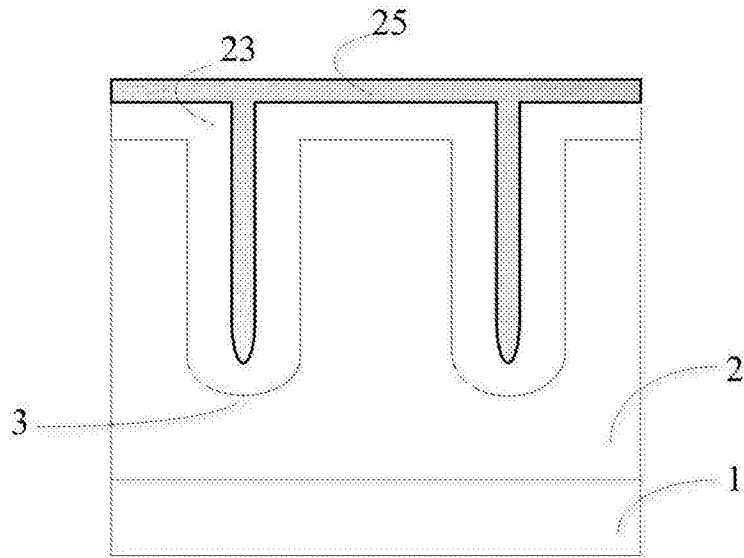


图7

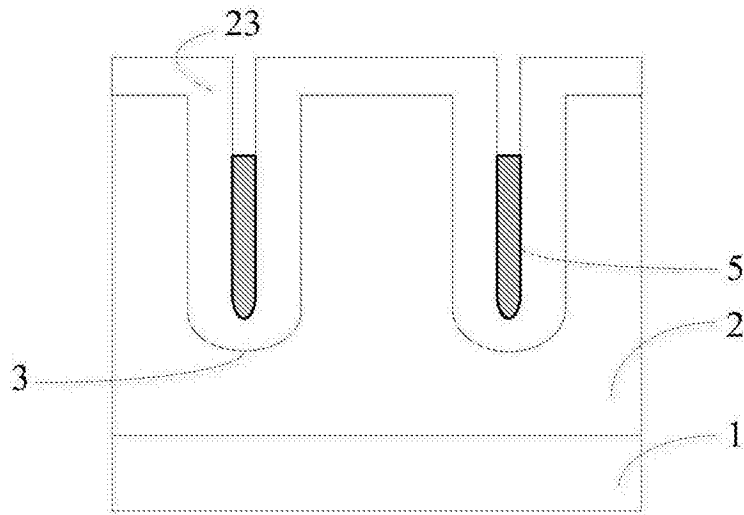


图8

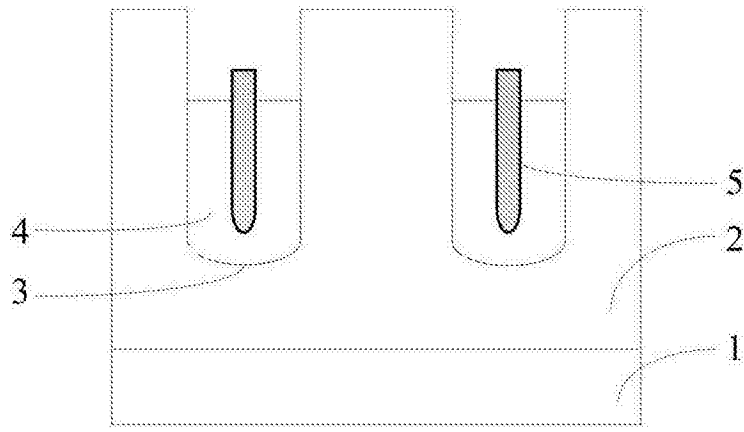


图9

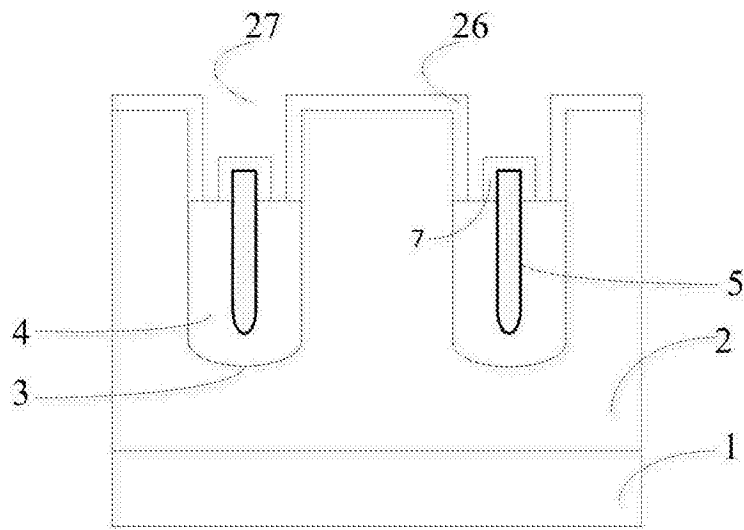


图10

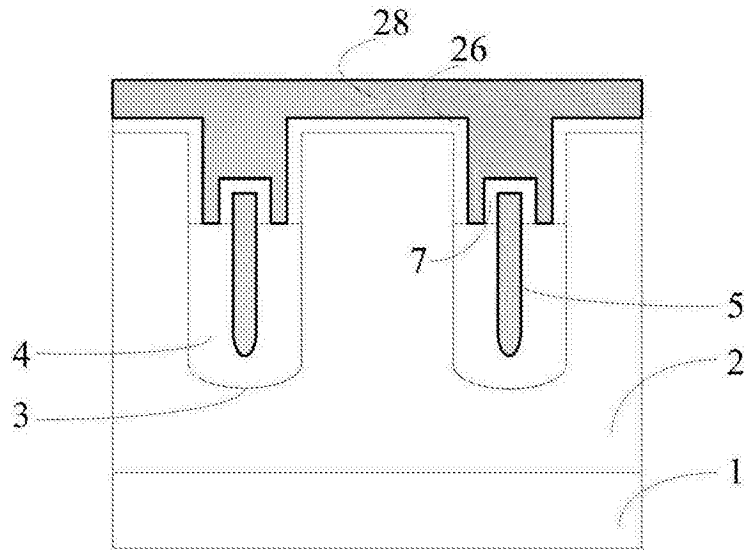


图11

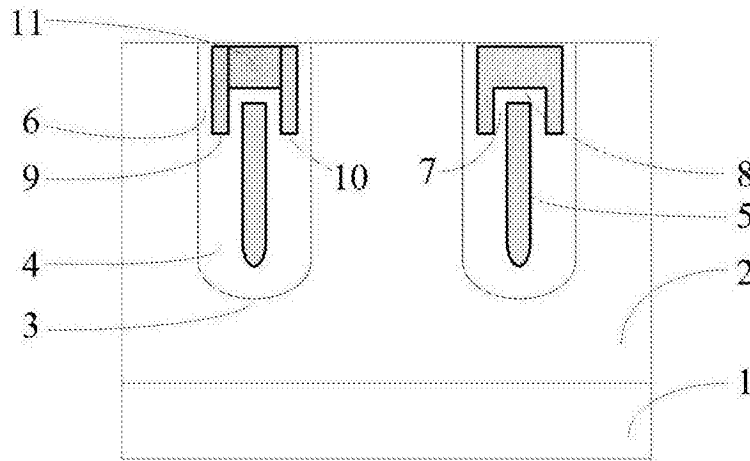


图12

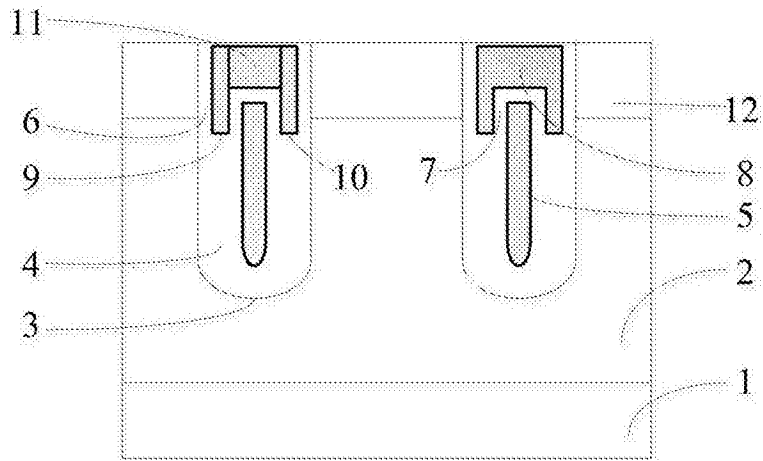


图13

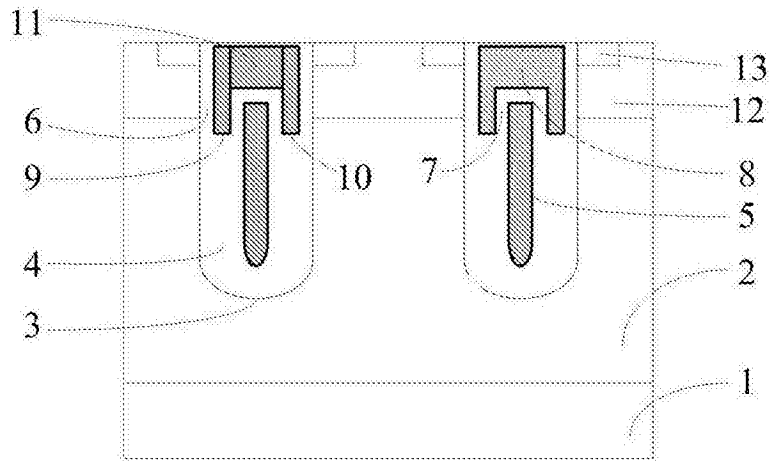


图14

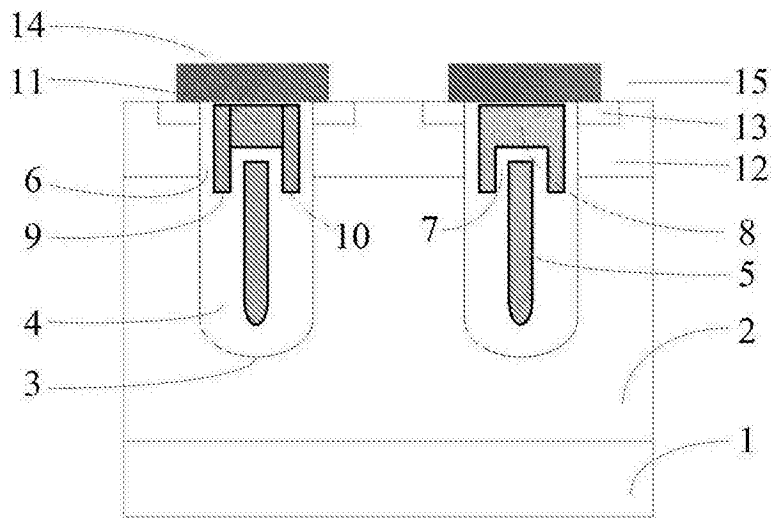


图15

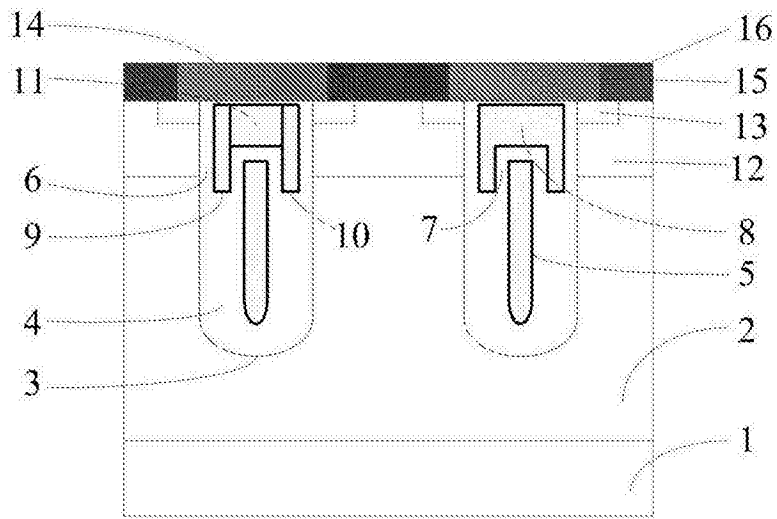


图16

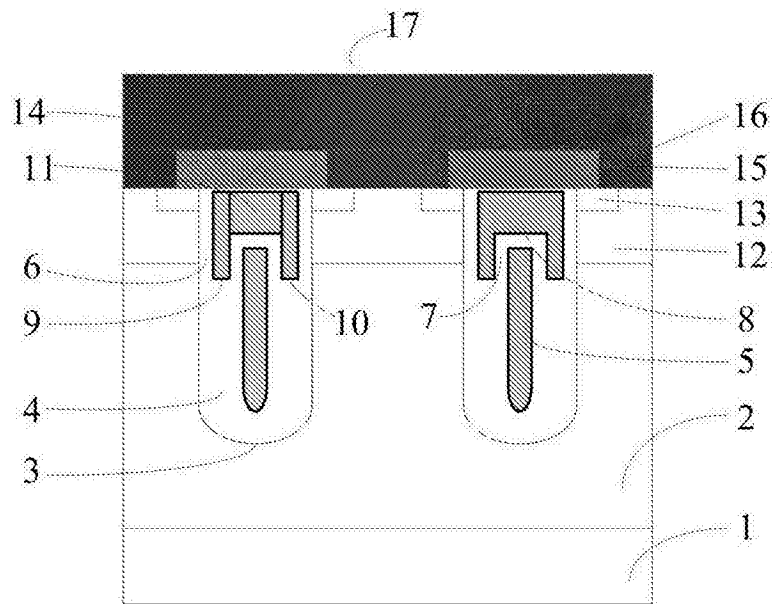


图17

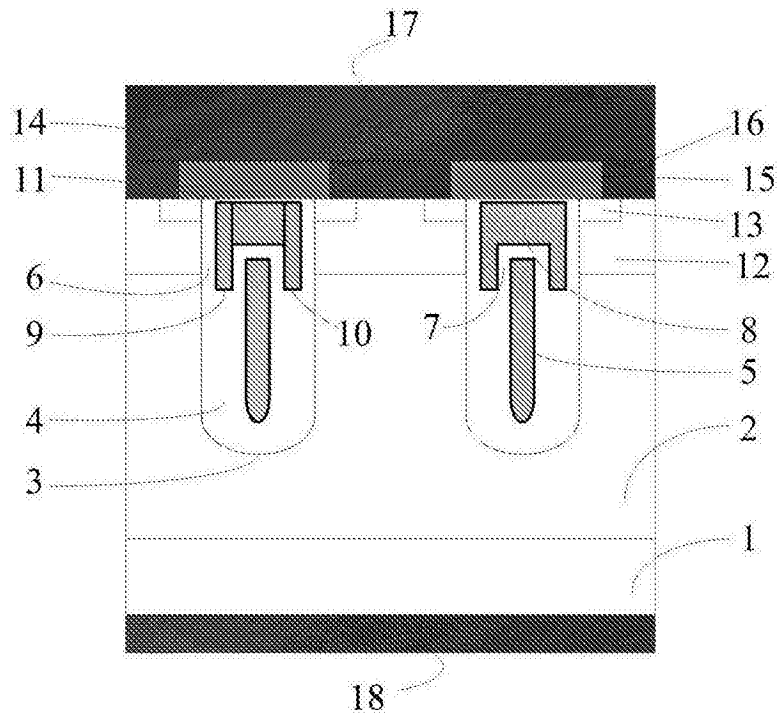


图18

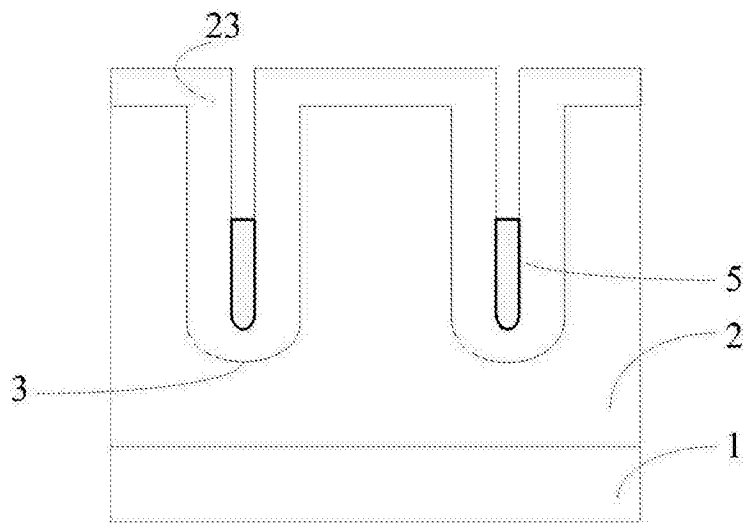


图19

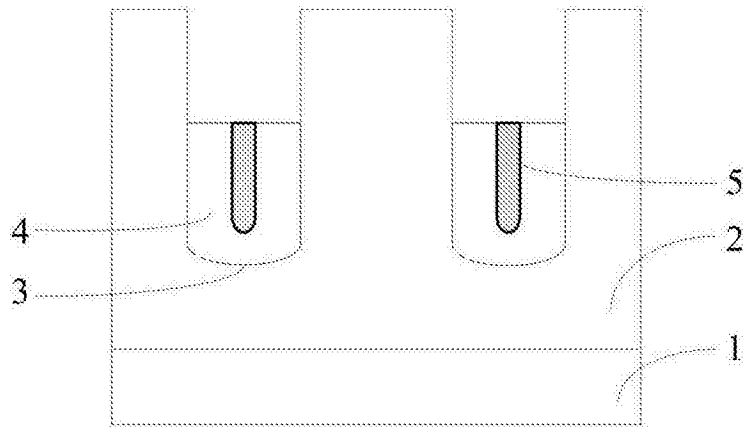


图20

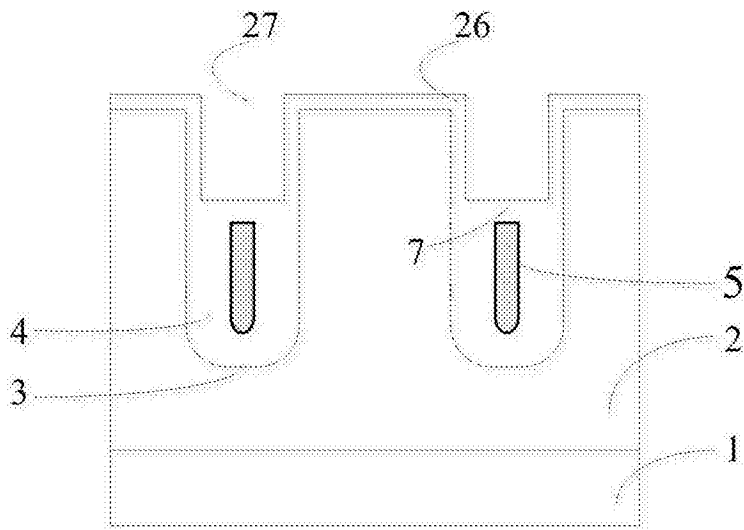


图21

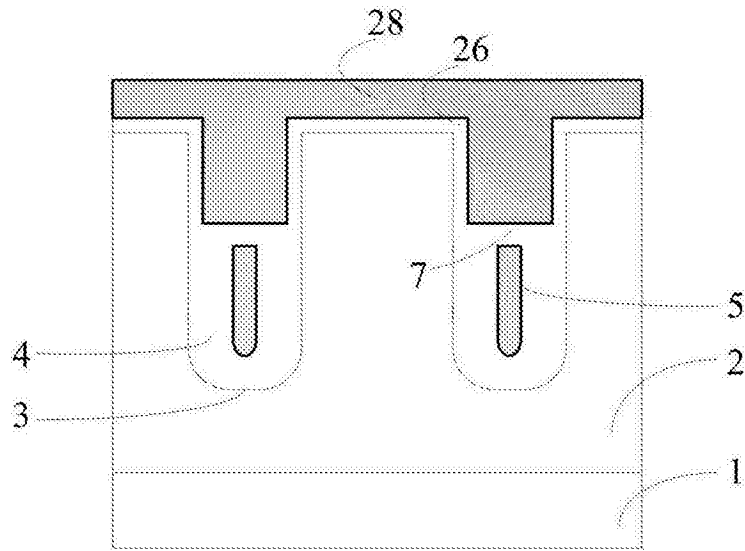


图22

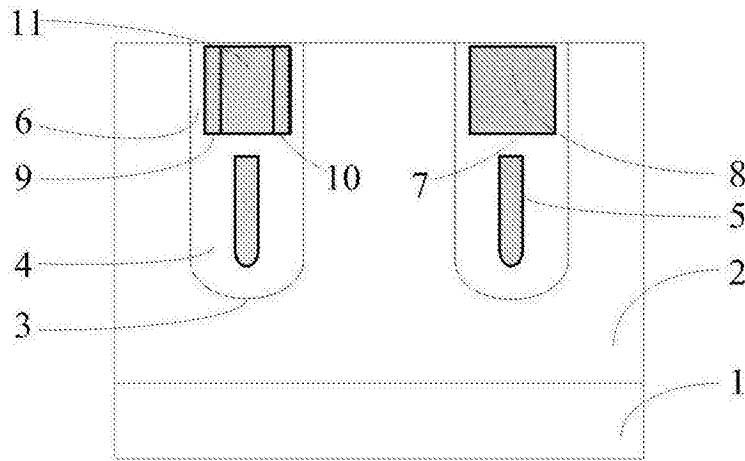


图23

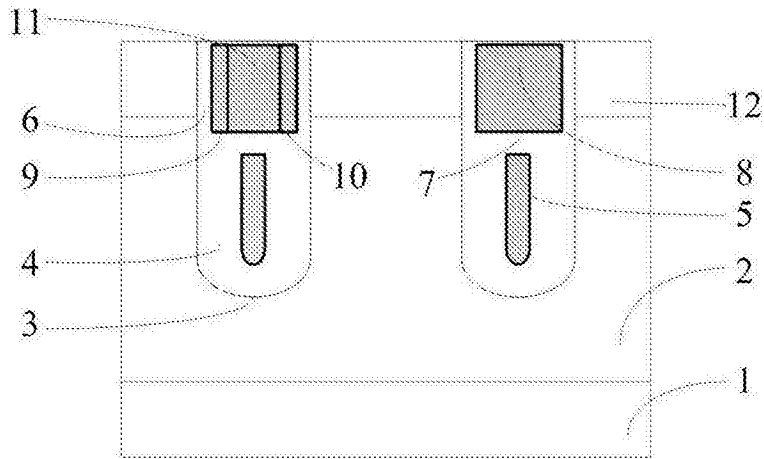


图24

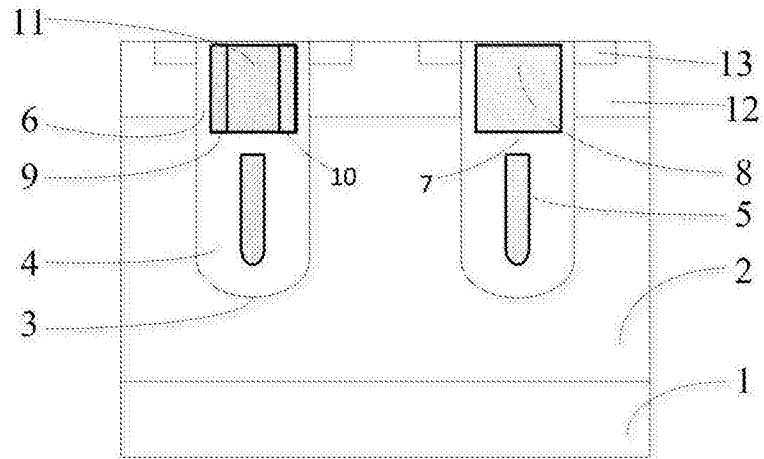


图25

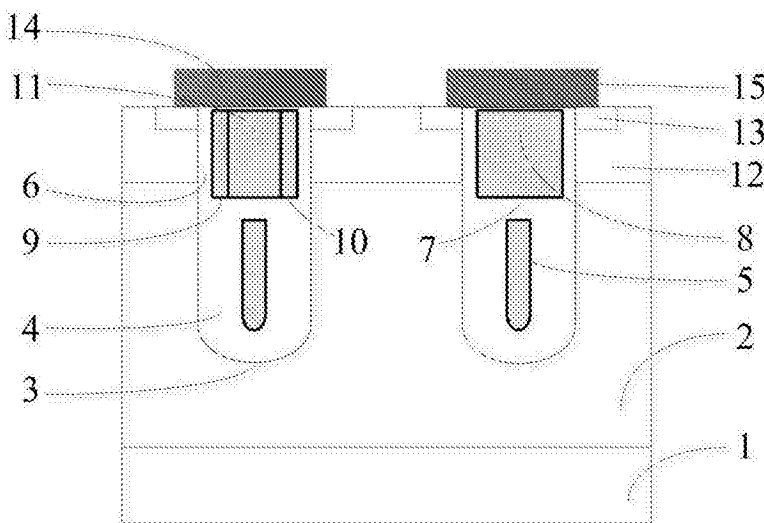


图26

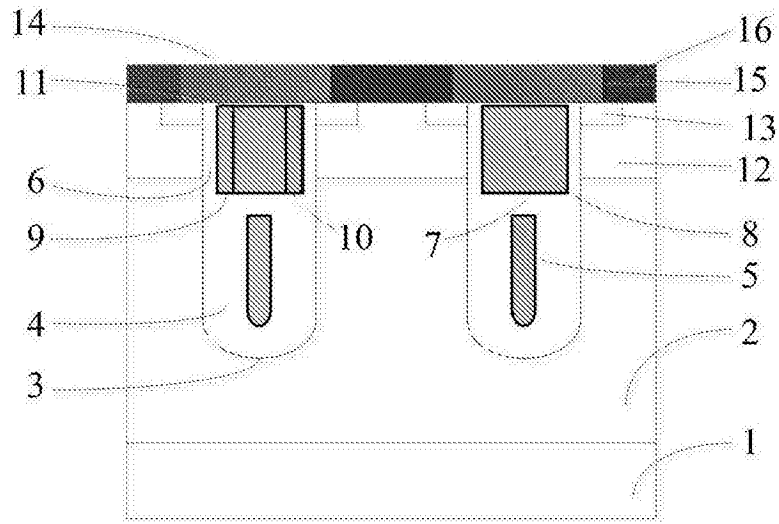


图27

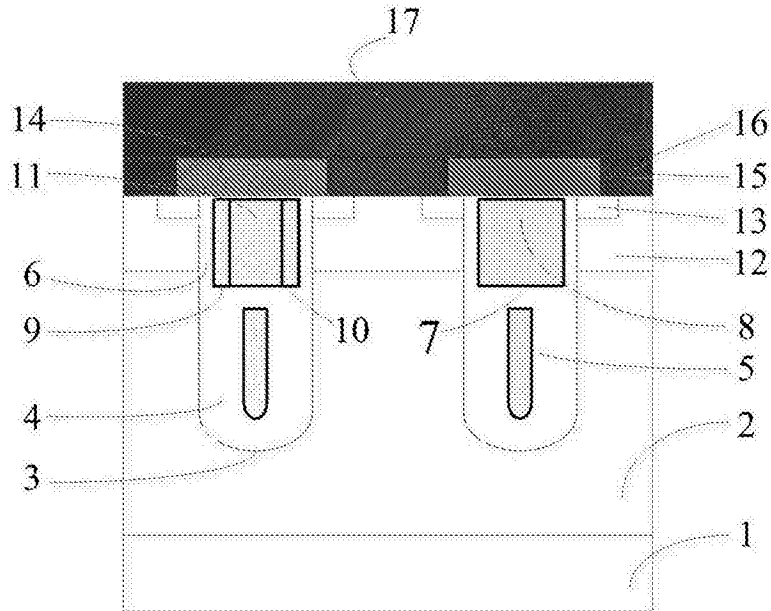


图28

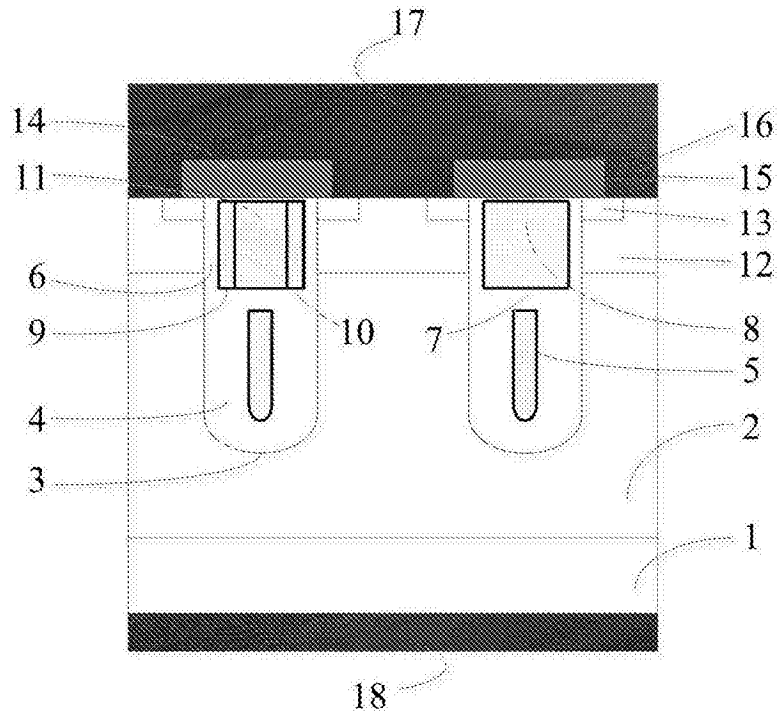


图29