

【特許請求の範囲】

【請求項 1】

第 1 の電極を有する基台と、

前記基台における前記第 1 の電極が形成された面上に配置され、且つ第 2 の電極を有する第 1 の半導体チップと、

前記第 1 の半導体チップの外縁から外側方に延伸するように設けられ、且つ前記第 1 の半導体チップと共に拡張型半導体チップを構成する拡張部と、

第 3 の電極を有し、且つ前記第 3 の電極が形成された面が前記第 1 の半導体チップにおける前記第 2 の電極が形成された面と対向するように前記拡張型半導体チップ上に配置された第 2 の半導体チップと、

前記第 2 の電極と、前記第 3 の電極とを接続する第 1 の導電部材と、

前記第 1 の半導体チップ上における前記第 1 の導電部材の配置領域の外側から前記拡張部上に亘って形成された再配線構造と、

前記拡張部上に設けられ、且つ前記第 2 の電極のうち前記第 1 の導電部材と接続されていない電極と前記再配線構造を介して接続された接続端子と、

前記第 1 の電極と前記接続端子とを接続する第 2 の導電部材とを備えている、半導体装置。

10

【請求項 2】

前記再配線構造は、少なくとも前記第 1 の導電部材の配置領域を避けて配置されており、それによって、前記再配線構造は、前記第 1 の導電部材の配置領域に開口を有している、請求項 1 に記載の半導体装置。

20

【請求項 3】

前記再配線構造の前記開口の中心と、前記第 1 の導電部材の配置領域の中心とは一致していない、請求項 2 に記載の半導体装置。

【請求項 4】

前記再配線構造の前記開口は、前記拡張型半導体チップの外周のうちの 1 辺に達するように設けられている、請求項 2 又は 3 に記載の半導体装置。

【請求項 5】

前記再配線構造の前記開口は、前記拡張型半導体チップの外周のうちの 2 辺に達するように設けられている、請求項 2 又は 3 に記載の半導体装置。

30

【請求項 6】

前記再配線構造の前記開口は、前記拡張型半導体チップの外周のうちの 3 辺に達するように設けられている、請求項 2 又は 3 に記載の半導体装置。

【請求項 7】

前記再配線構造の前記開口は、前記拡張型半導体チップの外周のうちの 4 辺に達するように設けられている、請求項 2 又は 3 に記載の半導体装置。

【請求項 8】

前記再配線構造の前記開口は、前記第 2 の半導体チップの外周のうちの 1 辺の外側まで達するように設けられている、請求項 2 又は 3 に記載の半導体装置。

【請求項 9】

前記再配線構造の前記開口は、前記第 2 の半導体チップの外周のうちの 2 辺の外側まで達するように設けられている、請求項 2 又は 3 に記載の半導体装置。

40

【請求項 10】

前記再配線構造の前記開口は、前記第 2 の半導体チップの外周のうちの 3 辺の外側まで達するように設けられている、請求項 2 又は 3 に記載の半導体装置。

【請求項 11】

前記再配線構造の前記開口は、前記第 2 の半導体チップの外周のうちの 4 辺の外側まで達するように設けられている、請求項 2 又は 3 に記載の半導体装置。

【請求項 12】

前記第 1 の導電部材はパンプである、請求項 1 ~11 のいずれか 1 項に記載の半導体装

50

置。

【請求項 13】

前記接続端子はワイヤボンディング端子であり、

前記第2の導電部材はワイヤである、請求項1～12のいずれか1項に記載の半導体装置。

【請求項 14】

前記再配線構造は、前記第1の電極と前記接続端子とを接続する再配線と、前記再配線を覆う層間膜とを有している、請求項1～13のいずれか1項に記載の半導体装置。

【請求項 15】

前記層間膜は、前記拡張型半導体チップを覆う樹脂材料からなる、請求項14に記載の半導体装置。 10

【請求項 16】

前記樹脂材料は感光性樹脂材料であり、

前記感光性樹脂材料の解像度は、前記第2の半導体チップに用いられている他の感光性樹脂材料の解像度よりも小さい、請求項15に記載の半導体装置。

【請求項 17】

前記層間膜の少なくとも上部は、ソルダーレジストからなる、請求項14に記載の半導体装置。

【請求項 18】

前記再配線構造の厚さは、前記拡張型半導体チップと前記第2の半導体チップとの接合ギャップと実質的に同じであるか又は当該接合ギャップよりも小さい、請求項1～17のいずれか1項に記載の半導体装置。 20

【請求項 19】

前記再配線の配線幅及び配線間隔はそれぞれ、前記第2の半導体チップに形成されている他の配線の配線幅及び配線間隔よりも大きい、請求項1～18のいずれか1項に記載の半導体装置。

【請求項 20】

前記第2の半導体チップの平面形状は、前記第1の半導体チップの平面形状よりも大きく、

前記拡張型半導体チップの平面形状は、前記第2の半導体チップの平面形状よりも大きい、請求項1～19のいずれか1項に記載の半導体装置。 30

【請求項 21】

第1の電極を有する第1の半導体チップと、

前記第1の半導体チップの外縁から外側方に延伸するように設けられ、且つ前記第1の半導体チップと共に拡張型半導体チップを構成する拡張部と、

第2の電極を有し、且つ前記第2の電極が形成された面が前記第1の半導体チップにおける前記第1の電極が形成された面と対向するように前記拡張型半導体チップ上に配置された第2の半導体チップと、

前記第1の電極と、前記第2の電極とを接続する導電部材と、

前記第1の半導体チップ上における前記導電部材の配置領域の外側から前記拡張部上に亘って形成された再配線構造と、 40

前記拡張部上に設けられ、且つ前記第1の電極のうち前記導電部材と接続されていない電極と前記再配線構造を介して接続された接続端子とを備えている、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、半導体装置に関し、特に、チップ・オン・チップ技術を用いてチップを積層することによって構成される半導体装置に関する。

【背景技術】

【0002】

10

20

30

40

50

デジタルテレビやレコーダー等のシステムでは、高機能化に伴い扱うデータ量が飛躍的に増加している。このため、システムに搭載される半導体メモリの容量が増加しているだけでなく、高いデータ転送レートを有する半導体メモリが要求されるようになってきている。また、多くの半導体メモリをシステムに搭載するために、メモリコントローラを実装して半導体論理回路とメモリとを一体とした半導体装置が開発されている。

【0003】

論理回路とメモリとを一体とする方法には、論理回路とメモリとを1つのチップに集積するシステム・オン・チップ(SoC)と、論理回路チップとメモリチップとを積層して1つのパッケージに収納するシステム・イン・パッケージ(SiP)とがある。このうちSiPによれば、システムに要求される、低コスト化、高機能化、低消費電力化、小型化、軽量化、仕様の柔軟性などにバランス良く応えることができる。従って、システム構成や仕様にも依存するものの、概してSiPが有効なケースが増加しつつある。

10

【0004】

SiPは、その構造上の違いから、CoC(チップ・オン・チップ)型、チップ・スタック型、パッケージ積層型、基板接続型の4種類に分類される。このうち、CoC型のSiPは、半導体チップの上にもう一つ別のチップを重ねて各チップの回路形成面同士を接続した構造を有する(例えば特許文献1参照)。ここで、上下2枚のチップはそれぞれ、回路形成面に多数の接続用パンプを持つ。このパンプは、一般に、フリップチップ接続用のパンプよりもはるかに小さく、マイクロパンプと呼ばれている。CoC型のSiPにおいては、上下の各チップに対して最適な設計やプロセスを選択できるので、システム構成選択の自由度が高くなる。

20

【0005】

また、CoC型のSiPにおいては、上下の各チップをマイクロパンプを用いて接合する際に、CoC接続部(つまりマイクロパンプ)の配置位置に合わせてチップ電極位置を最適化するために、上下の各チップの少なくとも一方に、チップ電極からCoC接続部までを再配線した構造が一般的に用いられている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2010-14108号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献1に開示されたCoC技術は、上側に搭載されるチップが、下側に搭載されるチップと比較して小型であることを前提としている、このため、性能制約等に起因して、下側に搭載すべきチップの方が上側のチップよりも小型である場合、特許文献1に開示されたCoC技術では、実装基板との電氣的接続のために下側のチップに設けられた接続端子から、ワイヤボンド等の簡易な接続方法によって物理的に導電部材を引き出すことができない。

40

【0008】

また、特許文献1に開示されたCoC技術では、下側のチップにおけるマイクロパンプ(CoC接続部)の周辺及びワイヤボンド部等の他の接続部の周辺を全てレジストで覆う構成を用いている。このような構成においては、接続部の配線幅や配線スペースの精度に加えて、レジスト開口自体の露光精度等が制約となって、先に形成されているCoC接続部の微細ピッチ化に対応した再配線を実施することが困難となる。特に、上側のチップよりも下側のチップの方に、より高密度な配線が設けられており、下側のチップに微細な再配線処理が必要とされる場合、前述の理由によって、下側のチップの接続部及びその周辺の再配線の微細化対応が困難になってCoC型構成を実現できないことがある。

【0009】

前記に鑑み、本開示は、下側のチップが上側のチップよりも小さい場合及びCoC接続

50

部が微細ピッチ化された場合のいずれにも対応可能なC o C型のS i Pを提供することを目的とする。

【課題を解決するための手段】

【0010】

前記の目的を達成するために、本発明者らは、C o C型のS i Pの実装において、下側のチップの外縁に拡張部を設けて拡張型半導体チップを構成すると共に、上下の各チップを電氣的に接続する導電部材の配置領域の外側において拡張部上及び下側のチップ上に再配線構造を設けることにより、上下の各チップを再配線構造を介在させずに電氣的に接続するという発明を想到した。

【0011】

具体的には、本開示に係る半導体装置の一態様は、第1の電極を有する基台と、基台における第1の電極が形成された面上に配置され、且つ第2の電極を有する第1の半導体チップと、第1の半導体チップの外縁から外側方に延伸するように設けられ、且つ第1の半導体チップと共に拡張型半導体チップを構成する拡張部と、第3の電極を有し、且つ第3の電極が形成された面が第1の半導体チップにおける第2の電極が形成された面と対向するように拡張型半導体チップ上に配置された第2の半導体チップと、第2の電極と、第3の電極とを接続する第1の導電部材と、第1の半導体チップ上における第1の導電部材の配置領域の外側から拡張部上に亘って形成された再配線構造と、拡張部上に設けられ、且つ第2の電極のうち第1の導電部材と接続されていない電極と再配線構造を介して接続された接続端子と、第1の電極と接続端子とを接続する第2の導電部材とを備えている。

【0012】

本開示に係る半導体装置において、再配線構造は、少なくとも第1の導電部材の配置領域を避けて配置されており、それによって、再配線構造は、第1の導電部材の配置領域に開口を有していてもよい。この場合、再配線構造の開口の中心と、第1の導電部材の配置領域の中心とは一致していてもよい。また、再配線構造の開口は、拡張型半導体チップの外周のうちの1辺に達するように設けられていてもよいし、拡張型半導体チップの外周のうちの2辺に達するように設けられていてもよいし、拡張型半導体チップの外周のうちの3辺に達するように設けられていてもよいし、拡張型半導体チップの外周のうちの4辺に達するように設けられていてもよい。また、再配線構造の開口は、第2の半導体チップの外周のうちの1辺の外側まで達するように設けられていてもよいし、第2の半導体チップの外周のうちの2辺の外側まで達するように設けられていてもよいし、第2の半導体チップの外周のうちの3辺の外側まで達するように設けられていてもよいし、第2の半導体チップの外周のうちの4辺の外側まで達するように設けられていてもよい。

【0013】

本開示に係る半導体装置において、第1の導電部材はバンプであってもよい。

【0014】

本開示に係る半導体装置において、接続端子はワイヤボンディング端子であり、第2の導電部材はワイヤであってもよい。

【0015】

本開示に係る半導体装置において再配線構造は、第1の電極と接続端子とを接続する再配線と、再配線を覆う層間膜とを有していてもよい。この場合、層間膜は、拡張型半導体チップを覆う樹脂材料から構成されていてもよい。また、樹脂材料は感光性樹脂材料であり、感光性樹脂材料の解像度は、第2の半導体チップに用いられている他の感光性樹脂材料の解像度よりも小さくてもよい。また、層間膜の少なくとも上部は、ソルダーレジストから構成されていてもよい。

【0016】

本開示に係る半導体装置において、再配線構造の厚さは、拡張型半導体チップと第2の半導体チップとの接合ギャップと実質的に同じであるか又は当該接合ギャップよりも小さくてもよい。

【0017】

10

20

30

40

50

本開示に係る半導体装置において、再配線の配線幅及び配線間隔はそれぞれ、第2の半導体チップに形成されている他の配線の配線幅及び配線間隔よりも大きくてもよい。

【0018】

本開示に係る半導体装置において、第2の半導体チップの平面形状は、第1の半導体チップの平面形状よりも大きく、拡張型半導体チップの平面形状は、第2の半導体チップの平面形状よりも大きくてもよい。

【0019】

また、本開示に係る半導体装置の他の態様は、第1の電極を有する第1の半導体チップと、第1の半導体チップの外縁から外側方に延伸するように設けられ、且つ第1の半導体チップと共に拡張型半導体チップを構成する拡張部と、第2の電極を有し、且つ第2の電極が形成された面が第1の半導体チップにおける第1の電極が形成された面と対向するように拡張型半導体チップ上に配置された第2の半導体チップと、第1の電極と、第2の電極とを接続する導電部材と、第1の半導体チップ上における導電部材の配置領域の外側から拡張部上に亘って形成された再配線構造と、拡張部上に設けられ、且つ第1の電極のうち導電部材と接続されていない電極と再配線構造を介して接続された接続端子とを備えている。

10

【発明の効果】

【0020】

本開示によれば、下側のチップが上側のチップよりも小さい場合及びC o C接続部が微細ピッチ化された場合のいずれにも対応可能なC o C型のS i Pを提供することができる。

20

【図面の簡単な説明】

【0021】

【図1】図1は、実施形態に係る半導体装置を示す断面図である。

【図2】図2は、図1の領域Aを拡大して示す断面図である。

【図3】図3は、実施形態に係る半導体装置の再配線構造2の開口を模式的に示す平面図である。

【図4】図4(a)~(e)は、実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図5】図5(a)~(e)は、実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

30

【図6】図6(a)~(c)は、実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図7】図7(a)~(e)は、変形例に係る半導体装置の再配線構造2の開口を模式的に示す平面図である。

【図8】図8(a)~(d)は、変形例に係る半導体装置の再配線構造2の開口を模式的に示す平面図である。

【図9】図9は、変形例に係る半導体装置を示す断面図である。

【発明を実施するための形態】

【0022】

本発明に係る半導体装置は、前述の「課題を解決するための手段」で述べた構成を基本として、以下に述べるような種々の態様をとることができる。

40

【0023】

(実施形態)

図1は、本実施形態に係る半導体装置の断面構造を示している。また、図2は、図1の領域Aを拡大して示している。

【0024】

図1及び図2に示すように、例えば論理回路チップであるチップ6の外縁から外側方に延伸するように、例えば樹脂からなる拡張部1が設けられており、チップ6と拡張部1とから拡張型半導体チップ31が構成されている。チップ6の上面上には、チップ6中の種々

50

の素子（図示省略）と電氣的に接続されている複数の電極 20 a と、チップ 6 の内部配線（図示省略）を通して複数の電極 20 a と電氣的に接続されている複数の電極 20 b とが形成されている。拡張型半導体チップ 31 上には、複数の電極 24 を有し且つ例えばメモリチップであるチップ 5 が搭載されている。ここで、チップ 6 における電極 20 a が形成された面と、チップ 5 における電極 24 が形成された面とが対向するように、拡張型半導体チップ 31 上にチップ 5 が積層されている。また、チップ 5 における各電極 24 上にはバンプ 8 a が形成されていると共にチップ 6 における各電極 20 a 上にはバンプ 8 b が形成されており、バンプ 8 a とバンプ 8 b とが接続することにより、各電極 24 と各電極 20 a とが電氣的に接続されている。言い換えると、各電極 24 と各電極 20 a とは、バンプ 8 a とバンプ 8 b とからなる導電部材（C o C 接続部）8 を介して電氣的に接続されている。尚、チップ 5 の複数の電極 24 の中に、チップ 6 の電極 20 a と電氣的に接続されていない電極が含まれていてもよい。一方、チップ 6 の複数の電極 20 a は、導電部材（C o C 接続部）8 の配置領域に存在する。

10

【0025】

また、図 1 及び図 2 に示すように、拡張部 1 上には、再配線 22 と該再配線 22 を覆う再配線層間膜 18 とから構成される再配線構造 2 を介して、複数の接続端子 21 が形成されている。ここで、複数の接続端子 21 は、チップ 6 に設けられた複数の電極 20 b と再配線構造 2（具体的には再配線 22）を通して電氣的に接続されている。また、再配線層間膜 18 は絶縁性樹脂材料から構成されていてもよい。

20

【0026】

尚、図 2 において、チップ 6 の電極 20 a、20 b はウェハ表面から露出するように示されているが、これは、図示を簡略化したためであり、実際には、ウェハ最上層を覆うように表面保護膜を形成する通常のウェハプロセスを採用してもよい。すなわち、図 2 に示す構造において、再配線層構造 2 の下も含め、チップ 6 表面を覆い且つ電極 20 a、20 b の形成箇所が開口された表面保護膜（図示せず）が形成されていてもよい。

【0027】

本実施形態の特徴として、再配線構造 2 は、チップ 6 上における導電部材 8 の配置領域（つまり電極 20 a の配置領域）の外側から拡張部 1 上に亘って形成されている。ここで、再配線構造 2 が、導電部材 8 の配置領域を避けて配置されることにより、例えば図 3 に示すように、再配線構造 2 が、導電部材 8 の配置領域に開口 17 a を有していてもよい。図 3 は、再配線構造 2 の開口を模式的に示す平面図であり、図 3 において、図 1 及び図 2 に示す半導体装置と同じ構成要素には同じ符号を付している。

30

【0028】

以上のような再配線構造 2 の配置の仕方によって、拡張型半導体チップ 31（具体的には例えば論理回路チップである下側のチップ 6）と、例えばメモリチップである上側のチップ 5 とを再配線構造 2 を介さずに導電部材 8 によって電氣的に接続することができる。

【0029】

尚、本実施形態において、導電部材 8 として、バンプ 8 a 及び 8 b を形成したが、導電部材 8 がこれに限られないことは言うまでもない。また、接続端子 21 として、ワイヤボンディング用パッドを形成してもよい。ここで、導電部材 8 としてバンプ 8 a 及び 8 b を形成し、接続端子 21 としてワイヤボンディング用パッドを形成する場合、既存の製造技術を適用して容易に形成可能である。

40

【0030】

また、本実施形態において、チップ 5 の平面サイズはチップ 6 の平面サイズよりも大きい一方、拡張型半導体チップ 31 の平面サイズがチップ 5 の平面サイズよりも大きくなるように、チップ 6 の周縁に拡張部 1 が形成されている。従って、拡張型半導体チップ 31 の各辺の長さは、チップ 5 のいずれの辺の長さより長い。

【0031】

また、本実施形態において、図 1 に示すように、チップ 5 と拡張型半導体チップ 31 との間にアンダーフィル 9 を注入することにより、チップ 5 と拡張型半導体チップ 31 との

50

接合部を固定してもよい。

【0032】

また、本実施形態において、図1に示すように、拡張型半導体チップ31とチップ5とが積層された積層チップは、樹脂基板7上にダイスボンド19によって固定されていてもよい。ここで、樹脂基板7の下面にはパッケージボール12が形成されていてもよい。これにより、半導体装置の外部との電氣的接続を行うことができる。また、拡張型半導体チップ31とチップ5とが積層された積層チップの搭載領域の外側の樹脂基板7の上面には複数の電極パッド3が形成されていてもよい。さらに、樹脂基板7上面の複数の電極パッド3と、拡張部1上の複数の接続端子21とは、ワイヤ4によって電氣的に接続されていてもよい。

10

【0033】

また、本実施形態において、拡張型半導体チップ31（つまりチップ6）とチップ5とを接続している導電部材8（つまりパンプ8a及び8b）の配置ピッチは、拡張部1上の接続端子21の配置ピッチよりも小さくてもよい。また、拡張部1上の接続端子21の配置ピッチは、半導体装置の外部端子であるパッケージボール12の配置ピッチよりも小さくてもよい。

【0034】

具体的には、拡張型半導体チップ31とチップ5とをC o C接続している導電部材8（つまりパンプ8a及び8b）の配置ピッチは、メモリチップであるチップ5における帯域増加及び高速化に伴う多ピン化に対応するために、例えば、 $20\mu\text{m} \sim 50\mu\text{m}$ 程度であつてもよい。また、拡張部1上の接続端子21の配置ピッチは、例えば、 $40\mu\text{m} \sim 200\mu\text{m}$ 程度であつてもよいし、半導体装置の外部端子であるパッケージボール12の配置ピッチは、例えば、 $400\mu\text{m} \sim 1000\mu\text{m}$ であつてもよい。

20

【0035】

また、本実施形態において、再配線22の配線幅、配線間隔及び配線ピッチはそれぞれ、チップ5又はチップ6に形成されている配線（図示省略）の配線幅、配線間隔及び配線ピッチよりも大きくてもよい。このような構成により、再配線22を形成する際に特別に微細なプロセスを適用する必要がなくなるため、工程の簡略化及び低コストでの製造が可能となる。また、再配線22の配線幅を太くすることにより、電氣的にインダクタンスを低減することができるので、電源及びグラウンドを強化して配線ノイズを低減できる。

30

【0036】

また、本実施形態において、図示は省略しているが、拡張型半導体チップ31とチップ5とが積層された積層チップを樹脂によって封止することにより、C o C型の積層半導体パッケージを構成してもよい。また、拡張型半導体チップ31とチップ5とが積層された積層チップを搭載するための機材（基台）として、樹脂基板7に代えて、例えばリードフレーム等を用いてもよい。

【0037】

以上に説明した本実施形態によると、C o C構造を持つ半導体パッケージにおいて、下側のチップ6の外縁に拡張部1を設けて拡張型半導体チップ31を構成するため、下側のチップ6が上側のチップ5よりも小さい場合にも、拡張型半導体チップ31を上側のチップ5よりも大きくすることができる。このため拡張型半導体チップ31に対して再配線処理を施すことにより、外部との電氣的接続を行うための接続端子領域を確保することができる。具体的には、樹脂基板7との電氣的接続のために拡張型半導体チップ31の拡張部1に設けた接続端子21から、特別な半導体プロセスを用いることなく、言い換えると、ワイヤボンド等の簡易な接続方法を用いて、導電部材（例えばワイヤ4）を引き出すことができる。従つて、積層されるチップ5及び6のサイズの大小関係の制約を受けることなく、チップ5及び6を積層してC o C構造を持つ半導体パッケージを構成することができる。

40

【0038】

また、本実施形態によると、C o C構造を持つ半導体パッケージにおいて、上下の各チ

50

チップ5及び6を電氣的に接続する導電部材(CoC接続部)8の配置領域の外側において拡張部1上及び下側のチップ6上に再配線構造2が設けられているため、各チップ5及び6を再配線構造2を介在させずに電氣的に接続することができる。このため、導電部材(CoC接続部)8が微細ピッチ化された場合にも、それに対応して再配線構造2を微細化する必要がない。従って、再配線プロセスの制約を受けることなく、例えば、再配線22上の絶縁性樹脂材料に開口を設ける際の露光精度等に制約されることなく、微細プロセスを用いて拡張型半導体チップ31とチップ5との間に微細な接合構造を形成して、チップ面積の縮小を図りつつ、CoC構造を持つ半導体パッケージを構成することができる。

【0039】

また、本実施形態によると、チップ6上の電極20aと電極20bとが、チップ6の内部配線を通して電氣的に接続されているため、電極20aと電極20bとの電氣的接続がアンダーフィルや水分などの影響を受けることを防止できるので、リーク電流の発生を抑制して高信頼性を実現することができる。

【0040】

尚、図2においては、再配線22が1層設けられた再配線構造2を例示したが、再配線構造2中に再配線22が複数層形成されていてもよい。再配線22を2層以上設けることによって、配線密度を向上させて高密度なCoC構成を実現することができる。

【0041】

また、本実施形態において、再配線22を覆う再配線層間膜18の材料として、絶縁性樹脂材料を用いたが、再配線構造2のうち再配線22よりも上側の部分が、例えばソルダレジストやポリミド等の絶縁性樹脂材料であればよい。

【0042】

拡張部1上において微細な配線を設ける必要がない場合、再配線22を覆う絶縁性樹脂材料として、ソルダレジストを使用することによって、低コストでの製造が可能となる。具体的には、CoC接続部(接続部材8)よりもワイヤボンド部のピッチが粗くてもよい場合、該ワイヤボンド部を含む拡張部1上の再配線構造2を、ソルダレジスト等の低解像度の感光性絶縁材料を用いて形成してもよい。言い換えると、再配線22を覆う再配線層間膜18となる感光性絶縁材料の解像度は、チップ5に用いられている感光性樹脂材料の解像度よりも小さくてもよい。このようにすると、微細化とコストの両立を図ることが可能となる。

【0043】

一方、拡張部1上において微細な配線を設ける必要がある場合には、再配線22を覆う絶縁性樹脂材料として、例えばポリミド等の樹脂材料を使用してもよい。

【0044】

また、本実施形態において、図2に示す、拡張型半導体チップ31(チップ6)とチップ5との間の接合ギャップ13は、再配線構造2の厚さよりも大きくてもよいし、小さくてもよい。ここで、接合ギャップ13と再配線構造2の厚さとを同程度に設定する場合、再配線構造2の厚さによって、接合ギャップ13の高さ制御を容易に行うことができる。また、再配線構造2の厚さが、拡張型半導体チップ31とチップ5との接合ギャップ13と同程度か又は当該接合ギャップ13よりも小さいと、拡張型半導体チップ31上へのチップ5の搭載を容易に行うことができる。

【0045】

また、本実施形態において、拡張部1上の接続端子21(ワイヤボンディング用パッド)と樹脂基板7上の電極パッド3とをワイヤ4によって電氣的に接続した。しかし、これに代えて、拡張部1上に通常の電極端子である接続端子21を設け、該接続端子21と樹脂基板7上の電極パッド3とを、拡張部1の側壁面や樹脂基板7の上面に沿って形成された配線を介して、電氣的に接続してもよい。

【0046】

以下、本実施形態に係る半導体装置の製造方法について、図4(a)~(e)、図5(

10

20

30

40

50

a) ~ (e) 及び図 6 (a) ~ (c) を参照しながら説明する。尚、図 4 (a) ~ (e)、図 5 (a) ~ (e) 及び図 6 (a) ~ (c) において、図 1 及び図 2 に示す本実施形態に係る半導体装置と同じ構成要素には同じ符号を付す。

【0047】

まず、図 4 (a) に示すように、チップ 6 の外縁から外側方に延伸するように拡張部 1 を形成する。これにより、チップ 6 と拡張部 1 とから拡張型半導体チップ 3 1 が構成される。ここで、チップ 6 の上面には、チップ 6 中の種々の素子 (図示省略) と電氣的に接続されている複数の電極 2 0 a と、チップ 6 の内部配線 (図示省略) を通して複数の電極 2 0 a と電氣的に接続されている複数の電極 2 0 b とが形成されている。

【0048】

次に、図 4 (b) に示すように、拡張型半導体チップ 3 1 上に、各電極 2 0 a 及び 2 0 b を覆うように絶縁性樹脂層 1 8 A を形成する。

【0049】

次に、図 4 (c) に示すように、電極 2 0 b の形成領域及び C o C 接続部形成領域が開口されたマスク 5 1 を用いて露光を行った後、図 4 (d) に示すように、絶縁性樹脂層 1 8 A のうちの感光領域を選択的に除去する。

【0050】

次に、図 4 (e) に示すように、残存する絶縁性樹脂層 1 8 A 上を含む拡張型半導体チップ 3 1 上に再配線シード層 2 3 を形成した後、図 5 (a) に示すように、再配線シード層 2 3 上にレジスト 5 0 を塗布する。

【0051】

次に、図 5 (b) に示すように、C o C 接続部形成領域が開口されたマスク 5 2 を用いて露光を行った後、図 5 (c) に示すように、レジスト 5 0 のうちの非感光領域を選択的に除去する。

【0052】

次に、図 5 (d) に示すように、残存するレジスト 5 0 によって C o C 接続部形成領域を覆った状態で、再配線シード層 2 3 上においてめっき成長を行うことにより、電極 2 0 b と接続する再配線 2 2 を形成した後、図 5 (e) に示すように、レジスト 5 0 及びその下に残存する再配線シード層 2 3 を除去する。

【0053】

次に、図 6 (a) に示すように、再配線 2 2 上を含む拡張型半導体チップ 3 1 上の全面に絶縁性樹脂層 1 8 B を形成する。ここで、絶縁性樹脂層 1 8 B は感光性を有する。

【0054】

次に、図 6 (b) に示すように、C o C 接続部形成領域が開口されたマスク 5 3 を用いて露光を行った後、図 6 (c) に示すように、絶縁性樹脂層 1 8 B のうちの感光領域を選択的に除去する。これにより、再配線 2 2 と該再配線 2 2 を覆う絶縁性樹脂層 1 8 A 及び 1 8 B (以下、合わせて再配線層間膜 1 8 という) とから再配線構造 2 が形成される。ここで、再配線構造 2 は、C o C 接続部形成領域に開口を持つ。

【0055】

その後、図示は省略しているが、チップ 6 の各電極 2 0 a 上にバンプを形成した後、拡張型半導体チップ 3 1 上にチップ 5 を搭載して、両者を C o C 接合する。その後、拡張型半導体チップ 3 1 とチップ 5 との積層体を基板上にダイスボンドすると共に、該基板と拡張型半導体チップ 3 1 とをワイヤボンドにより電氣的に接続した後、モールドを行うことにより、所望の C o C パッケージを得る。

【0056】

(第 1 変形例)

本変形例に係る半導体装置が、図 1 ~ 図 3 に示す前述の実施形態に係る半導体装置と異なっている点は、再配線構造 2 の開口パターンの形状である。

【0057】

すなわち、前述の実施形態に係る半導体装置においては、図 3 に示すように、再配線構

10

20

30

40

50

造 2 の開口 1 7 a の中心と、導電部材 8 の配置領域の中心とが実質的に一致していた。

【 0 0 5 8 】

それに対して、本変形例においては、図 7 (a) に示すように、再配線構造 2 は、導電部材 8 の配置領域に開口 1 7 b を有しているが、該開口 1 7 b の中心は、導電部材 8 の配置領域の中心と一致していない。具体的には、本変形例の再配線構造 2 の開口 1 7 b は、導電部材 8 の配置領域及び該配置領域に隣接する領域 B に設けられている。ここで、図 7 (a) は、本変形例の再配線構造 2 の開口を模式的に示す平面図であり、図 7 (a) において、図 1 及び図 2 に示す半導体装置と同じ構成要素には同じ符号を付している。

【 0 0 5 9 】

以上のような本変形例によると、前述の実施形態と同様の効果に加えて、次のような効果を得ることができる。すなわち、例えばアンダーフィル材料 (図 1 のアンダーフィル 9 となる材料) を図 7 (a) に示す領域 B から注入した場合、アンダーフィル材料のはみ出しを開口 1 7 b 内に抑制することができるので、導電部材 8 の配置領域から拡張型半導体チップ 3 1 (具体的には拡張部 1) 上の接続端子 2 1 (図示省略) までの距離を縮めることができる。従って、拡張型半導体チップ 3 1 の面積を縮小することができるので、低コストでの半導体装置製造が可能となる。

10

【 0 0 6 0 】

(第 2 変形例)

本変形例に係る半導体装置が、図 1 ~ 図 3 に示す前述の実施形態に係る半導体装置と異なっている点は、再配線構造 2 の開口パターンの形状である。

20

【 0 0 6 1 】

すなわち、前述の実施形態に係る半導体装置においては、図 3 に示すように、再配線構造 2 の開口 1 7 a は、全周囲を再配線構造 2 によって囲まれていた。

【 0 0 6 2 】

それに対して、本変形例においては、図 7 (b) に示すように、再配線構造 2 は、導電部材 8 の配置領域に開口 1 7 c を有しているが、該開口 1 7 c は、拡張型半導体チップ 3 1 の外周のうちの 1 辺に達するように設けられている。ここで、図 7 (b) は、本変形例の再配線構造 2 の開口を模式的に示す平面図であり、図 7 (b) において、図 1 及び図 2 に示す半導体装置と同じ構成要素には同じ符号を付している。

30

【 0 0 6 3 】

以上のような本変形例によると、前述の実施形態と同様の効果に加えて、次のような効果を得ることができる。すなわち、例えばアンダーフィル材料 (図 1 のアンダーフィル 9 となる材料) を、再配線構造 2 の開口 1 7 c が達している拡張型半導体チップ 3 1 の 1 辺側から注入した場合、該 1 辺側からアンダーフィル材料を選択的に排出することができる。従って、拡張型半導体チップ 3 1 の他の 3 辺側においてアンダーフィル材料のはみ出し対策を講じる必要がなくなるので、言い換えると、アンダーフィル 9 の充填性を向上させることができるので、低コストでの半導体装置製造が可能となる。

【 0 0 6 4 】

(第 3 変形例)

本変形例に係る半導体装置が、図 1 ~ 図 3 に示す前述の実施形態に係る半導体装置と異なっている点は、再配線構造 2 の開口パターンの形状である。

40

【 0 0 6 5 】

すなわち、前述の実施形態に係る半導体装置においては、図 3 に示すように、再配線構造 2 の開口 1 7 a は、全周囲を再配線構造 2 によって囲まれていた。

【 0 0 6 6 】

それに対して、本変形例においては、図 7 (c) に示すように、再配線構造 2 は、導電部材 8 の配置領域に開口 1 7 d を有しているが、該開口 1 7 d は、拡張型半導体チップ 3 1 の外周のうちの 2 辺に達するように設けられている。ここで、図 7 (c) は、本変形例の再配線構造 2 の開口を模式的に示す平面図であり、図 7 (c) において、図 1 及び図 2 に示す半導体装置と同じ構成要素には同じ符号を付している。

50

【0067】

以上のような本変形例によると、前述の実施形態と同様の効果に加えて、次のような効果を得ることができる。すなわち、例えばアンダーフィル材料（図1のアンダーフィル9となる材料）を、再配線構造2の開口17dが達している拡張型半導体チップ31の2辺のうち少なくとも1辺の側から注入した場合、該2辺側からアンダーフィル材料を選択的に排出することができる。従って、拡張型半導体チップ31の他の2辺側においてアンダーフィル材料のはみ出し対策を講じる必要がなくなるので、言い換えると、アンダーフィル9の充填性を向上させることができるので、低コストでの半導体装置製造が可能となる。

【0068】

また、本変形例によると、再配線構造2の開口17dが達している拡張型半導体チップ31の2辺側からアンダーフィル材料を排出できるため、拡張型半導体チップ31の他の2辺側において、前述の第2変形例と比較して、アンダーフィル材料のはみ出しをより一層抑制することができる。

【0069】

（第4変形例）

本変形例に係る半導体装置が、図1～図3に示す前述の実施形態に係る半導体装置と異なっている点は、再配線構造2の開口パターンの形状である。

【0070】

すなわち、前述の実施形態に係る半導体装置においては、図3に示すように、再配線構造2の開口17aは、全周囲を再配線構造2によって囲まれていた。

【0071】

それに対して、本変形例においては、図7(d)に示すように、再配線構造2は、導電部材8の配置領域に開口17eを有しているが、該開口17eは、拡張型半導体チップ31の外周のうち3辺に達するように設けられている。ここで、図7(d)は、本変形例の再配線構造2の開口を模式的に示す平面図であり、図7(d)において、図1及び図2に示す半導体装置と同じ構成要素には同じ符号を付している。

【0072】

以上のような本変形例によると、前述の実施形態と同様の効果に加えて、次のような効果を得ることができる。すなわち、例えばアンダーフィル材料（図1のアンダーフィル9となる材料）を、再配線構造2の開口17eが達している拡張型半導体チップ31の3辺のうち少なくとも1辺の側から注入した場合、該3辺側からアンダーフィル材料を選択的に排出することができる。従って、拡張型半導体チップ31の他の1辺側においてアンダーフィル材料のはみ出し対策を講じる必要がなくなるので、言い換えると、アンダーフィル9の充填性を向上させることができるので、低コストでの半導体装置製造が可能となる。

【0073】

また、本変形例によると、再配線構造2の開口17dが達している拡張型半導体チップ31の3辺側からアンダーフィル材料を排出できるため、拡張型半導体チップ31の他の1辺側において、前述の第2変形例及び第3変形例と比較して、アンダーフィル材料のはみ出しをより一層抑制することができる。

【0074】

（第5変形例）

本変形例に係る半導体装置が、図1～図3に示す前述の実施形態に係る半導体装置と異なっている点は、再配線構造2の開口パターンの形状である。

【0075】

すなわち、前述の実施形態に係る半導体装置においては、図3に示すように、再配線構造2の開口17aは、全周囲を再配線構造2によって囲まれていた。

【0076】

それに対して、本変形例においては、図7(e)に示すように、再配線構造2は、導電

10

20

30

40

50

部材 8 の配置領域に開口 17 f を有しているが、該開口 17 f は、拡張型半導体チップ 31 の外周のうちの 4 辺に達するように設けられている。ここで、図 7 (e) は、本変形例の再配線構造 2 の開口を模式的に示す平面図であり、図 7 (e) において、図 1 及び図 2 に示す半導体装置と同じ構成要素には同じ符号を付している。

【 0077 】

以上のような本変形例によると、前述の実施形態と同様の効果に加えて、次のような効果を得ることができる。すなわち、例えばアンダーフィル材料 (図 1 のアンダーフィル 9 となる材料) を、再配線構造 2 の開口 17 f が達している拡張型半導体チップ 31 の 4 辺のうちの少なくとも 1 辺の側から注入した場合、該 4 辺側からアンダーフィル材料を選択的に排出することができる。従って、拡張型半導体チップ 31 における開口 17 f が設けられていない領域においてアンダーフィル材料のはみ出し対策を講じる必要がなくなるので、言い換えると、アンダーフィル 9 の充填性を向上させることができるので、低コストでの半導体装置製造が可能となる。

10

【 0078 】

また、本変形例によると、再配線構造 2 の開口 17 d が達している拡張型半導体チップ 31 の 4 辺側からアンダーフィル材料を排出できるため、拡張型半導体チップ 31 における開口 17 f が設けられていない領域において、前述の第 2 ~ 第 4 変形例と比較して、アンダーフィル材料のはみ出しをより一層抑制することができる。

【 0079 】

(第 6 変形例)

20

本変形例に係る半導体装置が、図 1 ~ 図 3 に示す前述の実施形態に係る半導体装置と異なっている点は、再配線構造 2 の開口パターンの形状である。

【 0080 】

すなわち、前述の実施形態に係る半導体装置においては、図 3 に示すように、再配線構造 2 の開口 17 a は、導電部材 8 の配置領域に設けられていた。

【 0081 】

それに対して、本変形例においては、図 8 (a) に示すように、再配線構造 2 は、導電部材 8 の配置領域に開口 17 g を有しているが、該開口 17 g は、チップ 5 の外周のうちの 1 辺の外側まで達するように設けられている。ここで、図 8 (a) は、本変形例の再配線構造 2 の開口を模式的に示す平面図であり、図 8 (a) において、図 1 及び図 2 に示す半導体装置と同じ構成要素には同じ符号を付している。

30

【 0082 】

以上のような本変形例によると、前述の実施形態と同様の効果に加えて、次のような効果を得ることができる。すなわち、例えばアンダーフィル材料 (図 1 のアンダーフィル 9 となる材料) の注入時にアンダーフィル材料のはみ出しを開口 17 g 内に抑制することができるので、導電部材 8 の配置領域から拡張型半導体チップ 31 (具体的には拡張部 1) 上の接続端子 21 (図示省略) までの距離を縮めることができる。従って、拡張型半導体チップ 31 の面積を縮小することができるので、低コストでの半導体装置製造が可能となる。

【 0083 】

40

また、本変形例によると、アンダーフィル材料のはみ出しを開口 17 g 内に抑制することができるので、第 2 ~ 第 5 変形例と比較して、アンダーフィル材料が樹脂基板 7 (図 1 参照) まで拡散してしまう事態を回避することができる。

【 0084 】

(第 7 変形例)

本変形例に係る半導体装置が、図 1 ~ 図 3 に示す前述の実施形態に係る半導体装置と異なっている点は、再配線構造 2 の開口パターンの形状である。

【 0085 】

すなわち、前述の実施形態に係る半導体装置においては、図 3 に示すように、再配線構造 2 の開口 17 a は、導電部材 8 の配置領域に設けられていた。

50

【 0 0 8 6 】

それに対して、本変形例においては、図 8 (b) に示すように、再配線構造 2 は、導電部材 8 の配置領域に開口 1 7 h を有しているが、該開口 1 7 h は、チップ 5 の外周のうちの 2 辺の外側まで達するように設けられている。ここで、図 8 (b) は、本変形例の再配線構造 2 の開口を模式的に示す平面図であり、図 8 (b) において、図 1 及び図 2 に示す半導体装置と同じ構成要素には同じ符号を付している。

【 0 0 8 7 】

以上のような本変形例によると、前述の実施形態と同様の効果に加えて、次のような効果を得ることができる。すなわち、例えばアンダーフィル材料 (図 1 のアンダーフィル 9 となる材料) の注入時にアンダーフィル材料のはみ出しを開口 1 7 h 内に抑制することができるので、導電部材 8 の配置領域から拡張型半導体チップ 3 1 (具体的には拡張部 1) 上の接続端子 2 1 (図示省略) までの距離を縮めることができる。従って、拡張型半導体チップ 3 1 の面積を縮小することができるので、低コストでの半導体装置製造が可能となる。

10

【 0 0 8 8 】

また、本変形例によると、アンダーフィル材料のはみ出しを開口 1 7 h 内に抑制することができるので、第 2 ~ 第 5 変形例と比較して、アンダーフィル材料が樹脂基板 7 (図 1 参照) まで拡散してしまう事態を回避することができる。

【 0 0 8 9 】

さらに、本変形例によると、第 6 変形例の開口 1 7 g と比べて、開口 1 7 h をより大きくすることができるので、第 6 変形例と比べて、アンダーフィル材料の樹脂基板 7 への拡散をより一層抑制することができる。

20

【 0 0 9 0 】

(第 8 変形例)

本変形例に係る半導体装置が、図 1 ~ 図 3 に示す前述の実施形態に係る半導体装置と異なっている点は、再配線構造 2 の開口パターンの形状である。

【 0 0 9 1 】

すなわち、前述の実施形態に係る半導体装置においては、図 3 に示すように、再配線構造 2 の開口 1 7 a は、導電部材 8 の配置領域に設けられていた。

【 0 0 9 2 】

それに対して、本変形例においては、図 8 (c) に示すように、再配線構造 2 は、導電部材 8 の配置領域に開口 1 7 i を有しているが、該開口 1 7 i は、チップ 5 の外周のうちの 3 辺の外側まで達するように設けられている。ここで、図 8 (c) は、本変形例の再配線構造 2 の開口を模式的に示す平面図であり、図 8 (c) において、図 1 及び図 2 に示す半導体装置と同じ構成要素には同じ符号を付している。

30

【 0 0 9 3 】

以上のような本変形例によると、前述の実施形態と同様の効果に加えて、次のような効果を得ることができる。すなわち、例えばアンダーフィル材料 (図 1 のアンダーフィル 9 となる材料) の注入時にアンダーフィル材料のはみ出しを開口 1 7 i 内に抑制することができるので、導電部材 8 の配置領域から拡張型半導体チップ 3 1 (具体的には拡張部 1) 上の接続端子 2 1 (図示省略) までの距離を縮めることができる。従って、拡張型半導体チップ 3 1 の面積を縮小することができるので、低コストでの半導体装置製造が可能となる。

40

【 0 0 9 4 】

また、本変形例によると、アンダーフィル材料のはみ出しを開口 1 7 i 内に抑制することができるので、第 2 ~ 第 5 変形例と比較して、アンダーフィル材料が樹脂基板 7 (図 1 参照) まで拡散してしまう事態を回避することができる。

【 0 0 9 5 】

さらに、本変形例によると、第 6 変形例の開口 1 7 g 及び第 7 変形例の開口 1 7 h と比べて、開口 1 7 i をより大きくすることができるので、第 6 変形例及び第 7 変形例と比べ

50

て、アンダーフィル材料の樹脂基板 7 への拡散をより一層抑制することができる。

【0096】

(第9変形例)

本変形例に係る半導体装置が、図1～図3に示す前述の実施形態に係る半導体装置と異なっている点は、再配線構造2の開口パターンの形状である。

【0097】

すなわち、前述の実施形態に係る半導体装置においては、図3に示すように、再配線構造2の開口17aは、導電部材8の配置領域に設けられていた。

【0098】

それに対して、本変形例においては、図8(d)に示すように、再配線構造2は、導電部材8の配置領域に開口17jを有しているが、該開口17jは、チップ5の外周のうちの4辺の外側まで達するように設けられている。ここで、図8(d)は、本変形例の再配線構造2の開口を模式的に示す平面図であり、図8(d)において、図1及び図2に示す半導体装置と同じ構成要素には同じ符号を付している。

【0099】

以上のような本変形例によると、前述の実施形態と同様の効果に加えて、次のような効果を得ることができる。すなわち、例えばアンダーフィル材料(図1のアンダーフィル9となる材料)の注入時にアンダーフィル材料のはみ出しを開口17j内に抑制することができるので、導電部材8の配置領域から拡張型半導体チップ31(具体的には拡張部1)上の接続端子21(図示省略)までの距離を縮めることができる。従って、拡張型半導体チップ31の面積を縮小することができるので、低コストでの半導体装置製造が可能となる。

【0100】

また、本変形例によると、アンダーフィル材料のはみ出しを開口17j内に抑制することができるので、第2～第5変形例と比較して、アンダーフィル材料が樹脂基板7(図1参照)まで拡散してしまう事態を回避することができる。

【0101】

さらに、本変形例によると、第6変形例の開口17g、第7変形例の開口17h及び第8変形例の開口17iと比べて、開口17jをより大きくすることができるので、第6変形例、第7変形例及び第8変形例と比べて、アンダーフィル材料の樹脂基板7への拡散をより一層抑制することができる。

【0102】

以上のように本開示によれば、C o C構造を持つ半導体パッケージにおいて、下側のチップ(第1の半導体チップ)の外縁に拡張部を設けて拡張型半導体チップを構成するため、下側のチップが上側のチップ(第2の半導体チップ)よりも小さい場合にも、拡張型半導体チップを上側のチップよりも大きくすることができる。このため、例えば実装基板との電氣的接続のために拡張型半導体チップの拡張部に設けた接続端子から、特別な半導体プロセスを用いることなく、言い換えると、ワイヤボンド等の簡易な接続方法を用いて、導電部材を引き出すことができる。従って、上側のチップと下側のチップとの間のサイズの大小関係の制約を受けることなく、複数の半導体チップを積層してC o C構造を持つ半導体パッケージを構成することができる。

【0103】

また、本開示によれば、C o C構造を持つ半導体パッケージにおいて、上下の各チップを電氣的に接続する導電部材(C o C接続部)の配置領域の外側において拡張部上及び下側のチップ上に再配線構造が設けられているため、上下の各チップを再配線構造を介在させずに電氣的に接続することができる。このため、C o C接続部が微細ピッチ化された場合にも、それに対応して再配線構造を微細化する必要がないので、再配線プロセスルールの制約を受けることなく、複数の半導体チップを積層してC o C構造を持つ半導体パッケージを構成することができる。

【0104】

10

20

30

40

50

以上、本開示に係る実施形態及びその変形例について説明したが、本開示は、これら説明した構造のみに限られるものではなく、発明の趣旨を逸脱しない範囲で種々の変更が可能である。例えば、拡張型半導体チップ31と樹脂基板7との電氣的接続を、拡張部1内に設けた貫通電極（図示せず）を介して行う構造、或いは、図9に示すような、バンプ14を介して拡張型半導体チップ31を樹脂基板7にフリップチップ接続した構造も本開示に含まれる。

【産業上の利用可能性】

【0105】

本開示に係る半導体装置は、半導体チップのサイズ及びプロセス微細度に依存することなく、半導体チップを自由に組み合わせて積層することにより得られるものであり、下側チップの再配線を微細プロセスを用いずに形成することによってコストの大幅な削減を図れるので、CoC型のSiPとして好適である。

10

【符号の説明】

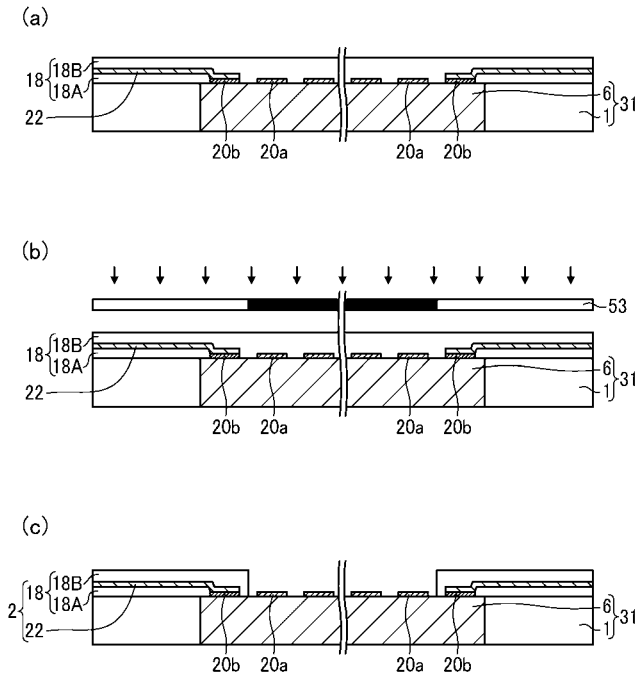
【0106】

- 1 拡張部
- 2 再配線構造
- 3 電極パッド
- 4 ワイヤ
- 5 チップ
- 6 チップ
- 7 樹脂基板
- 8 導電部材
- 8 a、8 b バンプ
- 9 アンダーフィル
- 12 パッケージボール
- 13 接合ギャップ
- 14 バンプ
- 17 a ~ 17 j 開口
- 18 再配線層間膜
- 18 A、18 B 絶縁性樹脂層
- 19 ダイスボンド
- 20 a、20 b、24 電極
- 21 接続端子
- 22 再配線
- 23 再配線シード層
- 31 拡張型半導体チップ
- 50 レジスト
- 51、52、53 マスク

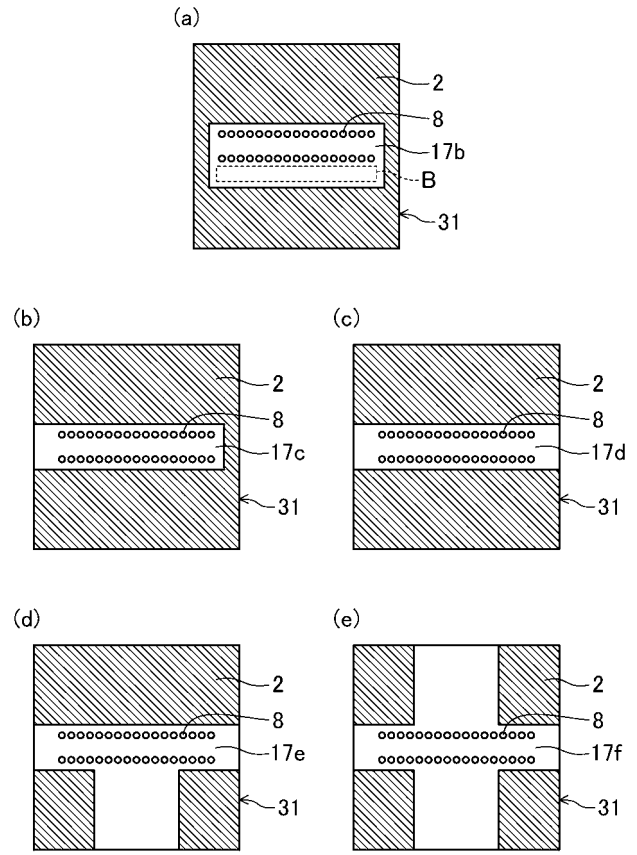
20

30

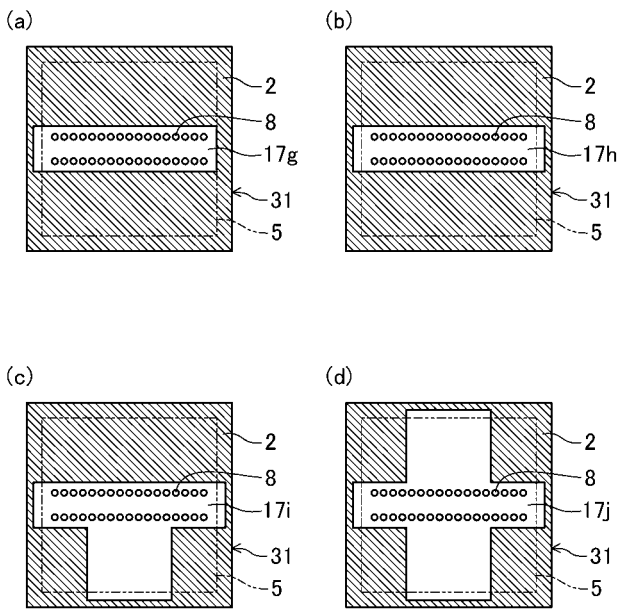
【 図 6 】



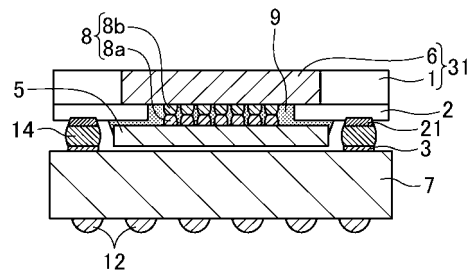
【 図 7 】



【 図 8 】



【 図 9 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2012/005426
A. CLASSIFICATION OF SUBJECT MATTER H01L25/065(2006.01)i, H01L23/12(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L25/00-H01L25/18, H01L23/12 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012 Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-177020 A (Oki Electric Industry Co., Ltd.), 02 July 1999 (02.07.1999), paragraphs [0047] to [0054]; fig. 3 (Family: none)	1, 12-15, 17-19, 21
Y	JP 2006-203079 A (Sharp Corp.), 03 August 2006 (03.08.2006), paragraphs [0048] to [0083]; fig. 1 to 9 & US 2006/0163728 A1	1, 12-15, 17-19, 21
A	JP 2000-124354 A (Matsushita Electric Industrial Co., Ltd.), 28 April 2000 (28.04.2000), paragraphs [0039] to [0058]; fig. 1 to 2 (Family: none)	1-21
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 02 October, 2012 (02.10.12)		Date of mailing of the international search report 09 October, 2012 (09.10.12)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer Telephone No.
Facsimile No.		

国際調査報告		国際出願番号 PCT/J P 2 0 1 2 / 0 0 5 4 2 6									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L25/065 (2006.01)i, H01L23/12 (2006.01)i, H01L25/07 (2006.01)i, H01L25/18 (2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L25/00-H01L25/18, H01L23/12											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2012年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2012年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2012年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2012年	日本国実用新案登録公報	1996-2012年	日本国登録実用新案公報	1994-2012年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2012年										
日本国実用新案登録公報	1996-2012年										
日本国登録実用新案公報	1994-2012年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
Y	JP 11-177020 A (沖電気工業株式会社) 1999.07.02, [0047]-[0054], 図3 (ファミリーなし)	1, 12-15, 17-19, 21									
Y	JP 2006-203079 A (シャープ株式会社) 2006.08.03, [0048]-[0083], 図1-9 & US 2006/0163728 A1	1, 12-15, 17-19, 21									
A	JP 2000-124354 A (松下電器産業株式会社) 2000.04.28, [0039]-[0058], 図1-2 (ファミリーなし)	1-21									
<input type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 02.10.2012		国際調査報告の発送日 09.10.2012									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 酒井 英夫 電話番号 03-3581-1101 内線 3425	4E 9631								

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN

(72)発明者 萩原 清己

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

(72)発明者 横山 賢司

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

Fターム(参考) 5F044 LL00 QQ01 QQ06 RR16

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。