

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-253376

(P2006-253376A)

(43) 公開日 平成18年9月21日(2006.9.21)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 O 2 D	4 M 1 O 4
HO 1 L 27/088 (2006.01)	HO 1 L 29/78 3 O 1 G	5 F O 3 3
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 Y	5 F O 4 8
HO 1 L 21/336 (2006.01)	HO 1 L 27/08 3 2 1 F	5 F O 8 3
HO 1 L 21/8238 (2006.01)	HO 1 L 29/58 G	5 F 1 O 1

審査請求 未請求 請求項の数 19 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2005-67154 (P2005-67154)
 (22) 出願日 平成17年3月10日 (2005.3.10)

(71) 出願人 000000295
 沖電気工業株式会社
 東京都港区虎ノ門1丁目7番12号
 (74) 代理人 110000165
 グローバル・アイピー東京特許業務法人
 (72) 発明者 木村 偉作夫
 東京都港区虎ノ門1丁目7番12号 沖電
 気工業株式会社内

Fターム(参考) 4M104 BB01 BB02 BB40 CC01 CC05
 DD16 DD94 FF13 FF35 GG09
 GG10 GG14 HH04
 5F033 HH04 HH08 JJ08 KK01 LL04
 MM05 NN16 QQ08 QQ09 QQ16
 QQ37 VV06 XX28 XX33

最終頁に続く

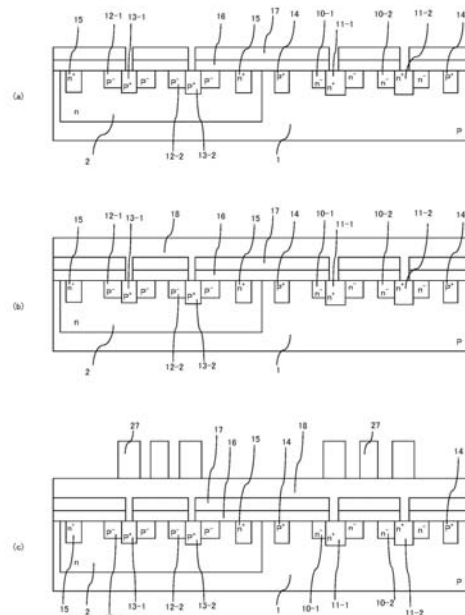
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 スパイクや金属配線に含有される析出物による劣化のないゲート絶縁膜と、高い仕事関数を有するゲート電極とを含む半導体装置、及び、少ないレジストマスク形成行程を介して製造可能な該半導体装置の製造方法を提供することを目的とする。

【解決手段】 ゲート酸化膜16上に、ポリシリコン膜17を形成する。ゲート酸化膜16とポリシリコン膜17との積層体に、ソース・ドレインコンタクトを形成する。その後、該ポリシリコン膜17上及びソース・ドレインコンタクト中に金属膜18を形成して、該ポリシリコン膜17と該金属膜18とからなる積層体を形成する。その後、この積層体をパターニングして、各々が、ポリシリコン層と金属層との積層構造体からなるゲート電極と、ソース・ドレインコンタクト配線層とを同時に形成する。更に、フィールド酸化膜の形成に代え、チャネルストッパーを高濃度拡散領域と同時に形成する。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

半導体基板の上方に、第 1 の絶縁膜を形成する行程と、
前記第 1 の絶縁膜上に、ポリシリコン膜と前記ポリシリコン膜を介し前記第 1 の絶縁膜から離間する金属膜とを含む積層体を形成する行程と、
前記積層体をパターニングすることで、第 1 の配線層と、第 1 の電極とを同時に形成する行程と、
を含む半導体装置の製造方法。

【請求項 2】

前記積層体を形成する行程は、
前記第 1 の絶縁膜上に、前記ポリシリコン膜を形成する行程と、
前記第 1 の絶縁膜と前記ポリシリコン膜とを貫通し、前記半導体基板の第 1 の領域に達するコンタクトホールを形成する行程と、
前記ポリシリコン膜上及び前記コンタクトホール内に、前記金属膜を形成する行程と、
を含むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

10

【請求項 3】

前記第 1 の絶縁膜を形成する行程の前に、
前記半導体基板の上部領域に、前記第 1 の領域及びチャネルストッパーを形成する行程を更に含むことを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

前記第 1 の領域及びチャネルストッパーを形成する行程は、
前記上部領域に、選択的にイオン注入を行うことにより、前記上部領域に、第 1 の不純物濃度を有する第 1 の不純物注入領域を選択的に形成する行程と、
前記上部領域に、選択的にイオン注入を行うことにより、前記上部領域に、前記第 1 の不純物濃度より高い第 2 の不純物濃度を有する第 2 の不純物注入領域を選択的に形成する行程と、
熱拡散処理を行うことで、第 3 の不純物濃度を有する第 1 の不純物拡散領域と前記第 3 の不純物濃度より高い第 4 の不純物濃度を有する第 2 の不純物拡散領域とからなる前記第 1 の領域と、前記第 3 の不純物濃度より高い第 5 の不純物濃度を有する第 3 の不純物拡散領域からなる前記チャネルストッパーとを同時に形成することを特徴とする請求項 3 に記載の半導体装置の製造方法。

20

30

【請求項 5】

前記第 1 の領域及びチャネルストッパーを形成する行程の前に、前記半導体基板の表面を酸化することで、前記半導体基板の表面上に第 1 の酸化膜を形成する行程と、
前記第 1 の領域及びチャネルストッパーを形成する行程の後、且つ前記第 1 の絶縁膜を形成する行程の前に、前記第 1 の酸化膜を除去する行程と、を更に含むことを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】

前記第 1 の絶縁膜は、ゲート絶縁膜であることを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体装置の製造方法。

40

【請求項 7】

前記第 1 の電極は、ゲート電極であることを特徴とする請求項 1 乃至 6 のいずれかに記載の半導体装置の製造方法。

【請求項 8】

前記第 1 の電極は、フローティングゲート電極であることを特徴とする請求項 1 乃至 6 のいずれかに記載の半導体装置の製造方法。

【請求項 9】

前記第 1 の領域は、ソース領域及びドレイン領域の少なくとも 1 方からなることを特徴とする請求項 1 乃至 8 のいずれかに記載の半導体装置の製造方法。

【請求項 10】

50

前記半導体装置は、電界効果型トランジスタを含むことを特徴とする請求項 1 乃至 9 のいずれかに記載の半導体装置の製造方法。

【請求項 1 1】

半導体基板と、

前記半導体基板の上方に設けられた第 1 の絶縁膜と、

前記第 1 の絶縁膜上に設けられ、第 1 のポリシリコン膜と前記第 1 のポリシリコン膜を介し前記第 1 の絶縁膜から離間する第 1 の金属膜とを含む第 1 の電極と、

前記第 1 の絶縁膜上に設けられ、前記第 1 のポリシリコン膜と同一物質からなる第 2 のポリシリコン膜と、前記第 2 のポリシリコン膜を介し前記第 1 の絶縁膜から離間すると共に前記第 1 の金属膜と同一物質からなる第 2 の金属膜とを含む第 1 の配線層と、

を含む半導体装置。

10

【請求項 1 2】

前記第 1 のポリシリコン膜と前記第 2 のポリシリコン膜とは、実質的に同一の膜厚を有することを特徴とする請求項 1 1 に記載の半導体装置。

【請求項 1 3】

前記半導体基板は、第 1 の領域を更に含み、

前記第 2 の金属膜は、前記第 2 のポリシリコン膜と前記第 1 の絶縁膜とを貫通し、前記第 1 の領域に達するコンタクトホールを介して、前記第 1 の領域と電気的に接続することを特徴とする請求項 1 1 又は 1 2 に記載の半導体装置。

【請求項 1 4】

前記第 1 の領域は、ソース領域及びドレイン領域の少なくとも一方からなることを特徴とする請求項 1 3 に記載の半導体装置。

20

【請求項 1 5】

前記半導体基板は、チャネルストッパーを更に含むことを特徴とする請求項 1 1 乃至 1 4 のいずれかに記載の半導体装置。

【請求項 1 6】

前記第 1 の絶縁膜は、ゲート絶縁膜であることを特徴とする請求項 1 1 乃至 1 5 のいずれかに記載の半導体装置。

【請求項 1 7】

前記第 1 の電極は、ゲート電極であることを特徴とする請求項 1 1 乃至 1 6 のいずれかに記載の半導体装置。

30

【請求項 1 8】

前記第 1 の電極は、フローティングゲート電極であることを特徴とする請求項 1 0 乃至 1 6 のいずれかに記載の半導体装置。

【請求項 1 9】

前記半導体装置は、電界効果型トランジスタを含むことを特徴とする請求項 1 1 乃至 1 8 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関し、特に、MOSトランジスタを含む半導体装置及びその製造方法に関する。

40

【背景技術】

【0002】

従来のMOSトランジスタにおいて、ゲート電極配線層と、ソース・ドレインコンタクト配線層とを、同一材料で構成することが既に知られている。特許文献1は、ゲート電極配線層と、ソースコンタクト配線層と、ドレインコンタクト配線層とを、アルミニウム層で構成する従来例を開示する。LOCOS(Local Oxidation Of Silicon)行程を経て形成したフィールド酸化膜により画定されたシリコン活性領域に、MOSトランジスタが設けられている。このMOSトランジスタは、ゲート絶縁膜上

50

に設けられたアルミニウムの単層からなるゲート電極と、不純物拡散層からなるソース・ドレイン領域との接触をとるためのアルミニウムの単層からなるソース・ドレイン配線層とを含む。

【特許文献1】特許第2504306号公報(第2頁左欄第40乃至48行目、第1図)

【発明の開示】

【発明が解決しようとする課題】

【0003】

前述の従来のMOSトランジスタは、以下の問題を有する。

【0004】

第1の問題として、前述の従来のMOSトランジスタは、金属の単層構造からなるゲート電極を有する。よって、金属の単層構造からなるゲート電極は、ポリシリコンの単層構造からなるゲート電極に比較して、仕事関数が低い。このことは、MOSトランジスタの性能の低下につながる。

10

【0005】

第2の問題として、前述の従来のMOSトランジスタは、ゲート電極と同じ金属の単層構造からなるソース・ドレイン接触配線層を有する。即ち、ソース・ドレイン接触配線層を構成する金属の単層が、不純物を含むシリコンからなるソース・ドレイン領域に直接接する。よって、スパイクや金属配線に含有される析出物によるゲート絶縁膜の劣化が生じる。

【0006】

20

第3の問題として、従来の半導体装置の製造方法は、LOCOS行程を経てフィールド酸化膜を形成するため、レジストパターンからなるマスクを形成する多くの行程を必要とする。

【0007】

そこで、本発明の目的は、前述した問題のない半導体装置を提供することである。

【0008】

更に、本発明の目的は、前述した問題のない半導体装置の製造方法を提供することである。

【課題を解決するための手段】

【0009】

30

本発明は、半導体基板の上方に、第1の絶縁膜を形成する行程と、前記第1の絶縁膜上に、ポリシリコン膜と前記ポリシリコン膜を介し前記第1の絶縁膜から離間する金属膜とを含む積層体を形成する行程と、前記積層体をパターニングすることで、第1の配線層と、第1の電極とを同時に形成する行程と、を含む半導体装置の製造方法を提供する。

【0010】

更に、本発明は、半導体基板と、前記半導体基板の上方に設けられた第1の絶縁膜と、前記第1の絶縁膜上に設けられ、第1のポリシリコン膜と前記第1のポリシリコン膜を介し前記第1の絶縁膜から離間する第1の金属膜とを含む第1の電極と、前記第1の絶縁膜上に設けられ、前記第1のポリシリコン膜と同一物質からなる第2のポリシリコン膜と、前記第2のポリシリコン膜を介し前記第1の絶縁膜から離間すると共に前記第1の金属膜と同一物質からなる第2の金属膜とを含む第1の配線層と、を含む半導体装置を提供する。

40

【発明の効果】

【0011】

本発明によれば、半導体基板の上方に延在する絶縁膜上に、ポリシリコン膜を形成し、該ポリシリコン膜上に金属膜を形成して、前記ポリシリコン膜と前記金属膜とを含む積層体を形成する。その後、この積層体をパターニングすることで、電極と、配線層とを同時に形成する。このため、本発明は、以下の効果を奏する。

【0012】

本発明に係る半導体装置は、ポリシリコン膜と、金属膜との2層構造からなる配線層と

50

、前記配線層と同一の２層構造からなる電極とを含む。よって、ポリシリコン膜と、金属膜との２層構造からなる電極は、金属の単層構造からなる電極に比較して、仕事関数が高い。このことは、半導体装置が、所望の高い性能を有することを可能し、且つ所望の高い信頼性を維持することを可能にする。

【 0 0 1 3 】

配線層は、ポリシリコン膜と、金属膜との２層構造からなる。ここで、ポリシリコン膜が絶縁膜に直接接し、一方、金属膜は、絶縁膜からポリシリコン膜を介して離間している。このため、スパイクや金属配線に含有される析出物による絶縁膜の劣化は生じない。

【 0 0 1 4 】

本発明に係る半導体装置の形成方法は、配線層と、電極とを同一行程で形成する。このため、レジストパターンからなるマスクを形成する行程数は、配線層と、電極とを別の行程で形成する場合に比較して、少なくてすむ。

10

【 発明を実施するための最良の形態 】

【 0 0 1 5 】

(1) 第 1 実施形態

本実施形態によれば、NチャネルMOSトランジスタ及びPチャネルMOSトランジスタを有する高耐圧半導体装置、及びその製造方法が提供される。

【 0 0 1 6 】

(高耐圧半導体装置の構造)

図 9 (c) は、本発明の第 1 実施形態に係る高耐圧半導体装置の構造を示す部分縦断面図である。

20

【 0 0 1 7 】

本実施形態に係る高耐圧半導体装置は、以下の構造を有する。

【 0 0 1 8 】

P型単結晶シリコン基板 1 は、N型ウェル 2 を有する。P型単結晶シリコン基板 1 の上部領域に、P型活性領域を画定するP型チャンネルストッパー 1 4 が設けられる。N型ウェル 2 の上部領域に、N型活性領域を画定するN型チャンネルストッパー 1 5 が設けられる。P型活性領域に、NチャネルMOSトランジスタが形成される。N型活性領域に、PチャネルMOSトランジスタが形成される。

【 0 0 1 9 】

NチャネルMOSトランジスタは、N型ソース領域と、N型ドレイン領域と、N型ソース領域とN型ドレイン領域との間に画定されるNチャネル領域と、Nチャネル領域の上方であって且つゲート酸化膜 1 6 上に形成された第 1 のゲート電極 3 1 - 1 と、N型ソース領域に接触する第 1 のソースコンタクト配線層 3 2 - 1 と、N型ドレイン領域に接触する第 1 のドレインコンタクト配線層 3 3 - 1 とからなる。N型ソース領域は、第 1 のN⁻低濃度拡散領域 1 0 - 1 及び第 1 のN⁺高濃度拡散領域 1 1 - 1 からなる。N型ドレイン領域は、第 2 のN⁻低濃度拡散領域 1 0 - 2 及び第 2 のN⁺高濃度拡散領域 1 1 - 2 からなる。第 1 のソースコンタクト配線層 3 2 - 1 は、第 1 のポリシリコン層 1 7 - 1 と第 1 の金属層 1 8 - 1 とからなる。第 1 のドレインコンタクト配線層 3 3 - 1 は、第 3 のポリシリコン層 1 7 - 3 と第 3 の金属層 1 8 - 3 とからなる。第 1 のゲート電極 3 1 - 1 は、第 2 のポリシリコン層 1 7 - 2 と、第 2 の金属層 1 8 - 2 との積層構造体からなる。

30

40

【 0 0 2 0 】

PチャネルMOSトランジスタは、P型ソース領域と、P型ドレイン領域と、P型ソース領域とP型ドレイン領域との間に画定されるPチャネル領域と、Pチャネル領域の上方であって且つゲート酸化膜 1 6 上に形成された第 2 のゲート電極 3 1 - 2 と、P型ソース領域に接触する第 2 のソースコンタクト配線層 3 2 - 2 と、P型ドレイン領域に接触する第 2 のドレインコンタクト配線層 3 3 - 2 とからなる。P型ソース領域は、第 1 のP⁻低濃度拡散領域 1 2 - 1 及び第 1 のP⁺高濃度拡散領域 1 3 - 1 からなる。P型ドレイン領域は、第 2 のP⁻低濃度拡散領域 1 2 - 2 及び第 2 のP⁺高濃度拡散領域 1 3 - 2 からなる。第 2 のソースコンタクト配線層 3 2 - 2 は、第 4 のポリシリコン層 1 7 - 4 と第 4 の

50

金属層 18 - 4 とからなる。第 2 のドレインコンタクト配線層 33 - 2 は、第 6 のポリシリコン層 17 - 6 と第 6 の金属層 18 - 6 とからなる。第 2 のゲート電極 31 - 2 は、第 5 のポリシリコン層 17 - 5 と、第 5 の金属層 18 - 5 との積層構造体からなる。

【0021】

具体的には、第 1 の N^+ 高濃度拡散領域 11 - 1 の上方に、第 1 のポリシリコン層 17 - 1 と第 1 の金属層 18 - 1 との第 1 の積層構造体からなる、第 1 のソースコンタクト配線層 32 - 1 が設けられる。N チャネル領域の上方に、第 2 のポリシリコン層 17 - 2 と第 2 の金属層 18 - 2 との第 2 の積層構造体からなる、第 1 のゲート電極 31 - 1 が設けられる。第 2 の N^+ 高濃度拡散領域 11 - 2 の上方に、第 3 のポリシリコン層 17 - 3 と第 3 の金属層 18 - 3 との第 3 の積層構造体からなる、第 1 のドレインコンタクト配線層 33 - 1 が設けられる。更に、第 1 の P^+ 高濃度拡散領域 13 - 1 の上方に、第 4 のポリシリコン層 17 - 4 と第 4 の金属層 18 - 4 との第 4 の積層構造体からなる、第 2 のソースコンタクト配線層 32 - 2 が設けられる。第 1 の P^- 低濃度拡散領域 12 - 1 と第 2 の P^- 低濃度拡散領域 12 - 2 との間で画定される P チャネル領域の上方に、第 5 のポリシリコン層 17 - 5 と第 5 の金属層 18 - 5 との第 5 の積層構造体からなる、第 2 のゲート電極 31 - 2 が設けられる。第 2 の P^+ 高濃度拡散領域 13 - 2 の上方に、第 6 のポリシリコン層 17 - 6 と第 6 の金属層 18 - 6 との第 6 の積層構造体からなる、第 2 のドレインコンタクト配線層 33 - 2 が設けられる。

10

【0022】

第 1 のゲート電極 31 - 1 は、第 1 及び第 2 の N^- 低濃度拡散領域 10 - 1、10 - 2 にオーバーラップするが、第 1 及び第 2 の N^+ 高濃度拡散領域 11 - 1、11 - 2 にはオーバーラップしない。第 2 のゲート電極 31 - 2 は、第 1 及び第 2 の N^- 低濃度拡散領域 12 - 1、12 - 2 にオーバーラップするが、第 1 及び第 2 の N^+ 高濃度拡散領域 13 - 1、13 - 2 にはオーバーラップしない。このオーバーラップ構造は、電界緩和効果を奏する。

20

【0023】

第 1 及び第 2 のゲート電極 31 - 1、31 - 2、並びに、第 1 のソース・ドレインコンタクト配線層 32 - 1、33 - 1 及び第 2 のソース・ドレインコンタクト配線層 32 - 2、33 - 2 は、共通のポリシリコン膜 17 と金属膜 18 との積層体をパターンニングすることで同時に形成される。よって、第 1 及び第 2 のゲート電極 31 - 1、31 - 2、並びに、第 1 のソース・ドレインコンタクト配線層 32 - 1、33 - 1 及び第 2 のソース・ドレインコンタクト配線層 32 - 2、33 - 2 は、同一の積層構造を有する。ここで、第 1 乃至第 6 のポリシリコン層 17 - 1 乃至 17 - 6 は、実質同一の膜厚を有し、更に、第 1 乃至第 6 の金属層 18 - 1 乃至 18 - 6 は、実質同一の膜厚を有する。

30

【0024】

以下、本実施形態に係る高耐圧半導体装置の製造方法につき、添付図面を参照して説明する。

【0025】

(高耐圧 MOS トランジスタの製造方法)

図 1 乃至図 9 は、本発明の第 1 実施形態に係る高耐圧半導体装置の製造行程を示す部分縦断面図である。以下、高耐圧半導体装置の製造行程につき説明する。

40

【0026】

図 1 (a) に示すように、既知のフォトリソグラフィ技術により、P 型単結晶シリコン基板 1 上に、レジストパターン 21 を形成する。

【0027】

図 1 (b) に示すように、レジストパターン 21 をマスクとして使用して、加速エネルギー 150 keV 及びドーズ量 $3.0 \times 10^{12} \text{ cm}^{-2}$ 乃至 $5.0 \times 10^{12} \text{ cm}^{-2}$ の条件下で、N 型不純物であるリン (P) を、P 型単結晶シリコン基板 1 に選択的に注入する。その後、 1070°C で 500 分間熱処理を行うことで、注入された N 型不純物の熱拡散を引き起こし、P 型単結晶シリコン基板 1 中に、深さ $6 \mu\text{m}$ 乃至 $7 \mu\text{m}$ の N 型ウェル

50

2 を選択的に形成する。

【0028】

図1(c)に示すように、レジストパターン21を既知の方法で除去する。

【0029】

図2(a)に示すように、既知の熱酸化行程により、P型単結晶シリコン基板1の表面及びN型ウェル2の表面を熱酸化することで、P型単結晶シリコン基板1上及びN型ウェル2上に亘り延在すると共に膜厚500Åを有するシリコン酸化膜3を形成する。

【0030】

図2(b)に示すように、既知のフォトリソグラフィ技術により、シリコン酸化膜3上に、レジストパターン22を形成する。

10

【0031】

図2(c)に示すように、レジストパターン22をマスクとして使用して、加速エネルギー60keV及びドーズ量 $1.0 \times 10^{13} \text{ cm}^{-2}$ の条件下で、N型不純物であるリン(P)を、シリコン酸化膜3を介しP型単結晶シリコン基板1中に選択的に注入することで、P型単結晶シリコン基板1中に、第1のN⁻低濃度不純物注入領域4-1及び第2のN⁻低濃度不純物注入領域4-2を選択的に形成する。ここで、第1のN⁻低濃度不純物注入領域4-1及び第2のN⁻低濃度不純物注入領域4-2は、P型単結晶シリコン基板1の一部を介し互いに離間すると共に、N型ウェル2からも離間する。

【0032】

図3(a)に示すように、レジストパターン22を既知の方法で除去する。その後、既知のフォトリソグラフィ技術により、シリコン酸化膜3上に、レジストパターン23を形成する。

20

【0033】

図3(b)に示すように、レジストパターン23をマスクとして使用して、加速エネルギー70keV及びドーズ量 $1.0 \times 10^{13} \text{ cm}^{-2}$ の条件下で、P型不純物であるボロン(B)又は二弗化ボロン(BF₂)を、シリコン酸化膜3を介しN型ウェル2中に選択的に注入することで、N型ウェル2中に、第1のP⁻低濃度不純物注入領域5-1及び第2のP⁻低濃度不純物注入領域5-2を選択的に形成する。ここで、第1のP⁻低濃度不純物注入領域5-1及び第2のP⁻低濃度不純物注入領域5-2は、N型ウェル2の一部を介し互いに離間すると共に、P型単結晶シリコン基板1からも離間する。

30

【0034】

図3(c)に示すように、レジストパターン23を既知の方法で除去する。

【0035】

図4(a)に示すように、既知のフォトリソグラフィ技術により、シリコン酸化膜3上に、レジストパターン24を形成する。

【0036】

図4(b)に示すように、レジストパターン24をマスクとして使用して、加速エネルギー3050keV乃至及びドーズ量 $1.0 \times 10^{15} \text{ cm}^{-2}$ の条件下で、N型不純物であるリン(P)を、シリコン酸化膜3を介し、第1のN⁻低濃度不純物注入領域4-1、第2のN⁻低濃度不純物注入領域4-2、及びN型ウェル2に選択的に注入することで、第1のN⁻低濃度不純物注入領域4-1及び第2のN⁻低濃度不純物注入領域4-2中に、それぞれ、第1のN⁺高濃度不純物注入領域6-1及び第2のN⁺高濃度不純物注入領域6-2を選択的に形成する一方で、N型ウェル2中に第3のN⁺高濃度不純物注入領域7を選択的に形成する。ここで、第1のN⁺高濃度不純物注入領域6-1及び第2のN⁺高濃度不純物注入領域6-2は、それぞれ、第1のN⁻低濃度不純物注入領域4-1及び第2のN⁻低濃度不純物注入領域4-2を介して、P型単結晶シリコン基板1から離間される。N⁺高濃度不純物注入領域7は、平面でみて、第1のP⁻低濃度不純物注入領域5-1及び第2のP⁻低濃度不純物注入領域5-2を囲むよう、矩形ループ状に延在している。N⁺高濃度不純物注入領域7は、N型ウェル2を介して、第1のP⁻低濃度不純物注入領域5-1及び第2のP⁻低濃度不純物注入領域5-2並びにP型単結晶シリコン

40

50

基板 1 から離間される。

【0037】

図 4 (c) に示すように、レジストパターン 24 を既知の方法で除去する。

【0038】

図 5 (a) に示すように、既知のフォトリソグラフィ技術により、シリコン酸化膜 3 上に、レジストパターン 25 を形成する。

【0039】

図 5 (b) に示すように、レジストパターン 25 をマスクとして使用して、加速エネルギー $40 \sim 50 \text{ keV}$ 乃至及びドーズ量 $1.0 \times 10^{15} \text{ cm}^{-2}$ の条件下で、P 型不純物であるボロン (B) 又は二弗化ボロン (BF_2) を、シリコン酸化膜 3 を介し、第 1 の P⁻ 低濃度不純物注入領域 5 - 1、第 2 の P⁻ 低濃度不純物注入領域 5 - 2、及び P 型単結晶シリコン基板 1 に選択的に注入することで、第 1 の P⁻ 低濃度不純物注入領域 5 - 1 及び第 2 の P⁻ 低濃度不純物注入領域 5 - 2 中に、それぞれ、第 1 の P⁺ 高濃度不純物注入領域 8 - 1 及び第 2 の P⁺ 高濃度不純物注入領域 8 - 2 を選択的に形成する一方で、P 型単結晶シリコン基板 1 中に第 3 の P⁺ 高濃度不純物注入領域 9 を選択的に形成する。ここで、第 1 の P⁺ 高濃度不純物注入領域 8 - 1 及び第 2 の P⁺ 高濃度不純物注入領域 8 - 2 は、それぞれ、第 1 の P⁻ 低濃度不純物注入領域 5 - 1 及び第 2 の P⁻ 低濃度不純物注入領域 5 - 2 を介して、N 型ウェル 2 から離間される。第 3 の P⁺ 高濃度不純物注入領域 9 は、平面でみて、第 1 の N⁻ 低濃度不純物注入領域 4 - 1 及び第 2 の N⁻ 低濃度不純物注入領域 4 - 2 を囲むよう、矩形ループ状に延在している。第 3 の P⁺ 高濃度不純物注入領域 9 は、P 型単結晶シリコン基板 1 を介して、第 1 の N⁻ 低濃度不純物注入領域 4 - 1 及び第 2 の N⁻ 低濃度不純物注入領域 4 - 2 並びに N 型ウェル 2 から離間される。

【0040】

図 5 (c) に示すように、レジストパターン 25 を既知の方法で除去する。

【0041】

図 6 (a) に示すように、1000 で 200 分間熱処理を行うことで、第 1 及び第 2 の N⁻ 低濃度不純物注入領域 4 - 1、4 - 2 中の N 型不純物、第 1 及び第 2 の N⁺ 高濃度不純物注入領域 6 - 1、6 - 2 中の N 型不純物、及び第 3 の N⁺ 高濃度不純物注入領域 7 中の N 型不純物、並びに、第 1 及び第 2 の P⁻ 低濃度不純物注入領域 5 - 1、5 - 2 中の P 型不純物、第 1 及び第 2 の P⁺ 高濃度不純物注入領域 8 - 1、8 - 2 中の P 型不純物、及び第 3 の P⁺ 高濃度不純物注入領域 9 中の P 型不純物の熱拡散を同時に行う。

【0042】

この熱拡散行程により、第 1 の N⁻ 低濃度不純物注入領域 4 - 1 及び第 1 の N⁺ 高濃度不純物注入領域 6 - 1 は、第 1 の N⁻ 低濃度拡散領域 10 - 1 及び第 1 の N⁺ 高濃度拡散領域 11 - 1 になる。更に、第 2 の N⁻ 低濃度不純物注入領域 4 - 2 及び第 2 の N⁺ 高濃度不純物注入領域 6 - 2 は、第 2 の N⁻ 低濃度拡散領域 10 - 2 及び第 2 の N⁺ 高濃度拡散領域 11 - 2 になる。更に、第 1 の P⁻ 低濃度不純物注入領域 5 - 1 及び第 1 の P⁺ 高濃度不純物注入領域 8 - 1 は、第 1 の P⁻ 低濃度拡散領域 12 - 1 及び第 1 の P⁺ 高濃度拡散領域 13 - 1 になる。更に、第 2 の P⁻ 低濃度不純物注入領域 5 - 2 及び第 2 の P⁺ 高濃度不純物注入領域 8 - 2 は、第 2 の P⁻ 低濃度拡散領域 12 - 2 及び第 2 の P⁺ 高濃度拡散領域 13 - 2 になる。更に、第 3 の P⁺ 高濃度不純物注入領域 9 は、P 型チャネルストッパー 14 になり、第 3 の N⁺ 高濃度不純物注入領域 7 は、N 型チャネルストッパー 15 になる。

【0043】

不純物の熱拡散深さは、熱拡散行程前の不純物注入領域の不純物濃度に依存する。よって、第 1 及び第 2 の N⁺ 高濃度拡散領域 11 - 1、11 - 2 は、第 1 及び第 2 の N⁻ 低濃度拡散領域 10 - 1、10 - 2 より大きな深さを有する。第 1 及び第 2 の P⁺ 高濃度拡散領域 13 - 1、13 - 2 は、第 1 及び第 2 の P⁻ 低濃度拡散領域 12 - 1、12 - 2 より大きな深さを有する。

【0044】

10

20

30

40

50

ここで、P型チャンネルストッパー14は、P型単結晶シリコン基板1より不純物濃度が高いP⁺高濃度拡散領域からなる。N型チャンネルストッパー15は、N型ウェル2より不純物濃度が高いN⁺高濃度拡散領域からなる。第1のN⁻低濃度拡散領域10-1及び第1のN⁺高濃度拡散領域11-1は、N型ソース領域を構成する。第2のN⁻低濃度拡散領域10-2及び第2のN⁺高濃度拡散領域11-2は、N型ドレイン領域を構成する。第1のP⁻低濃度拡散領域12-1及び第1のP⁺高濃度拡散領域13-1は、P型ソース領域を構成する。第2のP⁻低濃度拡散領域12-2及び第2のP⁺高濃度拡散領域13-2は、P型ドレイン領域を構成する。即ち、N型ソース領域とN型ドレイン領域とが、P型単結晶シリコン基板1中に形成される。一方、P型ソース領域とP型ドレイン領域とが、N型ウェル2中に形成される。N型ソース領域とN型ドレイン領域との間の距離で、N型チャンネルの長さが規定される。P型ソース領域とP型ドレイン領域との間の距離で、P型チャンネルの長さが規定される。P型チャンネルストッパー14は、平面でみて、N型ソース領域とN型ドレイン領域とを囲むよう、P型単結晶シリコン基板1の上部領域に矩形ループ状に延在している。N型チャンネルストッパー15は、平面でみて、N型ウェル2の上部領域にP型ソース領域とP型ドレイン領域とを囲むよう、矩形ループ状に延在している。

10

【0045】

図6(b)に示すように、前述の既に複数回行われたイオン注入行程において、不純物が、シリコン酸化膜3を貫通したので、シリコン酸化膜3は、既にダメージを受けている。そこで、既知の方法により、シリコン酸化膜3を除去する。結果、N型ソース領域、N型ドレイン領域、P型ソース領域、P型ドレイン領域、P型チャンネルストッパー14及びN型チャンネルストッパー15の表面、並びに、P型単結晶シリコン基板1及びN型ウェル2の表面が露出する。

20

【0046】

図6(c)に示すように、既知の酸化技術により、膜厚1000を有するゲート絶縁膜16を、前述の露出表面上に形成する。ゲート絶縁膜16は、シリコン酸化膜又はシリコン窒化膜で構成することができる。

【0047】

図7(a)に示すように、CVD(Chemical Vapor Deposition)法により、ゲート絶縁膜16上に、膜厚2000を有するポリシリコン膜17を形成する。ゲート絶縁膜16とポリシリコン膜17とは、積層体を形成する。

30

【0048】

図7(b)に示すように、既知のフォトリソグラフィ技術により、ゲート絶縁膜16上に、レジストパターン26を形成する。

【0049】

図7(c)に示すように、レジストパターン26をマスクとして使用して、既知の異方性エッチング技術により、ゲート絶縁膜16とポリシリコン膜17とからなる前述の積層体を選択的にエッチングして、積層体中にコンタクトホールを形成する。結果、第1及び第2のN⁺高濃度拡散領域11-1、11-2及び第1のP⁺高濃度拡散領域13-1、13-2の各々の表面の一部がコンタクトホールを介して露出する。各コンタクトホールの直径は、典型例として、0.7 μ mであってもよい。前述の積層体の厚さは、3000なので、前述の各コンタクトホールは、非常に小さいアスペクト比を有する。

40

【0050】

図8(a)に示すように、既知の方法によりレジストパターン26を除去する。

【0051】

図8(b)に示すように、既知のスputタ技術により、ポリシリコン膜17上及び前述の各コンタクトホール中に、金属膜18を形成することで、ポリシリコン膜17と金属膜18とからなる積層体を形成する。前述したように、各コンタクトホールの非常に小さいアスペクト比は、ポイドを形成することなく、各コンタクトホールが金属膜18により完全に埋め込まれることを可能にすると共に、金属膜18が概ね平坦な表面を有することを

50

可能にする。金属膜 18 は、コンタクトホールを介して、第 1 及び第 2 の N^+ 高濃度拡散領域 11 - 1、11 - 2 及び第 1 の P^+ 高濃度拡散領域 13 - 1、13 - 2 の各々の表面の一部と接触する。この金属膜 18 は、典型的には、アルミニウム膜で構成することが可能である。また、この金属膜 18 は、銅膜で構成してもよい。

【0052】

図 8 (c) に示すように、既知のフォトリソグラフィ技術により、金属膜 18 上に、レジストパターン 27 を形成する。

【0053】

図 9 (a) に示すように、レジストパターン 27 をマスクとして使用して、既知の異方性エッチング技術により、ポリシリコン膜 17 と金属膜 18 とからなる積層構造体を、選択的にエッチングする。結果、第 1 の N^+ 高濃度拡散領域 11 - 1 の上方に、第 1 のポリシリコン層 17 - 1 と第 1 の金属層 18 - 1 との第 1 の積層体が形成される。第 1 の N^- 低濃度拡散領域 10 - 1 と第 2 の N^- 低濃度拡散領域 10 - 2 との間で画定される N チャネル領域の上方に、第 2 のポリシリコン層 17 - 2 と第 2 の金属層 18 - 2 との第 2 の積層構造体が形成される。第 2 の N^+ 高濃度拡散領域 11 - 2 の上方に、第 3 のポリシリコン層 17 - 3 と第 3 の金属層 18 - 3 との第 3 の積層構造体が形成される。更に、第 1 の P^+ 高濃度拡散領域 13 - 1 の上方に、第 4 のポリシリコン層 17 - 4 と第 4 の金属層 18 - 4 との第 4 の積層構造体が形成される。第 1 の P^- 低濃度拡散領域 12 - 1 と第 2 の P^- 低濃度拡散領域 12 - 2 との間で画定される P チャネル領域の上方に、第 5 のポリシリコン層 17 - 5 と第 5 の金属層 18 - 5 との第 5 の積層構造体が形成される。第 2 の P^+ 高濃度拡散領域 13 - 2 の上方に、第 6 のポリシリコン層 17 - 6 と第 6 の金属層 18 - 6 との第 6 の積層構造体が形成される。第 2 の積層構造体は、第 1 及び第 2 の N^- 低濃度拡散領域 10 - 1、10 - 2 にオーバーラップするが、第 1 及び第 2 の N^+ 高濃度拡散領域 11 - 1、11 - 2 にはオーバーラップしない。第 5 の積層構造体は、第 1 及び第 2 の N^- 低濃度拡散領域 12 - 1、12 - 2 にオーバーラップするが、第 1 及び第 2 の N^+ 高濃度拡散領域 13 - 1、13 - 2 にはオーバーラップしない。

【0054】

図 9 (b) に示すように、既知の方法によりレジストパターン 104 を除去する。結果、第 1 の N^+ 高濃度拡散領域 11 - 1 の上方に、第 1 のポリシリコン層 17 - 1 と第 1 の金属層 18 - 1 との第 1 の積層構造体からなる、第 1 のソースコンタクト配線層 32 - 1 が形成される。 N チャネル領域の上方に、第 2 のポリシリコン層 17 - 2 と第 2 の金属層 18 - 2 との第 2 の積層構造体からなる、第 1 のゲート電極 31 - 1 が形成される。第 2 の N^+ 高濃度拡散領域 11 - 2 の上方に、第 3 のポリシリコン層 17 - 3 と第 3 の金属層 18 - 3 との第 3 の積層構造体からなる、第 1 のドレインコンタクト配線層 33 - 1 が形成される。更に、第 1 の P^+ 高濃度拡散領域 13 - 1 の上方に、第 4 のポリシリコン層 17 - 4 と第 4 の金属層 18 - 4 との第 4 の積層構造体からなる、第 2 のソースコンタクト配線層 32 - 2 が形成される。第 1 の P^- 低濃度拡散領域 12 - 1 と第 2 の P^- 低濃度拡散領域 12 - 2 との間で画定される P チャネル領域の上方に、第 5 のポリシリコン層 17 - 5 と第 5 の金属層 18 - 5 との第 5 の積層構造体からなる、第 2 のゲート電極 31 - 2 が形成される。第 2 の P^+ 高濃度拡散領域 13 - 2 の上方に、第 6 のポリシリコン層 17 - 6 と第 6 の金属層 18 - 6 との第 6 の積層構造体からなる、第 2 のドレインコンタクト配線層 33 - 2 が形成される。第 1 のゲート電極 31 - 1 は、第 1 及び第 2 の N^- 低濃度拡散領域 10 - 1、10 - 2 にオーバーラップするが、第 1 及び第 2 の N^+ 高濃度拡散領域 11 - 1、11 - 2 にはオーバーラップしない。第 2 のゲート電極 31 - 2 は、第 1 及び第 2 の N^- 低濃度拡散領域 12 - 1、12 - 2 にオーバーラップするが、第 1 及び第 2 の N^+ 高濃度拡散領域 13 - 1、13 - 2 にはオーバーラップしない。このオーバーラップ構造は、電界緩和効果を奏する。

【0055】

P 型単結晶シリコン基板 1 の上部領域であって、 P 型チャネルストッパー 14 で囲まれた P 型活性領域に、 N チャネル MOS トランジスタが形成される。この N チャネル MOS

トランジスタは、N型ソース領域と、N型ドレイン領域と、N型ソース領域とN型ドレイン領域との間に画定されるNチャンネル領域と、Nチャンネル領域の上方であって且つゲート酸化膜16上に形成された第1のゲート電極31-1と、N型ソース領域に接触する第1のソースコンタクト配線層32-1と、N型ドレイン領域に接触する第1のドレインコンタクト配線層33-1とからなる。前述したようにN型ソース領域は、第1のN⁻低濃度拡散領域10-1及び第1のN⁺高濃度拡散領域11-1からなる。N型ドレイン領域は、第2のN⁻低濃度拡散領域10-2及び第2のN⁺高濃度拡散領域11-2からなる。第1のソースコンタクト配線層32-1は、第1のポリシリコン層17-1と第1の金属層18-1とからなる。第1のドレインコンタクト配線層33-1は、第3のポリシリコン層17-3と第3の金属層18-3とからなる。第1のゲート電極31-1は、第2の

10

【0056】

N型ウェル2の上部領域であって、N型チャンネルストッパー15で囲まれたN型活性領域に、PチャンネルMOSトランジスタが形成される。このPチャンネルMOSトランジスタは、P型ソース領域と、P型ドレイン領域と、P型ソース領域とP型ドレイン領域との間に画定されるPチャンネル領域と、Pチャンネル領域の上方であって且つゲート酸化膜16上に形成された第2のゲート電極31-2と、P型ソース領域に接触する第2のソースコンタクト配線層32-2と、P型ドレイン領域に接触する第2のドレインコンタクト配線層33-2とからなる。前述したようにP型ソース領域は、第1のP⁻低濃度拡散領域12-1及び第1のP⁺高濃度拡散領域13-1からなる。P型ドレイン領域は、第2のP⁻

20

【0057】

第1及び第2のゲート電極31-1、31-2、並びに、第1のソース・ドレインコンタクト配線層32-1、33-1及び第2のソース・ドレインコンタクト配線層32-2、33-2は、共通のポリシリコン膜17と金属膜18との積層体をパターンニングすることで同時に形成される。よって、第1及び第2のゲート電極31-1、31-2、並びに

30

【0058】

図9(c)に示すように、既知のプラズマCVDにより、シリコン窒化膜からなる表面保護膜を、ゲート絶縁膜16上に形成することで、前述のNチャンネルMOSトランジスタ及びPチャンネルMOSトランジスタを完全に埋め込むことで、半導体装置が完成する。

【0059】

尚、上記イオン注入は、基板面に垂直方向にイオンを打ち込む行程である。

40

【0060】

(効果)

前述したように、ゲート酸化膜16上に、ポリシリコン膜17を形成する。ゲート酸化膜16とポリシリコン膜17との積層体に、ソース・ドレインコンタクトを形成する。その後、該ポリシリコン膜17上及びソース・ドレインコンタクト中に金属膜18を形成して、該ポリシリコン膜17と該金属膜18とからなる積層体を形成する。その後、この積層体をパターンニングして、各々が、ポリシリコン層と金属層との積層構造体からなるゲート電極と、ソース・ドレインコンタクト配線層とを同時に形成する。更に、フィールド酸化膜の形成に代え、チャンネルストッパーを高濃度拡散領域と同時に形成する。このため、本実施形態は、以下の効果を奏する。

50

【0061】

第1の効果として、本発明に係るMOSトランジスタは、ポリシリコン層と、金属層との2層構造からなるソース・ドレインコンタクト配線層と、前記ソース・ドレインコンタクト配線層と同一の2層構造からなるゲート電極とを含む。よって、ポリシリコン層と、金属層との2層構造からなるゲート電極は、金属の単層構造からなるゲート電極と比較して、仕事関数は高い。このことは、MOSトランジスタが、所望の高い性能を有することを可能し、且つ所望の高い信頼性を維持することを可能にする。

【0062】

第2の効果として、ソース・ドレインコンタクト配線層が、ポリシリコン層と、金属層との2層構造からなる。ここで、ポリシリコン層が不純物を含むシリコンからなるソース・ドレイン領域に直接接し、一方、金属層は、ソース・ドレイン領域からポリシリコン層を介して離間している。このため、スパイクや金属配線に含有される析出物によるゲート絶縁膜の劣化は生じない。

【0063】

第3の効果として、本発明に係るMOSトランジスタの形成方法は、ソース・ドレインコンタクト配線層と、ゲート電極とを同一行程で形成する。このため、レジストパターンからなるマスクを形成する行程数は、ソース・ドレインコンタクト配線層と、ゲート電極とを別の行程で形成する場合に比較して、少なくすむ。

【0064】

第4の効果として、本発明に係るMOSトランジスタは、素子分離のため、チャンネルストッパーを有する。即ち、本発明に係る半導体装置の製造方法は、LOCOS行程を経てフィールド酸化膜を形成することがないため、レジストパターンからなるマスクを形成する行程数は、LOCOS行程を経てフィールド酸化膜を形成する場合に比較して、少なくすむ。

【0065】

(変更例)

本実施形態では、第1及び第2のN⁻低濃度不純物注入領域4-1、4-2を形成した後、第1及び第2のP⁻低濃度不純物注入領域5-1、5-2を形成した。本実施形態の変更例として、第1及び第2のP⁻低濃度不純物注入領域5-1、5-2を先に形成し、その後、第1及び第2のN⁻低濃度不純物注入領域4-1、4-2を形成してもよい。

【0066】

本実施形態では、第1及び第2のN⁺高濃度不純物注入領域6-1、6-2を形成した後、第1及び第2のP⁺高濃度不純物注入領域8-1、8-2を形成した。本実施形態の変更例として、第1及び第2のP⁺高濃度不純物注入領域8-1、8-2を先に形成し、その後、第1及び第2のN⁺高濃度不純物注入領域6-1、6-2を形成してもよい。

【0067】

更に、シリコン酸化膜3を除去する直前の行程で、閾値電圧の制御を目的として、前述のNチャンネル領域及びPチャンネル領域に、それぞれ、イオン注入を行うことも可能である。

【0068】

本実施形態の変更例として、半導体装置が多層配線構造を有する構成とすることも可能である。この場合、前述の表面保護膜に代え、層間絶縁膜を形成する。

【0069】

また、上記実施形態では、P型単結晶シリコン基板1にNチャンネルMOSトランジスタを形成し、N型ウェル2にPチャンネルMOSトランジスタを形成した。しかし、本実施形態の変更例として、N型単結晶シリコン基板にPウェルを選択的に形成し、N型単結晶シリコン基板にPチャンネルMOSトランジスタを形成し、P型ウェルにNチャンネルMOSトランジスタを形成してもよい。本実施形態の更なる変更例として、シリコン基板に、N型ウェルと、P型ウェルとを形成し、N型ウェルにPチャンネルMOSトランジスタを形成し、P型ウェルにNチャンネルMOSトランジスタを形成してもよい。

10

20

30

40

50

【 0 0 7 0 】

上記実施形態では、ゲート絶縁膜上に設けられたゲート電極を有するMOSトランジスタを含む半導体装置を製造した。しかし、本実施形態の変更例として、ゲート絶縁膜上に設けられたフローティングゲート電極を有するMOSトランジスタを含む半導体装置を製造する場合にも、本発明を適用することができる。この場合、ポリシリコン膜17と金属膜18との積層構造体をパターンニングすることで、フローティングゲート電極と、ソース・ドレインコンタクト配線層とを同時に形成することが可能となる。

【 0 0 7 1 】

前述した各層の厚さや各層の不純物濃度は、あくまで一例にすぎず、設計変更可能であることはいうまでもない。

【 図面の簡単な説明 】

【 0 0 7 2 】

【 図 1 】 本発明の第1実施形態に係る高耐圧半導体装置製造方法における一連の製造行程を示す部分縦断面図である。

【 図 2 】 本発明の第1実施形態に係る高耐圧半導体装置製造方法における一連の製造行程を示す部分縦断面図である。

【 図 3 】 本発明の第1実施形態に係る高耐圧半導体装置製造方法における一連の製造行程を示す部分縦断面図である。

【 図 4 】 本発明の第1実施形態に係る高耐圧半導体装置製造方法における一連の製造行程を示す部分縦断面図である。

【 図 5 】 本発明の第1実施形態に係る高耐圧半導体装置製造方法における一連の製造行程を示す部分縦断面図である。

【 図 6 】 本発明の第1実施形態に係る高耐圧半導体装置製造方法における一連の製造行程を示す部分縦断面図である。

【 図 7 】 本発明の第1実施形態に係る高耐圧半導体装置製造方法における一連の製造行程を示す部分縦断面図である。

【 図 8 】 本発明の第1実施形態に係る高耐圧半導体装置製造方法における一連の製造行程を示す部分縦断面図である。

【 図 9 】 本発明の第1実施形態に係る高耐圧半導体装置製造方法における一連の製造行程を示す部分縦断面図である。

【 符号の説明 】

【 0 0 7 3 】

- 1 P型単結晶シリコン基板
- 2 N型ウェル
- 3 シリコン酸化膜
- 4 1 第1のN⁻低濃度不純物注入領域
- 4 2 第2のN⁻低濃度不純物注入領域
- 5 1 第1のP⁻低濃度不純物注入領域
- 5 2 第2のP⁻低濃度不純物注入領域
- 6 1 第1のN⁺高濃度不純物注入領域
- 6 2 第2のN⁺高濃度不純物注入領域
- 7 第3のN⁺高濃度不純物注入領域
- 8 1 第1のP⁺高濃度不純物注入領域
- 8 2 第2のP⁺高濃度不純物注入領域
- 9 第3のP⁺高濃度不純物注入領域
- 10 1 第1のN⁻低濃度拡散領域
- 10 2 第2のN⁻低濃度拡散領域
- 11 1 第1のN⁺高濃度拡散領域
- 11 2 第2のN⁺高濃度拡散領域
- 12 1 第1のP⁻低濃度拡散領域

10

20

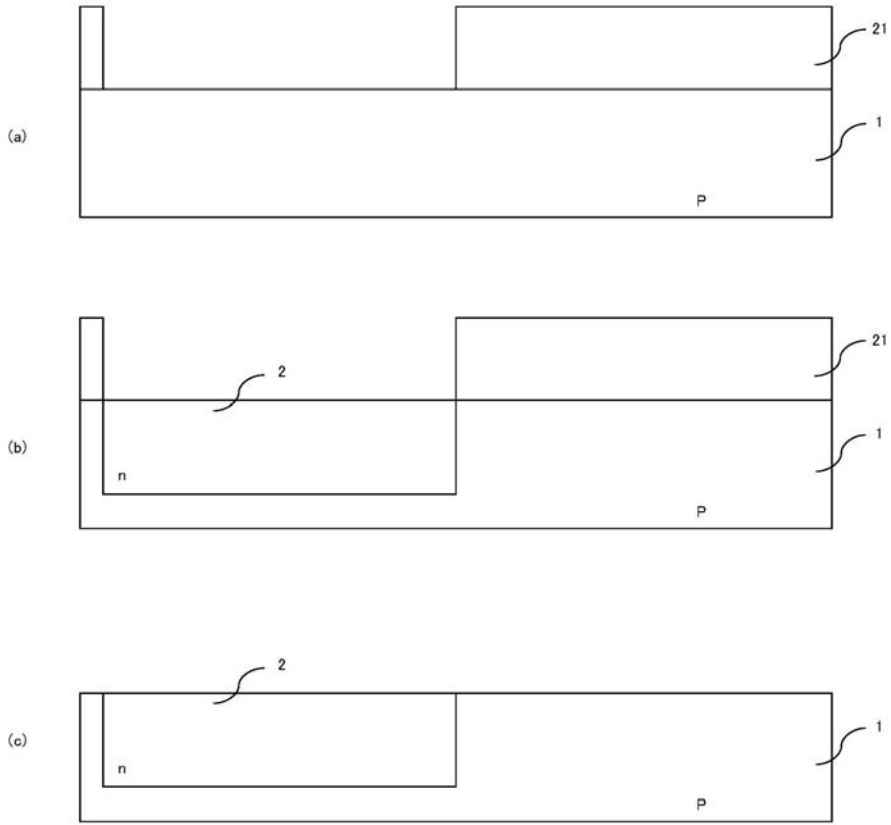
30

40

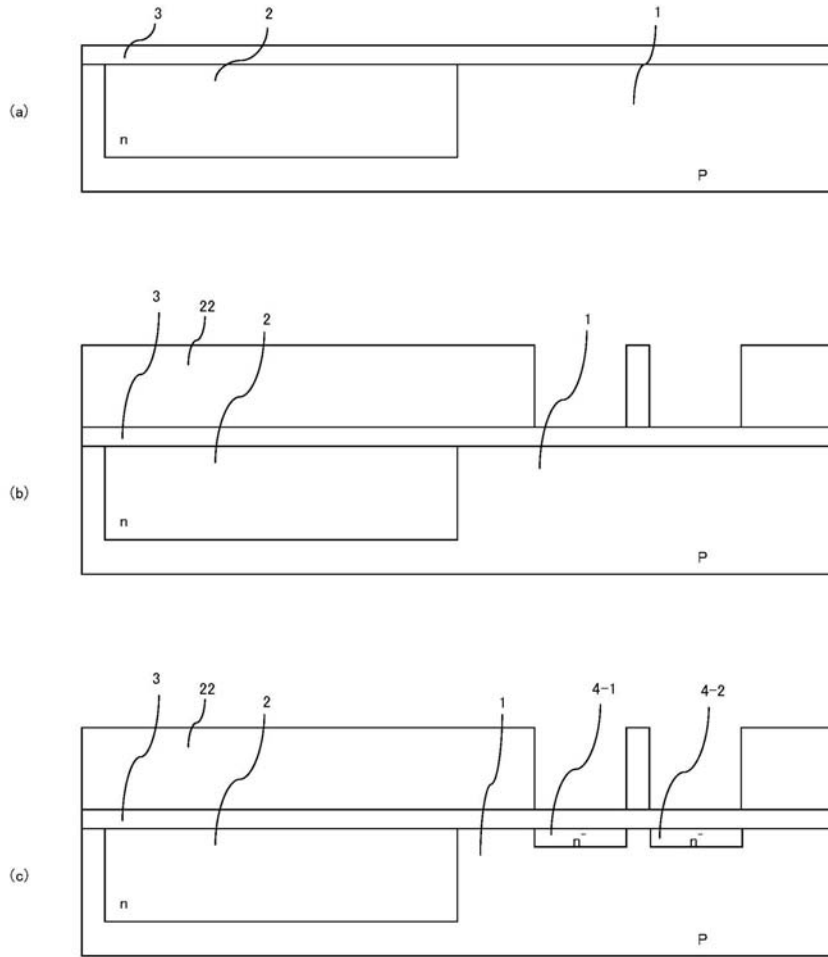
50

1 2	2	第 2 の P ⁻ 低濃度拡散領域	
1 3	1	第 1 の P ⁺ 高濃度拡散領域	
1 3	2	第 2 の P ⁺ 高濃度拡散領域	
1 4		P 型チャネルストッパー	
1 5		N 型チャネルストッパー	
1 6		ゲート酸化膜	
1 7		ポリシリコン膜	
1 7 - 1		第 1 のポリシリコン層	
1 7 - 2		第 2 のポリシリコン層	
1 7 - 3		第 3 のポリシリコン層	10
1 7 - 4		第 4 のポリシリコン層	
1 7 - 5		第 5 のポリシリコン層	
1 7 - 6		第 6 のポリシリコン層	
1 8		金属膜	
1 8 - 1		第 1 の金属層	
1 8 - 2		第 2 の金属層	
1 8 - 3		第 3 の金属層	
1 8 - 4		第 4 の金属層	
1 8 - 5		第 5 の金属層	
1 8 - 6		第 6 の金属層	20
1 9		パッシベーション膜	
2 1		レジストパターン	
2 2		レジストパターン	
2 3		レジストパターン	
2 4		レジストパターン	
2 5		レジストパターン	
2 6		レジストパターン	
2 7		レジストパターン	
3 1	1	第 1 のゲート電極	
3 1	2	第 2 のゲート電極	30
3 2 - 1		第 1 のソースコンタクト配線層	
3 2 - 2		第 2 のソースコンタクト配線層	
3 3 - 1		第 1 のドレインコンタクト配線層	
3 3 - 2		第 2 のドレインコンタクト配線層	

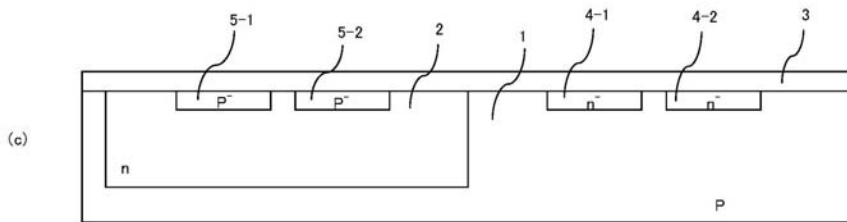
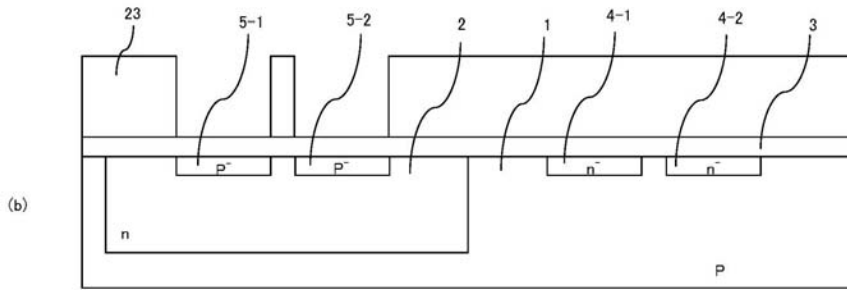
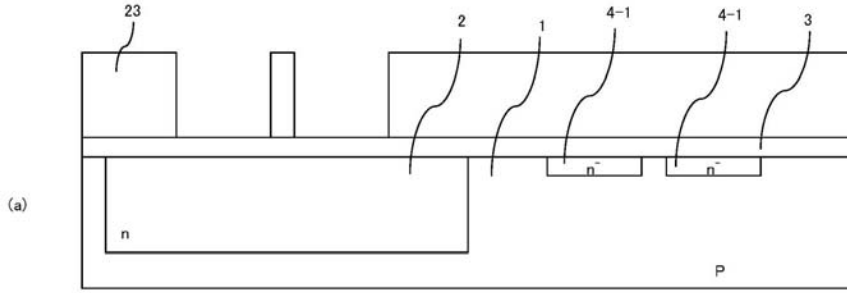
【 図 1 】



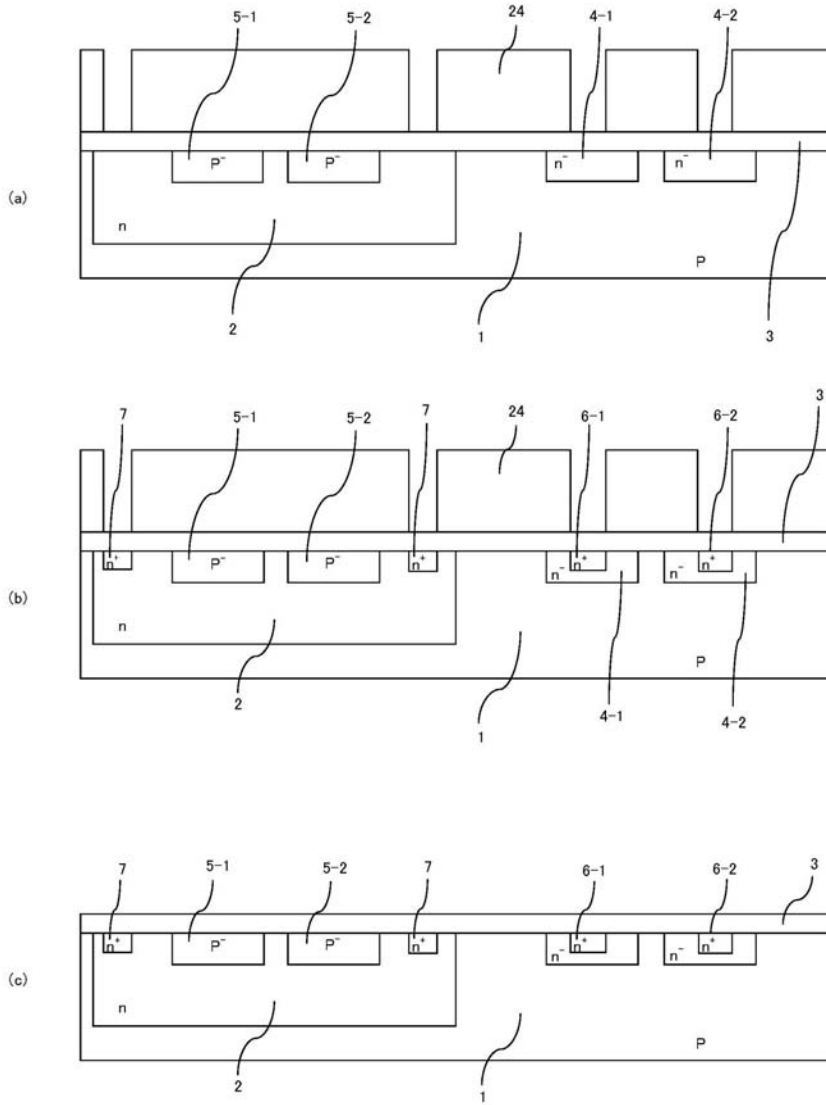
【 図 2 】



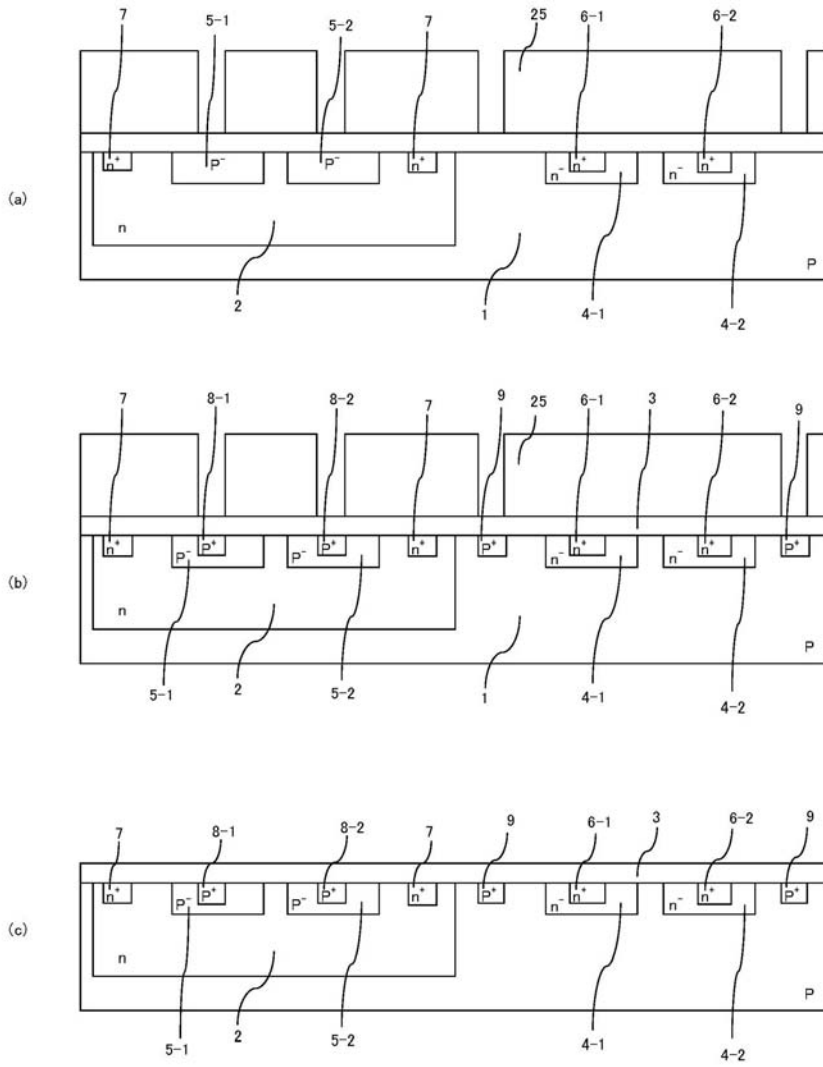
【 図 3 】



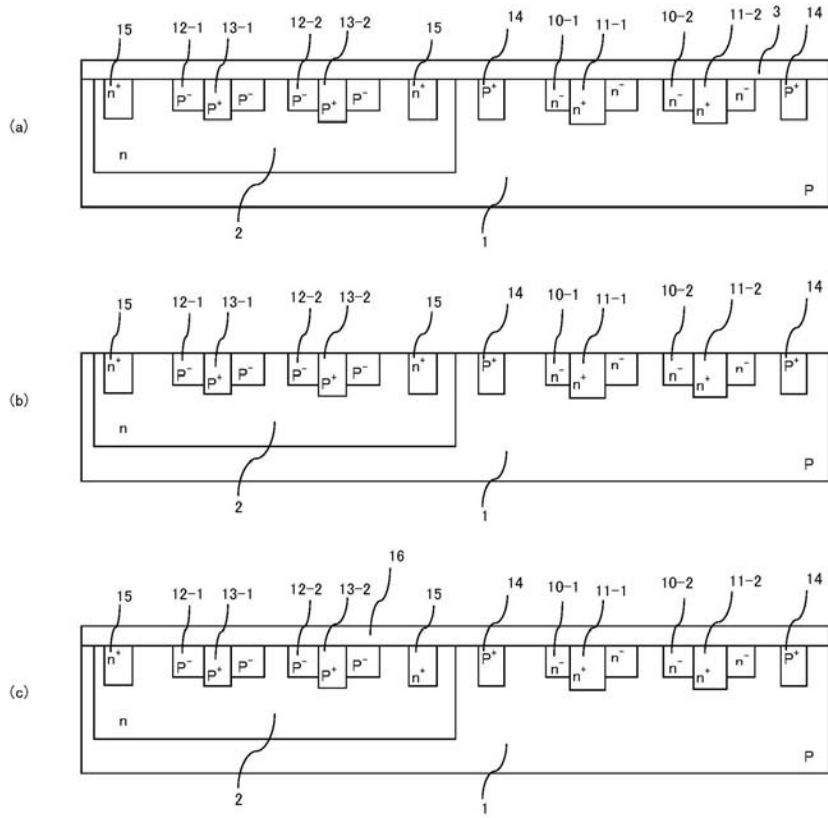
【 図 4 】



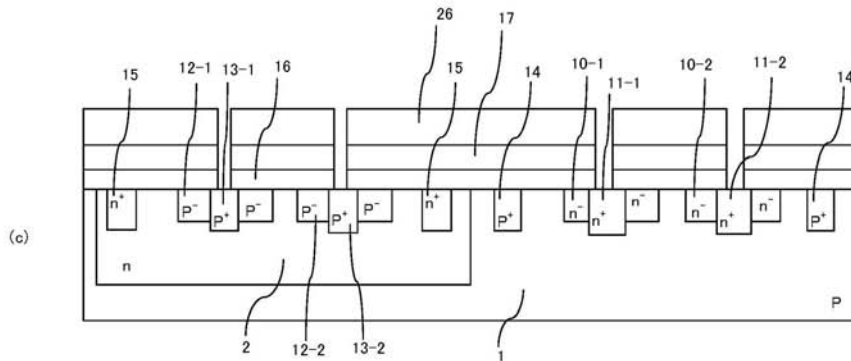
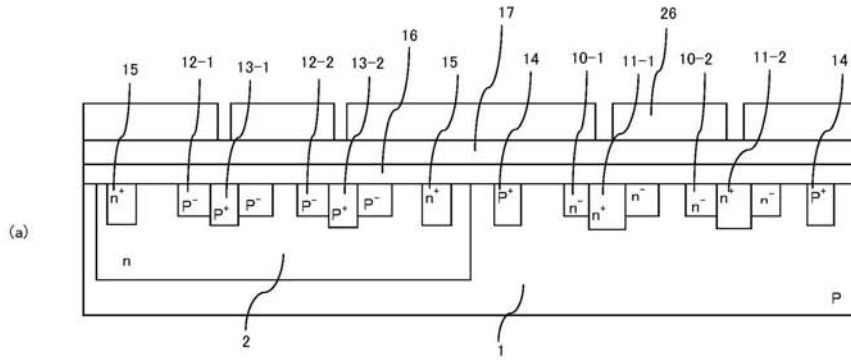
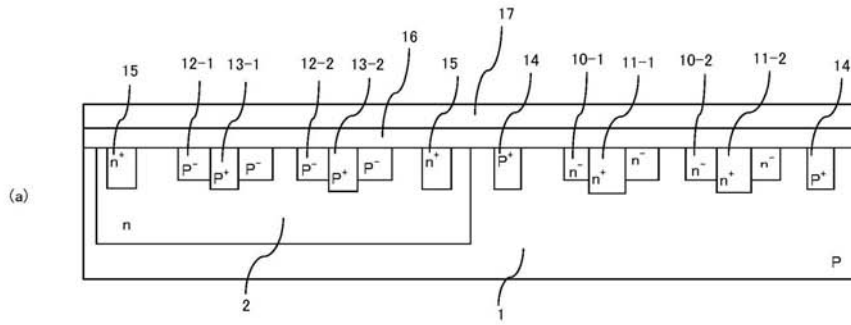
【 図 5 】



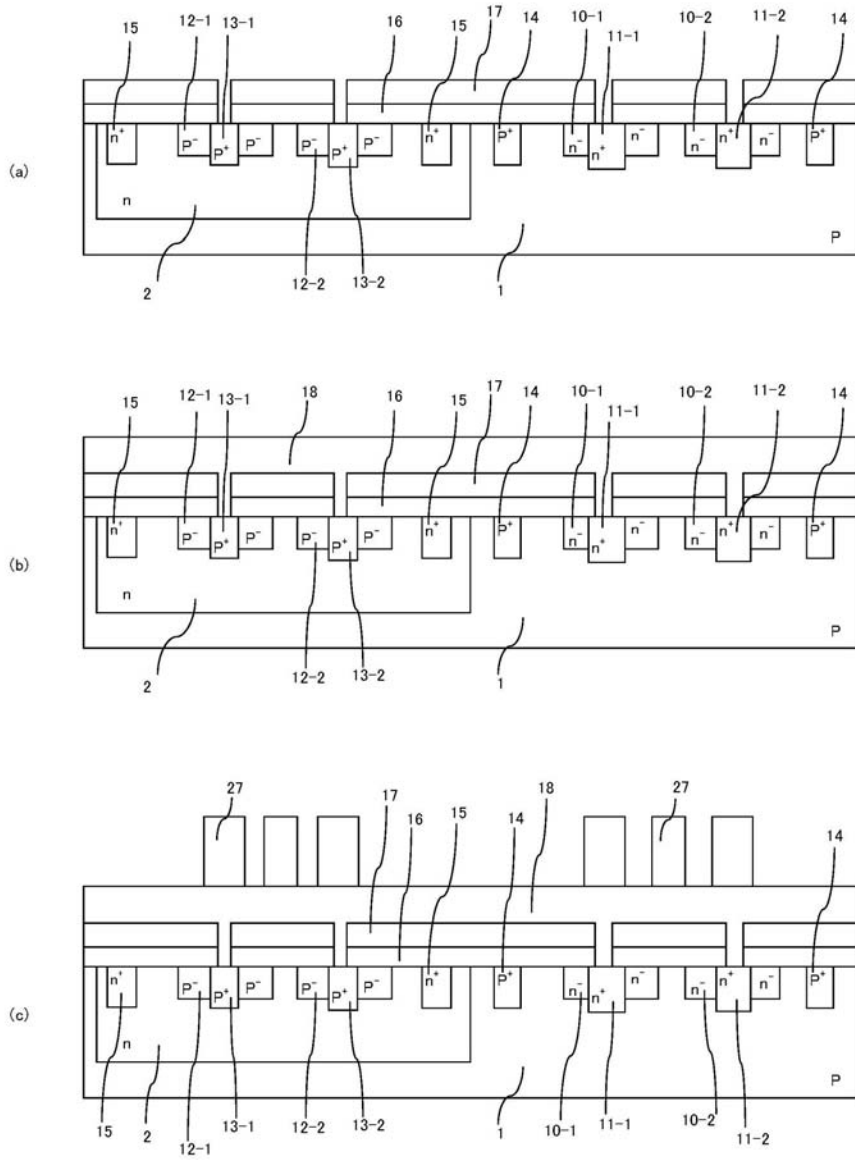
【 図 6 】



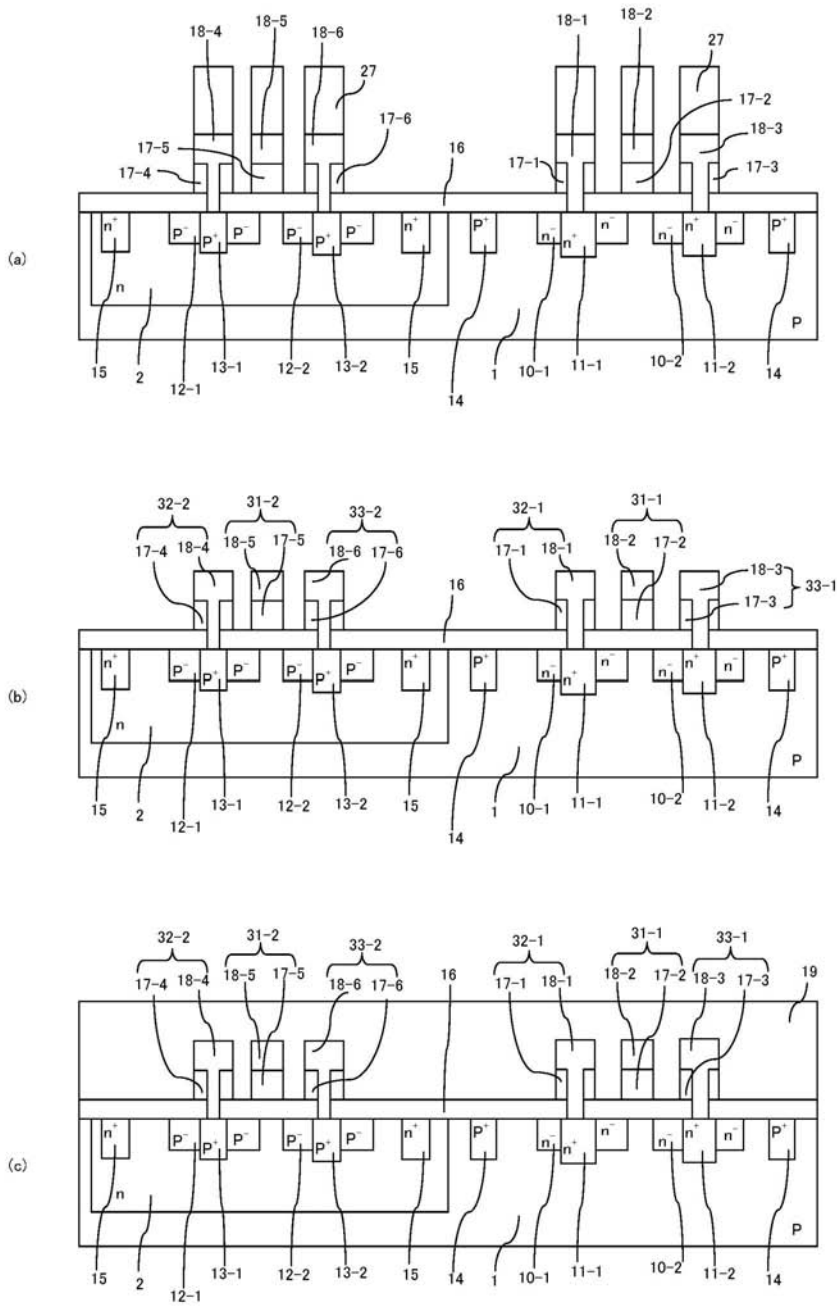
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 0 1 L 27/092 (2006.01)	H 0 1 L 21/90 C	5 F 1 4 0
H 0 1 L 29/423 (2006.01)	H 0 1 L 27/10 4 3 4	
H 0 1 L 29/49 (2006.01)	H 0 1 L 29/78 3 7 1	
H 0 1 L 21/768 (2006.01)		
H 0 1 L 21/8247 (2006.01)		
H 0 1 L 27/115 (2006.01)		
H 0 1 L 29/792 (2006.01)		
H 0 1 L 29/788 (2006.01)		

F ターム(参考)	5F048	AA05	AA08	AA09	AC01	AC03	BA01	BB05	BB09	BB12	BC06
		BF03	BF07	BF15	BF16	BG12	BH07	DA03			
	5F083	EP02	GA28	JA36	NA04	PR33	PR36				
	5F101	BA01	BD36	BH02	BH09						
	5F140	AA19	AA25	AA40	AB03	BA01	BC06	BC17	BD01	BD09	BE07
		BF04	BF11	BF15	BG02	BG28	BG30	BG37	BH15	BH17	BJ01
		BJ04	BJ05	BJ23	BJ25	BK02	BK05	BK13	BK20	BK26	BK29
		CB02	CB08	CC08	CC13	CF00	CF01				