

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4429036号
(P4429036)

(45) 発行日 平成22年3月10日(2010.3.10)

(24) 登録日 平成21年12月25日(2009.12.25)

(51) Int. Cl.	F I	
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78	3 7 1
HO 1 L 29/788 (2006.01)	HO 1 L 27/10	4 3 4
HO 1 L 29/792 (2006.01)	HO 1 L 27/10	4 6 1
HO 1 L 27/115 (2006.01)	HO 1 L 27/10	4 8 1
HO 1 L 27/10 (2006.01)		

請求項の数 1 (全 33 頁)

(21) 出願番号	特願2004-54618 (P2004-54618)	(73) 特許権者	308014341 富士通マイクロエレクトロニクス株式会社 東京都新宿区西新宿二丁目7番1号
(22) 出願日	平成16年2月27日(2004.2.27)	(74) 代理人	100087479 弁理士 北野 好人
(65) 公開番号	特開2005-244086 (P2005-244086A)	(72) 発明者	中川 進一 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
(43) 公開日	平成17年9月8日(2005.9.8)	審査官	井原 純
審査請求日	平成17年10月26日(2005.10.26)		
前置審査			

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

不揮発性半導体メモリのメモリセル領域及び周辺回路領域を有する半導体基板の前記メモリセル領域上に、第1の導電膜を形成する工程と、

前記第1の導電膜が形成された前記半導体基板の前記メモリセル領域及び前記周辺回路領域上に、第2の導電膜を形成する工程と、

前記メモリセル領域の前記第2の導電膜をパターニングし、前記メモリセル領域に、前記第2の導電膜よりなる前記不揮発性半導体メモリのメモリセルトランジスタの第1のゲート電極を形成する工程と、

前記第1のゲート電極をマスクとして前記第1の導電膜をパターニングし、前記第1の導電膜よりなる前記メモリセルトランジスタのフローティングゲートを形成する工程と、

熱酸化により、前記半導体基板の前記メモリセル領域の表面、並びに前記第1のゲート電極及び前記フローティングゲートの側壁部分に、酸化膜を形成する工程と、

前記酸化膜が形成された前記第1のゲート電極及び前記フローティングゲートの側壁部分に、第1の絶縁膜よりなる第1のサイドウォールスペーサを形成する工程と、

前記第1のサイドウォールスペーサをマスクとして、前記半導体基板の前記メモリセル領域の前記表面に形成された前記酸化膜をエッチングする工程と、

前記周辺回路領域の前記第2の導電膜をパターニングし、前記周辺回路領域に、周辺トランジスタの第2のゲート電極を形成する工程と、

前記酸化膜及び前記第1のサイドウォールスペーサが形成された前記第1のゲート電極

10

20

及び前記フローティングゲートの側壁部分、並びに前記第2のゲート電極の側壁部分に、第2の絶縁膜よりなる第2のサイドウォールスペーサを形成する工程と、

前記第1のサイドウォールスペーサ及び前記第2のサイドウォールスペーサをマスクとして、前記半導体基板の前記メモリセル領域の前記表面に形成された前記酸化膜と、前記半導体基板の前記周辺回路領域の表面に形成された酸化膜とを同時に除去する工程と、

前記酸化膜を除去した前記半導体基板の前記メモリセル領域の前記表面及び前記半導体基板の前記周辺回路領域の前記表面上に、サリサイドプロセスにより選択的にシリサイド膜を形成する工程とを有し、

前記酸化膜をエッチングする工程では、前記半導体基板の前記メモリセル領域の前記表面に形成された前記酸化膜の膜厚が、前記第2のサイドウォールスペーサを形成する工程の後に前記半導体基板の前記周辺回路領域の前記表面に形成されている前記酸化膜の膜厚以下になるように、エッチングする

10

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に係り、特に、不揮発性メモリを混載したロジック半導体装置及びその製造方法に関する。

【背景技術】

【0002】

20

不揮発性半導体メモリを混載したロジック半導体装置は、CPLD (Complex Programmable Logic Device)、FPGA (Field Programmable Gate Array) といった製品分野を形成し、そのプログラマブルという特徴により大きな市場を形成するに至っている。

【0003】

不揮発性メモリを混載したロジック半導体装置では、フラッシュメモリセルのほか、フラッシュメモリ制御のための高電圧トランジスタや、高性能ロジック回路のための低電圧トランジスタが、同一半導体チップ上に集積される。ここで、フラッシュメモリセルは、高電圧トランジスタや低電圧トランジスタにおける単層構造のゲート電極とは異なり、フローティングゲートとコントロールゲートとが積層されてなるスタック構造のゲート電極を有する。このため、単層構造とスタック構造のゲート電極とを同一プロセスを通して作り分ける特有の製造プロセスを有する。

30

【0004】

不揮発性半導体メモリを混載したロジック半導体装置の一般的な製造方法について、図23乃至図29を用いて説明する。図23は従来の半導体装置の構造を示す平面図、図24乃至図29は従来の半導体装置の製造方法を示す工程断面図である。なお、図23において、図面左側は周辺回路領域を、図面右側はメモリセル領域を示している。また、図24乃至図29において、各図左側は図23のA-A線断面における工程断面図を示し、各図右側は図23のB-B線断面における工程断面図を示している。

【0005】

まず、シリコン基板300の表面に、例えばLOCOS法或いはSTI法により、素子分離膜302を形成する(図24(a))。図は、素子分離膜302をSTI法により形成した場合を想定している。

40

【0006】

次いで、周辺回路領域に選択的にイオン注入を行い、シリコン基板300にウェル304を形成する。

【0007】

次いで、シリコン基板300を熱酸化し、素子分離膜302により画定された活性領域上に、シリコン酸化膜306を形成する(図24(b))。このシリコン酸化膜306は、メモリセル領域ではトンネル酸化膜となる。

【0008】

50

次いで、シリコン酸化膜 306 上に、例えば CVD 法により、ポリシリコン膜 308 を堆積する。このポリシリコン膜 308 は、フローティングゲートを構成するための膜である。

【0009】

次いで、フォトリソグラフィーによりフォトレジスト膜 310 を形成後、このフォトレジスト膜 310 をマスクとしてポリシリコン膜 308 をドライエッチングし、ポリシリコン膜 308 をパターニングする（図 24 (c)）。このパターニングは、ワード線の延在方向に隣接するフローティングゲートを分離するためのものである。

【0010】

次いで、フォトレジスト膜 310 を除去した後、パターニングしたポリシリコン膜 308 上に、絶縁膜 312 を形成する（図 25 (a)）。この絶縁膜 312 は、フローティングゲートとコントロールゲートとの間の層間絶縁膜となる膜である。

【0011】

次いで、フォトリソグラフィーにより、メモリセル領域を覆い周辺回路領域を露出するフォトレジスト膜 314 を形成後、このフォトレジスト膜 314 をマスクとして絶縁膜 312、ポリシリコン膜 308 及びシリコン酸化膜 306 をエッチングし、周辺回路領域のシリコン基板 300 を露出する（図 25 (b)）。

【0012】

次いで、フォトレジスト膜 314 を除去した後、シリコン基板 300 を熱酸化し、周辺回路領域のシリコン基板 300 上に、周辺トランジスタ用のゲート絶縁膜 316 を形成する。

【0013】

次いで、全面に、例えば CVD 法により、ポリシリコン膜 318 及びシリコン窒化膜 320 を形成する（図 25 (c)）。ポリシリコン膜 318 は、周辺トランジスタのゲート電極及びメモリセルトランジスタのコントロールゲートを構成する膜であり、シリコン窒化膜 320 は、リソグラフィーの際の反射防止膜、エッチングマスク、酸化マスクとして用いられる膜である。

【0014】

次いで、フォトリソグラフィーにより、周辺トランジスタのゲート電極及びメモリセルトランジスタのコントロールゲートのパターンを有するフォトレジスト膜 322 を形成する。

【0015】

次いで、フォトレジスト膜 322 をマスクとしてシリコン窒化膜 320 及びポリシリコン膜 318 をパターニングし、周辺回路領域にポリシリコン膜 318 よりなる周辺トランジスタのゲート電極 324 を、メモリセル領域にポリシリコン膜 318 よりなるメモリセルトランジスタのコントロールゲート 326 を、それぞれ形成する（図 26 (a)）。

【0016】

次いで、フォトレジスト膜 322 を除去した後、フォトリソグラフィーにより、周辺回路領域を覆いメモリセル領域を露出するフォトレジスト膜 328 を形成する（図 26 (b)）。

【0017】

次いで、フォトレジスト膜 328 及びシリコン窒化膜 320 をマスクとして、絶縁膜 312 及びポリシリコン膜 308 をパターニングし、ポリシリコン膜 308 よりなるフローティングゲート 330 を形成する（図 27 (a)）。

【0018】

次いで、シリコン窒化膜 320 を酸化マスクとして熱酸化し、ゲート電極 324、コントロールゲート 326 及びフローティングゲート 330 の側面に、シリコン酸化膜 332 を形成する。

【0019】

次いで、コントロールゲート 326 等をマスクとしてメモリセル領域に選択的にイオン

10

20

30

40

50

注入を行い、コントロールゲート326両側の半導体基板300中に、ソース/ドレイン領域334を形成する(図27(b))。

【0020】

次いで、シリコン窒化膜320を酸化マスクとして再度熱酸化し、ゲート電極324、コントロールゲート326及びフローティングゲート330の側面に、シリコン酸化膜336を形成する(図27(c))。

【0021】

次いで、メモリセル領域を覆い周辺回路領域を露出するフォトレジスト膜338を形成後、フォトレジスト膜338及びゲート電極324等をマスクとして周辺回路領域に選択的にイオン注入を行い、ゲート電極324両側の半導体基板300中に、周辺トランジスタのLDD領域340を形成する(図28(a))。

10

【0022】

次いで、例えばCVD法によりシリコン酸化膜を堆積後、このシリコン酸化膜を異方性エッチングし、周辺トランジスタのゲート電極324及びシリコン窒化膜320の側壁部分、及びメモリセルトランジスタのフローティングゲート330、絶縁膜312、コントロールゲート326及びシリコン窒化膜320の側壁部分に、シリコン酸化膜よりなるサイドウォールスペーサ342を形成する(図28(b))。

【0023】

次いで、例えばウェットエッチングにより、ゲート電極324及びコントロールゲート326上のシリコン窒化膜320を除去する。

20

【0024】

次いで、メモリセル領域を覆い周辺回路領域を露出するフォトレジスト膜344を形成後、ゲート電極324及びサイドウォールスペーサ342等をマスクとして、周辺回路領域に選択的にイオン注入を行い、高濃度不純物領域346を形成する。これにより、LDD領域340及び高濃度不純物領域346を有するLDD構造のソース/ドレイン領域348を形成する(図29(a))。なお、図23では、コントロールゲート326間のソース/ドレイン領域334がソース拡散層(共通ソースライン)であり、コントロールゲート326を挟んで隣接するソース/ドレイン領域334がドレイン拡散層である。

【0025】

次いで、フォトレジスト膜344を除去した後、通常のスリサイドプロセスにより、ゲート電極324上、コントロールゲート326上、ソース/ドレイン領域348上及びソース/ドレイン領域334上に、選択的にシリサイド膜350を形成する(図29(b))。

30

【0026】

この後、通常が多層配線プロセスを経て、不揮発性半導体メモリを混載したロジック半導体装置を完成する。

【特許文献1】特開2001-015753号公報

【特許文献2】特開2003-243620号公報

【発明の開示】

【発明が解決しようとする課題】

40

【0027】

上述のように、ロジック半導体装置や従来の不揮発性半導体メモリを混載したロジック半導体装置では、周辺トランジスタ及びメモリセルトランジスタの双方のサイドウォールスペーサとして、シリコン酸化膜が広く用いられてきた。その一方、フラッシュメモリ単体としての半導体装置では、周辺トランジスタのホットキャリア耐性を向上しうる等の観点から、シリコン窒化膜よりなるサイドウォールスペーサが用いられることがある。

【0028】

このため、不揮発性半導体メモリを混載したロジック半導体装置では、不揮発性半導体記憶装置に関する技術的な蓄積を生かしつつ、ロジック半導体素子の要請を満足すべく、ロジック半導体素子ではシリコン酸化膜よりなる一層構造のサイドウォールスペーサ(シ

50

ングルサイドウォールスペーサ構造)を用い、不揮発性半導体メモリ素子ではシリコン窒化膜よりなるサイドウォールスペーサとシリコン酸化膜よりなるサイドウォールスペーサとからなる二層構造のサイドウォールスペーサ(ダブルサイドウォールスペーサ構造)を用いることが検討されている。

【0029】

しかしながら、このようなダブルサイドウォールスペーサ構造に関して本願発明者等が鋭意検討を行った結果、メモリセルトランジスタのソース/ドレイン領域へのコンタクト不良が発生することが判明した。

【0030】

本発明の目的は、不揮発性半導体メモリを混載したロジック半導体装置において、周辺素子の特性変動等を生じることなく、メモリセルトランジスタのソース/ドレイン領域へのコンタクト不良を抑制する半導体装置の構造及びその製造方法を提供することにある。

【課題を解決するための手段】

【0031】

本発明の一観点によれば、不揮発性半導体メモリのメモリセル領域及び周辺回路領域を有する半導体基板の前記メモリセル領域上に、第1の導電膜を形成する工程と、前記第1の導電膜が形成された前記半導体基板の前記メモリセル領域及び前記周辺回路領域上に、第2の導電膜を形成する工程と、前記メモリセル領域の前記第2の導電膜をパターンニングし、前記メモリセル領域に、前記第2の導電膜よりなる前記不揮発性半導体メモリのメモリセルトランジスタの第1のゲート電極を形成する工程と、前記第1のゲート電極をマスクとして前記第1の導電膜をパターンニングし、前記第1の導電膜よりなる前記メモリセルトランジスタのフローティングゲートを形成する工程と、熱酸化により、前記半導体基板の前記メモリセル領域の表面、並びに前記第1のゲート電極及び前記フローティングゲートの側壁部分に、酸化膜を形成する工程と、前記酸化膜が形成された前記第1のゲート電極及び前記フローティングゲートの側壁部分に、第1の絶縁膜よりなる第1のサイドウォールスペーサを形成する工程と、前記第1のサイドウォールスペーサをマスクとして、前記半導体基板の前記メモリセル領域の前記表面に形成された前記酸化膜をエッチングする工程と、前記周辺回路領域の前記第2の導電膜をパターンニングし、前記周辺回路領域に、周辺トランジスタの第2のゲート電極を形成する工程と、前記酸化膜及び前記第1のサイドウォールスペーサが形成された前記第1のゲート電極及び前記フローティングゲートの側壁部分、並びに前記第2のゲート電極の側壁部分に、第2の絶縁膜よりなる第2のサイドウォールスペーサを形成する工程と、前記第1のサイドウォールスペーサ及び前記第2のサイドウォールスペーサをマスクとして、前記半導体基板の前記メモリセル領域の前記表面に形成された前記酸化膜と、前記半導体基板の前記周辺回路領域の表面に形成された酸化膜とを同時に除去する工程と、前記酸化膜を除去した前記半導体基板の前記メモリセル領域の前記表面及び前記半導体基板の前記周辺回路領域の前記表面上に、サリサイドプロセスにより選択的にシリサイド膜を形成する工程とを有し、前記酸化膜をエッチングする工程では、前記半導体基板の前記メモリセル領域の前記表面に形成された前記酸化膜の膜厚が、前記第2のサイドウォールスペーサを形成する工程の後に前記半導体基板の前記周辺回路領域の前記表面に形成されている前記酸化膜の膜厚以下になるように、エッチングする半導体装置の製造方法が提供される。

【発明の効果】

【0033】

本発明によれば、第1のサイドウォールスペーサと第2のサイドウォールスペーサとが順次積層されてなるダブルサイドウォールスペーサ構造を有する不揮発性半導体メモリにおいて、半導体基板と第2のサイドウォールスペーサとの間における酸化膜の膜厚が、半導体基板と第1のサイドウォールスペーサとの間における酸化膜の膜厚よりも薄くなるように構成するので、不揮発性半導体メモリにおけるソース/ドレイン領域上の酸化膜を、周辺トランジスタの通常の製造工程及びサリサイド工程の前処理により完全に除去することができる。したがって、不揮発性半導体メモリのソース/ドレイン領域上にシリサイド

10

20

30

40

50

膜が形成されないことが防止され、コンタクト不良を抑制することができる。

【発明を実施するための最良の形態】

【0034】

本発明の一実施形態による半導体装置及びその製造方法について図1乃至図22を用いて説明する。

【0035】

図1は本実施形態による半導体装置の構造を示すチップ概念図、図2は本実施形態による半導体装置に使用される11種類のトランジスタを示す概略断面図、図3は本実施形態による半導体装置の構造を示す概略断面図、図4乃至図22は本実施形態による半導体装置の製造方法を示す工程断面図である。

10

【0036】

本実施形態による半導体装置200は、図1に示すように、フラッシュメモリを混載したロジック半導体装置であり、主ロジック回路部202と、入出力回路部204と、フラッシュメモリセル部206と、フラッシュメモリセル制御回路部208とを有している。入出力回路部204は、PMOS部204Pと、NMOS部204Nとを、フラッシュメモリセル制御回路部208は、PMOS部208Pと、NMOS部208Nとを、それぞれ有している。

【0037】

図2に示すように、本実施形態による半導体装置は、n型ウェル90中のp型ウェル78内に形成されたフラッシュメモリセル(Flash cell)、nチャネル高電圧・低閾値トランジスタ(N-HV Low Vt)及びnチャネル高電圧・高閾値トランジスタ(N-HV High Vt)と、n型ウェル80内に形成されたpチャネル高電圧・低閾値トランジスタ(P-HV Low Vt)及びpチャネル高電圧・高閾値トランジスタ(P-HV High Vt)と、p型ウェル82内に形成されたnチャネル中電圧トランジスタ(N-MV)と、n型ウェル84内に形成されたpチャネル中電圧トランジスタ(P-MV)と、p型ウェル86内に形成されたnチャネル低電圧・高閾値トランジスタ(N-LV High Vt)及びnチャネル低電圧・低閾値トランジスタ(N-LV Low Vt)と、n型ウェル88内に形成されたpチャネル低電圧・高閾値トランジスタ(P-LV High Vt)及びpチャネル低電圧・低閾値トランジスタ(P-LV Low Vt)とにより構成される。

20

30

【0038】

フラッシュメモリセル(Flash cell)は、スタックゲート構造のフラッシュEPROMであり、フローティングゲートに所定の情報を電荷として蓄えるものである。トンネル酸化膜の膜厚は、電荷保持特性や酸化膜寿命等に応じて独立して決定される。

【0039】

nチャネル高電圧・低閾値トランジスタ(N-HV Low Vt)と、nチャネル高電圧・高閾値トランジスタ(N-HV High Vt)と、pチャネル高電圧・低閾値トランジスタ(P-HV Low Vt)と、pチャネル高電圧・高閾値トランジスタ(P-HV High Vt)とは、フラッシュメモリセル制御回路部308を構成するトランジスタであり、フラッシュメモリセルの読み出し時は5V、書込み消去時は10V弱までの電圧が印加される高電圧トランジスタである。フラッシュメモリセル制御回路部308は、このように大きな電圧が必要とされるため、ゲート絶縁膜も厚くなる。

40

【0040】

nチャネル中電圧トランジスタ(N-MV)及びpチャネル中電圧トランジスタ(P-MV)は、入出力回路部204を構成するトランジスタであり、2.5V動作或いは3.3V動作等のトランジスタである。2.5V動作トランジスタと3.3V動作トランジスタとは、ゲート絶縁膜の厚さ、閾値電圧制御条件、LDD条件は互いに相違するが、同時に両方を搭載する必要はなく、何れか一方のみが搭載されるのが一般的である。

【0041】

nチャネル低電圧・高閾値トランジスタ(N-LV High Vt)と、nチャネル低

50

電圧・低閾値トランジスタ (N - LV Low Vt) と、pチャネル低電圧・高閾値トランジスタ (P - LV High Vt) と、pチャネル低電圧・低閾値トランジスタ (P - LV Low Vt) は、主ロジック回路部 202 を構成するトランジスタである。これらトランジスタには、主ロジック回路部 202 の性能向上のために、極薄膜ゲート絶縁膜が用いられる。

【0042】

ここで、本実施形態による半導体装置は、主として、サイドウォールスペーサの構造に特徴がある。以下に、フラッシュメモリセル (Flash cell) 及びnチャネル高電圧・低閾値トランジスタ (N - HV Low Vt) を例に挙げ、本実施形態による半導体装置の特徴を説明する。

10

【0043】

図3は、フラッシュメモリセル (Flash cell) 及びnチャネル高電圧・低閾値トランジスタ (N - HV Low Vt) の構造を示す概略断面図である。図中、左側にフラッシュメモリセル (Flash cell) が示され、右側にnチャネル高電圧・低閾値トランジスタ (N - HV Low Vt) が示されている。なお、フラッシュメモリセル (Flash cell) 及びnチャネル高電圧・低閾値トランジスタ (N - HV Low Vt) は、図2に示されるようにトリプルウェル (Pウェル78) 中に形成されるが、図3では便宜上省略している。

【0044】

nチャネル高電圧・低閾値トランジスタ (N - HV Low Vt) は、シリコン基板 10 上にゲート絶縁膜 104 を介して形成されたゲート電極 118 と、ゲート電極 118 両側のシリコン基板 10 中に形成されたソース/ドレイン領域 142 とを有している。また、ゲート電極 118 の側壁部分には、シリコン酸化膜よりなるサイドウォールスペーサ 144 が形成されている。

20

【0045】

一方、フラッシュメモリセル (Flash cell) は、シリコン基板 10 上にトンネル酸化膜 56 を介して形成されたフローティングゲート 58 と、フローティングゲート 58 上にONO膜 60 を介して形成されたゲート電極 (コントロールゲート) 112 と、ゲート電極 112 両側のシリコン基板 10 中に形成されたソース/ドレイン領域 148 とを有している。また、フローティングゲート 58 及びゲート電極 112 の側壁部分には、シリコン酸化膜よりなるサイドウォールスペーサ 116 及びシリコン窒化膜よりなるサイドウォールスペーサ 144 とからなる二層構造のサイドウォールスペーサ 145 が形成されている。また、ゲート電極 112、フローティングゲート 58 及びシリコン基板 10 とサイドウォールスペーサ 145 との間には、シリコン酸化膜 115 が形成されている。そして、サイドウォールスペーサ 144 下のシリコン酸化膜 115 の膜厚は、サイドウォールスペーサ 116 下のシリコン酸化膜 115 の膜厚よりも薄く、且つ、周辺トランジスタの中で最も厚いゲート絶縁膜 (本実施形態の場合、ゲート絶縁膜 104) の膜厚と同等或いはそれ以下になっている。

30

【0046】

このように、本実施形態による半導体装置は、主ロジック回路部 202、入出力回路部 204 及びフラッシュメモリセル制御回路部 208 を構成する周辺トランジスタは、シリコン酸化膜よりなる一層構造のサイドウォールスペーサ 144 により構成されているのに対し、フラッシュメモリセルは、シリコン窒化膜よりなるサイドウォールスペーサ 116 及びシリコン酸化膜よりなるサイドウォールスペーサ 144 とからなる二層構造のサイドウォールスペーサ 145 により構成され、且つ、サイドウォールスペーサ 144 下のシリコン酸化膜 115 の膜厚がサイドウォールスペーサ 116 下のシリコン酸化膜 115 の膜厚よりも薄く、周辺トランジスタの中で最も厚いゲート絶縁膜と同等或いはそれ以下の膜厚になっていることに特徴がある。

40

【0047】

上述の通り、フラッシュメモリセルのサイドウォールスペーサとして二層構造のサイド

50

ウォールスペースを適用すると、フラッシュメモリセルのソース/ドレイン領域におけるコンタクト不良が発生することがあった。この不良について本願発明者が鋭意検討を行った結果、フラッシュメモリセルのソース/ドレイン領域におけるコンタクト不良は、フラッシュメモリセルのソース/ドレイン領域上にシリサイド膜が形成されていないことに起因することが判明した。また、シリサイド膜が形成されていないのは、シリサイドプロセスの前処理としてのエッチング工程等で取りきれないほどの膜厚のシリコン酸化膜が、ソース/ドレイン領域上に残存していることに起因することが判明した。

【0048】

フラッシュメモリセルのソース/ドレイン領域上に形成されるシリコン酸化膜は、トンネル酸化膜の残膜や、その後の熱酸化工程（例えばゲート電極の側壁酸化）により形成されるものであり、通常は周辺トランジスタのゲート絶縁膜よりも厚くなっている。このため、サイドウォールスペースを形成する際に、周辺トランジスタのゲート電極側壁にサイドウォールスペースを形成する条件に最適化してエッチングを行うと、フラッシュメモリセルのソース/ドレイン領域上にシリコン酸化膜が残存することがある。

10

【0049】

一方、フラッシュメモリセルのソース/ドレイン領域上のシリコン酸化膜を完全に除去するためにエッチング量を増加すれば、周辺トランジスタ、殊にゲート絶縁膜の膜厚の薄い低電圧トランジスタがエッチング雰囲気過剰に曝され、特性劣化をもたらすこともある。

【0050】

本実施形態による半導体装置は、このような課題を解決すべく構成したものであり、その結果として、サイドウォールスペース144下のシリコン酸化膜115の膜厚が、サイドウォールスペース116下のシリコン酸化膜115の膜厚よりも薄く、周辺トランジスタの中で最も厚いゲート絶縁膜の膜厚と同等或いはそれ以下になっている。

20

【0051】

次に、本実施形態による半導体装置の上記特徴について、本実施形態による半導体装置の製造方法に沿って、図4乃至図22を用いて説明する。なお、図4乃至図19は半導体装置全体の製造方法を示す工程断面図であり、図20乃至図22はサイドウォールスペースの形成過程を詳述する工程断面図である。なお、図20乃至図22では、図3の場合と同様、フラッシュメモリセル（Flash cell）及びnチャネル高電圧・低閾値トランジスタ（N-HV Low Vt）は、図2に示されるようにトリプルウェル（Pウェル78）中に形成されるが、図3では便宜上省略している。

30

【0052】

以下の説明において、nチャネルトランジスタと表現するときは、nチャネル高電圧・高閾値トランジスタ（N-HV High Vt）、nチャネル高電圧・低閾値トランジスタ（N-HV Low Vt）、nチャネル中電圧トランジスタ（N-MV）、nチャネル低電圧・高閾値トランジスタ（N-LV High Vt）、及びnチャネル低電圧・低閾値トランジスタ（N-LV Low Vt）を含むものとし、pチャネルトランジスタと表現するときは、pチャネル高電圧・高閾値トランジスタ（P-HV High Vt）、pチャネル高電圧・低閾値トランジスタ（P-HV Low Vt）、pチャネル中電圧トランジスタ（P-MV）、pチャネル低電圧・高閾値トランジスタ（P-LV High Vt）、及びpチャネル低電圧・低閾値トランジスタ（P-LV Low Vt）を含むものとする。nチャネルトランジスタには、フラッシュメモリセル（Flash cell）を含むこともある。

40

【0053】

また、高電圧トランジスタと表現するときは、nチャネル高電圧・低閾値トランジスタ（N-HV Low Vt）、nチャネル高電圧・高閾値トランジスタ（N-HV High Vt）、pチャネル高電圧・低閾値トランジスタ（P-HV Low Vt）及びpチャネル高電圧・高閾値トランジスタ（P-HV High Vt）を含むものとし、中電圧トランジスタと表現するときは、nチャネル中電圧トランジスタ（N-MV）及びpチャ

50

ネル中電圧トランジスタ (P - M V) を含むものとし、低電圧トランジスタと表現するときは、nチャネル低電圧・高閾値トランジスタ (N - L V H i g h V t)、nチャネル低電圧・低閾値トランジスタ (N - L V L o w V t)、pチャネル低電圧・高閾値トランジスタ (P - L V H i g h V t) 及びpチャネル低電圧・低閾値トランジスタ (P - L V L o w V t) を含むものとする。高電圧トランジスタには、フラッシュメモリセル (F l a s h c e l l) を含むこともある。

【 0 0 5 4 】

また、nチャネル高電圧トランジスタと表現するときは、nチャネル高電圧・低閾値トランジスタ (N - H V L o w V t) 及びnチャネル高電圧・高閾値トランジスタ (N - H V H i g h V t) を含むものとし、pチャネル高電圧トランジスタと表現するときは、pチャネル高電圧・低閾値トランジスタ (P - H V L o w V t) 及びpチャネル高電圧・高閾値トランジスタ (P - H V H i g h V t) を含むものとし、nチャネル低電圧トランジスタと表現するときは、nチャネル低電圧・高閾値トランジスタ (N - L V H i g h V t) 及びnチャネル低電圧・低閾値トランジスタ (N - L V L o w V t) を含むものとし、pチャネル低電圧トランジスタと表現するときは、pチャネル低電圧・高閾値トランジスタ (P - L V H i g h V t) 及びpチャネル低電圧・低閾値トランジスタ (P - L V L o w V t) を含むものとする。

【 0 0 5 5 】

まず、シリコン基板 1 0 に、例えば S T I (Shallow Trench Isolation) 法により、活性領域を画定する素子分離膜 2 2 を形成する (図 4 (a))。まず、熱酸化法により、例えば膜厚 1 0 n m のシリコン酸化膜を成長する。次いで、C V D 法により、例えば膜厚 1 0 0 n m のシリコン窒化膜を成長する。次いで、リソグラフィ及びドライエッチングにより、シリコン窒化膜、シリコン酸化膜、シリコン基板 1 0 を順次エッチングし、シリコン基板 1 0 に、深さが例えば 3 0 0 n m の溝を形成する。次いで、シリコン基板 1 0 を熱酸化し、溝の内面にシリコン酸化膜を形成する。次いで、例えば高密度プラズマ C V D 法により、例えば膜厚 5 5 0 n m のシリコン酸化膜を成長する。次いで、C M P 法により、シリコン窒化膜が露出するまでシリコン酸化膜を平坦化し、溝に埋め込まれシリコン酸化膜よりなる素子分離膜 2 2 を形成する。

【 0 0 5 6 】

なお、図 4 (a) において、素子分離膜 2 2 により画定された活性領域は、左側から順に、フラッシュメモリセル (F l a s h c e l l) 形成領域、nチャネル高電圧・低閾値トランジスタ (N - H V L o w V t) 形成領域、nチャネル高電圧・高閾値トランジスタ (N - H V H i g h V t) 形成領域、pチャネル高電圧・低閾値トランジスタ (P - H V L o w V t) 形成領域、pチャネル高電圧・高閾値トランジスタ (P - H V H i g h V t) 形成領域、nチャネル中電圧トランジスタ (N - M V) 形成領域、pチャネル中電圧トランジスタ (P - M V) 形成領域、nチャネル低電圧・高閾値トランジスタ (N - L V H i g h V t) 形成領域、nチャネル低電圧・低閾値トランジスタ (N - L V L o w V t) 形成領域、pチャネル低電圧・高閾値トランジスタ (P - L V H i g h V t) 形成領域及びpチャネル低電圧・低閾値トランジスタ (P - L V L o w V t) 形成領域を表すものとする。

【 0 0 5 7 】

次いで、素子分離膜 2 2 を形成する際に用いたシリコン窒化膜及びシリコン酸化膜を除去した後、シリコン基板 1 0 を熱酸化し、例えば膜厚 1 0 n m の犠牲酸化膜としてのシリコン酸化膜 2 4 を成長する。

【 0 0 5 8 】

次いで、フォトリソグラフィにより、フラッシュメモリセル (F l a s h c e l l) 形成領域及びnチャネル高電圧トランジスタ (N - H V H i g h V t)、N - H V L o w V t) 形成領域を露出し、他の領域を覆うフォトレジスト膜 2 6 を形成する。

【 0 0 5 9 】

次いで、フォトレジスト膜 2 6 をマスクとしてイオン注入を行い、フラッシュメモリセ

10

20

30

40

50

ル (Flash cell) 形成領域及び n チャンネル高電圧トランジスタ (N - HV High Vt、N - HV Low Vt) 形成領域に、n 型埋め込み不純物層 28 を形成する (図 4 (b))。n 型埋め込み不純物層 28 は、例えばリン (P⁺) イオンを、加速エネルギー 2 MeV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入することにより形成する。

【0060】

次いで、例えばアッシングにより、フォトレジスト膜 26 を除去する。

【0061】

次いで、フォトリソグラフィーにより、フラッシュメモリセル (Flash cell) 形成領域、n チャンネル中電圧トランジスタ (N - MV) 形成領域、n チャンネル低電圧トランジスタ (N - LV High Vt、N - LV Low Vt) 形成領域を露出し、他の領域を覆うフォトレジスト膜 30 を形成する。

10

【0062】

次いで、フォトレジスト膜 30 をマスクとしてイオン注入を行い、フラッシュメモリセル (Flash cell) 形成領域、n チャンネル中電圧トランジスタ (N - MV) 形成領域、n チャンネル低電圧トランジスタ (N - LV High Vt、N - LV Low Vt) 形成領域に、p 型ウェル用不純物層 32、34 を形成する (図 5 (a))。p 型ウェル用不純物層 32 は、例えばボロン (B⁺) イオンを、加速エネルギー 420 keV、ドーズ量 $1.4 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入することにより形成する。また、p 型ウェル用不純物層 34 は、例えばボロンイオンを、加速エネルギー 100 keV、ドーズ量 $3.6 \times 10^{12} \text{ cm}^{-2}$ の条件でイオン注入することにより形成する。

20

【0063】

次いで、例えばアッシングにより、フォトレジスト膜 30 を除去する。

【0064】

次いで、フォトリソグラフィーにより、n チャンネル高電圧・高閾値トランジスタ (N - HV High Vt) 形成領域、n チャンネル中電圧トランジスタ (N - MV) 形成領域及び n チャンネル低電圧トランジスタ (N - LV High Vt、N - LV Low Vt) 形成領域を露出し、他の領域を覆うフォトレジスト膜 36 を形成する。

【0065】

次いで、フォトレジスト膜 36 をマスクとしてイオン注入を行い、n チャンネル高電圧・高閾値トランジスタ (N - HV High Vt) 形成領域、n チャンネル中電圧トランジスタ (N - MV) 形成領域、n チャンネル低電圧トランジスタ (N - LV High Vt、N - LV Low Vt) 形成領域に、p 型ウェル用不純物層 40 を形成する (図 5 (b))。p 型ウェル用不純物層 40 は、例えばボロンイオンを、加速エネルギー 100 keV、ドーズ量 $4 \times 10^{12} \text{ cm}^{-2}$ の条件でイオン注入することにより形成する。

30

【0066】

次いで、例えばアッシングにより、フォトレジスト膜 36 を除去する。

【0067】

次いで、フォトリソグラフィーにより、p チャンネル高電圧トランジスタ (P - HV Low Vt、P - HV High Vt) 形成領域、p チャンネル中電圧トランジスタ (P - MV) 形成領域、p チャンネル低電圧トランジスタ (P - LV High Vt、P - LV Low Vt) 形成領域を露出し、他の領域を覆うフォトレジスト膜 42 を形成する。

40

【0068】

次いで、フォトレジスト膜 42 をマスクとしてイオン注入を行い、p チャンネル高電圧トランジスタ (P - HV Low Vt、P - HV High Vt) 形成領域、p チャンネル中電圧トランジスタ (P - MV) 形成領域、p チャンネル低電圧トランジスタ (P - LV High Vt、P - LV Low Vt) 形成領域に、n 型ウェル用不純物層 44 を形成する (図 6 (a))。n 型ウェル用不純物層 44 は、例えばリンイオンを、加速エネルギー 600 keV、ドーズ量 $1.5 \times 10^{13} \text{ cm}^{-2}$ 、及び、加速エネルギー 240 keV

50

、ドーズ量 $9.0 \times 10^{11} \text{ cm}^{-2}$ の条件でイオン注入することにより形成する。この条件により、閾値電圧が約 -0.2 V の p チャンネル高電圧・低閾値トランジスタ (P - H V L o w V t) を得ることができる。

【 0 0 6 9 】

次いで、例えばアッシングにより、フォトレジスト膜 4 2 を除去する。

【 0 0 7 0 】

次いで、フォトリソグラフィーにより、p チャンネル高電圧・高閾値トランジスタ (P - H V H i g h V t) 形成領域、p チャンネル中電圧トランジスタ (P - M V) 形成領域、p チャンネル低電圧トランジスタ (P - L V H i g h V t 、 P - L V L o w V t) 形成領域を露出し、他の領域を覆うフォトレジスト膜 4 6 を形成する。

10

【 0 0 7 1 】

次いで、フォトレジスト膜 4 6 をマスクとしてイオン注入を行い、p チャンネル高電圧・高閾値トランジスタ (P - H V H i g h V t) 形成領域に閾値電圧制御用不純物拡散層 4 8 を、p チャンネル中電圧トランジスタ (P - M V) 形成領域及び p チャンネル低電圧トランジスタ (P - L V H i g h V t 、 P - L V L o w V t) 形成領域にチャンネルストップ層 5 0 を形成する (図 6 (b))。閾値電圧制御用不純物層 4 8 及びチャンネルストップ層 5 0 は、例えばリンイオンを、加速エネルギー 240 keV 、ドーズ量 $3.6 \times 10^{12} \text{ cm}^{-2}$ の条件でイオン注入することにより形成する。この条件により、閾値電圧が約 -0.6 V の p チャンネル高電圧・高閾値トランジスタ (P - H V H i g h V t) を得ることができる。

20

【 0 0 7 2 】

次いで、例えばアッシングにより、フォトレジスト膜 4 6 を除去する。

【 0 0 7 3 】

次いで、フォトリソグラフィーにより、フラッシュメモリセル (F l a s h c e l l) 形成領域を露出し、他の領域を覆うフォトレジスト膜 5 2 を形成する。

【 0 0 7 4 】

次いで、フォトレジスト膜 5 2 をマスクとしてイオン注入を行い、フラッシュメモリセル (F l a s h c e l l) 形成領域に、閾値電圧制御用不純物層 5 4 を形成する (図 7 (a))。閾値電圧制御用不純物層 5 4 は、例えばボロンイオンを、加速エネルギー 40 keV 、ドーズ量 $6 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入することにより形成する。

30

【 0 0 7 5 】

次いで、例えばアッシングにより、フォトレジスト膜 5 2 を除去する。

【 0 0 7 6 】

次いで、犠牲酸化膜としてのシリコン酸化膜 2 4 を、弗酸水溶液により除去する (図 7 (b))。

【 0 0 7 7 】

次いで、例えば $900 \sim 1050$ の温度で 30 分間の熱酸化を行い、活性領域上に、膜厚 10 nm のトンネル酸化膜 5 6 を形成する。

【 0 0 7 8 】

次いで、例えば C V D 法により、トンネル酸化膜 5 6 上に、例えば膜厚 90 nm のポリシリコン膜を成長する。

40

【 0 0 7 9 】

次いで、フォトリソグラフィー及びドライエッチングによりポリシリコン膜をパターニングし、フラッシュメモリセル (F l a s h c e l l) 形成領域に、ポリシリコン膜よりなるフローティングゲート 5 8 を形成する。

【 0 0 8 0 】

次いで、フローティングゲート 5 8 が形成されたトンネル酸化膜 5 6 上に、例えば C V D 法により例えば膜厚 5 nm のシリコン酸化膜と例えば膜厚 8 nm のシリコン窒化膜を成長した後、シリコン窒化膜の表面を 950 にて 90 分間熱酸化し、膜厚 6 nm 程度のシリコン酸化膜を成長する。これにより、シリコン酸化膜 / シリコン窒化膜 / シリコン酸化

50

膜構造のONO膜60を形成する(図8(a))。

【0081】

次いで、フォトリソグラフィーにより、nチャネル低電圧・高閾値トランジスタ(N-LV High Vt)形成領域を露出し、他の領域を覆うフォトレジスト膜70を形成する。

【0082】

次いで、フォトレジスト膜70をマスクとしてイオン注入を行い、nチャネル低電圧・高閾値トランジスタ(N-LV High Vt)形成領域に閾値電圧制御用不純物層72を形成する(図8(b))。閾値電圧制御用不純物層72は、例えばボロンイオンを、加速エネルギー15keV、ドーズ量 $7 \times 10^{12} \text{ cm}^{-2}$ の条件でイオン注入することにより形成し、約+0.2Vの閾値電圧を得る。

10

【0083】

次いで、例えばアッシングにより、フォトレジスト膜70を除去する。

【0084】

次いで、フォトリソグラフィーにより、pチャネル低電圧・高閾値トランジスタ(P-LV High Vt)形成領域を露出し、他の領域を覆うフォトレジスト膜74を形成する。

【0085】

次いで、フォトレジスト膜74をマスクとしてイオン注入を行い、pチャネル低電圧・高閾値トランジスタ(P-LV High Vt)形成領域に閾値電圧制御用不純物層76を形成する(図9(a))。閾値電圧制御用不純物層76は、例えば砒素イオンを、加速エネルギー150keV、ドーズ量 $6 \times 10^{12} \text{ cm}^{-2}$ の条件でイオン注入することにより形成し、約-0.2Vの閾値電圧を得る。

20

【0086】

次いで、例えばアッシングにより、フォトレジスト膜74を除去する。

【0087】

次いで、フォトリソグラフィーにより、nチャネル中電圧トランジスタ(N-MV)形成領域を露出し、他の領域を覆うフォトレジスト膜62を形成する。

【0088】

次いで、フォトレジスト膜62をマスクとしてイオン注入を行い、nチャネル中電圧トランジスタ(N-MV)形成領域に閾値電圧制御用不純物層64を形成する(図9(b))。閾値電圧制御用不純物層64は、例えばボロンイオンを、加速エネルギー35keV、ドーズ量 $4.5 \times 10^{12} \text{ cm}^{-2}$ の条件でイオン注入することにより形成し、約+0.3~+0.4Vの閾値電圧を得る。

30

【0089】

次いで、例えばアッシングにより、フォトレジスト膜62を除去する。

【0090】

次いで、フォトリソグラフィーにより、pチャネル中電圧トランジスタ(P-MV)形成領域を露出し、他の領域を覆うフォトレジスト膜66を形成する。

【0091】

次いで、フォトレジスト膜66をマスクとしてイオン注入を行い、pチャネル中電圧トランジスタ(P-MV)形成領域に閾値電圧制御用不純物層68を形成する(図10(a))。閾値電圧制御用不純物層68は、例えば砒素(As^+)イオンを、加速エネルギー150keV、ドーズ量 $2 \times 10^{12} \text{ cm}^{-2}$ の条件でイオン注入することにより形成し、約-0.3~-0.4Vの閾値電圧を得る。

40

【0092】

次いで、例えばアッシングにより、フォトレジスト膜66を除去する。

【0093】

こうして、フラッシュメモリセル(Flash cell)形成領域及びnチャネル高電圧トランジスタ(N-HV Low Vt、N-HV High Vt)形成領域に形成さ

50

れ、p型ウェル用不純物層32, 34, 40、閾値電圧制御用不純物層54を含むp型ウェル78と、pチャンネル高電圧トランジスタ(P-HV Low Vt、P-HV High Vt)形成領域に形成され、n型ウェル用不純物層44, 48、閾値電圧制御用不純物層58を含むn型ウェル80と、nチャンネル中電圧トランジスタ(N-MV)形成領域に形成され、p型ウェル用不純物層32, 40を含むp型ウェル82と、pチャンネル中電圧トランジスタ(P-MV)形成領域に形成され、n型ウェル用不純物層44、チャンネルストップ層50、閾値電圧制御用不純物層68を含むn型ウェル84と、nチャンネル低電圧トランジスタ(N-LV High Vt、N-LV Low Vt)形成領域に形成され、p型ウェル用不純物層32, 34, 40、閾値電圧制御用不純物層72を含むp型ウェル86と、pチャンネル低電圧トランジスタ(P-LV High Vt、P-LV Low Vt)形成領域に形成され、n型ウェル用不純物層44、チャンネルストップ層50、閾値電圧制御用不純物層76を含むn型ウェル88とを形成する。また、n型ウェル80は、n型埋め込み不純物層28とともに、p型ウェル78を囲うn型ウェル90としても機能する。すなわち、p型ウェル78は、n型ウェル90内に形成された二重ウェルである(図10(a)参照)。

【0094】

次いで、フォトリソグラフィーにより、フラッシュメモリセル(Flash cell)形成領域を覆い、他の領域を露出するフォトレジスト膜92を形成する。

【0095】

次いで、例えばドライエッチングにより、フォトレジスト膜92をマスクとしてONO膜60をエッチングし、フラッシュメモリセル(Flash cell)形成領域以外のONO膜60を除去する。

【0096】

次いで、例えば弗酸水溶液を用いたウェットエッチングにより、フォトレジスト膜92をマスクとしてトンネル酸化膜56をエッチングし、フラッシュメモリセル(Flash cell)形成領域以外のトンネル酸化膜56を除去する(図10(b))。

【0097】

次いで、例えばアッシングにより、フォトレジスト膜92を除去する。

【0098】

次いで、例えば850の温度で熱酸化を行い、活性領域上に、膜厚12nmのシリコン酸化膜94を形成する。

【0099】

次いで、フォトリソグラフィーにより、フラッシュメモリセル(Flash cell)形成領域及び高電圧トランジスタ(N-HV Low Vt、N-HV High Vt、P-HV Low Vt、P-HV High Vt)形成領域を覆い、他の領域を露出するフォトレジスト膜96を形成する。

【0100】

次いで、例えば弗酸水溶液を用いたウェットエッチングにより、フォトレジスト膜96をマスクとしてシリコン酸化膜94をエッチングし、中電圧トランジスタ(N-MV、P-MV)形成領域及び低電圧トランジスタ(N-LV Low Vt、N-LV High Vt、P-LV Low Vt、P-LV High Vt)形成領域のシリコン酸化膜94を除去する(図11(a))。

【0101】

次いで、例えばアッシングにより、フォトレジスト膜96を除去する。

【0102】

次いで、例えば850の温度で熱酸化を行い、中電圧トランジスタ(N-MV、P-MV)形成領域及び低電圧トランジスタ(N-LV Low Vt、N-LV High Vt、P-LV Low Vt、P-LV High Vt)形成領域の活性領域上に、膜厚7nmのシリコン酸化膜98を形成する。なお、この熱酸化工程において、シリコン酸化膜94の膜厚も増加する。

10

20

30

40

50

【0103】

次いで、フォトリソグラフィーにより、フラッシュメモリセル (Flash cell) 形成領域、高電圧トランジスタ (N-HV Low Vt、N-HV High Vt、P-HV Low Vt、P-HV High Vt) 形成領域及び中電圧トランジスタ (N-MV、P-MV) 形成領域を覆い、低電圧トランジスタ (N-LV Low Vt、N-LV High Vt、P-LV Low Vt、P-LV High Vt) 形成領域を露出するフォトレジスト膜100を形成する。

【0104】

次いで、例えば弗酸水溶液を用いたウェットエッチングにより、フォトレジスト膜100をマスクとしてシリコン酸化膜98をエッチングし、低電圧トランジスタ (N-LV Low Vt、N-LV High Vt、P-LV Low Vt、P-LV High Vt) 形成領域のシリコン酸化膜98を除去する (図11(b))。

10

【0105】

次いで、例えばアッシングにより、フォトレジスト膜100を除去する。

【0106】

次いで、例えば850の温度で熱酸化を行い、低電圧トランジスタ (N-LV Low Vt、N-LV High Vt、P-LV Low Vt、P-LV High Vt) 形成領域の活性領域上に、膜厚2.2nmのシリコン酸化膜よりなるゲート絶縁膜102を形成する。なお、この熱酸化工程において、シリコン酸化膜94、98の膜厚も増加し、高電圧トランジスタ (N-HV Low Vt、N-HV High Vt、P-HV Low Vt、P-HV High Vt) 形成領域には合計膜厚16nmのゲート絶縁膜104が形成され、中電圧トランジスタ (N-MV、P-MV) 形成領域には合計膜厚7.5nmのゲート絶縁膜106が形成される (図12(a))。

20

【0107】

次いで、CVD法により、例えば膜厚180nmのポリシリコン膜108を成長する。

【0108】

次いで、プラズマCVD法により、ポリシリコン膜108上に、例えば膜厚30nmのシリコン窒化膜110を成長する。なお、シリコン窒化膜110は、下層のポリシリコン膜108をパターニングする際の反射防止及びエッチングマスクを兼ねるものであると同時に、後述するフラッシュセルのゲート電極側面を酸化する際にロジック部分のゲート電極を保護する役割をも有する。

30

【0109】

次いで、フォトリソグラフィー及びドライエッチングにより、フラッシュメモリセル (Flash cell) 形成領域のシリコン窒化膜110、ポリシリコン膜108、ONO膜60及びフローティングゲート58をパターニングし、ポリシリコン膜108よりなるフラッシュメモリセル (Flash cell) のゲート電極112等を形成する (図12(b))。

【0110】

次いで、10nm相当程度の熱酸化を行い、フラッシュメモリセル (Flash cell) のゲート電極112及びフローティングゲート58の側壁部分にシリコン酸化膜113aを形成し、活性領域上にシリコン酸化膜113bを形成する。なお、活性領域上には、トンネル酸化膜56の残膜が存在するため、活性領域上のシリコン酸化膜113bの膜厚は、実際の酸化膜厚よりも厚くなる (図20(a))。

40

【0111】

次いで、ゲート電極112をマスクとしてイオン注入を行い、ゲート電極112両側のシリコン基板10中に、ソース/ドレイン領域114を形成する (図20(b))。ソース/ドレイン領域114は、例えば砒素イオンを、加速エネルギー50keV、ドーズ量 $6.0 \times 10^{14} \text{ cm}^{-2}$ としてイオン注入することにより形成する。

【0112】

なお、活性領域上に形成されているシリコン酸化膜113bは、シリコン基板10の保

50

護膜として機能する。活性領域上にはトンネル酸化膜56の残膜が存在しているが、残膜の膜厚にはムラがあり、シリコン基板10が露出していることも考えられる。改めて酸化してシリコン酸化膜113bを形成することにより、シリコン基板10を確実に覆った状態でイオン注入を行うことができる。

【0113】

次いで、9.5nm相当程度の熱酸化を再度行い、フラッシュメモリセル(Flash cell)のゲート電極112及びフローティングゲート58の側壁部分にシリコン酸化膜115aを形成し、活性領域上にシリコン酸化膜115bを形成する(図20(c))。

【0114】

なお、図20(a)及び図20(c)の工程においてゲート電極112及びフローティングゲート58の側壁部分にシリコン酸化膜113a, 115aを形成しているのは、主として、フラッシュメモリセル(Flash cell)の電荷保持特性を改善するためである。

【0115】

次いで、全面に、例えば熱CVD法により、例えば膜厚115nmのシリコン窒化膜116aを堆積する(図20(d))。

【0116】

次いで、シリコン窒化膜116a及びシリコン窒化膜110をエッチバックし、ゲート電極112の側壁部分に、シリコン窒化膜116aよりなるサイドウォールスペーサ116を形成する(図21(a))。この際、シリコン窒化膜116a, 110のエッチングには、高選択比(例えばシリコン酸化膜に対して20~30の選択比)のエッチング条件を用いる。高選択比のエッチング条件を用いることにより、シリコン酸化膜115はほとんどエッチングされず、ゲート電極112とサイドウォールスペーサ116との間に窪みが形成されるのを防止することができる。

【0117】

次いで、例えば弗酸系の水溶液を用いたウェットエッチングにより、シリコン酸化膜115を、シリコン基板上に形成した熱酸化膜換算で約6nm程度、エッチングする。このエッチングにより、シリコン酸化膜115のサイドウォールスペーサ116端部には、エッチング量に相当する段差が形成される(図21(b))。

【0118】

このエッチングでは、少なくとも、シリコン酸化膜115bの残膜が周辺トランジスタの中で最も厚いゲート絶縁膜(本実施形態の場合、ゲート絶縁膜104(膜厚16nm))の膜厚と同等或いはそれ以下になるように、エッチング量を設定する。このようにエッチング量を設定する理由については、後述する。

【0119】

但し、シリコン酸化膜115をエッチングすると、ゲート電極112とサイドウォールスペーサ116の間には窪みが形成される。この窪みが深くなると、フラッシュメモリセル(Flash cell)の特性に悪影響を与えることが懸念される。したがって、シリコン酸化膜115のエッチング量は多すぎてもよくない。シリコン酸化膜115のエッチング量の上限は、シリコン酸化膜115bの膜厚ばらつきをも勘案して、残膜が周辺トランジスタの中で最も厚いゲート絶縁膜の膜厚以下となる最も少ないエッチング量に設定することが望ましい。

【0120】

本願発明者が検討したところでは、活性領域上のシリコン酸化膜115の膜厚は、約20nmであった。したがって、上述のようにシリコン酸化膜115を6nmエッチングすると残膜は14nmとなり、周辺トランジスタの最も厚いゲート絶縁膜104(膜厚16nm)よりも薄くすることができる。シリコン酸化膜115bの膜厚ばらつきを厚い方に10%見込んだとしても残膜は16nmとなり、ゲート絶縁膜104の膜厚とほぼ等しくすることができる。

10

20

30

40

50

【0121】

シリコン酸化膜115のエッチングには、ウェットエッチングを適用することが望ましい。ゲート電極112やポリシリコン膜108が過剰なドライエッチングに曝されると表面が荒れる虞がある。かかる観点からも、ウェットエッチングが好ましい。

【0122】

次いで、フォトリソグラフィー及びドライエッチングにより、高電圧トランジスタ(N-HV Low Vt、N-HV High Vt、P-HV Low Vt、P-HV High Vt)形成領域、中電圧トランジスタ(N-MV、P-MV)形成領域及び低電圧トランジスタ(N-LV Low Vt、N-LV High Vt、P-LV Low Vt、P-LV High Vt)形成領域のポリシリコン膜108をパターンニングし、ポリシリコン膜108よりなるゲート電極118を形成する(図13(a)、図21(c))。

10

【0123】

次いで、フォトリソグラフィーにより、pチャネル低電圧トランジスタ(P-LV Low Vt、P-LV High Vt)形成領域を露出し、他の領域を覆うフォトレジスト膜120を形成する。

【0124】

次いで、フォトレジスト膜120をマスクとしてイオン注入を行い、pチャネル低電圧・高閾値トランジスタ(P-LV High Vt)及びpチャネル低電圧・低閾値トランジスタ(P-LV Low Vt)のソース/ドレイン領域のエクステンション122を形成する(図13(b))。エクステンション122は、例えばボロンイオンを、加速エネルギー0.5 keV、ドーズ量 $3.6 \times 10^{14} \text{ cm}^{-2}$ として、及び、砒素イオンを、加速エネルギー80 keV、ドーズ量各 $6.5 \times 10^{12} \text{ cm}^{-2}$ として、基板法線から28度傾いた4方向からイオン注入を行うことにより形成し、ポケット付きのエクステンションとする。

20

【0125】

次いで、例えばアッシングにより、フォトレジスト膜120を除去する。

【0126】

次いで、フォトリソグラフィーにより、nチャネル低電圧トランジスタ(N-LV Low Vt、N-LV High Vt)形成領域を露出し、他の領域を覆うフォトレジスト膜124を形成する。

30

【0127】

次いで、フォトレジスト膜124をマスクとしてイオン注入を行い、nチャネル低電圧・高閾値トランジスタ(N-LV High Vt)及びnチャネル低電圧・低閾値トランジスタ(N-LV Low Vt)のソース/ドレイン領域のエクステンション126を形成する(図14(a))。エクステンション126は、例えば砒素イオンを、加速エネルギー3 keV、ドーズ量 $1.1 \times 10^{15} \text{ cm}^{-2}$ として、及び、弗化ボロン(BF_2^+)イオンを、加速エネルギー35 keV、ドーズ量各 $9.5 \times 10^{12} \text{ cm}^{-2}$ として、基板法線から28度傾いた4方向からイオン注入を行うことにより形成し、ポケット付きのエクステンションとする。

【0128】

次いで、例えばアッシングにより、フォトレジスト膜124を除去する。

40

【0129】

次いで、フォトリソグラフィーにより、pチャネル中電圧トランジスタ(P-MV)形成領域を露出し、他の領域を覆うフォトレジスト膜128を形成する。

【0130】

次いで、フォトレジスト膜128をマスクとしてイオン注入を行い、pチャネル中電圧トランジスタ(P-MV)のソース/ドレイン領域のエクステンション130を形成する(図14(b))。エクステンション130は、例えば弗化ボロンイオンを、加速エネルギー10 keV、ドーズ量 $7 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入を行うことにより形成する。

50

【0131】

次いで、例えばアッシングにより、フォトレジスト膜128を除去する。

【0132】

次いで、フォトリソグラフィーにより、nチャネル中電圧トランジスタ(N-MV)形成領域を露出し、他の領域を覆うフォトレジスト膜132を形成する。

【0133】

次いで、フォトレジスト膜132をマスクとしてイオン注入を行い、nチャネル中電圧トランジスタ(N-MV)のソース/ドレイン領域のエクステンション134を形成する(図15(a))。エクステンション134は、例えば砒素イオンを、加速エネルギー10keV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ の条件で、例えばリンイオンを、加速エネルギー10keV、ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ の条件で、それぞれイオン注入を行うことにより形成する。

10

【0134】

次いで、例えばアッシングにより、フォトレジスト膜132を除去する。

【0135】

次いで、フォトリソグラフィーにより、pチャネル高電圧トランジスタ(P-HV Low Vt、P-HV High Vt)形成領域を露出し、他の領域を覆うフォトレジスト膜136を形成する。

【0136】

次いで、フォトレジスト膜136をマスクとしてイオン注入を行い、pチャネル高電圧・低閾値トランジスタ(P-HV Low Vt)及びpチャネル高電圧・高閾値トランジスタ(P-HV High Vt)のソース/ドレイン領域のエクステンション138を形成する(図15(b))。エクステンション138は、例えば弗化ボロンイオンを、加速エネルギー80keV、ドーズ量 $4.5 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入を行うことにより形成する。

20

【0137】

次いで、例えばアッシングにより、フォトレジスト膜136を除去する。

【0138】

次いで、フォトリソグラフィーにより、nチャネル高電圧トランジスタ(N-HV Low Vt、N-HV High Vt)形成領域を露出し、他の領域を覆うフォトレジスト膜140を形成する。

30

【0139】

次いで、フォトレジスト膜140をマスクとしてイオン注入を行い、nチャネル高電圧・低閾値トランジスタ(N-HV Low Vt)及びnチャネル高電圧・高閾値トランジスタ(N-HV High Vt)のソース/ドレイン領域のエクステンション142を形成する(図16(a))。エクステンション142は、例えばリンイオンを、加速エネルギー35keV、ドーズ量 $4 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入を行うことにより形成する。

【0140】

次いで、例えばアッシングにより、フォトレジスト膜140を除去する(図22(a))。

40

【0141】

次いで、全面に、例えば熱CVD法により、例えば膜厚100nmのシリコン酸化膜144aを堆積する(図22(b))。

【0142】

次いで、シリコン酸化膜144aをエッチバックし、ゲート電極112及びフローティングゲート58の側壁部分並びにゲート電極118の側壁部分に、シリコン酸化膜144aよりなるサイドウォールスペーサ144を形成する。これにより、周辺トランジスタのゲート電極118の側壁部分には、シリコン酸化膜よりなる単層のサイドウォールスペーサ144が形成され、フラッシュメモリセルのゲート電極112及びフローティングゲー

50

ト58の側壁部分には、シリコン窒化膜よりなるサイドウォールスペーサ116及びシリコン酸化膜よりなるサイドウォールスペーサ144の二層構造よりなるサイドウォールスペーサ145が形成される(図22(c))。

【0143】

このとき、周辺回路領域では、シリコン酸化膜144aがエッチングされると同時にゲート絶縁膜104もエッチングされ、サイドウォールスペーサ144により覆われていない部分の活性領域が露出する。

【0144】

一方、メモリセル領域では、シリコン酸化膜144aがエッチングされると同時にシリコン酸化膜115もエッチングされる。そして、サイドウォールスペーサ145により覆われていない領域のシリコン酸化膜115の膜厚は、図21(b)に示すエッチング工程において周辺トランジスタの最も厚いゲート絶縁膜の膜厚と同等或いはそれ以下とされているので、周辺回路領域においてサイドウォールスペーサ144により覆われていない部分の活性領域が露出するまでのエッチングを行えば、メモリセル領域においてもサイドウォールスペーサ145により覆われていない部分の活性領域が露出する。

【0145】

換言すれば、周辺トランジスタのサイドウォールスペーサ144の形成に必要な最小限のエッチング量でエッチングを行えば、メモリセル領域においてもサイドウォールスペーサ145を形成することができ、サイドウォールスペーサ145により覆われていない部分の活性領域を露出することができる。すなわち、本実施形態による半導体装置の製造方法では、図21(b)に示すエッチング工程を行うことにより、周辺トランジスタの活性領域を過剰にエッチング雰囲気曝露を防止することができ、周辺トランジスタの特性劣化を防止することができる。

【0146】

次いで、フォトリソグラフィにより、pチャネルトランジスタ(P-HV Low Vt、P-HV High Vt、P-MV、P-LV High Vt、P-LV Low Vt)形成領域を露出し、他の領域を覆うフォトレジスト膜150を形成する。

【0147】

次いで、フォトレジスト膜150をマスクとしてイオン注入を行い、pチャネルトランジスタ(P-HV Low Vt、P-HV High Vt、P-MV、P-LV High Vt、P-LV Low Vt)のソース/ドレイン領域152を形成する(図16(b))。同時に、このイオン注入により、pチャネルトランジスタ(P-HV Low Vt、P-HV High Vt、P-MV、P-LV High Vt、P-LV Low Vt)のゲート電極118は、p型にドーピングされる。ソース/ドレイン領域152は、例えばボロンイオンを、加速エネルギー5keV、ドーズ量 $4 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入を行うことにより形成する。

【0148】

次いで、例えばアッシングにより、フォトレジスト膜150除去する。

【0149】

次いで、フォトリソグラフィにより、フラッシュメモリセル(Flash cell)形成領域及びnチャネルトランジスタ(N-HV Low Vt、N-HV High Vt、N-MV、N-LV High Vt、N-LV Low Vt)形成領域を露出し、他の領域を覆うフォトレジスト膜146を形成する。

【0150】

次いで、フォトレジスト膜146をマスクとしてイオン注入を行い、フラッシュメモリセル(Flash cell)及びnチャネルトランジスタ(N-HV Low Vt、N-HV High Vt、N-MV、N-LV High Vt、N-LV Low Vt)のソース/ドレイン領域148を形成する(図17(a))。同時に、このイオン注入により、フラッシュメモリセル(Flash cell)のゲート電極112及びnチャネルトランジスタ(N-HV Low Vt、N-HV High Vt、N-MV、N-LV

10

20

30

40

50

High V_t、N-LV Low V_t)のゲート電極118は、n型にドーピングされる。ソース/ドレイン領域148は、例えばリンイオンを、加速エネルギー10keV、ドーズ量 $6 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入を行うことにより形成する。

【0151】

次いで、例えばアッシングにより、フォトレジスト膜146を除去する。

【0152】

次いで、周知のサリサイドプロセスにより、ゲート電極112、118上及びソース/ドレイン領域148、152上を選択的にシリサイド化し、ゲート電極112、118上及びソース/ドレイン領域148、152上に、シリサイド膜153を形成する(図17(b))。例えば、まず、ウェット前処理により、活性領域上に残存するシリコン酸化膜115等を除去する。次いで、コバルト(Co)膜及び窒化チタン(TiN)膜を全面に堆積する。次いで、短時間熱処理により、シリコンが露出しているゲート電極112、118上及びソース/ドレイン領域148、152上を選択的にシリサイド化し、これら領域にコバルトシリサイド膜を形成する。次いで、未反応のコバルト膜及び窒化チタン膜を除去する。次いで、再度短時間熱処理を行い、コバルトシリサイド膜を低抵抗化する。こうして、コバルトシリサイド膜よりなるシリサイド膜153を形成する。

10

【0153】

このようにして、シリコン基板10上に、11種類のトランジスタを完成する。

【0154】

次いで、トランジスタ等が形成されたシリコン基板10上に、絶縁膜154を成長後、コンタクトホール156、電極プラグ158、配線160等を形成し、第1層金属配線層までを完成する(図18)。

20

【0155】

次いで、絶縁膜の成長、配線等の形成を繰り返し行い、絶縁膜154上に、所望の層数の多層配線層162を形成する。

【0156】

次いで、多層配線層162上に、絶縁膜164を成長後、コンタクトホール166、電極プラグ168、配線170、パッド電極172等を形成し、最上層金属配線層までを完成する。

【0157】

次いで、配線層170、パッド電極172等が形成された絶縁膜164上に、パッシベーション膜174を形成し、半導体装置を完成する(図19)。

30

【0158】

このように、本実施形態によれば、サイドウォールスペーサ116形成後、サイドウォールスペーサ144の形成前に、シリコン酸化膜115を一部除去する工程を行い、サイドウォールスペーサ144下におけるシリコン酸化膜115の膜厚を、サイドウォールスペーサ116下におけるシリコン酸化膜115の膜厚よりも薄くするので、ソース/ドレイン領域148上のシリコン酸化膜115を、周辺トランジスタの通常の製造工程及びサリサイド工程の前処理において完全に除去することができる。したがって、ソース/ドレイン領域148上にシリサイド膜153が形成されないことが防止され、コンタクト不良を抑制することができる。

40

【0159】

また、周辺トランジスタのサイドウォールスペーサ144を形成する際に、シリコン酸化膜115の膜厚に応じてエッチング量を増加する必要はない。したがって、周辺回路形成領域をエッチング雰囲気に過剰に曝すことを防止でき、周辺トランジスタの信頼性低下を抑制することができる。

【0160】

特に、本実施形態の場合のようにフラッシュメモリセルのゲート電極の側壁部分を酸化して電荷保持特性を改善する場合にあっては、活性領域上のシリコン酸化膜115が厚くなるため、シリコン酸化膜115を一部除去する効果は大きい。

50

【 0 1 6 1 】

[変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

【 0 1 6 2 】

例えば、上記実施形態では、フラッシュメモリを混載する F P G A を例にして本発明の半導体装置及びその製造方法を説明したが、本発明を適用可能な半導体装置は F P G A に限定されるものではない。本発明は、フラッシュメモリセルのサイドウォールスペーサを二層構造のサイドウォールスペーサにより構成し、周辺トランジスタのサイドウォールスペーサを一層構造のサイドウォールスペーサにより構成する半導体装置に広く適用することができる。

10

【 0 1 6 3 】

また、上記実施形態では、フラッシュメモリを混載する半導体装置を 1 1 種類のトランジスタにより構成したが、トランジスタの数はこれに限定されるものではない。半導体装置に搭載するトランジスタの種類は、用途に応じて増減できる。また、作成する回路も種々選択できる。

【 0 1 6 4 】

上述したとおり、本発明の特徴をまとめると以下の通りとなる。

【 0 1 6 5 】

(付記 1) 半導体基板の第 1 の領域に形成され、第 1 のゲート電極を有する第 1 のトランジスタと、

20

前記第 1 のゲート電極の側壁部分に形成され、第 1 の絶縁膜よりなる第 1 のサイドウォールスペーサと、

前記第 1 のサイドウォールスペーサが形成された前記第 1 のゲート電極の側壁部分に形成され、第 2 の絶縁膜よりなる第 2 のサイドウォールスペーサと、

前記半導体基板と、前記第 1 のサイドウォールスペーサ及び前記第 2 のサイドウォールスペーサとの間に形成され、前記半導体基板と前記第 2 のサイドウォールスペーサとの間における膜厚が、前記半導体基板と前記第 1 のサイドウォールスペーサとの間における膜厚よりも薄い酸化膜と

を有することを特徴とする半導体装置。

【 0 1 6 6 】

30

(付記 2) 付記 1 記載の半導体装置において、

前記半導体基板の第 2 の領域に形成され、第 2 のゲート電極を有する第 2 のトランジスタと、

前記第 2 のゲート電極の側壁部分に形成され、前記第 2 の絶縁膜よりなる第 3 のサイドウォールスペーサと

を更に有することを特徴とする半導体装置。

【 0 1 6 7 】

(付記 3) 付記 2 記載の半導体装置において、

前記半導体基板と前記第 2 のサイドウォールスペーサとの間における前記酸化膜の膜厚は、前記第 2 のトランジスタのゲート絶縁膜よりも薄い

40

ことを特徴とする半導体装置。

【 0 1 6 8 】

(付記 4) 付記 1 乃至 3 のいずれか 1 項に記載の半導体装置において、

前記第 1 のゲート電極は、フローティングゲートとコントロールゲートとが積層されたスタックゲート構造を有する

ことを特徴とする半導体装置。

【 0 1 6 9 】

(付記 5) 付記 1 乃至 4 のいずれか 1 項に記載の半導体装置において、

前記酸化膜は、前記第 1 のゲート電極と前記第 1 のサイドウォールスペーサとの間に延在する

50

ことを特徴とする半導体装置。

【0170】

(付記6) 付記1乃至5のいずれか1項に記載の半導体装置において、
前記第1の絶縁膜は、シリコン窒化膜であり、
前記第2の絶縁膜は、シリコン酸化膜である
ことを特徴とする半導体装置。

【0171】

(付記7) 第1の領域及び第2の領域を有する半導体基板上に、第1の導電膜を形成する工程と、

前記第1の領域の前記第1の導電膜をパターンニングし、前記第1の領域に第1のゲート電極を形成する工程と、

熱酸化により、前記半導体基板の表面及び前記第1のゲート電極の側壁部分に酸化膜を形成する工程と、

前記酸化膜が形成された前記第1のゲート電極の側壁部分に、第1の絶縁膜よりなる第1のサイドウォールスペーサを形成する工程と、

前記第1のサイドウォールスペーサをマスクとして、前記半導体基板の前記表面に形成された前記酸化膜を除去する工程と、

前記酸化膜及び前記第1のサイドウォールスペーサが形成された前記第1のゲート電極の側壁部分に、第2の絶縁膜よりなる第2のサイドウォールスペーサを形成する工程と

を有することを特徴とする半導体装置の製造方法。

【0172】

(付記8) 付記7記載の半導体装置の製造方法において、

前記酸化膜を除去する工程の後、前記第2のサイドウォールスペーサを形成する工程の前に、前記第2の領域の前記第1の導電膜をパターンニングし、前記第2の領域に第2のゲート電極を形成する工程を更に有し、

前記第2のサイドウォールスペーサを形成する工程では、前記第2のゲート電極の側壁部分にも、前記第2のサイドウォールスペーサを形成する

ことを特徴とする半導体装置の製造方法。

【0173】

(付記9) 付記7又は8記載の半導体装置の製造方法において、

前記第1の導電膜を形成する工程の前に、前記第1の領域に第2の導電膜を形成する工程を、

前記第1のゲート電極を形成する工程の後、前記酸化膜を形成する工程の前に、前記第1のゲート電極をマスクとして前記第2の導電膜をパターンニングし、前記第2の導電膜よりなるフローティングゲートを形成する工程を

更に有することを特徴とする半導体装置の製造方法。

【0174】

(付記10) 付記7乃至9のいずれか1項に記載の半導体装置の製造方法において、

前記酸化膜を除去する工程では、前記半導体基板の前記表面に形成された前記酸化膜のエッチング後の膜厚が、前記第2の領域に形成されるトランジスタのゲート絶縁膜の膜厚以下になるように、前記酸化膜を除去する

ことを特徴とする半導体装置の製造方法。

【0175】

(付記11) 付記7乃至10のいずれか1項に記載の半導体装置の製造方法において、

前記第1の導電膜を形成する工程の後、前記第1のゲート電極を形成する工程の前に、前記第1の導電膜上に第3の絶縁膜を堆積する工程を更に有し、

前記酸化膜を形成する工程では、前記第3の絶縁膜を酸化マスクとして、前記半導体基板及び前記第1の導電膜を酸化する

ことを特徴とする半導体装置の製造方法。

10

20

30

40

50

【0176】

(付記12) 付記11記載の半導体装置の製造方法において、前記第1のゲート電極を形成する工程及び前記第2のゲート電極を形成する工程では、前記第3の絶縁膜をリソグラフィの際の反射防止膜として用いることを特徴とする半導体装置の製造方法。

【0177】

(付記13) 付記11又は12記載の半導体装置の製造方法において、前記第3の絶縁膜は、前記第2のサイドウォールスペーサを形成する際に除去することを特徴とする半導体装置の製造方法。

【0178】

(付記14) 付記7乃至13のいずれか1項に記載の半導体装置の製造方法において、前記第2のサイドウォールスペーサを形成する工程の後に、前記半導体基板上、前記第1のゲート電極上及び前記第2のゲート電極上に、選択的にシリサイド膜を形成する工程を更に有することを特徴とする半導体装置の製造方法。

10

【0179】

(付記15) 付記7乃至14のいずれか1項に記載の半導体装置の製造方法において、前記酸化膜を除去する工程では、前記酸化膜をウェットエッチングによりエッチングすることを特徴とする半導体装置の製造方法。

20

【0180】

(付記16) 付記7乃至15のいずれか1項に記載の半導体装置の製造方法において、前記第1の絶縁膜は、シリコン窒化膜であり、前記第2の絶縁膜は、シリコン酸化膜であることを特徴とする半導体装置の製造方法。

【図面の簡単な説明】

【0181】

【図1】本発明の一実施形態による半導体装置の構造を示す平面図である。

【図2】本発明の一実施形態による半導体装置の構造を示す概略断面図(その1)である。

【図3】本発明の一実施形態による半導体装置の構造を示す概略断面図(その2)である。

【図4】本発明の一実施形態による半導体装置の製造方法を示す工程断面図(その1)である。

【図5】本発明の一実施形態による半導体装置の製造方法を示す工程断面図(その2)である。

【図6】本発明の一実施形態による半導体装置の製造方法を示す工程断面図(その3)である。

40

【図7】本発明の一実施形態による半導体装置の製造方法を示す工程断面図(その4)である。

【図8】本発明の一実施形態による半導体装置の製造方法を示す工程断面図(その5)である。

【図9】本発明の一実施形態による半導体装置の製造方法を示す工程断面図(その6)である。

【図10】本発明の一実施形態による半導体装置の製造方法を示す工程断面図(その7)である。

【図11】本発明の一実施形態による半導体装置の製造方法を示す工程断面図(その8)

50

である。

【図 1 2】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 9）である。

【図 1 3】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 1 0）である。

【図 1 4】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 1 1）である。

【図 1 5】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 1 2）である。

【図 1 6】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 1 3） 10

【図 1 7】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 1 4）である。

【図 1 8】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 1 5）である。

【図 1 9】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 1 6）である。

【図 2 0】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 1 7）である。

【図 2 1】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 1 8） 20

【図 2 2】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 1 9）である。

【図 2 3】従来の半導体装置の構造を示す平面図である。

【図 2 4】従来の半導体装置の製造方法を示す工程断面図（その 1）である。

【図 2 5】従来の半導体装置の製造方法を示す工程断面図（その 2）である。

【図 2 6】従来の半導体装置の製造方法を示す工程断面図（その 3）である。

【図 2 7】従来の半導体装置の製造方法を示す工程断面図（その 4）である。

【図 2 8】従来の半導体装置の製造方法を示す工程断面図（その 5）である。

【図 2 9】従来の半導体装置の製造方法を示す工程断面図（その 6）である。 30

【符号の説明】

【 0 1 8 2 】

1 0 ... シリコン基板

2 2 ... 素子分離膜

2 4 , 1 1 3 , 1 1 5 ... シリコン酸化膜

2 6 , 3 0 , 3 6 , 4 2 , 4 6 , 5 2 , 6 2 , 6 6 , 7 0 , 7 4 ... フォトレジスト膜

2 8 ... n 型埋め込み不純物層

3 2 , 3 4 , 4 0 ... p 型ウェル用不純物層

4 4 , 4 8 ... n 型ウェル用不純物層

5 0 ... チャネルストップ層

5 4 , 6 4 , 6 8 , 7 2 , 7 6 ... 閾値電圧制御用不純物層

5 6 ... トンネル酸化膜

5 8 ... フローティングゲート

6 0 ... ONO 膜

7 8 , 8 2 , 8 6 ... p 型ウェル

8 0 , 8 4 , 8 8 , 9 0 ... n 型ウェル

1 0 2 , 1 0 4 , 1 0 6 ... ゲート絶縁膜

1 0 8 ... ポリシリコン膜

1 1 2 , 1 1 8 ... ゲート電極

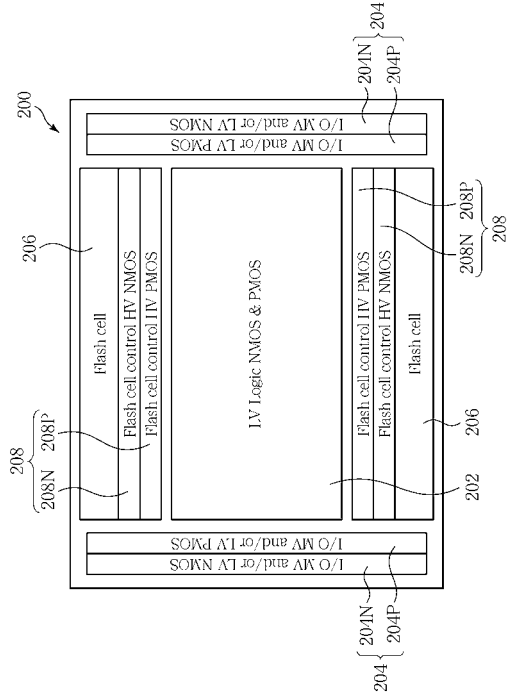
1 1 4 , 1 4 8 , 1 5 2 ... ソース/ドレイン領域

40

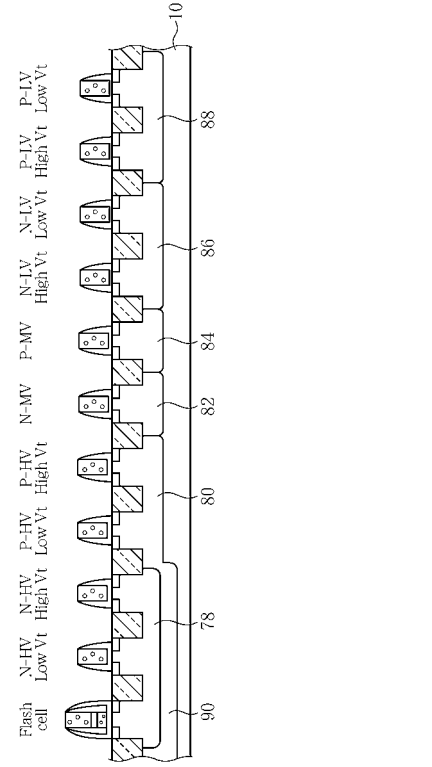
50

1 1 6 , 1 4 4 , 1 4 5 ... サイドウォールスペーサ	
1 2 2 , 1 2 6 , 1 3 0 , 1 3 4 , 1 3 8 , 1 4 2 ... エクステンション	
1 5 3 ... シリサイド膜	
1 5 4 , 1 6 4 ... 絶縁膜	
1 5 6 , 1 6 6 ... コンタクトホール	
1 5 8 , 1 6 8 ... 電極プラグ	
1 6 0 , 1 7 0 ... 配線層	
1 6 2 ... 多層配線層	
1 7 2 ... パッド電極	
1 7 4 ... パッシベーション膜	10
2 0 0 ... 半導体装置	
2 0 2 ... 主ロジック回路部	
2 0 4 ... 入出力回路部	
2 0 4 N , 2 0 8 N ... N M O S 部	
2 0 4 P , 2 0 8 P ... P M O S 部	
2 0 6 ... フラッシュメモリセル部	
2 0 8 ... フラッシュメモリセル制御回路部 3 0 0 ... シリコン基板	
3 0 2 ... 素子分離膜	
3 0 4 ... ウェル	
3 0 6 , 3 3 2 , 3 3 6 ... シリコン酸化膜	20
3 0 8 , 3 1 8 ... ポリシリコン膜	
3 1 0 , 3 1 4 , 3 2 2 , 3 2 8 , 3 3 8 , 3 4 4 ... フォトレジスト膜	
3 1 2 ... 絶縁膜	
3 1 6 ... ゲート絶縁膜	
3 2 0 ... シリコン窒化膜	
3 2 4 ... ゲート電極	
3 2 6 ... コントロールゲート	
3 3 0 ... フローティングゲート	
3 3 4 , 3 4 8 ... ソース/ドレイン領域	
3 4 0 ... L D D 領域	30
3 4 2 ... サイドウォールスペーサ	
3 4 6 ... 高濃度不純物領域	
3 5 0 ... シリサイド膜	

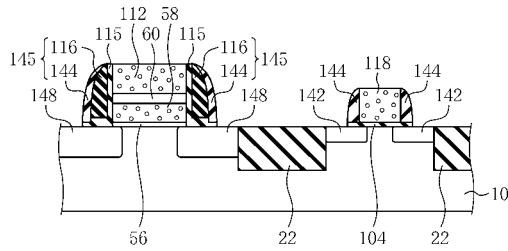
【 図 1 】



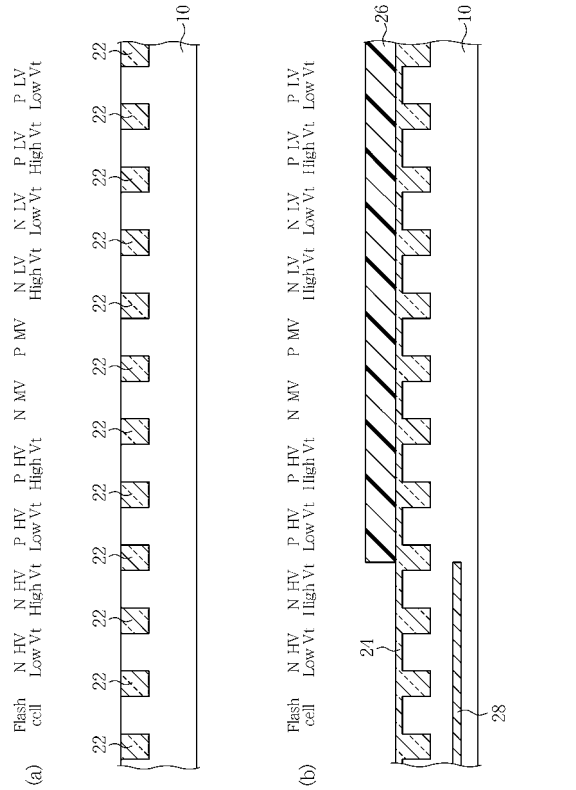
【 図 2 】



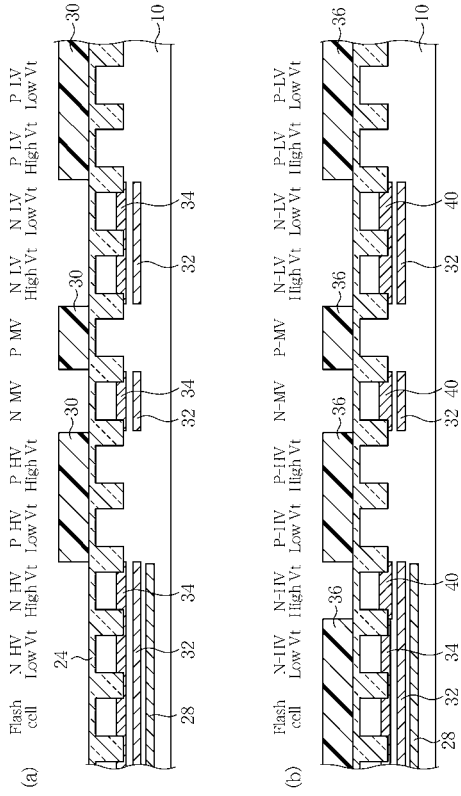
【 図 3 】



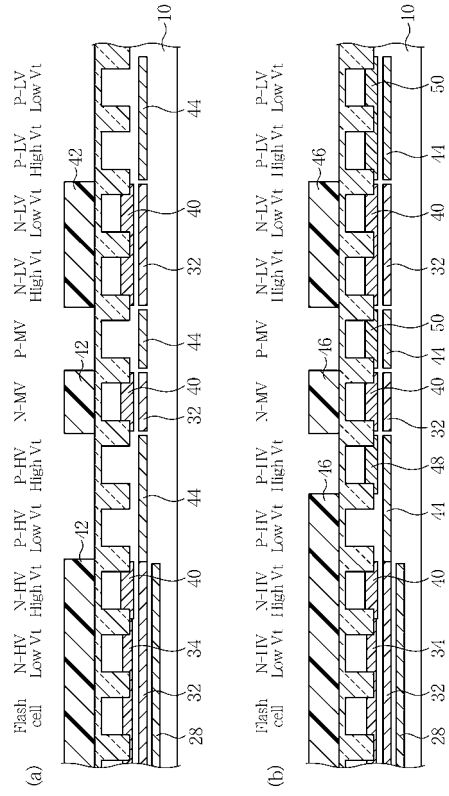
【 図 4 】



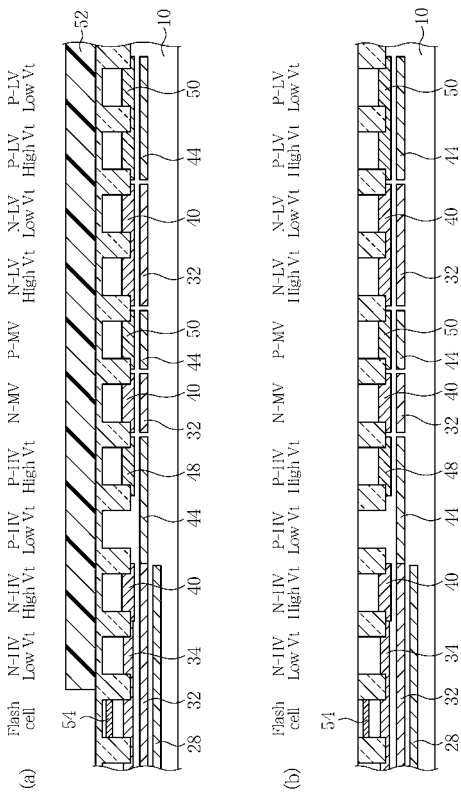
【 図 5 】



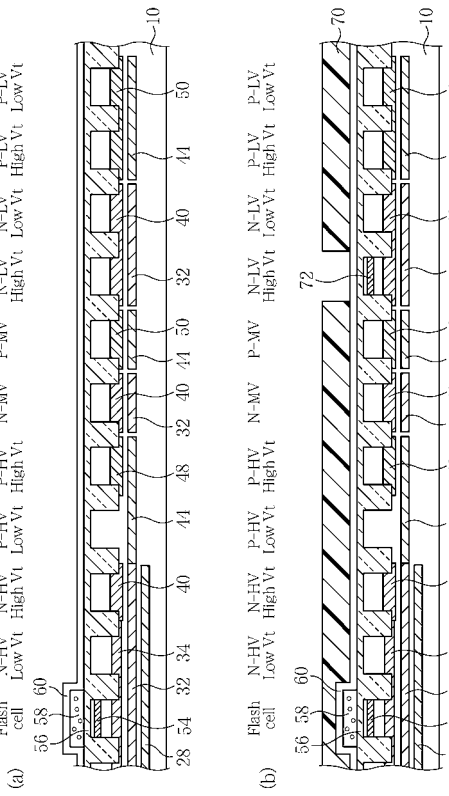
【 図 6 】



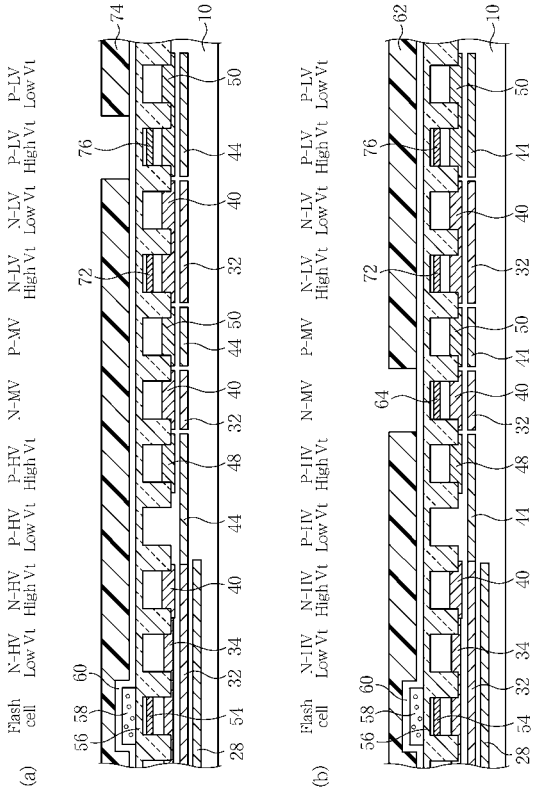
【 図 7 】



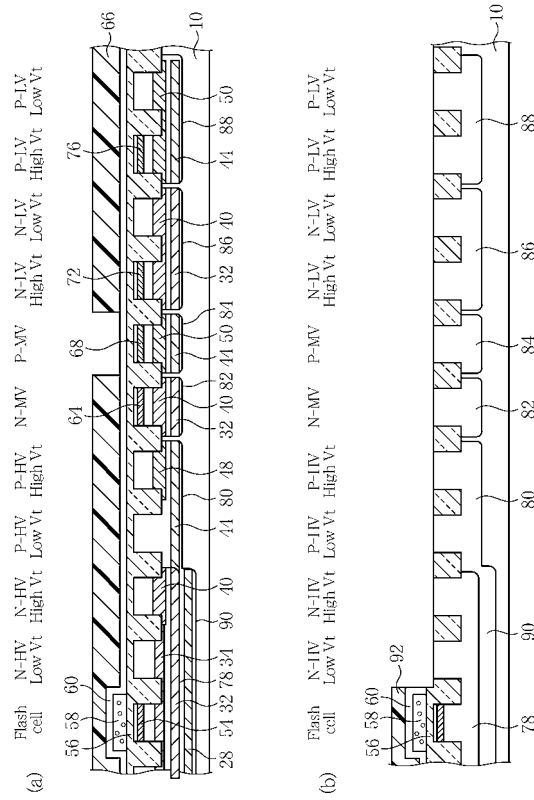
【 図 8 】



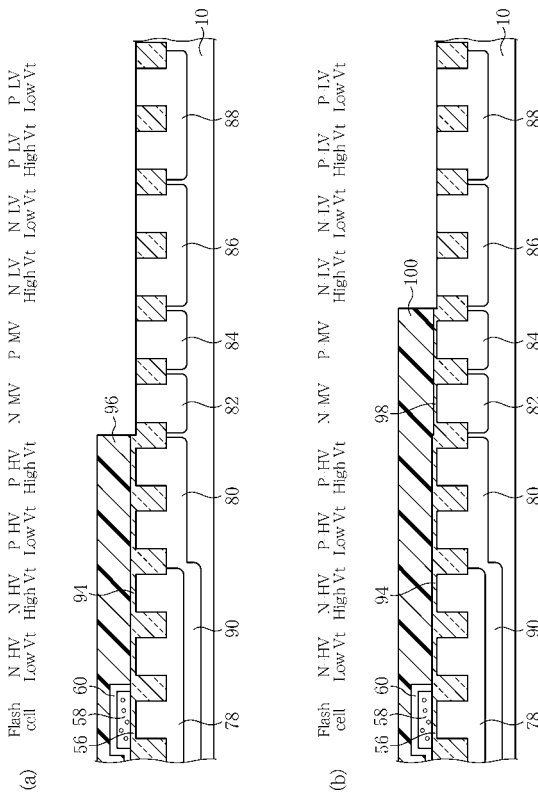
【 図 9 】



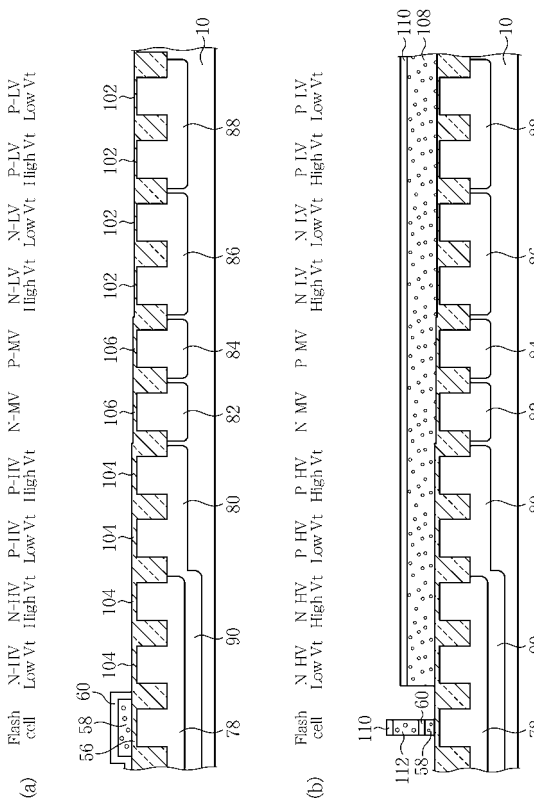
【 図 10 】



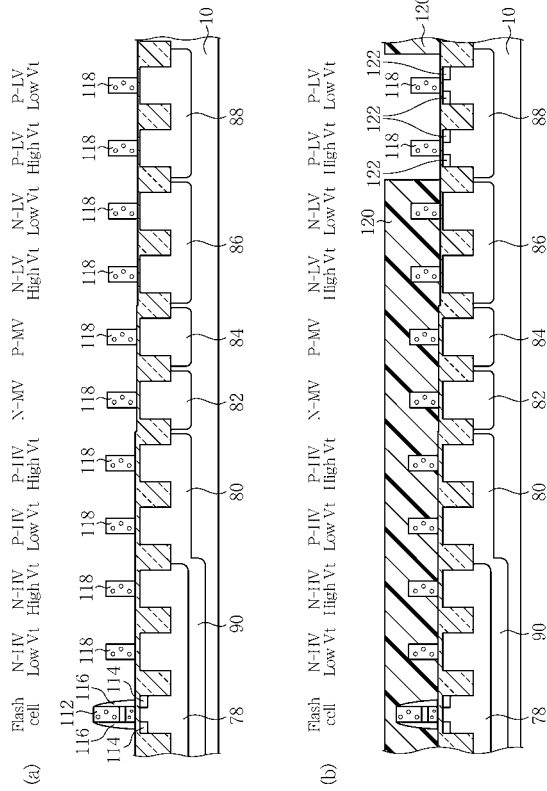
【 図 11 】



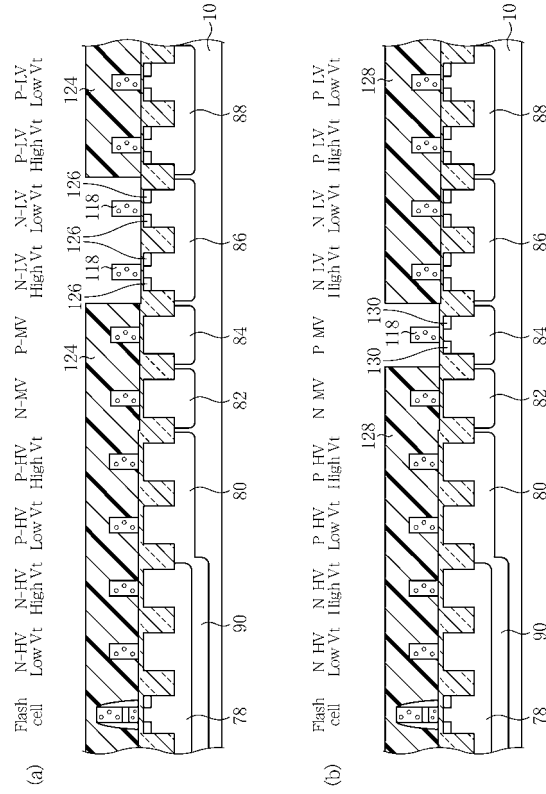
【 図 12 】



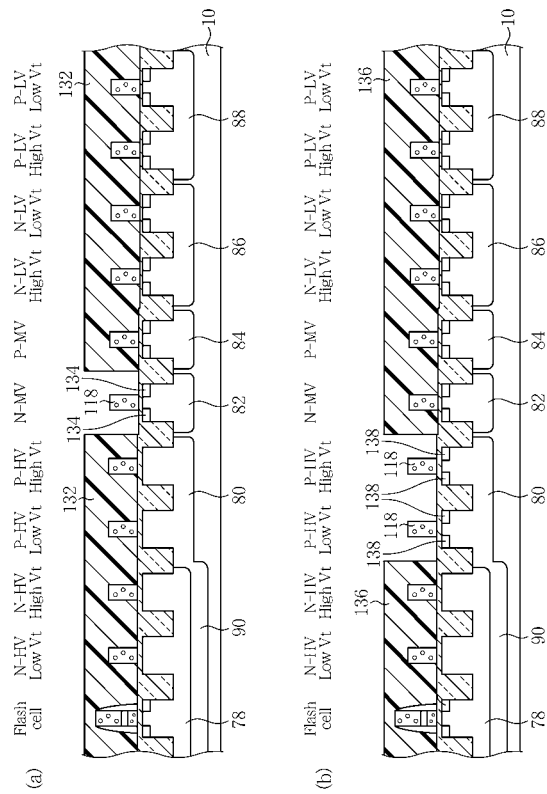
【図 13】



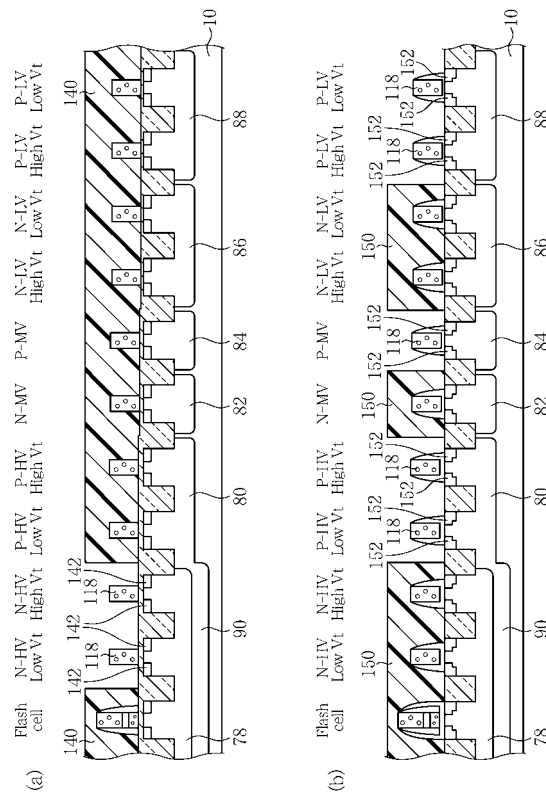
【図 14】



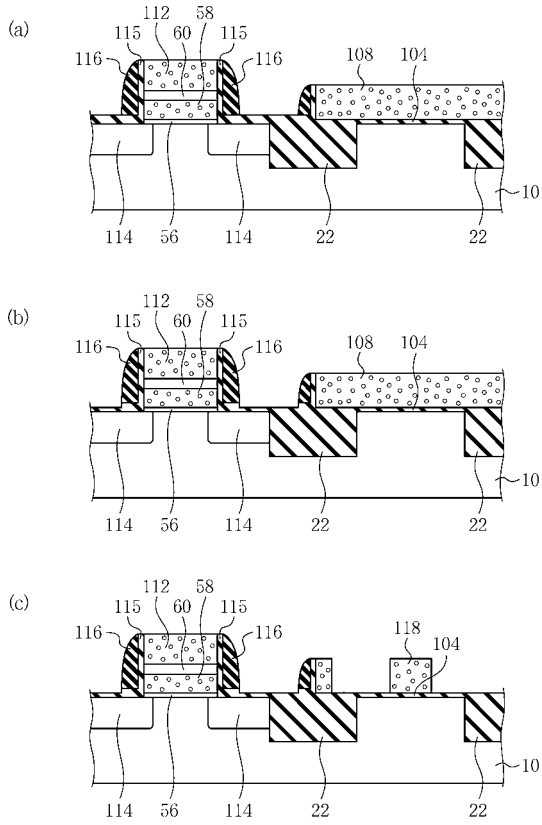
【図 15】



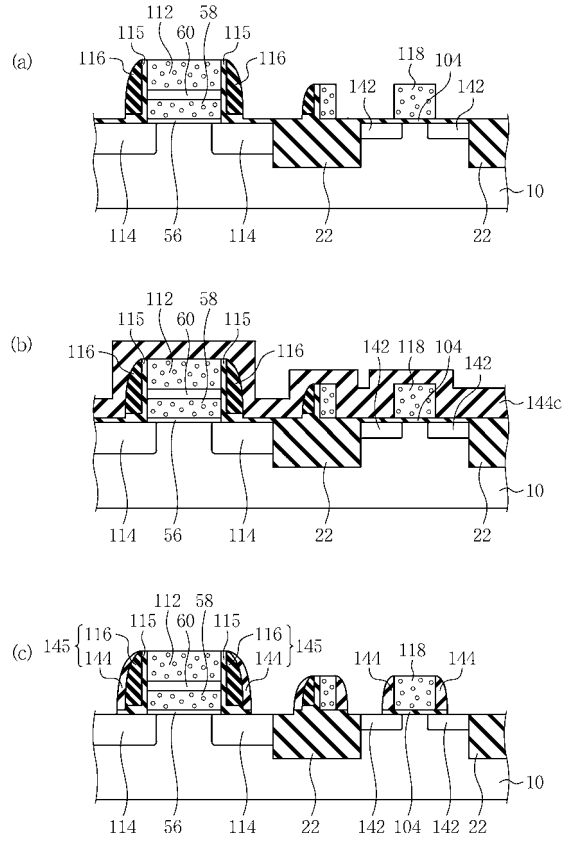
【図 16】



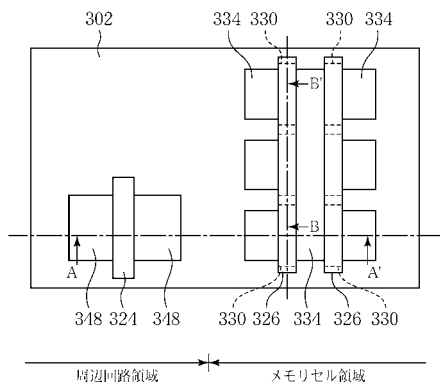
【図 2 1】



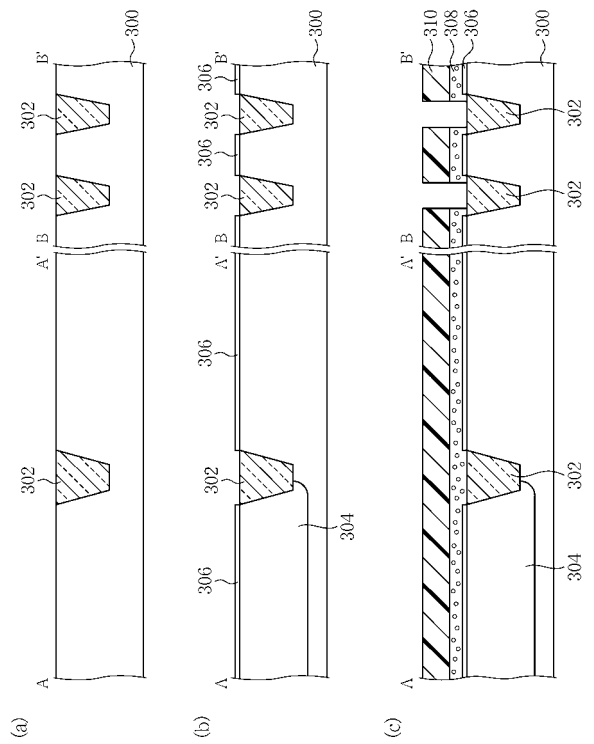
【図 2 2】



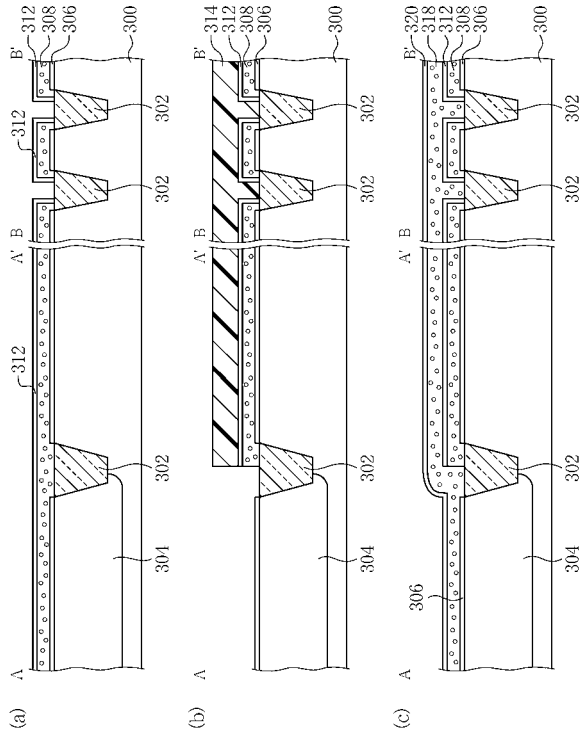
【図 2 3】



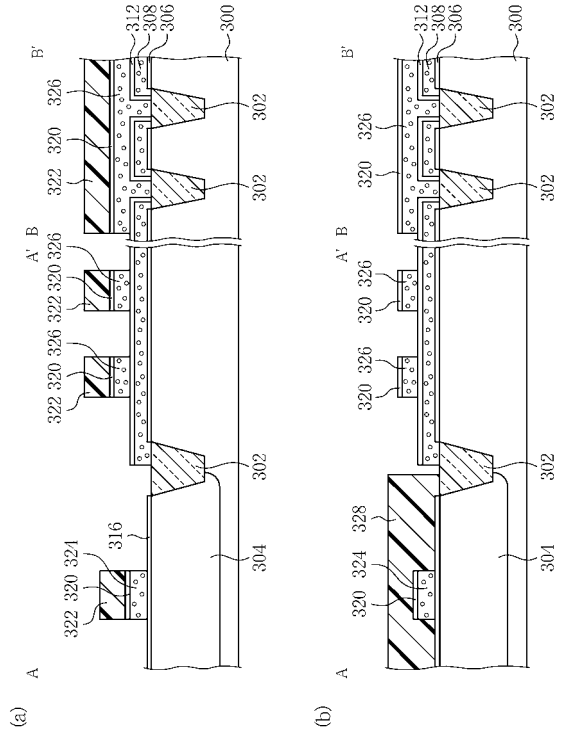
【図 2 4】



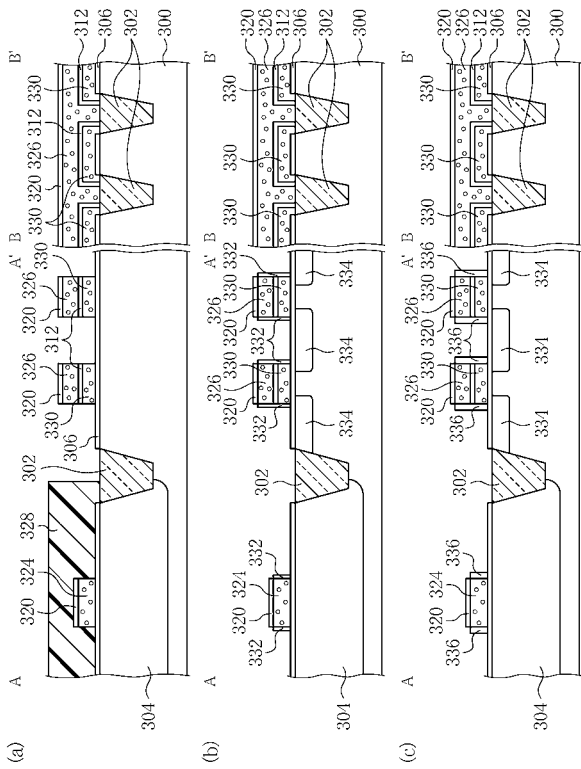
【 25 】



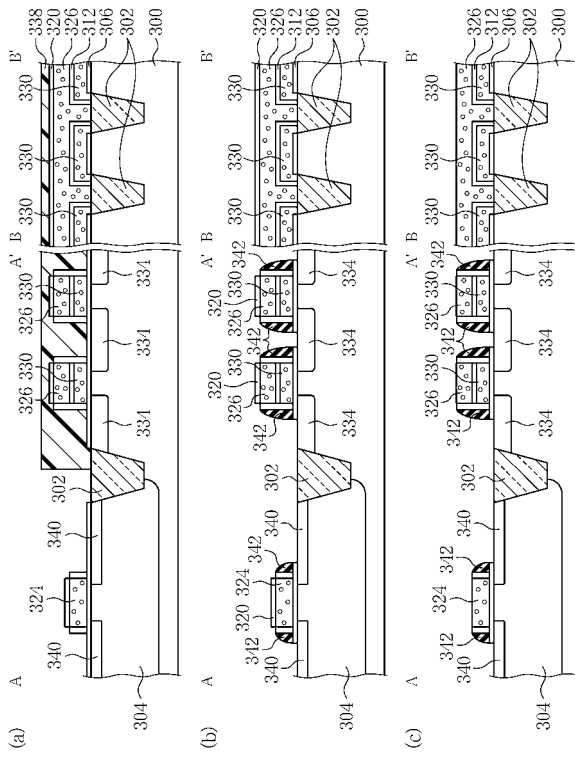
【 26 】



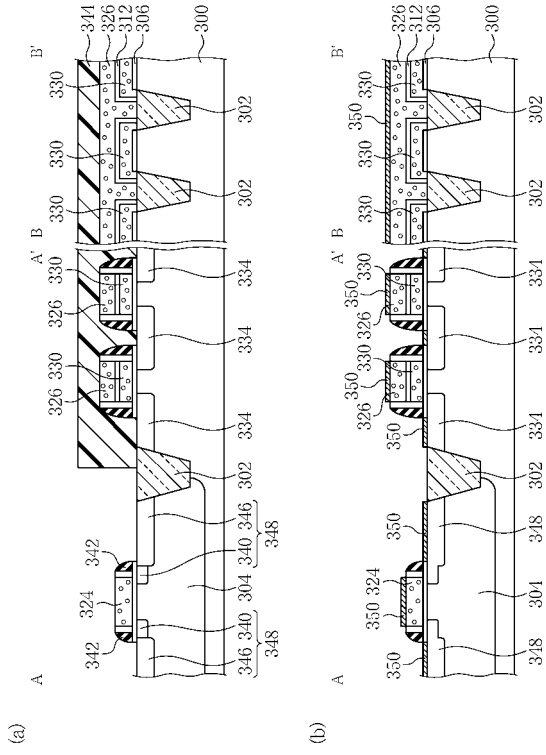
【 27 】



【 28 】



【 図 29 】



フロントページの続き

- (56)参考文献 特開2003-060096(JP,A)
特開2000-164736(JP,A)
特開2001-332640(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247
H01L 27/10
H01L 27/115
H01L 29/788
H01L 29/792