



(12) 发明专利申请

(10) 申请公布号 CN 116759439 A

(43) 申请公布日 2023. 09. 15

(21) 申请号 202310711796.0

(22) 申请日 2023.06.15

(71) 申请人 绍兴中芯集成电路制造股份有限公司

地址 312000 浙江省绍兴市皋埠镇临江路
518号

(72) 发明人 张玉琦 戴银 任文珍

(74) 专利代理机构 北京磐华捷成知识产权代理有限公司 11851

专利代理师 翟海青

(51) Int. Cl.

H01L 29/06 (2006.01)

H01L 29/78 (2006.01)

H01L 21/336 (2006.01)

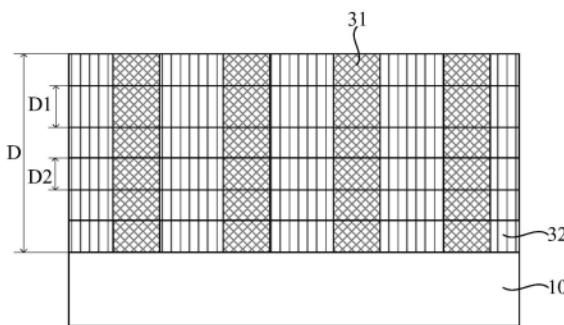
权利要求书2页 说明书14页 附图6页

(54) 发明名称

超结VDMOS器件及其制备方法、电子设备

(57) 摘要

本发明公开了一种超结VDMOS器件及其制备方法、电子设备,超结VDMOS器件包括:衬底和超结结构。其中,所述超结结构形成在所述衬底上;所述超结结构包括第一导电类型柱和第二导电类型柱;每个所述导电类型柱均贯穿所述超结结构在高度方向上相对的两个表面,且每个所述导电类型柱在所述超结结构的第一设定高度范围内的掺杂浓度均小于该所述导电类型柱在第二设定高度范围内的掺杂浓度,对栅漏电容进行优化,使其在低漏源电压条件下的栅漏电容增大,避免出现低漏源电压下栅漏电容凹坑的现象。



1. 一种超结VDMOS器件,其特征在于,包括:

衬底;

超结结构,形成在所述衬底上;其中,所述超结结构包括第一导电类型柱和第二导电类型柱;每个所述导电类型柱均贯穿所述超结结构在高度方向上相对的两个表面,且每个所述导电类型柱在所述超结结构的第一设定高度范围内的掺杂浓度均小于该所述导电类型柱在第二设定高度范围内的掺杂浓度。

2. 如权利要求1所述的超结VDMOS器件,其特征在于,所述第一设定高度范围为所述超结结构的 $1/2\sim 3/4$ 高度范围;

所述第二设定高度范围为所述超结结构内除所述第一设定高度范围之外的其他高度范围。

3. 如权利要求1所述的超结VDMOS器件,其特征在于,所述第一导电类型柱为P型掺杂柱,所述第二导电类型柱为N型掺杂柱。

4. 如权利要求3所述的超结VDMOS器件,其特征在于,所述第一导电类型柱的掺杂浓度大于所述第二导电类型柱的掺杂浓度。

5. 如权利要求1所述的超结VDMOS器件,其特征在于,所述衬底为N型衬底。

6. 如权利要求1~5中任一项所述的超结VDMOS器件,其特征在于,所述超结结构还包括多层第一外延层;所述多层第一外延层依次层叠在所述衬底上;其中,每层所述第一外延层中均形成有所述第一导电类型柱和所述第二导电类型柱;任意相邻两层所述第一外延层中的所述第一导电类型柱层叠设置,任意相邻两层所述第一外延层中的所述第二导电类型柱层叠设置;

所述多层第一外延层分为第一类第一外延层和第二类第一外延层,所述第一类第一外延层中每个所述第一外延层的厚度为第一厚度范围,所述第二类第一外延层中每个所述第一外延层的厚度为第二厚度范围;所述第一类第一外延层位于所述超结结构的所述第一设定高度范围内,所述第二类第一外延层位于所述超结结构的所述第二设定高度范围内;

其中,所述第一厚度范围的最小值大于所述第二厚度范围的最大值,每个所述第一类导电类型柱在所述第一类第一外延层和所述第二类第一外延层中的掺杂量均相等,每个所述第二类导电类型柱在所述第一类第一外延层和所述第二类第一外延层中的掺杂量均相等。

7. 如权利要求6所述的超结VDMOS器件,其特征在于,所述第一厚度范围为第一厚度,所述第二厚度范围为第二厚度;

其中,所述第一厚度与所述第二厚度的比值不小于1.2。

8. 如权利要求1所述的超结VDMOS器件,其特征在于,还包括:

第二外延层,形成在所述超结结构上,且所述第二外延层中形成有半导体源区和半导体体区;

源极结构和栅极结构,均形成在所述第二外延层上;

漏极结构,形成在所述衬底上背离所述超结结构的表面。

9. 一种超结VDMOS器件的制备方法,其特征在于,包括:

提供一衬底;

在所述衬底上形成超结结构;其中,所述超结结构包括第一导电类型柱和第二导电类

型柱；每个所述导电类型柱均贯穿所述超结结构在高度方向上相对的两个表面，且每个所述导电类型柱在所述超结结构的第一设定高度范围内的掺杂浓度均小于该所述导电类型柱在第二设定高度范围内的掺杂浓度。

10. 如权利要求9所述的制备方法，其特征在于，所述在所述衬底上形成超结结构，包括：

在所述衬底上依次生长多层第一外延层的过程中，每生长一层所述第一外延层之后，在最上层所述第一外延层中形成所述第一导电类型柱和所述第二导电类型柱；任意相邻两层所述第一外延层中的所述第一导电类型柱层叠设置，任意相邻两层所述第一外延层中的所述第二导电类型柱层叠设置；

且所述多层第一外延层分为第一类第一外延层和第二类第一外延层，所述第一类第一外延层中每个所述第一外延层的厚度为第一厚度范围，所述第二类第一外延层中每个所述第一外延层的厚度为第二厚度范围；所述第一类第一外延层位于所述超结结构的所述第一设定高度范围内，所述第二类第一外延层位于所述超结结构的所述第二设定高度范围内；

其中，所述第一厚度范围的最小值大于所述第二厚度范围的最大值，每个所述第一类导电类型柱在所述第一类第一外延层和所述第二类第一外延层中的掺杂量均相等，每个所述第二类导电类型柱在所述第一类第一外延层和所述第二类第一外延层中的掺杂量均相等。

11. 一种电子设备，其特征在于，包括：如权利要求1~8中任一项所述的超结VDMOS器件。

超结VDMOS器件及其制备方法、电子设备

技术领域

[0001] 本申请涉及半导体领域,更具体地涉及一种超结VDMOS器件及其制备方法、电子设备。

背景技术

[0002] 现有制备超结VDMOS(垂直双扩散金属-氧化物半导体场效应晶体管)器件中的超结结构时,通常采用多次外延形成的超结结构的方式。在多次外延生长形成的超结结构过程为:生长一层外延层,各进行一道N和P的离子注入,形成N柱和P柱;多次重复相同厚度的外延层的生长和离子注入的步骤,之后通过热过程推结形成浓度近似均匀分布的P柱—N柱交替排列的超结结构。但是,采用该方式制备出的超结VDMOS器件,在高漏源电压(V_{ds})下栅漏电容(C_{gd})较小,且容易出现低漏源电压下栅漏电容凹坑的现象。

发明内容

[0003] 为了解决上述问题中的至少一个而提出了本申请。根据本发明第一方面,提供了一种超结VDMOS器件,所述超结VDMOS器件包括:衬底和超结结构。其中,所述超结结构形成在所述衬底上;所述超结结构包括第一导电类型柱和第二导电类型柱;每个所述导电类型柱均贯穿所述超结结构在高度方向上相对的两个表面,且每个所述导电类型柱在所述超结结构的第一设定高度范围内的掺杂浓度均小于该所述导电类型柱在第二设定高度范围内的掺杂浓度。

[0004] 在本申请的一个实施例中,所述第一设定高度范围为所述超结结构的 $1/2\sim 3/4$ 高度范围;所述第二设定高度范围为所述超结结构内除所述第一设定高度范围之外的其他高度范围。

[0005] 在本申请的一个实施例中,所述第一导电类型柱为P型掺杂柱,所述第二导电类型柱为N型掺杂柱。

[0006] 在本申请的一个实施例中,所述第一导电类型柱的掺杂浓度大于所述第二导电类型柱的掺杂浓度。

[0007] 在本申请的一个实施例中,所述衬底为N型衬底。

[0008] 在本申请的一个实施例中,所述超结结构还包括多层第一外延层;所述多层第一外延层依次层叠在所述衬底上;其中,每层所述第一外延层中均形成有所述第一导电类型柱和所述第二导电类型柱;任意相邻两层所述第一外延层中的所述第一导电类型柱层叠设置,任意相邻两层所述第一外延层中的所述第二导电类型柱层叠设置;所述多层第一外延层分为第一类第一外延层和第二类第一外延层,所述第一类第一外延层中每个所述第一外延层的厚度为第一厚度范围,所述第二类第一外延层中每个所述第一外延层的厚度为第二厚度范围;所述第一类第一外延层位于所述超结结构的所述第一设定高度范围内,所述第二类第一外延层位于所述超结结构的所述第二设定高度范围内;其中,所述第一厚度范围的最小值大于所述第二厚度范围的最大值,每个所述第一导电类型柱在所述第一类第一外

延层和所述第二类第一外延层中的掺杂量均相等,每个所述第二导电类型柱在所述第一类第一外延层和所述第二类第一外延层中的掺杂量均相等。

[0009] 在本申请的一个实施例中,所述第一厚度范围为第一厚度,所述第二厚度范围为第二厚度;其中,所述第一厚度与所述第二厚度的比值不小于1.2。

[0010] 在本申请的一个实施例中,所述超结VDMOS器件还包括:第二外延层、源极结构、栅极结构和漏极结构。其中,所述第二外延层形成在所述超结结构上,且所述第二外延层中形成半导体源区和半导体体区;所述源极结构和所述栅极结构形成在所述第二外延层上;所述漏极结构形成在所述衬底上背离所述超结结构的表面。

[0011] 根据本申请第二方面,提供了一种超结VDMOS器件的制备方法,所述超结VDMOS器件包括:提供一衬底;在所述衬底上形成超结结构;其中,所述超结结构包括第一导电类型柱和第二导电类型柱;每个所述导电类型柱均贯穿所述超结结构在高度方向上相对的两个表面,且每个所述导电类型柱在所述超结结构的第一设定高度范围内的掺杂浓度均小于该所述导电类型柱在第二设定高度范围内的掺杂浓度。

[0012] 在本申请的一个实施例中,所述在所述衬底上形成超结结构包括:在所述衬底上依次生长多层第一外延层的过程中,每生长一层所述第一外延层之后,在最上层所述第一外延层中形成所述第一导电类型柱和所述第二导电类型柱;任意相邻两层所述第一外延层中的所述第一导电类型柱层叠设置,任意相邻两层所述第一外延层中的所述第二导电类型柱层叠设置;且所述多层第一外延层分为第一类第一外延层和第二类第一外延层,所述第一类第一外延层中每个所述第一外延层的厚度为第一厚度范围,所述第二类第一外延层中每个所述第一外延层的厚度为第二厚度范围;所述第一类第一外延层位于所述超结结构的所述第一设定高度范围内,所述第二类第一外延层位于所述超结结构的所述第二设定高度范围内;其中,所述第一厚度范围的最小值大于所述第二厚度范围的最大值,每个所述第一导电类型柱在所述第一类第一外延层和所述第二类第一外延层中的掺杂量均相等,每个所述第二导电类型柱在所述第一类第一外延层和所述第二类第一外延层中的掺杂量均相等。

[0013] 根据本申请第三方面,提供了一种电子设备,所述电子设备包括:上述任意一种所述的超结VDMOS器件。

[0014] 根据本申请实施例提供的超结VDMOS器件及其制备方法、电子设备,通过使超结结构内每个导电类型柱在超结结构的第一设定高度范围内的掺杂浓度均小于该导电类型柱在第二设定高度范围内的掺杂浓度,来对栅漏电容进行优化,使其在低漏源电压条件下的栅漏电容增大,避免出现低漏源电压下栅漏电容凹坑的现象。

附图说明

[0015] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

[0016] 图1为本发明一实施例示出的超结VDMOS器件的超结结构的剖视示意图;

[0017] 图2~图7为本发明一实施例示出制备超结结构时各个步骤的剖视示意图;

[0018] 图8为本发明一实施例示出的超结VDMOS器件的剖视示意图;

[0019] 图9为本发明一实施例示出的偏N型和偏P型超结结构的栅漏电容随漏源电压变化曲线对比图；

[0020] 图10为本发明示出的一种偏P型超结结构与现有偏P型超结结构的栅漏电容随漏源电压变化曲线对比图；

[0021] 图11为现有偏P型超结结构的耗尽线随漏源电压变化仿真图；

[0022] 图12为本发明一实施例示出的偏P型超结结构的耗尽线随漏源电压变化仿真图。

[0023] 附图标记：

[0024] 10-衬底21-第一外延层22-第二外延层31-第一导电类型柱

[0025] 32-第二导电类型柱41-半导体体区42-半导体源区51-栅极金属52-栅氧化层53-栅极导电多晶硅60-源极金属70-漏极金属

具体实施方式

[0026] 为了使得本发明的目的、技术方案和优点更为明显，下面将参照附图详细描述根据本发明的示例实施例。显然，所描述的实施例仅仅是本发明的一部分实施例，而不是本发明的全部实施例，应理解，本发明不受这里描述的示例实施例的限制。基于本发明中描述的本发明实施例，本领域技术人员在没有付出创造性劳动的情况下所得到的所有其它实施例都应落入本发明的保护范围之内。

[0027] 在下文的描述中，给出了大量具体的细节以便提供对本发明更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本发明可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本发明发生混淆，对于本领域公知的一些技术特征未进行描述。

[0028] 应当理解的是，本发明能够以不同形式实施，而不应当解释为局限于这里提出的实施例。相反地，提供这些实施例将使公开彻底和完全，并且将本发明的范围完全地传递给本领域技术人员。

[0029] 在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

[0030] 为了彻底理解本发明，将在下列的描述中提出详细的结构，以便阐释本发明提出的技术方案。本发明的可选实施例详细描述如下，然而除了这些详细描述外，本发明还可以具有其他实施方式。

[0031] 下面结合附图，对本发明的一些实施方式作详细说明。在不冲突的情况下，下述的实施例及实施例中的特征可以相互组合。

[0032] 首先需要介绍下本申请中超结VDMOS器件的应用场景，该超结VDMOS器件作为一种类型的功率器件，应用于各种需要功率器件的电子设备中。

[0033] 本申请还提供了一种超结VDMOS器件，参考图1，该超结VDMOS器件包括：衬底21和超结结构。其中，超结结构形成在衬底21上。超结结构包括第一导电类型柱31和第二导电类

型柱32;每个导电类型柱均贯穿超结结构在高度方向上相对的两个表面,且每个导电类型柱在超结结构的第一设定高度范围内的掺杂浓度均小于该导电类型柱在第二设定高度范围内的掺杂浓度。

[0034] 在上述的方案中,通过使超结结构内每个导电类型柱在超结结构的第一设定高度范围内的掺杂浓度均小于该导电类型柱在第二设定高度范围内的掺杂浓度,来对栅漏电容进行优化,使其在低漏源电压条件下的栅漏电容增大,避免出现低漏源电压下栅漏电容凹坑的现象。下面结合附图对上述各个结构进行详细的介绍。

[0035] 如图1及图2所示,该衬底10作为承载结构,可以采用诸如但不限于N型衬底、P型衬底等,具体与超结VDMOS器件的类型相关。例如,在一些实施例中,衬底10可以选择N型衬底。应当理解的是,衬底10上还可以设置其他的层结构,例如,还可以在衬底10上设置缓冲层,缓冲层的类型具体可以为N型或P型缓冲层等,其具体与超结VDMOS器件的类型相关。

[0036] 参考图1,在衬底10上形成有超结结构,超结结构包括第一导电类型柱31和第二导电类型柱32。每个导电类型柱均贯穿超结结构在高度方向上相对的两个表面。高度方向指的是垂直于衬底21的方向。其中,超结结构中远离衬底21的方向为高度的正方向,超结结构中靠近衬底21的方向为高度的负方向。当然,超结结构的高度一定为正数。第一导电类型柱31和第二导电类型柱32中的每个导电类型柱均贯穿于超结结构高度方向上相等的两个表面,即每个导电类型柱的一端与衬底21接触,另一端外露于超结结构远离衬底21的表面。可以看出,每个导电类型柱的延伸方向与高度方向基本平行。

[0037] 在确定上述第一导电类型柱31和第二导电类型柱32的类型时,第一导电类型柱31可以为P型掺杂柱,第二导电类型柱32可以为N型掺杂柱。应当理解的是,上述仅示出了一种方式,除此之外,还可以采用其他方式,例如,第一导电类型柱31还可以为N型掺杂柱,第二导电类型柱32还可以为P型掺杂柱。

[0038] 在确定第一导电类型柱31和第二导电类型柱32的掺杂浓度时,可以使第一导电类型柱31的掺杂浓度大于第二导电类型柱32的掺杂浓度。此时,在第一导电类型柱31为P型掺杂柱,第二导电类型柱32为N型掺杂柱时,此时的超结结构为偏P型超结结构。当然,也可以使第一导电类型柱31的掺杂浓度小于或等于第二导电类型柱32的掺杂浓度。例如,在第一导电类型柱31的掺杂浓度小于第二导电类型柱32的掺杂浓度,且第一导电类型柱31为P型掺杂柱,第二导电类型柱32为N型掺杂柱时,此时的超结结构为偏N型超结结构。

[0039] 由图1可以看出,第一导电类型柱31和第二导电类型柱32的个数为多个,且多个第一导电类型柱31和第二导电类型柱32交替排列。应当理解的是,图1仅示出了一种导电类型柱的排列方式,除此之外,还可以采用其他的排列方式。

[0040] 且每个导电类型柱在超结结构的第一设定高度范围内的掺杂浓度,均小于该导电类型柱在第二设定高度范围内的掺杂浓度。具体的,针对每个第一导电类型柱31,该第一导电类型柱31在超结结构的第一设定高度范围内的掺杂浓度,要小于该第一导电类型柱31在第二设定高度范围内的掺杂浓度。针对每个第二导电类型柱32,该第二导电类型柱32在超结结构的第一设定高度范围内的掺杂浓度,要小于该第二导电类型柱32在第二设定高度范围内的掺杂浓度。即每个导电类型柱在高度方向上的掺杂浓度并非均匀的掺杂浓度,而是在第一设定高度范围内的掺杂浓度要小于第二设定高度范围内的掺杂浓度,从而使每个导电类型柱在第一设定高度范围内的电阻率要大于第二设定高度范围内的电阻率,从而对栅

漏电容进行优化,使其在低漏源电压条件下的栅漏电容增大,避免出现低漏源电压下栅漏电容凹坑的现象。

[0041] 在确定上述的第一设定高度范围和第二设定高度范围时,具体与超结结构的总高度有关,还与掺杂离子的类型、掺杂浓度等因素相关。

[0042] 示例性的,在一些实施例中,第一设定高度范围可以为超结结构的 $1/2\sim 3/4$ 高度范围,第二设定高度范围可以为超结结构内除第一设定高度范围之外的其他高度范围。即每个导电类型柱在超结结构的 $1/2\sim 3/4$ 高度范围处的掺杂浓度要小于在超结结构其他高度范围处的掺杂浓度,从而使每个导电类型柱在超结结构的 $1/2\sim 3/4$ 高度范围处的电阻率要大于其他高度范围处的电阻率,从而对栅漏电容进行优化,使其在低漏源电压条件下的栅漏电容增大,避免出现低漏源电压下栅漏电容凹坑的现象。应当理解的是,上述仅示出了确定第一设定高度范围和第二设定高度范围的一种方式,除此之外,还可以采用其他方式。

[0043] 在一些实施例中,参考图2~图6,超结结构还可以包括多层第一外延层21,多层第一外延层21依次层叠在衬底10上。每层第一外延层21中形成有第一导电类型柱31和第二导电类型柱32;任意相邻两层第一外延层21中的第一导电类型柱31层叠设置,任意相邻两层第一外延层21中的第二导电类型柱32层叠设置。即每个导电类型柱是由设置在多层第一外延层21中的多段导电类型柱层叠而成。具体的,每个第一导电类型柱31是由设置在多层第一外延层21中的多段第一导电类型柱31层叠而成。每个第二导电类型柱32是由设置在多层第二外延层22中的多段第二导电类型柱32层叠而成。需要解释的是,由于图1中仅示出了超结VDMOS器件的部分区域的剖视图,示出的这部分区域为设置超结结构的区域。

[0044] 在制备超结结构过程中,每生长一层第一外延层21之后,需要在新生长且位于最上层的第一外延层21中各进行一道P型离子和N型离子注入,形成不同的第一导电类型柱31和第二导电类型柱32,所以图3并没有示出第一外延层21,而是仅示出了P型离子和N型离子注入后形成的第一导电类型柱31和第二导电类型柱32。

[0045] 参考图1,多层第一外延层21可以分为第一类第一外延层21和第二类第一外延层21,第一类第一外延层21中每个第一外延层21的厚度为第一厚度范围,第二类第一外延层21中每个第一外延层21的厚度为第二厚度范围。多层第一外延层21中第一类第一外延层21的厚度要明显厚于第二类第一外延层21的厚度。即第一类第一外延层21的厚度为第一厚度范围,第二类第一外延层21的厚度为第二厚度范围,第一厚度范围的最小值大于第二厚度范围的最大值。通过修改特定的第一外延层21的厚度,对特定区域的单层第一外延层21进行加厚到第一厚度范围,后续可以控制在每层第一外延层21中的掺杂量相同,从而调整不同第一外延层21内导电类型柱的掺杂浓度,实现对不同导电类型柱在高度方向上的掺杂浓度的调整,来对栅漏电容进行优化,使其在低漏源电压条件下的栅漏电容增大,避免出现低漏源电压下栅漏电容凹坑的现象。

[0046] 在一些实施例中,可以使第一类第一外延层21位于超结结构的第一设定高度范围内,第二类第一外延层21位于超结结构的第二设定高度范围内。还使每个导电类型柱在第一类第一外延层21和第二类第一外延层21中的掺杂量均相等。具体的,每个第一导电类型柱31在第一类第一外延层21和第二类第一外延层21中的掺杂量均相等,每个第二导电类型柱32在第一类第一外延层21和第二类第一外延层21中的掺杂量均相等。从而使形成在第一

类第一外延层21中的每个导电类型柱的掺杂浓度,要小于形成在第二类第一外延层21中的该导电类型柱的掺杂浓度。通过控制每次掺杂量相等,简化制备工艺,降低调整每个导电类型柱在高度方向上的浓度分布。应当理解的是,调整每个导电类型柱在高度方向上的浓度分布的方式,并不限于上述示出的方式,除此之外,还可以采用其他方式。例如,可以调整第一外延层21的厚度相等,但是每次掺杂量不同,以调整每个导电类型柱在高度方向上的掺杂浓度分布。

[0047] 在确定第一厚度范围和第二厚度范围时,示例性的,可以使第一厚度范围为第一厚度,第二厚度范围为第二厚度。即第一厚度范围和第二厚度范围各取一个单独的数值,使多层第一外延层21按照厚度分为两类,其中第一类第一外延层21的厚度为较厚的第一厚度,第二类第一外延层21的厚度为稍薄的第二厚度,使相同类的第一外延层21的厚度均匀,针对相同类的第一外延层21,在相同的注入条件下容易保证工艺的稳定性,电场稳定性较好。

[0048] 在确定第一厚度和第二厚度的大小时,第一厚度与第二厚度的比值可以不小于1.2,即第一厚度至少比第二厚度大至少20%。具体的,第一厚度与第二厚度的比值可以为1.20、1.25、1.30、1.35、1.40、1.45、1.50等不小于1.2的任意值。应当理解的是,第一厚度范围和第二厚度范围并不限于单独的第一厚度和第二厚度的方式,除此之外,还可以采用其他的厚度范围设置方式。例如,第一厚度范围中可以包含有至少两个厚度值,第一厚度范围的第一外延层21的厚度可以取第一厚度范围内的任意值;第二厚度范围中可以包含有至少两个厚度值,第二厚度范围的第一外延层21的厚度可以取第二厚度范围内的任意值。

[0049] 这里面还需要解释的是,由于每生长一层第一外延层21之后,即在新生长且位于最上层的第一外延层21中形成第一导电类型柱31和第二导电类型柱32,所以先后形成的不同段的第一导电类型柱31和第二导电类型柱32的厚度,与所在的第一外延层21的厚度基本相等。在第一类第一外延层21的厚度加厚时,形成在第一类第一外延层21内的第一导电类型柱31和第二导电类型柱32的厚度,也进行了加厚。每个导电类型柱在第一类第一外延层21和第二类第一外延层21中的掺杂量均相等时,形成在第一类第一外延层21中的每个导电类型柱的掺杂浓度,要小于形成在第二类第一外延层21中的该导电类型柱的掺杂浓度。

[0050] 在确定针对多层第一外延层21的哪些第一外延层21作为第一类第一外延层21时,可以使第一类第一外延层21位于多层第一外延层21的第一设定高度范围内。只针对多层第一外延层21中位于预设区域的第一外延层21进行加厚,而对其他位置处的第一外延层21不做加厚处理。在更优的实施例中,该第一设定高度范围可以为多层第一外延层21的总高度的 $1/2\sim 3/4$ 范围。第一类第一外延层21位于所有第一外延层21的总高度的 $1/2\sim 3/4$ 范围之内。

[0051] 需要解释的是,该设定高度范围为多层第一外延层21总高度的 $1/2\sim 3/4$ 范围时,指的是距离衬底10上表面在多层第一外延层21总厚度的 $1/2\sim 3/4$ 范围内。如图1所示,多层第一外延层21的总厚度为D,则厚度为D1的第一类第一外延层21位于以衬底10的上表面为基准,距离衬底10上表面在 $1/2*D\sim 3/4*D$ 的范围之间。需要解释的是,上述设定高度范围并不限于所有第一外延层21总高度的 $1/2\sim 3/4$ 范围之内,设定高度范围的大小具体还可以根据第一外延层21的厚度、导电类型柱的尺寸、材料等相关因素,进行具体调整。

[0052] 此外,参考图1及图8,该超结VDMOS器件还可以包括:第二外延层22、源极结构、栅

极结构和漏极结构。第二外延层22形成在超结结构上,第二外延层22中形成半导体源区42和半导体体区41;源极结构和栅极结构形成在第二外延层22上;漏极结构形成在衬底10上背离超结结构的表面。

[0053] 上述第二外延层22的厚度可以与前述中的某层第一外延层21的厚度相等,也可以不相等。在生长第二外延层22之后,采用离子注入的方式分别形成半导体源区42和半导体体区41。半导体源区42可以为N型源极,也可以为P型源极。半导体体区41可以为N型体区,也可以为P型体区。

[0054] 在第二外延层22上形成源极结构时,可以在第一外延层21上形成源极金属60,源极金属60电连接位于同一半导体体区41内的两个半导体源区42。

[0055] 在第二外延层22上形成栅极结构时,可以在第一外延层21上形成栅氧化层52,之后在栅氧化层52上形成栅极导电多晶硅53,并在栅极导电多晶硅53上形成栅极金属51。

[0056] 在衬底10上背离超结结构的表面形成漏极结构时,参考图8,可以在衬底10的下表面形成漏极金属70作为漏极结构,完成超结VDMOS器件的制备。

[0057] 需要注意的是,上述仅示例性的示出制备源极结构、栅极结构和漏极结构的方式,除此之外,还可以采用其他方式。

[0058] 在上述示出的各种实施方式中,通过使超结结构内每个导电类型柱在超结结构的第一设定高度范围内的掺杂浓度均小于该导电类型柱在第二设定高度范围内的掺杂浓度,来对栅漏电容进行优化,使其在低漏源电压条件下的栅漏电容增大,避免出现低漏源电压下栅漏电容凹坑的现象。且在制备超结结构过程中,不改变生长单层外延层之后即注入杂质离子的情况下,通过修改特定的第一外延层21的厚度,对特定区域的单层第一外延层21进行加厚到第一厚度范围,来对栅漏电容进行优化,使其在低漏源电压条件下的栅漏电容增大,避免出现低漏源电压下栅漏电容凹坑的现象。本申请示出的方式,不需要改变超结VDMOS器件的整体工艺条件,易于实施。而且与传统结构相比,本申请的其他静态参数基本一致,不会造成其他性能的恶化。

[0059] 另外,参考图1~图6,本申请实施例还提供了一种超结VDMOS器件的制备方法,该超结VDMOS器件包括:

[0060] 提供一衬底21;

[0061] 在衬底21上形成超结结构;其中,超结结构包括第一导电类型柱31和第二导电类型柱32;每个导电类型柱均贯穿超结结构在高度方向上相对的两个表面,且每个导电类型柱在超结结构的第一设定高度范围内的掺杂浓度均小于该导电类型柱在第二设定高度范围内的掺杂浓度。

[0062] 在上述的方案中,通过使超结结构内每个导电类型柱在超结结构的第一设定高度范围内的掺杂浓度均小于该导电类型柱在第二设定高度范围内的掺杂浓度,来对栅漏电容进行优化,使其在低漏源电压条件下的栅漏电容增大,避免出现低漏源电压下栅漏电容凹坑的现象。下面结合附图对上述各个步骤进行详细的介绍。

[0063] 首先,参考图2,提供一衬底21,该衬底10作为承载多个第一外延层21生长的结构,可以采用诸如但不限于N型衬底、P型衬底等,具体与超结VDMOS器件的类型相关。例如,在一些实施例中,衬底10可以选择N型衬底。应当理解的是,衬底10上还可以设置其他的层结构,例如,还可以在衬底10上设置缓冲层,缓冲层的类型具体可以为N型或P型缓冲层等,其具体

与超结VDMOS器件的类型相关。

[0064] 接下来,参考图1、图2~图6,在衬底21上形成超结结构。其中,超结结构包括第一导电类型柱31和第二导电类型柱32。每个导电类型柱均贯穿超结结构在高度方向上相对的两个表面,且每个导电类型柱在超结结构的第一设定高度范围内的掺杂浓度均小于该导电类型柱在第二设定高度范围内的掺杂浓度。

[0065] 在确定上述的第一设定高度范围和第二设定高度范围时,具体与超结结构的总高度有关,还与掺杂离子的类型、掺杂浓度等因素相关。

[0066] 示例性的,在一些实施例中,第一设定高度范围可以为超结结构的 $1/2\sim 3/4$ 高度范围,第二设定高度范围可以为超结结构内除第一设定高度范围之外的其他高度范围。即每个导电类型柱在超结结构的 $1/2\sim 3/4$ 高度范围处的掺杂浓度要小于在超结结构其他高度范围处的掺杂浓度,从而使每个导电类型柱在超结结构的 $1/2\sim 3/4$ 高度范围处的电阻率要大于其他高度范围处的电阻率,从而对栅漏电容进行优化,使其在低漏源电压条件下的栅漏电容增大,避免出现低漏源电压下栅漏电容凹坑的现象。应当理解的是,上述仅示出了确定第一设定高度范围和第二设定高度范围的一种方式,除此之外,还可以采用其他方式。

[0067] 在确定上述第一导电类型柱31和第二导电类型柱32的类型时,第一导电类型柱31可以为P型掺杂柱,第二导电类型柱32可以为N型掺杂柱。应当理解的是,上述仅示出了一种方式,除此之外,还可以采用其他方式,例如,第一导电类型柱31还可以为N型掺杂柱,第二导电类型柱32还可以为P型掺杂柱。

[0068] 在确定第一导电类型柱31和第二导电类型柱32的掺杂浓度时,可以使第一导电类型柱31的掺杂浓度大于第二导电类型柱32的掺杂浓度。此时,在第一导电类型柱31为P型掺杂柱,第二导电类型柱32为N型掺杂柱时,此时的超结结构为偏P型超结结构。当然,也可以使第一导电类型柱31的掺杂浓度小于或等于第二导电类型柱32的掺杂浓度。例如,在第一导电类型柱31的掺杂浓度小于第二导电类型柱32的掺杂浓度,且第一导电类型柱31为P型掺杂柱,第二导电类型柱32为N型掺杂柱时,此时的超结结构为偏N型超结结构。

[0069] 在衬底21上形成超结结构的方式可以采用多种方式,下面结合附图示例性的介绍一种实现方式。

[0070] 参考图2~图6,在衬底10上依次生长多层第一外延层21,且在衬底10上依次生长多层第一外延层21的过程中,每生长一层第一外延层21之后,在最上层第一外延层21中形成第一导电类型柱31和第二导电类型柱32。其中,任意相邻两层第一外延层21中的第一导电类型柱31层叠设置,任意相邻两层第一外延层21中的第二导电类型柱32层叠设置。且多层第一外延层21分为第一类第一外延层21和第二类第一外延层21,第一类第一外延层21中每个第一外延层21的厚度为第一厚度范围,第二类第一外延层21中每个第一外延层21的厚度为第二厚度范围,其中,第一厚度范围的最小值大于第二厚度范围的最大值。第一类第一外延层21位于超结结构的第一设定高度范围内,第二类第一外延层21位于超结结构的第二设定高度范围内,每个导电类型柱在第一类第一外延层21和第二类第一外延层21中的掺杂量均相等。

[0071] 下面对每次生长第一外延层21、以及生长第一外延层21之后形成不同导电类型柱的方式进行详细的介绍。

[0072] 参考图2,在衬底10上生长一层第一外延层21,并在刚生长的位于最上层的第一外延层21中形成第一导电类型柱31和第二导电类型柱32。具体在第一外延层21中形成两种不同的导电类型柱时,形成的方式为在刚生长的第一外延层21中,各进行一道P型离子和N型离子注入,形成不同的第一导电类型柱31和第二导电类型柱32。由图3可以看出,第一导电类型柱31和第二导电类型柱32的个数为多个,且多个第一导电类型柱31和第二导电类型柱32交替排列。应当理解的是,图3仅示出了一种导电类型柱的排列方式,除此之外,还可以采用其他的排列方式。

[0073] 需要解释的是,由于图2和图3中仅示出了超结VDMOS器件的部分区域的剖视图,示出的这部分区域为设置超结结构的区域。在制备超结结构过程中,每生长一层第一外延层21之后,需要在新生长且位于最上层的第一外延层21中各进行一道P型离子和N型离子注入,形成不同的第一导电类型柱31和第二导电类型柱32,所以图3并没有示出第一外延层21,而是仅示出了P型离子和N型离子注入后形成的第一导电类型柱31和第二导电类型柱32。

[0074] 参考图4及图5,在形成有第一导电类型柱31和第二导电类型柱32的第一外延层21上,再次外延生长一层第一外延层21,并在新生长且位于最上层的第一外延层21中形成第一导电类型柱31和第二导电类型柱32。参考图5,相邻两层第一外延层21中的第一导电类型柱31层叠设置,相邻两层第一外延层21中的第二导电类型柱32层叠设置。具体实现相邻两层第一外延层21中的第一导电类型柱31层叠设置、第二导电类型柱32层叠设置时,可以在相邻两层第一外延层21中进行一道P型离子和N型离子注入,形成不同的第一导电类型柱31和第二导电类型柱32时,使用相同的掩膜图案,先后不同的工序中使用相同位置的对准标记进行对准,从而能够保证在基本相同的位置处形成第一导电类型柱31和第二导电类型柱32,使相邻两层第一外延层21中的第一导电类型柱31层叠设置,相邻两层第二外延层22中的第二导电类型柱32层叠设置。

[0075] 参考图6和图1,重复上述的步骤,采用上述的方式依次生长多层第一外延层21的过程中,每生长一层第一外延层21之后,在新生长且位于最上层的第一外延层21中形成第一导电类型柱31和第二导电类型柱32,直到形成如图1所示出的超结结构。

[0076] 参考图1,本申请中在依次生长多层第一外延层21的过程中,多层第一外延层21分为第一类第一外延层21和第二类第一外延层21,第一类第一外延层21中每个第一外延层21的厚度为第一厚度范围,第二类第一外延层21中每个第一外延层21的厚度为第二厚度范围,其中,第一厚度范围的最小值大于第二厚度范围的最大值。即多层第一外延层21中部分第一外延层21的厚度为第一厚度范围,其他第一外延层21的厚度为第二厚度范围。图1中厚度为D1的第一类第一外延层21,要明显厚于厚度为D2的第二类第一外延层21,即D1大于D2。其中厚度处于第一厚度范围内的第一类第一外延层21的层数可以为图1中的一层,也可以为两层或更多层。本申请相比现有的方式,通过修改特定的第一外延层21的厚度,对特定区域的单层第一外延层21进行加厚到第一厚度范围,后续可以控制在每层第一外延层21中的掺杂量相同,从而调整不同第一外延层21内导电类型柱的掺杂浓度,实现对不同导电类型柱在高度方向上的掺杂浓度的调整,来对栅漏电容进行优化,使其在低漏源电压条件下的栅漏电容增大,避免出现低漏源电压下栅漏电容凹坑的现象。

[0077] 在一些实施例中,可以使第一类第一外延层21位于超结结构的第一设定高度范围

内,第二类第一外延层21位于超结结构的第二设定高度范围内。还使每个导电类型柱在第一类第一外延层21和第二类第一外延层21中的掺杂量均相等。具体的,每个第一导电类型柱31在第一类第一外延层21和第二类第一外延层21中的掺杂量均相等,每个第二导电类型柱32在第一类第一外延层21和第二类第一外延层21中的掺杂量均相等。从而使形成在第一类第一外延层21中的每个导电类型柱的掺杂浓度,要小于形成在第二类第一外延层21中的该导电类型柱的掺杂浓度。通过控制每次掺杂量相等,简化制备工艺,降低调整每个导电类型柱在高度方向上的浓度分布。应当理解的是,调整每个导电类型柱在高度方向上的浓度分布的方式,并不限于上述示出的方式,除此之外,还可以采用其他方式。例如,可以调整第一外延层21的厚度相等,但是每次掺杂量不同,以调整每个导电类型柱在高度方向上的掺杂浓度分布。

[0078] 在确定第一厚度范围和第二厚度范围时,示例性的,可以使第一厚度范围为第一厚度,第二厚度范围为第二厚度。即第一厚度范围和第二厚度范围各取一个单独的数值,使多层第一外延层21按照厚度分为两类,其中第一类第一外延层21的厚度为较厚的第一厚度,第二类第一外延层21的厚度为稍薄的第二厚度,使相同类的第一外延层21的厚度均匀,针对相同类的第一外延层21,在相同的注入条件下容易保证工艺的稳定性,电场稳定性较好。

[0079] 在确定第一厚度和第二厚度的大小时,第一厚度与第二厚度的比值可以不小于1.2,即第一厚度至少比第二厚度大至少20%。具体的,第一厚度与第二厚度的比值可以为1.20、1.25、1.30、1.35、1.40、1.45、1.50等不小于1.2的任意值。应当理解的是,第一厚度范围和第二厚度范围并不限于单独的第一厚度和第二厚度的方式,除此之外,还可以采用其他的厚度范围设置方式。例如,第一厚度范围中可以包含有至少两个厚度值,第一类第一外延层21的厚度可以取第一厚度范围内的任意值;第二厚度范围中可以包含有至少两个厚度值,第二类第一外延层21的厚度可以取第二厚度范围内的任意值。

[0080] 需要解释的是,由于每生长一层第一外延层21之后,即在新生长且位于最上层的第一外延层21中形成第一导电类型柱31和第二导电类型柱32,所以先后形成的不同段的第一导电类型柱31和第二导电类型柱32的厚度,与所在的第一外延层21的厚度基本相等。在第一类第一外延层21的厚度加厚时,形成在第一类第一外延层21内的第一导电类型柱31和第二导电类型柱32的厚度,也进行了加厚。制备过程中,在不同厚度的第一外延层21上,P型离子和N型离子的注入剂量保持一致,且最终的热过程推结可以与之前保持一致或适当降低,从而使形成在第一类第一外延层21中的导电类型柱的掺杂浓度,要小于形成在第二类第一外延层21中的导电类型柱的掺杂浓度。

[0081] 在确定针对多层第一外延层21的哪些第一外延层21为第一类第一外延层21时,可以使第一类第一外延层21位于多层第一外延层21的第一设定高度范围内。只针对多层第一外延层21中位于预设区域的第一外延层21进行加厚,而对其他位置处的第一外延层21不做加厚处理。在更优的实施例中,该第一设定高度范围可以为多层第一外延层21的总高度的 $1/2\sim 3/4$ 范围。第一类第一外延层21位于所有第一外延层21的总高度的 $1/2\sim 3/4$ 范围之内。这么做的目的是为了为了使该设定高度区域的杂质浓度低于其他区域,从而第一导电类型柱31在较低的漏源电压(V_{ds})下容易形成未耗尽封闭区域,改善超结VDMOS器件的栅漏电容。

[0082] 需要解释的是,该设定高度范围为多层第一外延层21总高度的 $1/2\sim 3/4$ 范围时,指的是距离衬底10上表面在多层第一外延层21总厚度的 $1/2\sim 3/4$ 范围内。如图1所示,多层第一外延层21的总厚度为D,则厚度为D1的第一类第一外延层21位于以衬底10的上表面为基准,距离衬底10上表面在 $1/2*D\sim 3/4*D$ 的范围之间。需要解释的是,上述设定高度范围并不限于所有第一外延层21总高度的 $1/2\sim 3/4$ 范围之内,设定高度范围的大小具体还可以根据第一外延层21的厚度、导电类型柱的尺寸、材料等相关因素,进行具体调整。

[0083] 在依次生长了所有的第一外延层21,并在每生长一层第一外延层21之后,在新生长且位于最上层的第一外延层21中形成第一导电类型柱31和第二导电类型柱32,得到如图1所示出的结构之后,通过热过程推结形成浓度近似均匀分布的第一导电类型柱31和第二导电类型柱32交替排列的超结结构。

[0084] 需要解释的是,由于每生长一层第一外延层21之后,形成一段第一导电类型柱31和第二导电类型柱32,不同层的第一外延层21之间形成的第一导电类型柱31和第二导电类型柱32,在制备过程中,虽然不同工序之间使用了对准工艺将导电类型柱掩膜图案进行了对准,使相邻两层第一外延层21中形成的两段导电类型柱之间层叠设置。但是由于对准工艺是存在误差的,会导致相邻导电类型柱之间会存在较小的错位。

[0085] 同时在第一外延层21中进行一道P型离子和N型离子注入,形成不同的第一导电类型柱31和第二导电类型柱32之后,后续经过热过程推结,从上至下的推结过程中,每段导电类型柱中位于对应第一外延层21的下半部分,相比位于对应第一外延层21的上半部分的柱宽会稍微窄些,从而会使最终形成的每个第一导电类型柱31的多段层叠之后,会产生类型糖葫芦状的第一导电类型柱31。同样的,每个第二导电类型柱32的多段层叠之后,也会产生类型糖葫芦状的第二导电类型柱32。现有技术中,由于多层外延层的厚度均匀,通过控制热过程推结的时间,能够改善该问题。

[0086] 但是,由于本申请中部分第一外延层21做了加厚处理,制备过程中,在不同厚度的第一外延层21上,P型离子和N型离子的注入剂量保持一致,且最终的热过程推结可以与之前保持一致或适当降低,从而会使第一类第一外延层21内的第一导电类型柱31和第二导电类型柱32的下半部分的柱宽会明显的窄些,导致这部分导电类型柱与其下方第二类第一外延层21内的第一导电类型柱31和第二导电类型柱32的连接处具有明显的宽窄连接形成的凹陷,且这部分凹陷在一定的低漏源电压下,能够增大栅漏电容,从而对栅漏电容进行优化,使其在低漏源电压条件下的栅漏电容增大,避免出现低漏源电压下栅漏电容凹坑的现象。即本申请通过使设定高度区域的杂质浓度低于其他区域,从而第一导电类型柱31在较低的漏源电压(V_{ds})下容易形成未耗尽封闭区域,改善超结VDMOS器件的栅漏电容。

[0087] 另外,参考图7及图8,该制备方法还可以包括:在超结结构上生长第二外延层22,并在第二外延层22中形成半导体源区42和半导体体区41;在第二外延层22上形成源极结构和栅极结构;在衬底10上背离超结结构的表面形成漏极结构。

[0088] 其中,在超结结构上生长第二外延层22时,第二外延层22的厚度可以与前述中的某层第一外延层21的厚度相等,也可以不相等。在生长第二外延层22之后,采用离子注入的方式分别形成半导体源区42和半导体体区41。半导体源区42可以为N型源区,也可以为P型源区。半导体体区41可以为N型体区,也可以为P型体区。在第二外延层22上形成源极结构时,可以在第一外延层21上形成源极金属60,源极金属60电连接位于同一半导体体区41内

的两个半导体源区42。

[0089] 在第二外延层22上形成栅极结构时,可以在第一外延层21上形成栅氧化层52,之后在栅氧化层52上形成栅极导电多晶硅53,并在栅极导电多晶硅53上形成栅极金属51。

[0090] 在衬底10上背离超结结构的表面形成漏极结构时,参考图8,可以在衬底10的下表面形成漏极金属70作为漏极结构,完成超结VDMOS器件的制备。

[0091] 需要注意的是,上述仅示例性的示出制备源极结构、栅极结构和漏极结构的方式,除此之外,还可以采用其他方式。

[0092] 下面结合附图9~12详细介绍本申请示出的超结VDMOS器件,能够对栅漏电容进行优化,使其在低漏源电压条件下的栅漏电容增大,避免出现低漏源电压下栅漏电容凹坑的现象的原理。

[0093] 通常情况下,多次外延形成的超结结构,为保证击穿电压(BV)和抗浪涌能力(EAS能力),窗口往往选在击穿电压击穿点偏P型的区域,即P型杂质浓度低于N型杂质浓度的区域,但此区域高漏源电压下的栅漏电容相对于偏N型时偏小,且低漏源电压下容易出现栅漏电容骤降且形成凹坑的问题。如图9所示出的,偏N型和偏P型超结结构的栅漏电容随漏源电压变化曲线对比图,可以看出,虚线框定的区域内,偏P型超结结构在低漏源电压下,栅漏电容明显出现了骤降且形成凹坑。而栅漏电容凹坑和低栅漏电容,在开关测试中容易引起高电压的变化率(dV/dt),造成漏源电压和MOS管的驱动电压(V_{gs})震荡,高电流的变化率(dI/dt)和源-漏电流(I_{ds})震荡,出现源-漏电流电压尖峰等问题。

[0094] 本申请在制备超结结构过程中,不改变生长单层外延层之后即注入杂质离子的工艺情况下,通过修改特定的第一外延层21的厚度,对特定区域的单层第一外延层21进行加厚到第一厚度范围,由于部分第一外延层21做了加厚处理,从而会使第一类第一外延层21内的第一导电类型柱31和第二导电类型柱32的下半部分的柱宽会明显的窄些,导致这部分导电类型柱与其下方第二类第一外延层21内的第一导电类型柱31和第二导电类型柱32的连接处具有明显的宽窄连接形成的凹陷,且这部分凹陷在一定的低漏源电压下,能够增大栅漏电容。另外,每个导电类型柱在高度方向上的掺杂浓度并非均匀的掺杂浓度,而是在第一设定高度范围内的掺杂浓度要小于第二设定高度范围内的掺杂浓度,从而使每个导电类型柱在第一设定高度范围内的电阻率要大于第二设定高度范围内的电阻率。通过上述方式,对栅漏电容进行优化,使其在低漏源电压条件下的栅漏电容增大,避免出现低漏源电压下栅漏电容凹坑的现象。即本申请在不改变单层注入条件情况下,通过修改特定的第一外延层21的厚度来对栅漏电容进行优化,改善偏P时栅漏电容差的现象。

[0095] 以漏源电压为600V的超结结构为例,传统制备方法中,多层外延层的厚度均相对,每次离子注入条件一致,通过最终的热过程推结形成类似于糖葫芦结构的超结结构。下面示例性的介绍一种制备出的超结VDMOS器件,该超结VDMOS器件中的第一导电类型柱31为P型掺杂柱,第二导电类型柱32为N型掺杂柱,衬底10为N型衬底,且第一导电类型柱31的掺杂浓度大于第二导电类型柱32的掺杂浓度,即该超结VDMOS器件为偏P型超结VDMOS器件。采用上述示出的制备方法,多次外延形成的超结结构的预设区域的单层第一外延层21加厚处理。每个导电类型柱在高度方向上的掺杂浓度并非均匀的掺杂浓度,而是在第一设定高度范围内的掺杂浓度要小于第二设定高度范围内的掺杂浓度,从而使每个导电类型柱在第一设定高度范围内的电阻率要大于第二设定高度范围内的电阻率。通过上述方式,能够改变

低漏源电压下的PN结的耗尽快慢及形状,来改善低漏源电压下,栅漏电容下降过快的问题;同时也能够改善高漏源电压下,栅漏电容较小的问题。示例性的,参考图1,本申请中共六层第一外延层21,从下至上的四层第一外延层21的厚度 $D_2=5\mu\text{m}$,这四层第一外延层21为第二类第一外延层21。之后,再生长厚度为 D_1 的第一外延层21的厚度为 $6\mu\text{m}$,这一层第一外延层21为第二类第一外延层21。之后再生长一层厚度为 D_2 的第一外延层21,这一层第一外延层21为第二类第一外延层21。制备出如图1示出的超结结构之后,通过Sentaurus_TCAD(一种仿真软件)的仿真确认,单层加厚的幅度为20%,位置在超结区域的自下而上的1/2~3/4高度区域更优。

[0096] 针对现有的偏P型超结结构、和本申请示出的偏P型超结结构,在相同N/P条件下进行TCAD仿真,在相同偏P且击穿电压基本一致的情况下,得到的栅漏电容随漏源电压变化的曲线如图10所示。从图10可以看出,采用本申请制备方法制备出的偏P型超结结构,显著改善了漏源电压 $V_{ds}=50\text{V}$ 左右位置处的凹坑现象,且对于漏源电压处于50-300V下的栅漏电容有较明显的提升,此区间的电容提升了对超结VDMOS器件开关过程的高电压的变化率(dV/dt)、漏源电压、栅源电压(V_{gs})、漏源电流(I_{ds})的震荡有一定程度的改善作用,提高超结VDMOS器件的稳定性。

[0097] 另外,为了更清楚的介绍避免出现低漏源电压下栅漏电容凹坑的现象的原理,本申请还针对现有的偏P型超结结构、和本申请示出的偏P型超结结构,在MOS管的驱动电压 $V_{gs}=0\text{V}$,漏源电压 V_{ds} 分别在30V、40V、50V、60V下的耗尽情况进行了云图仿真,分别得到了图11和图12。其中,图11为现有偏P型超结结构的耗尽线随漏源电压变化仿真图;图12为本发明一实施例示出的偏P型超结结构的耗尽线随漏源电压变化仿真图。

[0098] 从图11和图12可以看出,两者(现有的偏P型超结结构、和本申请的偏P型超结结构)的N柱(第二导电类型柱32)耗尽均在60V时降至最底部,这与栅漏电容在60V左右降至最低点对应。但在30-50V之间,发现对于P柱(第一导电类型柱31)的耗尽情况,两者(现有的偏P型超结结构、和本申请的偏P型超结结构)之间存在较大的差异。本申请的偏P型超结结构中,P柱(第一导电类型柱31)的耗尽线在40-50V时,在第一类第一外延层21区域出现耗尽夹断的情况,导致P柱(第一导电类型柱31)下方的区域出现一片漂浮区域(Floating区域),此时该漂浮区域的电势将与周围电势相同,而图12上方与半导体源区42相通的区域电势为0V,这就导致N柱(第二导电类型柱32)在继续耗尽的过程中,底部的电场更多的指向半导体源区42区域(Source区域)下方的未耗尽区域、以及结型场效应管(JFET)区域,很少指向漂浮区域,这就是随着漏源电压的升高,本专利的结构相对于现有的偏P型超结结构的栅漏电容下降的更慢且最低峰值点较高的原因。通过上述描述可以更清楚的了解本申请如何避免出现低漏源电压下栅漏电容凹坑的现象的原理。

[0099] 需要额外注意的是,在应用到偏N型超结结构中时,即第一导电类型柱31为P型掺杂柱,第二导电类型柱32为N型掺杂柱,且第二导电类型柱32的掺杂浓度大于第一导电类型柱31的掺杂浓度。本申请通过修改特定的第一外延层21的厚度,对特定区域的单层第一外延层21进行加厚到第一厚度范围,由于部分第一外延层21做了加厚处理,从而会使第一类第一外延层21内的第一导电类型柱31和第二导电类型柱32的下半部分的柱宽会明显的窄些,导致这部分导电类型柱与其下方第二类第一外延层21内的第一导电类型柱31和第二导电类型柱32的连接处具有明显的宽窄连接形成的凹陷,且这部分凹陷针对偏N型超结结构。

另外,每个导电类型柱在高度方向上的掺杂浓度并非均匀的掺杂浓度,而是在第一设定高度范围内的掺杂浓度要小于第二设定高度范围内的掺杂浓度,从而使每个导电类型柱在第一设定高度范围内的电阻率要大于第二设定高度范围内的电阻率。通过上述方式,在一定的低漏源电压下,依然能够增大栅漏电容,从而对栅漏电容进行优化,使其在低漏源电压条件下的栅漏电容增大,避免出现低漏源电压下栅漏电容凹坑的现象。

[0100] 另外,本申请还提供了一种电子设备,该电子设备包括上述任意一种的超结VDMOS器件。该电子设备具体可以为诸如但不限于智能手机、平板电脑、笔记本电脑、智能穿戴设备、蓝牙耳机等的移动终端,还可以为诸如但不限于车载终端、工控机等终端设备。在制备超结VDMOS器件的超结结构过程中,不改变生长单层外延层之后即注入杂质离子的情况下,通过修改特定的第一外延层21的厚度,对特定区域的单层第一外延层21进行加厚到第一厚度范围,来对栅漏电容进行优化,使其在低漏源电压条件下的栅漏电容增大,避免出现低漏源电压下栅漏电容凹坑的现象。本申请示出的方式,不需要改变超结VDMOS器件的整体工艺条件,易于实施。而且与传统结构相比,本申请的其他静态参数基本一致,不会造成其他性能的恶化。

[0101] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

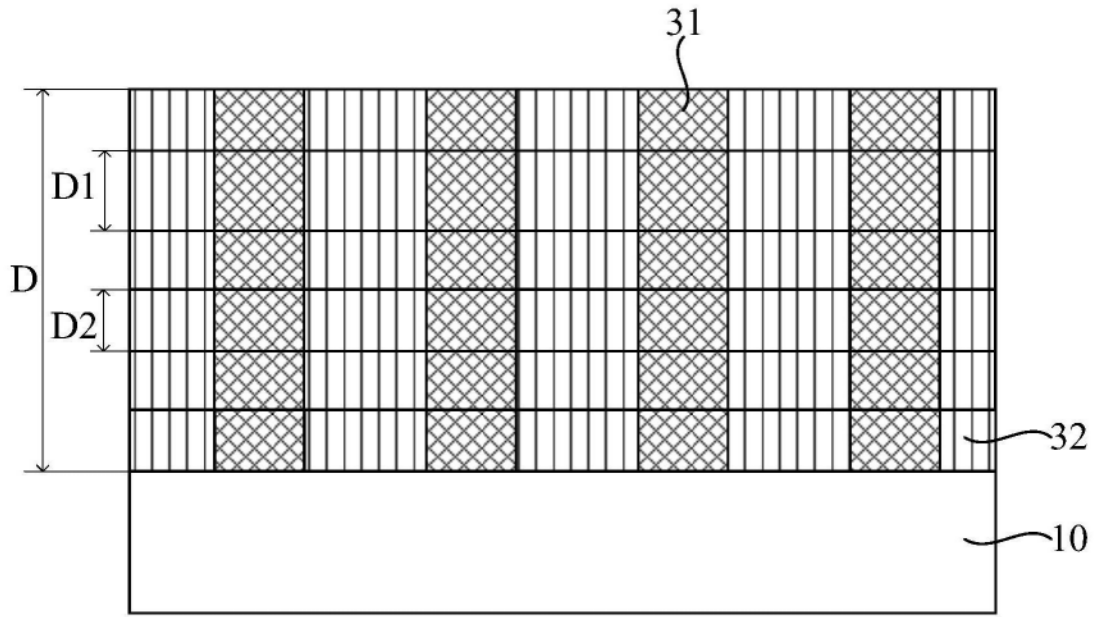


图1

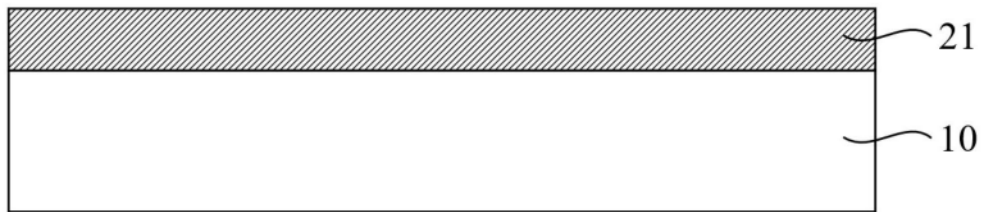


图2

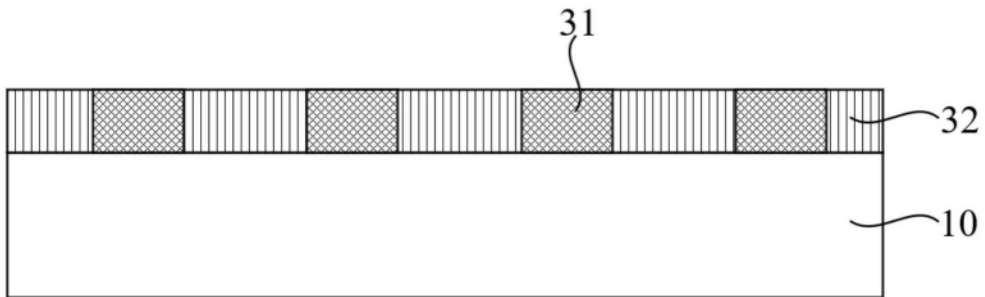


图3

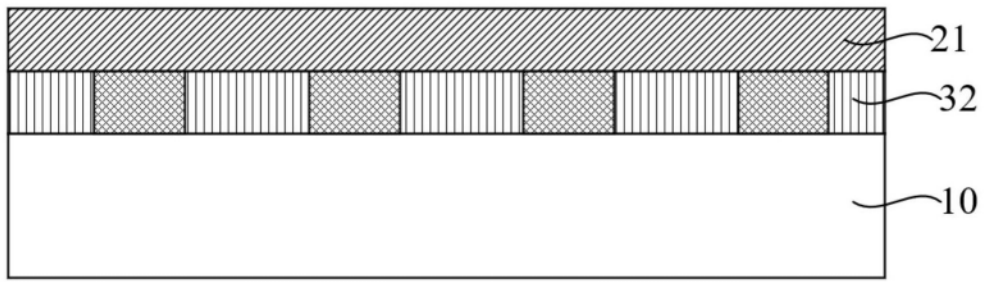


图4

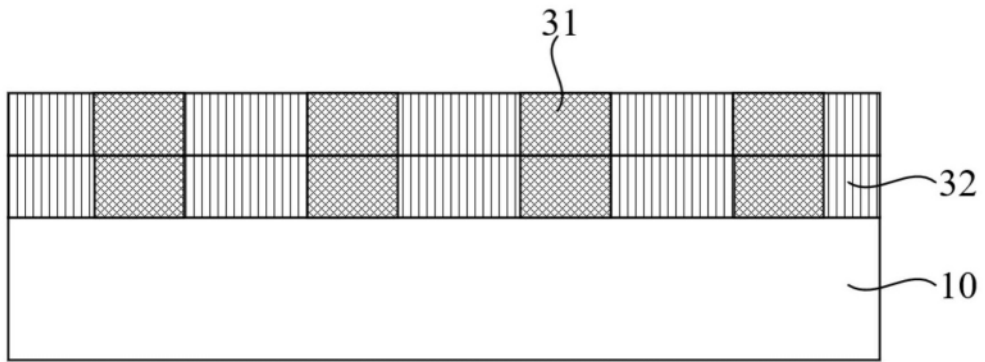


图5

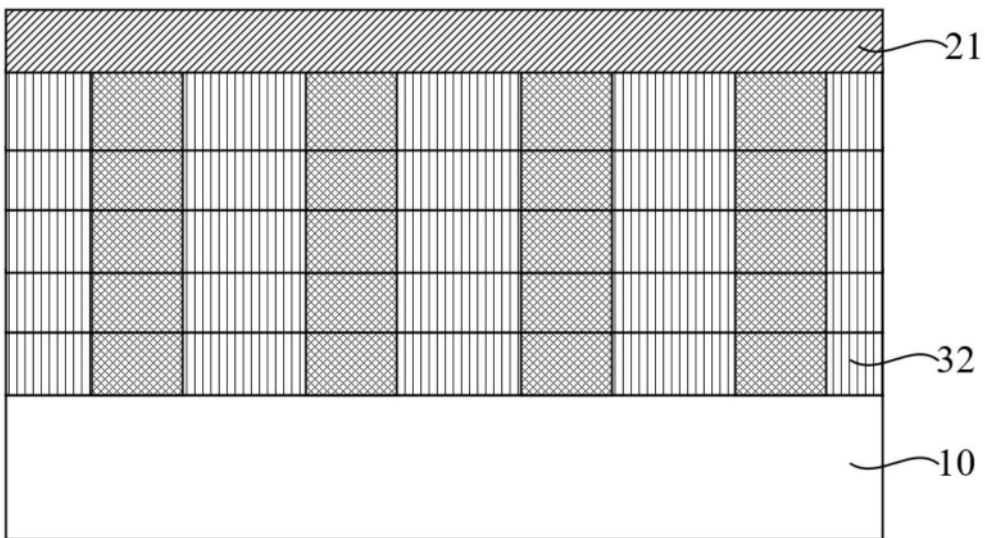


图6

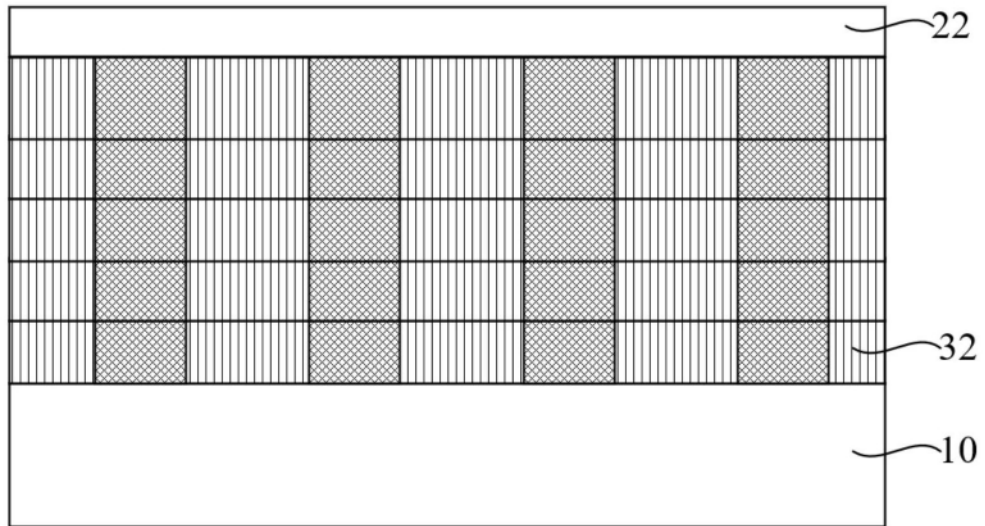


图7

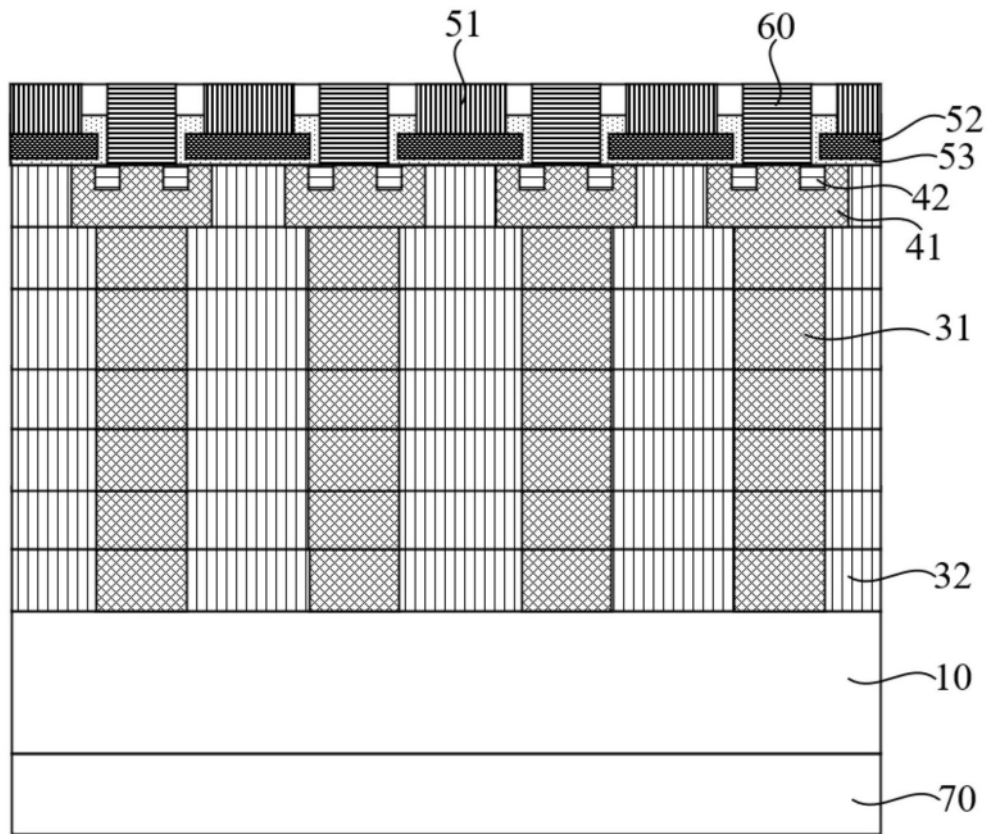


图8

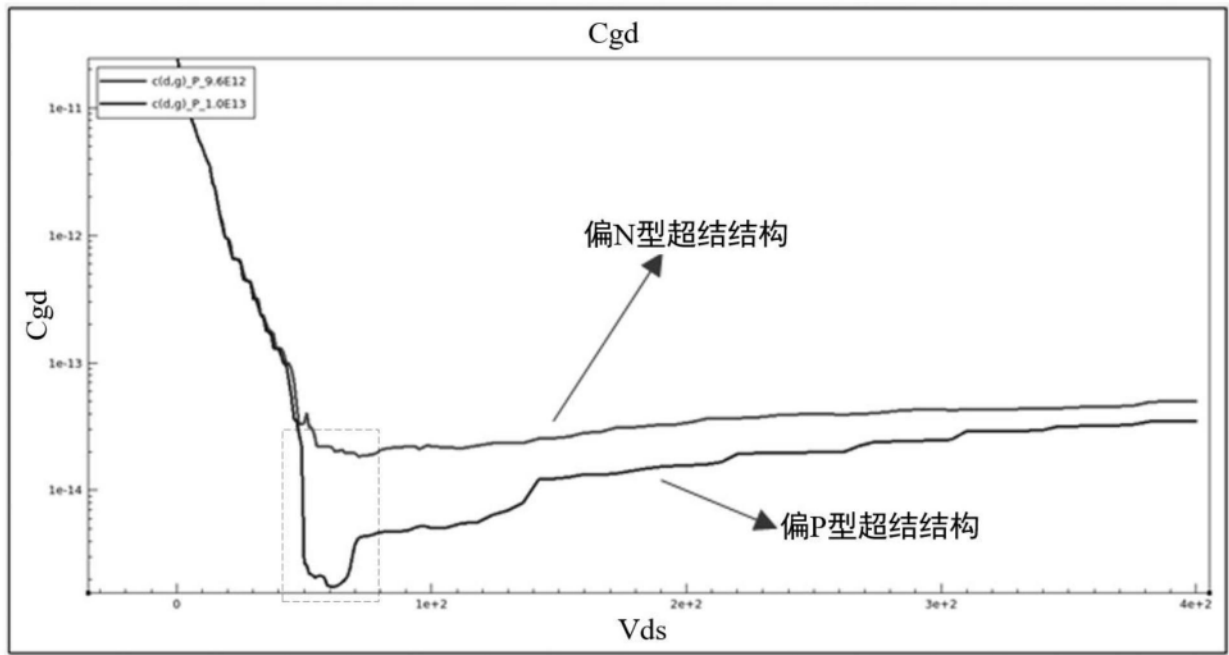


图9

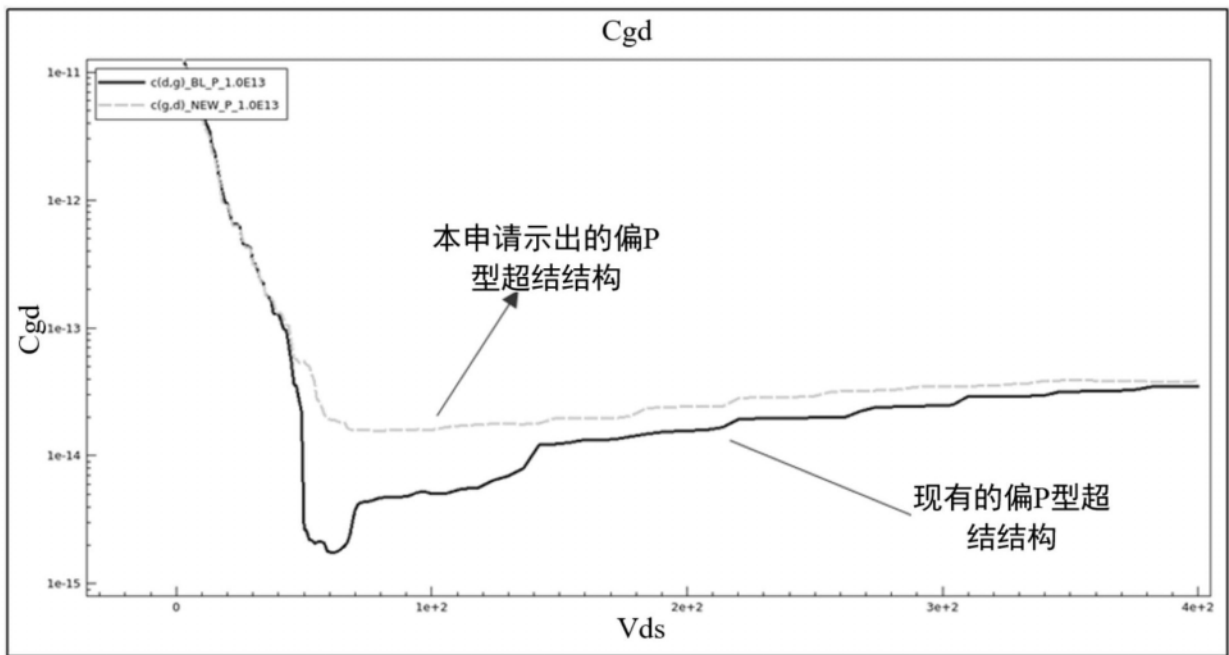


图10

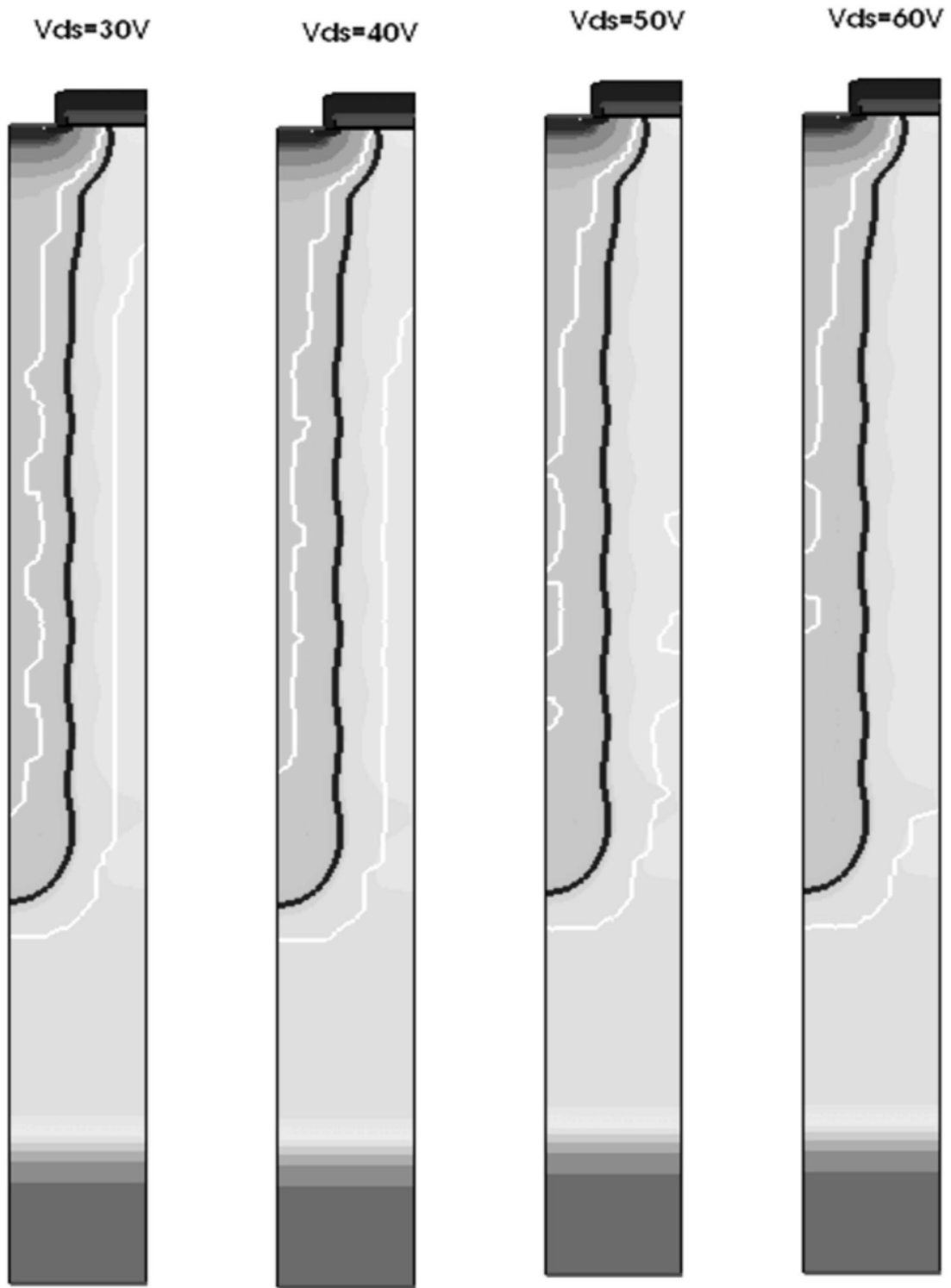


图11

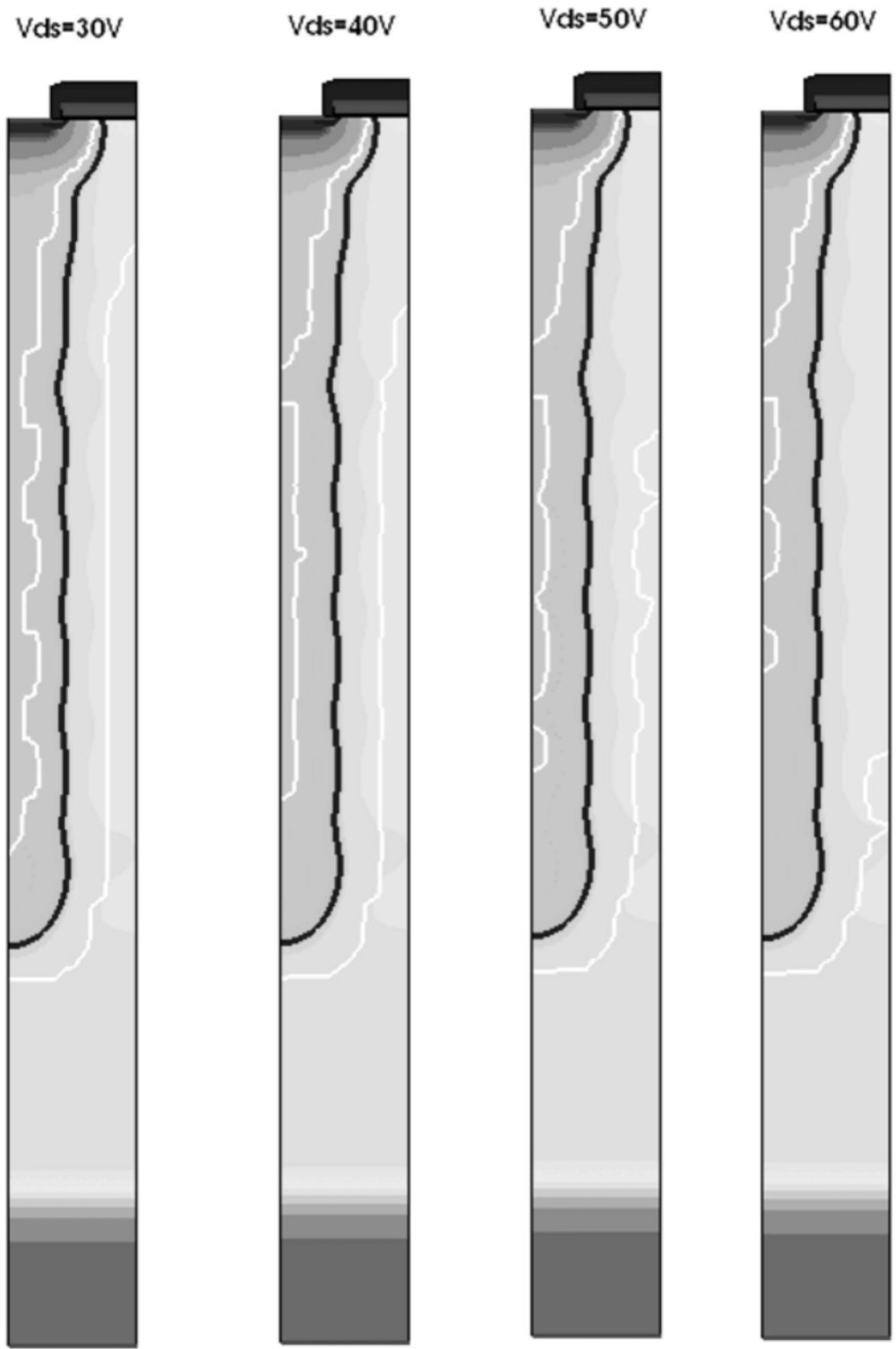


图12