

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-513557

(P2005-513557A)

(43) 公表日 平成17年5月12日(2005.5.12)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 5/00	G09G 5/00 550T	5B047
G06T 1/60	G09G 5/00 550M	5C006
G09G 3/20	G06T 1/60 450G	5C080
G09G 3/36	G09G 3/20 612R	5C082
G09G 5/36	G09G 3/20 631B	

審査請求 未請求 予備審査請求 未請求 (全 12 頁) 最終頁に続く

(21) 出願番号 特願2003-555486 (P2003-555486)
 (86) (22) 出願日 平成14年12月20日 (2002.12.20)
 (85) 翻訳文提出日 平成16年6月21日 (2004.6.21)
 (86) 国際出願番号 PCT/IB2002/005532
 (87) 国際公開番号 W02003/054847
 (87) 国際公開日 平成15年7月3日 (2003.7.3)
 (31) 優先権主張番号 10/028, 380
 (32) 優先日 平成13年12月21日 (2001.12.21)
 (33) 優先権主張国 米国 (US)

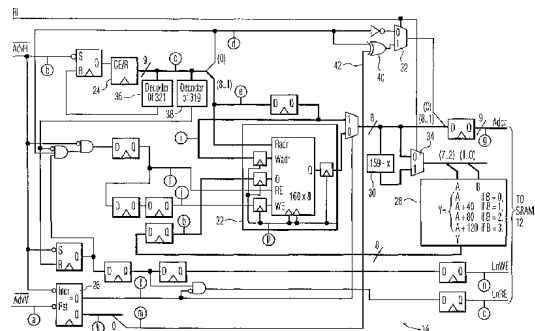
(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 Koninklijke Philips Electronics N. V.
 オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1
 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands
 (74) 代理人 100075812
 弁理士 吉武 賢次
 (74) 代理人 100088889
 弁理士 橘谷 英俊

最終頁に続く

(54) 【発明の名称】 ビデオデータを並べ替えるピクセルシャフラ

(57) 【要約】

ピクセルシャフラ(10)がデジタルビデオシステム内のビデオデータラインを並べ替える。ビデオデータの、一連のラインのピクセル群のアドレスを決定するのに適したアルゴリズムを適用することによって、並べ替え中にビデオデータを格納するのに必要なビデオメモリ(12)の量を少なくすることができる。ビデオメモリ(12)は読取・補正・書込みモードで動作する。シャフラ(10)は、セクション分けされたビデオ入力を有する反射型液晶表示パネル等の、セクション分けされたマトリクス表示パネルを有するマトリクス表示装置において使用され得る。ピクセルシャフラ(10)は、マトリクス表示パネルのセクション分けされたビデオ入力と調和するように、一連のラインのピクセル群のシーケンスを並べ替える。



【特許請求の範囲】**【請求項 1】**

ピクセル群で構成された画像のラインを表すビデオデータを並べ替えるピクセルシャフ
ラであって、

1本のライン内のピクセル群のビデオデータを格納するためのアドレスを有するメモリ
位置を含むビデオメモリと、

a) アドレスのシーケンスを格納するアドレスメモリであって、少なくとも1つのア
ドレス入力と、データ入力と、アドレスを供給するためにビデオメモリに結合される少な
くとも1つのデータ出力とを有するアドレスメモリと、

b) 前記データ出力から現行のラインのピクセル群の位置アドレスを受け取って、1
本の連続したラインのピクセル群のメモリ位置が並べ替えられたアドレスに、前記アドレ
スを変換するために結合された組合せコンバータであって、前記連続したラインのピクセル
群のアドレスを前記アドレスメモリに書き戻すために、前記コンバータの1つの出力が
前記データ入力に結合され、前記ビデオメモリを制御する組合せコンバータと、

を含むアドレス発生器と、

を備えるピクセルシャフラ。

【請求項 2】

前記組合せコンバータは、前記データ出力から受け取ったアドレスを最上位ビット部分
と最下位ビット部分とに分割すること、および、前記最下位ビット部分と一定の整数被乗
数との積に前記最上位ビット部分を加算することに適応された、請求項 1 に記載のピクセル
シャフラ。

【請求項 3】

前記アドレスの1つの最下位ビットを無視することによって、対になったピクセル群が
並べ替えられる、請求項 1 に記載のピクセルシャフラ。

【請求項 4】

前記アドレスメモリの少なくとも1つのアドレス入力に結合される出力を有するピクセル
カウンタを更に備える、請求項 1 に記載のピクセルシャフラ。

【請求項 5】

前記ピクセルカウンタの1つの出力に接続される、一对のデコーダを更に含む、請求項
1 に記載のピクセルシャフラ。

【請求項 6】

前記アドレス発生器から前記アドレスを受け取り、前記アドレスを前記ビデオメモリに
順次供給するアドレスレジスタを更に備える、請求項 1 に記載のピクセルシャフラ。

【請求項 7】

請求項 1 に記載のピクセルシャフラと、

ビデオ入力を有するセクション分けされたマトリックス表示パネルと、を備えるマトリ
ックス表示装置であって、

前記組合せコンバータは、セクション分けされた前記マトリックス表示パネルのビデオ
入力に対応する、並べ替えられたアドレスを供給する、マトリックス表示装置。

【請求項 8】

表示パネルに鏡像を供給するために、前記組合せコンバータにより受信されたアドレス
を逆転させることに適応された計算ブロックを更に備える、請求項 7 に記載のマトリッ
クス表示装置。

【請求項 9】

前記マトリックス表示パネルが反射型液晶表示 (R L C D) パネルである、請求項 7 に
記載のマトリックス表示装置。

【請求項 10】

前記アドレス発生器は、前記 R L C D パネルの水平同期信号に接続されるリセット入力
と、前記アドレスメモリに接続される出力とを有するピクセルカウンタを更に含む、請求
項 9 に記載のマトリックス表示装置。

10

20

30

40

50

【請求項 1 1】

前記アドレス発生器は、前記 R L C D パネルの垂直同期信号に接続されるリセット入力を有するラインカウンタを更に含む、請求項 1 0 に記載のマトリックス表示装置。

【請求項 1 2】

ピクセル群で構成された画像のラインを表すビデオデータを並べ替える方法であって、アドレスメモリ内の画像の第 1 ラインのピクセル群のビデオデータを含むビデオメモリのメモリ位置のアドレスを格納することと、

現行のラインのピクセル群のビデオデータが一旦メモリ位置から読み出されると、現行ラインの次のピクセル群のデータが前記ビデオメモリから読み出される前に、一連のラインのピクセル群に対応するデータがこのメモリ位置に書き込まれるよう、次のラインのピクセル群の並べ替えられたメモリ位置のアドレスを計算することと、

並べ替えられたアドレスでビデオメモリをアドレス指定することと、
を備える方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、概してデジタルビデオ処理に関し、より詳細には、セクション分けされたビデオ入力を備えたマトリックス表示を駆動するための、デジタルビデオデータの並べ替えに関する。

【背景技術】

【0 0 0 2】

反射型液晶表示 (R L C D) パネル等のマトリックス表示は、セクション分けされたデジタルビデオ入力で構築される。例えば、既知の各々 1 2 8 0 × 1 0 2 4 ピクセルを有する R L C D パネルは、各 3 2 0 × 1 0 2 4 ピクセルを有する 4 つのセクション各々のために、デジタルビデオ信号用のインターフェイスを有している。各セクションは奇数と偶数ピクセル用に独立した 8 ビットのビデオ入力を有する。従って、デジタルビデオ入力信号の各ビデオラインのピクセルをセクション分けされたデジタルビデオ入力に並べ替えることが必要である。これは、通常 3 つの主要な素子、すなわち、インターリーバ、ピクセルシャフラ及びコーナターナを備えた電子機器、すなわち、いわゆるリマップ (r e m a p p e r) を並べ替えることによって通常実行される。

【0 0 0 3】

インターリーバは、奇数のみ、または偶数のみのビデオピクセルの、3 2 ビットのクワッド (4 チャネル) ピクセルグループ (「クワドレット」 としても知られており、以後そのように称する) を作成する。このようなインターリーピングは 3 色 (赤、緑、青) 各々のために実施される。インターリーバは 3 色各々のために 3 2 ビットの出力を有し、各々の出力がビデオライン当り 3 2 0 のクワドレットを供給する。シャフラは、その 3 つの入力各々において順次番号が付けられた 0、1、2、3、... 3 1 9 のクワドレットを受け取り、0、1、8 0、8 1、1 6 0、1 6 1、2 4 0、2 4 1、2、3、8 2、8 3、... 2 3 8、2 3 9、3 1 8、3 1 9 の順序でそれらを出力する。フロントプロジェクション方式ではなく、リアプロジェクション方式で実行される R L C D プロジェクタにおいては、全てのビデオデータが正反射され、シャフラは、3 1 9、3 1 8、2 3 9、2 3 8、1 5 9、7 9、7 8、... 8 1、8 0、1、0 の順序でクワドレットを出力する。次いでコーナターナは、8 個の隣接するクワドレットの各グループ内で 8 ビットのビデオピクセルを並べ替える。

【0 0 0 4】

ピクセルシャフラが実施する操作は、マトリックス置換として表すことができる。2 つの隣接するクワドレットがこのようなマトリックスの 1 要素を表す場合は、4 0 × 4 のマトリックスを置換すべきである。マトリックスの 4 つの各列が、4 0 対の隣接するクワドレットを含む。従来の方法 (つまり、いわゆるピンポン法) で動作するピクセルシャフラは、S R A M の 2 個のメモリバンク、各 3 2 0 × 9 6 を有するビデオメモリを含む。ビデオ

オンライン期間の間に、特定のシーケンスで1つのバンクが320個のクワドレットで満たされる一方、0、1、80、81、160、161、240、241、2、3、82、83、...238、239、318、319の読取アドレス順序で他方のバンクが読み出される。3色各々が32ビットのクワドレットを有しているため、メモリ内の320の位置各々に対して、 $3 \times 32 = 96$ ビットを格納しなければならない。ピクセルシャフラのピンポン法は非常に信頼できるものであるが、SRAMの60Kビットを必要とし、このため、メモリが非常に高価なものになる。

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明の目的は、必要とされるメモリがより少ないピクセルシャフラを提供することである。

【課題を解決するための手段】

【0006】

本発明は独立請求項によって定義される。従属請求項は有利な実施の形態を定義する。

【0007】

以下の好適な実施の形態についての詳細な説明から容易に理解され、十分に認識されるように、本発明は、読取・補正・書込みモードでビデオメモリが動作できるようにする、アドレス発生器と称される装置を組み込んだピクセルシャフラによって具体化される。これはビデオメモリのどのアドレス位置であっても読み取られ、直ちに新しいデータで上書きされることを意味する。このようなシャフラは 320×96 のSRAMの1メモリバンクのみを必要とする。この場合、新しいビデオラインのピクセルのデータ群が、以前のラインとは異なる順序で格納されるため、新しいアドレス順序を必要とするであろう。本発明がこのように実用化されると、従来のシステムのメモリ容量の半分で、ピクセルシャフリング機能を実施できる。

【0008】

上記及び他の本発明の態様は、図面を参照することにより明確になるであろう。

【発明を実施するための最良の形態】

【0009】

前述したように、SRAMの1つのバンクが読取・補正・書込みモードで動作する場合、新しいビデオライン各々が新しいアドレス順序を必要とする。メモリバンクは、格納される 80×4 クワドレット各々に対するアドレス位置を有する。320の位置各々をアドレス指定できるようにするには、9個のアドレスビットが必要である。9個のアドレスビットの最下位ビットが無視される場合、つまり、例えば隣接する対のクワドレットであるクワドレット318、319は、 80×4 個のクワドレットのマトリックスの同じ要素部分であり、それらのアドレスのうち8個の最上位ビットが同じである場合、図1に示すような方法でアドレス順序が変更されるであろう。このシミュレーションから解るように、26の独特のアドレス順序(ライン0~25)を発生させ、その動作を繰り返す(ビデオライン26がビデオライン0用のアドレス順序を繰り返す等)。これらの番号は、 $40 \times 4 = 160$ 対のクワドレットのマトリックス要素の番号を示す。ビデオラインの正反射を実行する場合、アドレスシーケンスは図2に示すようになる。

【0010】

アドレスに対するアルゴリズムは以下の式で表される。図1に示したシミュレーションに対するアドレスは、

$$A_{n,i} = \text{Int} [A_{(n-1),i} / 4] + 40 * \text{残部} [A_{(n-1),i} / 4]$$

で表され、式中、nはビデオライン番号であり、iは0~159のマトリックス要素番号である。

【0011】

正反射(図2)に対するアドレスは、

10

20

30

40

50

$$A_{n,i} = \text{Int} [B_{(n-1),i} / 4] + 40 * \text{残部} [B_{(n-1),i} / 4]$$

で表され、 $B_{(n-1),i} = 159 - A_{(n-1),i}$ である。

【0012】

シャフラの好適な実施の形態のブロック図を図3に示し、図中シャフラは参照符号10で示されている。シャフラ10は、本実施の形態ではデュアルポートSRAM320×96の1つのバンクを備えたビデオメモリ12と、アドレス発生器14と、9ビットのアドレスレジスタ16と、D-フリップフロップと、論理素子とを備える。シャフラ10は、(入力されたアクティブビデオデータViR、ViG、ViBに対して)3クロック期間進んだ水平・垂直の同期パルスと同期化され、長さにおいて1クロック期間の同期パルス(アクティブ低)が対応するシャフラの入力AdvHとAdvVに印加される。水平・垂直の同期パルスは、最初のアクティブなビデオ出力VoR、VoG、VoBに先行するクロック期間で、図3において参照符号18と20で示される、対応する出力Ho及びVoにおいて各々アクティブとなる。これらの出力Ho及びVoは、コーナターナ等の次の回路ブロックを同期化させるために使用される。メモリ12の読取・書込み操作は各々のデータポートにおいて独立して、また同時に実行される。ビデオメモリ12の読取アドレス入力に結合された、アドレスレジスタ14のアドレス出力Addrに1つのアドレスが現れると、ビデオメモリ12はこのアドレスにおいて、ビデオデータViR、ViG、ViBのクワドレットの形態でデータを読み出す。次のクロック期間では、このアドレスがアドレスレジスタ16に書込まれ、ビデオメモリ12はその書込みアドレス入力においてこのアドレスを受け取り、同じアドレスにある新しいビデオデータのクワドレットをダウンロードする。

【0013】

アドレス発生器14の好適な実施の形態の回路図を図4に示す。アドレス発生器14は参照符号22で示されるアドレスメモリである、小型のデュアルポートSRAM160×8と、ピクセルカウンタ24と、ラインカウンタ26と、組み合わせコンバータ28と、計算ブロック30(159-X)と、2つのマルチプレクサ32、34と、2つのデコーダ36、38と、フリップフロップと、論理素子とを含む。画像の最初のビデオライン(ラインカウンタ=0)の間、ピクセルカウンタ24からアドレスが取られ、クワドレット(0、1、2、3、4、...319)の最初のラインのアドレスがアドレス出力Addrに送られる。同時に、最初のラインのアドレスのうち、8つの最上位ビットが組み合わせコンバータ28によって変換され、アドレスメモリ22内へとダウンロードされる。画像の最初のビデオラインの間、SRAM22のメモリ位置0、1、2、3、4、...159が、次のライン期間中にビデオメモリ12から読み出されるべきクワドレットペアのアドレスシーケンスである、データ0、40、80、120、1、...159で満たされる。最初のビデオライン以外のビデオラインの間、アドレス出力AddrはそのデータをSRAM22から受け取り、またSRAM22からのデータはコンバータ28によって変換され、SRAM22に書き戻される。図面(図4)に示すように、コンバータ28は“A”及び“B”で示された2つの入力を受け取り、最初の入力と、第2の入力値(0、1、2、3)の連続したシーケンスに対する所定数(0、40、80、120)とを加算したものの関数として、出力Yに対する値を設定する。この例では、B=0の時Y=Aであり、B=1の時Y=A+40であり、B=2の時Y=A+80であり、B=3の時Y=A+120である。第2のビデオラインの間、同じSRAM22内の位置が0、10、20、30、40、...159で上書きされる。出力アドレスの最下位ビットはビデオライン期間内に単にトグルされ、ピクセルカウンタ24の最下位ビットから得ることができる。入力Bは最下位ビット部分を表し、本例では、8ビットアドレス部分の2つの最下位ビットを表す。これら2つのビットは上述した式における“残部[A(n-1),i/4]”に対応する。

【0014】

同様に、入力“A”は、本例では、8ビットアドレス部分の5つの最上位ビットである、最上位ビットに対応する。これら5つのビットは、上述した式における“Int[A(n-1),i/4]”に対応する。最後に、コンバータ28の出力“Y”は同式におけるA

10

20

30

40

50

n_i に対応するため、 $Y = Z + 40B$ である。

【0015】

“反射”入力RIがアクティブであれば、水平正反射が実行される。この場合、コンバータ28用のデータが、計算ブロック30を通してSRAM22から取られ、それによって“159-X”操作を実行する。“X”は計算ブロック30の入力であり、上述の式における“ $A_{(n-1)_i}$ ”に対応する。計算ブロック30の出力は上述の式における“ $B_{(n-1)_i}$ ”である。コンバータ28に“ $B_{(n-1)_i}$ ”を供給することによって、コンバータ28は正反射の式を実行する。更に、所定のビデオラインに対してトグルする最下位アドレスビットの位相は、前のビデオラインのものに対して常に反対であるべきである。これは、水平正反射モードで操作している時、2つの隣接するクワドレットのどちらでも最初にメモリにダウンロードされたものを、次のビットライン中にメモリから最後に読み出すべきであるという事実に関連する。つまり、例えばクワドレット318がクワドレット319に先立ってメモリに書き込まれても、正反射が作用している場合、次のビデオラインではクワドレット319がクワドレット318よりも先に読み出される、ということである。ビデオラインカウンタ26の最下位ビットに接続された入力42を有する排他的ORゲート40によって、最下位ビットトグル相の変更が提供される。

10

【0016】

本発明の他の態様及び特徴は、図面及び以上の開示・添付請求の範囲の検討によって自明となるであろう。

【0017】

アドレス発生器14の動作タイミング図を、水平の正反射を伴わない場合と、伴う場合について、各々図5と6に示す。図5と6のタイミング図上の対応するラインとして、回路図(図4)におけるポイントと同じ文字(太字の円内)でマークし、当業者が全ての信号の正確なタイミングでアドレス発生器14の操作を理解し、実行できるようにした。

20

【0018】

上記の実施の形態は本発明を限定するのではなく、むしろ説明するものであり、添付請求の範囲から逸脱することなく、当業者が多くの代替的实施の形態を設計することに留意されたい。請求の範囲において、括弧内の参照符号は請求項を限定するものと考えべきではない。「備える(comprising)」という言葉は、請求項において記載されたもの以外の要素または工程の存在を除外するものではない。要素の前に付けられた「1つの(“a”または“an”)」という言葉は、複数の要素の存在を除外するものではない。本発明は幾つかの明確な要素を備えたハードウェア、または適切にプログラミングされたコンピュータによって実行できる。幾つかの手段を列挙する装置に関する請求項では、幾つかのこれらの手段が、1つのハードウェアの同じアイテムによって具体化され得る。相互に異なる従属請求項においてある手段が具陳されたという単なる事実は、更なる利点を得るために、これらの手段の組合せを使用できないことを示すものではない。

30

【図面の簡単な説明】

【0019】

【図1】本発明のアドレス指定技術を使用した、27の連続したビデオラインに対するアドレスシーケンスの一例を示す図。

40

【図2】図1の例における各ビデオラインの正反射に対応するアドレスシーケンスを示す図。

【図3】本発明のアドレス発生器を組み込んだシャフラの好適な実施の形態を示すブロック図。

【図4】図3のアドレス発生器の電気回路図。

【図5】水平の正反射を伴わないアドレス発生器の動作を示すタイミング図。

【図6】水平の正反射を伴ったアドレス発生器の動作を示すタイミング図。

【 図 1 】

ピポライン番号	アドレス
0	0
1	1
2	40
3	120
4	1
5	5
6	25
7	91
8	142
9	115
10	146
11	37
12	49
13	52
14	26
15	43
16	130
17	112
18	28
19	121
20	7
21	70
22	35
23	128
24	64
25	16
26	4
159	159
158	159
157	159
156	159
155	159
154	159
153	159
152	159
151	159
150	159
149	159
148	159
147	159
146	159
145	159
144	159
143	159
142	159
141	159
140	159
139	159
138	159
137	159
136	159
135	159
134	159
133	159
132	159
131	159
130	159
129	159
128	159
127	159
126	159
125	159
124	159
123	159
122	159
121	159
120	159
119	159
118	159
117	159
116	159
115	159
114	159
113	159
112	159
111	159
110	159
109	159
108	159
107	159
106	159
105	159
104	159
103	159
102	159
101	159
100	159
99	159
98	159
97	159
96	159
95	159
94	159
93	159
92	159
91	159
90	159
89	159
88	159
87	159
86	159
85	159
84	159
83	159
82	159
81	159
80	159
79	159
78	159
77	159
76	159
75	159
74	159
73	159
72	159
71	159
70	159
69	159
68	159
67	159
66	159
65	159
64	159
63	159
62	159
61	159
60	159
59	159
58	159
57	159
56	159
55	159
54	159
53	159
52	159
51	159
50	159
49	159
48	159
47	159
46	159
45	159
44	159
43	159
42	159
41	159
40	159
39	159
38	159
37	159
36	159
35	159
34	159
33	159
32	159
31	159
30	159
29	159
28	159
27	159
26	159
25	159
24	159
23	159
22	159
21	159
20	159
19	159
18	159
17	159
16	159
15	159
14	159
13	159
12	159
11	159
10	159
9	159
8	159
7	159
6	159
5	159
4	159
3	159
2	159
1	159

【 図 2 】

ピポライン番号	アドレス
0	0
1	1
2	40
3	120
4	1
5	5
6	25
7	91
8	142
9	115
10	146
11	37
12	49
13	52
14	26
15	43
16	130
17	112
18	28
19	121
20	7
21	70
22	35
23	128
24	64
25	16
26	4
159	159
158	159
157	159
156	159
155	159
154	159
153	159
152	159
151	159
150	159
149	159
148	159
147	159
146	159
145	159
144	159
143	159
142	159
141	159
140	159
139	159
138	159
137	159
136	159
135	159
134	159
133	159
132	159
131	159
130	159
129	159
128	159
127	159
126	159
125	159
124	159
123	159
122	159
121	159
120	159
119	159
118	159
117	159
116	159
115	159
114	159
113	159
112	159
111	159
110	159
109	159
108	159
107	159
106	159
105	159
104	159
103	159
102	159
101	159
100	159
99	159
98	159
97	159
96	159
95	159
94	159
93	159
92	159
91	159
90	159
89	159
88	159
87	159
86	159
85	159
84	159
83	159
82	159
81	159
80	159
79	159
78	159
77	159
76	159
75	159
74	159
73	159
72	159
71	159
70	159
69	159
68	159
67	159
66	159
65	159
64	159
63	159
62	159
61	159
60	159
59	159
58	159
57	159
56	159
55	159
54	159
53	159
52	159
51	159
50	159
49	159
48	159
47	159
46	159
45	159
44	159
43	159
42	159
41	159
40	159
39	159
38	159
37	159
36	159
35	159
34	159
33	159
32	159
31	159
30	159
29	159
28	159
27	159
26	159
25	159
24	159
23	159
22	159
21	159
20	159
19	159
18	159
17	159
16	159
15	159
14	159
13	159
12	159
11	159
10	159
9	159
8	159
7	159
6	159
5	159
4	159
3	159
2	159
1	159

【 図 3 】

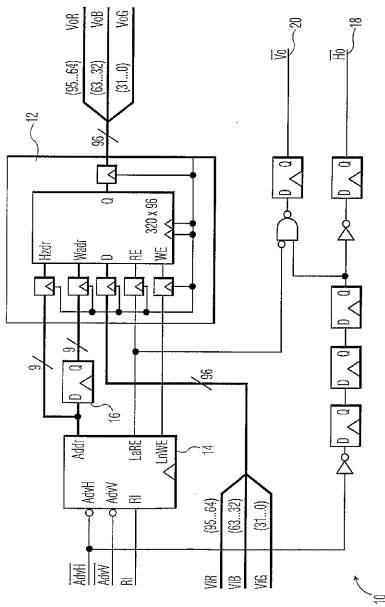
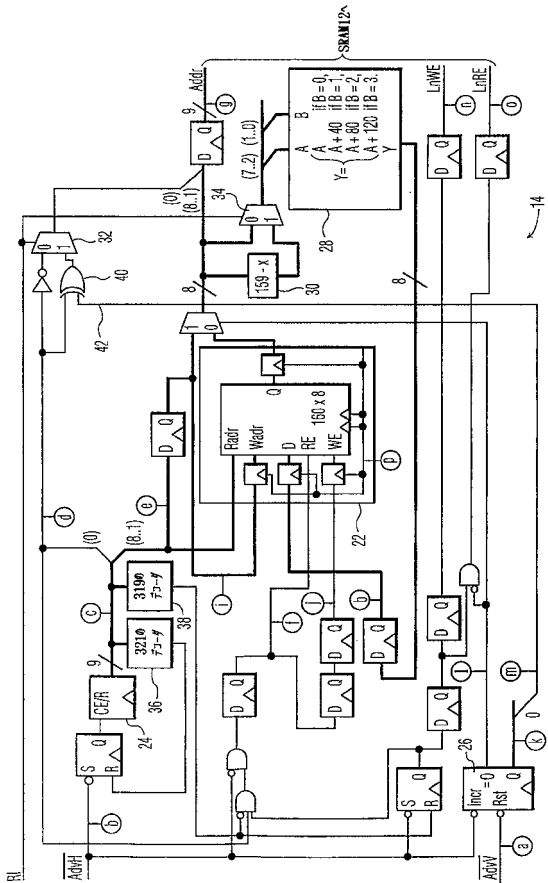


FIG. 3

【 図 4 】



【 図 5 】

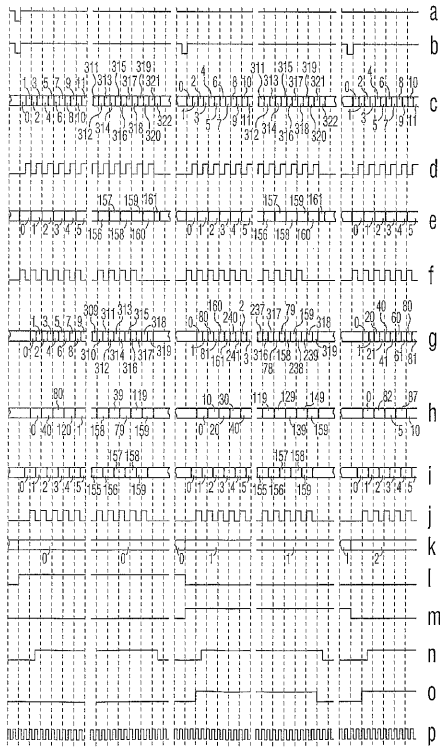


FIG.5

【 図 6 】

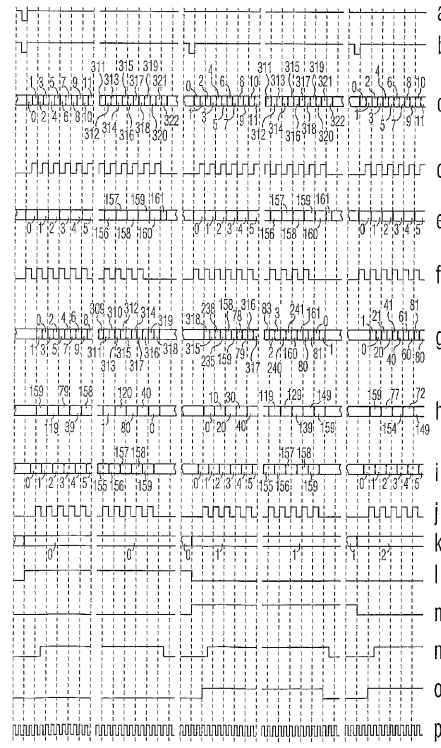


FIG.6

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No PCT/IB 02/05532		
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/36 G09G1/16				
According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G G06F				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched				
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, INSPEC, PAJ				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
Y	US 6 215 507 B1 (NALLY ROBERT MARSHALL ET AL) 10 April 2001 (2001-04-10) abstract the whole document	1-12		
Y	US 5 268 681 A (LIN CHEUN-SONG ET AL) 7 December 1993 (1993-12-07) abstract the whole document	1-12		
A	US 5 287 470 A (SIMPSON RICHARD D) 15 February 1994 (1994-02-15) abstract the whole document	1, 12		
	--- -/--			
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.				
* Special categories of cited documents : <table border="0" style="width: 100%;"> <tr> <td style="vertical-align: top;"> *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed </td> <td style="vertical-align: top;"> *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family </td> </tr> </table>			*A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed	*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed	*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family			
Date of the actual completion of the international search 27 March 2003		Date of mailing of the international search report 04/04/2003		
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Wolff, L		

INTERNATIONAL SEARCH REPORT

International Application No
PCT/IB 02/05532

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 530 759 A (TEXAS INSTRUMENTS INC) 10 March 1993 (1993-03-10) abstract claim 1 column 3, line 10 - line 49; figure 2 -----	1,12
A	PATENT ABSTRACTS OF JAPAN vol. 1995, no. 11, 26 December 1995 (1995-12-26) & JP 07 220059 A (FUJITSU LTD), 18 August 1995 (1995-08-18) abstract -----	1,12

INTERNATIONAL SEARCH REPORT

Inte:	Application No
	PCI/1B 02/05532

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6215507	B1	10-04-2001	NONE	
US 5268681	A	07-12-1993	NONE	
US 5287470	A	15-02-1994	JP 3198116 B2 JP 4211847 A	13-08-2001 03-08-1992
EP 0530759	A	10-03-1993	US 5255100 A DE 69219700 D1 DE 69219700 T2 EP 0530759 A2 JP 3177008 B2 JP 5224644 A KR 256187 B1	19-10-1993 19-06-1997 13-11-1997 10-03-1993 18-06-2001 03-09-1993 15-05-2000
JP 07220059	A	18-08-1995	JP 3001763 B2 GB 2289199 A	24-01-2000 08-11-1995

フロントページの続き

(51) Int.Cl. ⁷	F I	テーマコード(参考)
	G 0 9 G 3/20	6 3 1 C
	G 0 9 G 3/20	6 6 0 F
	G 0 9 G 3/36	
	G 0 9 G 5/36	5 2 0 K

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100082991
弁理士 佐藤 泰和

(74) 代理人 100096921
弁理士 吉元 弘

(74) 代理人 100103263
弁理士 川崎 康

(74) 代理人 100108785
弁理士 箱崎 幸雄

(72) 発明者 ビクター、エル・ゴーンステイン
オランダ国 5 6 5 6、アーアー、アインドーフエン、プロフ・ホルストラーン、6

(72) 発明者 ジョン、エ・ディーン
オランダ国 5 6 5 6、アーアー、アインドーフエン、プロフ・ホルストラーン、6

Fターム(参考) 5B047 EA05 EB12 EB13 EB15
5C006 AA02 AB01 AC21 AF02 AF03 AF04 AF14 AF42 AF43 AF51
BB11 BB28 BC16 BF02 BF06 BF24 BF26 FA44
5C080 AA10 BB05 DD22 EE23 FF09 GG02 GG14 GG15 GG17 JJ02
5C082 BB22 BD02 CA42 CA81 DA63 DA86 DA89 MM04