



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2015년01월05일  
(11) 등록번호 10-1478149  
(24) 등록일자 2014년12월24일

(51) 국제특허분류(Int. Cl.)  
G11C 16/34 (2006.01) G11C 16/24 (2006.01)  
G11C 16/08 (2006.01)  
(21) 출원번호 10-2008-0102536  
(22) 출원일자 2008년10월20일  
심사청구일자 2013년10월21일  
(65) 공개번호 10-2010-0043484  
(43) 공개일자 2010년04월29일  
(56) 선행기술조사문헌  
KR1020060060528 A  
US7239556 A  
US7301815 B2  
KR100161413 B1

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
강명곤  
경기도 수원시 영통구 청명로59번길 7-3, 302호 (영통동)  
박기태  
경기 성남시 분당구 수내로 201, 410동 304호 (분당동, 샛별마을삼부아파트)  
(74) 대리인  
권혁수, 오세준, 송윤호

전체 청구항 수 : 총 15 항

심사관 : 한선경

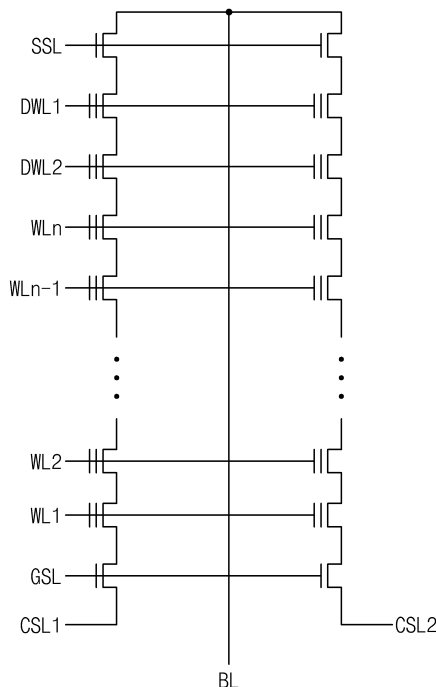
(54) 발명의 명칭 **더미 트랜지스터를 갖는 플래시 메모리 장치**

(57) 요약

본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 더미 트랜지스터를 갖는 플래시 메모리 장치에 관한 것이다.

본 발명에 따른 플래시 메모리 장치는 제 1 및 제 2 더미 트랜지스터를 통해 비트 라인에 연결된 제 1 메모리 셀 (뒷면에 계속)

**대표도** - 도5



스트링; 및 제 3 및 제 4 더미 트랜지스터를 통해 상기 비트 라인에 연결된 제 2 메모리 셀 스트링을 포함하되, 상기 제 1 및 제 3 더미 트랜지스터는 제 1 더미 워드 라인에 연결되고, 상기 제 2 및 제 4 더미 트랜지스터는 제 2 더미 워드 라인에 연결되며, 상기 제 1 및 제 3 더미 트랜지스터의 문턱 전압은 서로 다르게 설정되고, 상기 제 2 및 제 4 더미 트랜지스터의 문턱 전압은 서로 다르게 설정된다.

본 발명에 따른 플래시 메모리 장치는 공통 비트 라인 구조의 메모리 셀 스트링을 선택하기 위해 더미 트랜지스터를 사용한다. 따라서 스트링 선택 트랜지스터를 배치하기 위한 영역이 요구되지 않는다. 본 발명에 따르면 플래시 메모리 장치의 집적도가 향상되고, 제조 비용이 감소한다.

---

**특허청구의 범위**

**청구항 1**

제 1 및 제 2 더미 트랜지스터를 통해 비트 라인에 연결된 제 1 메모리 셀 스트링; 및  
 제 3 및 제 4 더미 트랜지스터를 통해 상기 비트 라인에 연결된 제 2 메모리 셀 스트링을 포함하되,  
 상기 제 1 및 제 3 더미 트랜지스터는 제 1 더미 워드 라인에 연결되고, 상기 제 2 및 제 4 더미 트랜지스터는 제 2 더미 워드 라인에 연결되며, 상기 제 1 및 제 3 더미 트랜지스터의 문턱 전압은 서로 다르게 설정되고, 상기 제 2 및 제 4 더미 트랜지스터의 문턱 전압은 서로 다르게 설정되며,  
 상기 제 1 및 제 4 더미 트랜지스터의 문턱 전압은 소정의 문턱 전압보다 높고, 상기 제 2 및 제 3 더미 트랜지스터의 문턱 전압은 상기 소정의 문턱 전압보다 낮은 플래시 메모리 장치.

**청구항 2**

제 1 항에 있어서,  
 상기 제 1 및 제 4 더미 트랜지스터는 양의 문턱 전압을 갖도록 프로그램되는 플래시 메모리 장치.

**청구항 3**

제 2 항에 있어서,  
 상기 제 1 및 제 4 더미 트랜지스터에 대한 프로그램 동작은 상기 플래시 메모리 장치에 대한 소거 동작 완료 후에 수행되는 플래시 메모리 장치.

**청구항 4**

제 1 항에 있어서,  
 상기 제 2 및 제 3 더미 트랜지스터는 음의 문턱 전압을 갖는 플래시 메모리 장치.

**청구항 5**

제 1 항에 있어서,  
 상기 제 1 메모리 셀 스트링은 접지 선택 라인에 연결된 제 1 접지 선택 트랜지스터를 더 포함하고, 상기 제 2 메모리 셀 스트링은 접지 선택 라인에 연결된 제 2 접지 선택 트랜지스터를 더 포함하며,  
 상기 제 1 접지 선택 트랜지스터는 제 1 공통 소오스 라인에 연결되고, 상기 제 2 접지 선택 트랜지스터는 제 2 공통 소오스 라인에 연결되는 플래시 메모리 장치.

**청구항 6**

제 5 항에 있어서,  
 상기 제 1 더미 트랜지스터를 프로그램하기 위하여 상기 제 1 더미 워드 라인에 프로그램 전압이 인가되고, 상기 제 2 더미 워드 라인에 페스 전압이 인가되고, 상기 제 1 공통 소오스 라인에 접지 전압이 인가되는 플래시 메모리 장치.

**청구항 7**

제 5 항에 있어서,  
 상기 제 4 더미 트랜지스터를 프로그램하기 위하여 상기 제 1 더미 워드 라인에 페스 전압이 인가되고, 상기 제 2 더미 워드 라인에 프로그램 전압이 인가되고, 상기 제 2 공통 소오스 라인에 접지 전압이 인가되는 플래시 메모리 장치.

**청구항 8**

제 5 항에 있어서,

상기 제 1 메모리 셀 스트링은 복수의 플로팅 게이트 트랜지스터들을 포함하고, 상기 플로팅 게이트 트랜지스터를 프로그램하기 위하여 상기 제 1 더미 워드 라인에 상기 제 1 더미 트랜지스터의 문턱 전압보다 높은 전압이 인가되고, 상기 제 2 더미 워드 라인에 접지 전압이 인가되고, 상기 제 2 공통 소오스 라인에 접지 전압이 인가되는 플래시 메모리 장치.

**청구항 9**

제 8 항에 있어서,

상기 제 1 메모리 셀 스트링에 포함된 상기 플로팅 게이트 트랜지스터를 프로그램하기 전에 상기 제 2 메모리 셀 스트링의 채널 전압을 상승시키는 플래시 메모리 장치.

**청구항 10**

제 5 항에 있어서,

상기 제 2 메모리 셀 스트링은 복수의 플로팅 게이트 트랜지스터들을 포함하고, 상기 플로팅 게이트 트랜지스터를 프로그램하기 위하여 상기 제 1 더미 워드 라인에 접지 전압이 인가되고, 상기 제 2 더미 워드 라인에 상기 제 4 더미 트랜지스터의 문턱 전압보다 높은 전압이 인가되고, 상기 제 1 공통 소오스 라인에 접지 전압이 인가되는 플래시 메모리 장치.

**청구항 11**

제 10 항에 있어서,

상기 제 2 메모리 셀 스트링에 포함된 상기 플로팅 게이트 트랜지스터를 프로그램하기 전에 상기 제 1 메모리 셀 스트링의 채널 전압을 상승시키는 플래시 메모리 장치.

**청구항 12**

제 5 항에 있어서,

상기 제 1 메모리 셀 스트링은 제 5 및 제 6 더미 트랜지스터를 통해 상기 제 1 접지 선택 트랜지스터에 연결되고, 상기 제 2 메모리 셀 스트링은 제 7 및 제 8 더미 트랜지스터를 통해 상기 제 2 접지 트랜지스터에 연결되는 플래시 메모리 장치.

**청구항 13**

제 12 항에 있어서,

상기 제 5 및 제 7 더미 트랜지스터의 문턱 전압은 서로 다르게 설정되고, 상기 제 6 및 제 8 더미 트랜지스터의 문턱 전압은 서로 다르게 설정되는 플래시 메모리 장치.

**청구항 14**

제 12 항에 있어서,

상기 제 5 및 제 8 더미 트랜지스터는 양의 문턱 전압을 갖도록 프로그램되는 플래시 메모리 장치.

**청구항 15**

제 12 항에 있어서,

상기 제 6 및 제 7 더미 트랜지스터는 음의 문턱 전압을 갖는 플래시 메모리 장치.

**명세서**

**발명의 상세한 설명**

**기술분야**

본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 더미 트랜지스터를 갖는 플래시 메모리 장치

[0001]

에 관한 것이다.

**배경 기술**

[0002] 데이터의 유지를 위한 전원 공급을 요하지 않고 전기적으로 소거(erase) 및 프로그램(program) 가능한 반도체 메모리 장치들에 대한 요구가 점차 커지고 있다. 또한, 반도체 메모리 장치의 저장 용량을 높이는 것이 요구된다. 플래시(Flash) 메모리 장치는 전원 공급 없이도 큰 저장 용량을 제공한다. 전원이 차단되는 경우에도 데이터가 유지되기 때문에, 플래시 메모리 장치는 전원이 갑자기 차단될 수 있는 전자 장치들(예를 들어, 휴대용 전자 장치)에 널리 사용된다.

[0003] 반도체 메모리 장치의 저장 용량은 증가하여 왔다. 저장 용량은 반도체 메모리 장치의 집적도에 비례한다. 이른바 '황의 법칙(Hwang's law)'에 따라, 반도체 메모리 장치의 집적도는 1년마다 두 배씩 증가하였다. 따라서, 더 큰 저장 용량을 가지는 반도체 메모리 장치를 생산하는 것이 가능해졌다. 그러나, 통신망의 발달로 데이터의 교환이 활발해짐에 따라 데이터의 크기도 증가하고 있다. 증가한 데이터를 저장하기 위해서, 반도체 메모리 장치의 집적도가 더욱 향상될 것이 요구된다.

**발명의 내용**

**해결 하고자하는 과제**

[0004] 본 발명의 목적은 공통 비트 라인 구조에서 메모리 셀 스트링을 선택하기 위해 더미 트랜지스터를 사용함으로써 반도체 메모리 장치의 집적도를 향상시키는 데 있다.

**과제 해결수단**

[0005] 본 발명에 따른 플래시 메모리 장치는 제 1 및 제 2 더미 트랜지스터를 통해 비트 라인에 연결된 제 1 메모리 셀 스트링; 및 제 3 및 제 4 더미 트랜지스터를 통해 상기 비트 라인에 연결된 제 2 메모리 셀 스트링을 포함하되, 상기 제 1 및 제 3 더미 트랜지스터는 제 1 더미 워드 라인에 연결되고, 상기 제 2 및 제 4 더미 트랜지스터는 제 2 더미 워드 라인에 연결되며, 상기 제 1 및 제 3 더미 트랜지스터의 문턱 전압은 서로 다르게 설정되고, 상기 제 2 및 제 4 더미 트랜지스터의 문턱 전압은 서로 다르게 설정된다.

[0006] 실시 예로서, 상기 제 1 및 제 4 더미 트랜지스터는 양의 문턱 전압을 갖도록 프로그램된다. 상기 제 1 및 제 4 더미 트랜지스터에 대한 프로그램 동작은 상기 플래시 메모리 장치에 대한 소거 동작 완료 후에 수행된다. 상기 제 2 및 제 3 더미 트랜지스터는 음의 문턱 전압을 갖는다.

[0007] 다른 실시 예로서, 상기 제 1 메모리 셀 스트링은 접지 선택 라인에 연결된 제 1 접지 선택 트랜지스터를 더 포함하고, 상기 제 2 메모리 셀 스트링은 접지 선택 라인에 연결된 제 2 접지 선택 트랜지스터를 더 포함하며, 상기 제 1 접지 선택 트랜지스터는 제 1 공통 소오스 라인에 연결되고, 상기 제 2 접지 선택 트랜지스터는 제 2 공통 소오스 라인에 연결된다. 상기 제 1 더미 트랜지스터를 프로그램하기 위하여 상기 제 1 더미 워드 라인에 프로그램 전압이 인가되고, 상기 제 2 더미 워드 라인에 패스 전압이 인가되고, 상기 제 1 공통 소오스 라인에 접지 전압이 인가된다. 상기 제 4 더미 트랜지스터를 프로그램하기 위하여 상기 제 1 더미 워드 라인에 패스 전압이 인가되고, 상기 제 2 더미 워드 라인에 프로그램 전압이 인가되고, 상기 제 2 공통 소오스 라인에 접지 전압이 인가된다.

[0008] 다른 실시 예로서, 상기 제 1 메모리 셀 스트링은 복수의 플로팅 게이트 트랜지스터들을 포함하고, 상기 플로팅 게이트 트랜지스터를 프로그램하기 위하여 상기 제 1 더미 워드 라인에 상기 제 1 더미 트랜지스터의 문턱 전압보다 높은 전압이 인가되고, 상기 제 2 더미 워드 라인에 접지 전압이 인가되고, 상기 제 2 공통 소오스 라인에 접지 전압이 인가된다. 상기 제 1 메모리 셀 스트링에 포함된 상기 플로팅 게이트 트랜지스터를 프로그램하기 전에 상기 제 2 메모리 셀 스트링의 채널 전압을 상승시킨다.

[0009] 다른 실시 예로서, 상기 제 2 메모리 셀 스트링은 복수의 플로팅 게이트 트랜지스터들을 포함하고, 상기 플로팅 게이트 트랜지스터를 프로그램하기 위하여 상기 제 1 더미 워드 라인에 접지 전압이 인가되고, 상기 제 2 더미 워드 라인에 상기 제 4 더미 트랜지스터의 문턱 전압보다 높은 전압이 인가되고, 상기 제 1 공통 소오스 라인에 접지 전압이 인가된다. 상기 제 2 메모리 셀 스트링에 포함된 상기 플로팅 게이트 트랜지스터를 프로그램하기 전에 상기 제 1 메모리 셀 스트링의 채널 전압을 상승시킨다.

[0010] 다른 실시 예로서, 상기 제 1 메모리 셀 스트링은 제 5 및 제 6 더미 트랜지스터를 통해 상기 제 1 접지 선택

트랜지스터에 연결되고, 상기 제 2 메모리 셀 스트링은 제 7 및 제 8 더미 트랜지스터를 통해 상기 제 2 접지 트랜지스터에 연결된다. 상기 제 5 및 제 7 더미 트랜지스터의 문턱 전압은 서로 다르게 설정되고, 상기 제 6 및 제 8 더미 트랜지스터의 문턱 전압은 서로 다르게 설정된다. 상기 제 5 및 제 8 더미 트랜지스터는 양의 문턱 전압을 갖도록 프로그램된다. 상기 제 6 및 제 7 더미 트랜지스터는 음의 문턱 전압을 갖는다.

**효과**

[0011] 본 발명에 따른 플래시 메모리 장치는 공통 비트 라인 구조의 메모리 셀 스트링을 선택하기 위해 더미 트랜지스터를 사용한다. 따라서 스트링 선택 트랜지스터를 배치하기 위한 영역이 요구되지 않는다. 본 발명에 따르면 플래시 메모리 장치의 집적도가 향상되고, 제조 비용이 감소한다.

**발명의 실시를 위한 구체적인 내용**

[0012] 앞의 일반적인 설명 및 다음의 상세한 설명 모두 예시적이라는 것이 이해되어야 하며, 청구된 발명의 부가적인 설명이 제공되는 것으로 여겨져야 한다. 참조 부호들이 본 발명의 바람직한 실시 예들에 상세히 표시되어 있으며, 그것의 예들이 참조 도면들에 표시되어 있다. 가능한 어떤 경우에도, 동일한 참조 번호들이 동일한 또는 유사한 부분을 참조하기 위해서 설명 및 도면들에 사용된다.

[0013] 아래에서, 플래시 메모리 장치가 본 발명의 특징 및 기능을 설명하기 위한 한 예로서 사용된다. 하지만, 이 기술 분야에 정통한 사람은 여기에 기재된 내용에 따라 본 발명의 다른 이점들 및 성능을 쉽게 이해할 수 있을 것이다. 본 발명은 다른 실시 예들을 통해 또한, 구현되거나 적용될 수 있을 것이다. 게다가, 상세한 설명은 본 발명의 범위, 기술적 사상 그리고 다른 목적으로부터 상당히 벗어나지 않고 관점 및 용도에 따라 수정되거나 변경될 수 있다.

[0014] 도 1은 일반적인 낸드 구조의 플래시 메모리를 보여주는 회로도이다. 도 1을 참조하면, 플래시 메모리는 복수의 메모리 셀 스트링을 포함한다. 예시적으로 두 개의 메모리 셀 스트링들이 도시되었으나 플래시 메모리는 두 개 이상의 메모리 셀 스트링들을 포함할 수 있다. 각각의 메모리 셀 스트링에는 스트링 선택 라인(SSL)에 연결된 스트링 선택 트랜지스터(string select transistor; SST)와 접지 선택 라인(GSL)에 연결된 접지 선택 트랜지스터(ground select transistor; GST)가 구비된다. 스트링 선택 트랜지스터(SST)와 접지 선택 트랜지스터(GST) 사이에는 복수 개의 플로팅 게이트 트랜지스터(floating gate transistor)들이 직렬로 연결된다. 플로팅 게이트 트랜지스터들은 인접한 플로팅 게이트 트랜지스터와 소오스(source)-드레인(drain) 단자를 공유하여 구성된다. 그리고, 각각의 메모리 셀 스트링에는 복수의 워드 라인들이 교차하도록 배열된다. 각각의 워드 라인에는 대응하는 행(row)에 배열된 복수 개의 플로팅 게이트 트랜지스터의 제어 게이트(control gate)들이 공통으로 연결된다. 각각의 메모리 셀 스트링은 비트 라인에 연결된다.

[0015] 도 2는 도 1에 도시된 플래시 메모리를 자세히 보여주는 도면이다. 도 2를 참조하면, 비트 라인 컨택(BLC)에 인접하여 스트링 선택 라인(SSL)이 형성된다. 스트링 선택 라인(SSL)에 인접하여 워드 라인들이 형성된다. 도시된 바와 같이, 메모리 셀 스트링들이 비트 라인을 공유하지 않기 때문에 불휘발성 메모리의 집적도가 저하된다. 메모리 셀 스트링마다 비트 라인이 구비되어야 하기 때문이다. 이러한 문제를 해결하기 위하여 공통 비트 라인 구조가 개발되었다.

[0016] 도 3은 공통 비트 라인 구조가 적용된 플래시 메모리를 보여주는 도면이다. 도 3을 참조하면, 플래시 메모리는 복수의 메모리 셀 스트링을 포함한다. 예시적으로 두 개의 메모리 셀 스트링들이 도시되었으나 플래시 메모리는 두 개 이상의 메모리 셀 스트링들을 포함할 수 있다. 각각의 메모리 셀 스트링에는 스트링 선택 라인(SSL)에 연결된 스트링 선택 트랜지스터(SST)와 접지 선택 라인(GSL)에 연결된 접지 선택 트랜지스터(GST)가 구비된다. 스트링 선택 트랜지스터(SST)와 접지 선택 트랜지스터(GST) 사이에는 복수 개의 플로팅 게이트 트랜지스터(floating gate transistor)들이 직렬로 연결된다. 플로팅 게이트 트랜지스터들은 인접한 플로팅 게이트 트랜지스터와 소오스(source)-드레인(drain) 단자를 서로 공유하여 구성된다. 그리고, 각각의 메모리 셀 스트링에는 복수의 워드 라인들이 교차하도록 배열된다. 각각의 워드 라인에는 대응하는 행(row)에 배열된 복수 개의 플로팅 게이트 트랜지스터의 제어 게이트(control gate)들이 공통으로 연결된다.

[0017] 메모리 셀 스트링들은 스트링 선택 트랜지스터를 통하여 하나의 비트 라인에 연결된다. 예를 들어, 제 1 메모리 셀 스트링은 제 1 메모리 셀 스트링 선택 라인(SSL1)에 연결된 스트링 선택 트랜지스터를 통해 비트 라인에 연결되고, 제 2 메모리 셀 스트링은 제 2 메모리 셀 스트링 선택 라인(SSL2)에 연결된 스트링 선택 트랜지스터를 통해 비트 라인에 연결된다.

- [0018] 도 4는 도 3에 도시된 플래시 메모리를 자세히 보여주는 도면이다. 도 4를 참조하면, 비트 라인 컨택(BLC)에 인접하여 스트링 선택 라인(SSL1, SSL2)들이 형성된다. 제 2 메모리 셀 스트링 선택 라인(SSL2)에 인접하여 워드 라인들이 형성된다. 도시된 바와 같이, 스트링 선택 라인(SSL1, SSL2)들의 폭은 워드 라인의 폭에 비해 훨씬 크다. 따라서, 플래시 메모리의 집적도가 저하된다.
- [0019] 도 5는 본 발명에 따른 공통 비트 라인 구조가 적용된 플래시 메모리를 보여주는 도면이다. 도 5를 참조하면, 두 개의 스트링들이 하나의 비트 라인을 공유한다. 각각의 메모리 셀 스트링은 하나의 스트링 선택 트랜지스터(SST), 두 개의 더미 트랜지스터, n개의 플로팅 게이트 트랜지스터들, 접지 선택 트랜지스터로 구성된다. 플로팅 게이트 트랜지스터는 전하의 형태로 데이터를 저장할 수 있다. 하나의 플로팅 게이트 트랜지스터는 1 비트 또는 멀티 비트 데이터를 저장할 수 있다. 제 1 및 제 3 더미 트랜지스터는 제 1 더미 워드 라인에 연결되고, 제 2 및 제 4 더미 트랜지스터는 제 1 더미 워드 라인에 연결된다.
- [0020] 본 발명에 있어서, 더미 트랜지스터에 의해 메모리 셀 스트링이 선택된다. 더미 트랜지스터들은 서로 다른 문턱 전압을 갖도록 프로그램된다. 예를 들어, 제 1 및 제 4 더미 트랜지스터는 양의 문턱 전압을 갖고, 제 2 및 제 3 더미 트랜지스터는 음의 문턱 전압을 가질 수 있다. 따라서, 제 1 더미 워드 라인에 양의 전압을 인가하고, 제 2 더미 워드 라인에 0V를 인가함으로써 제 1 메모리 셀 스트링을 비트 라인에 연결하는 것이 가능하다. 또한, 제 1 더미 워드 라인에 0V를 인가하고, 제 2 더미 워드 라인에 양의 전압을 인가함으로써 제 2 메모리 셀 스트링을 비트 라인에 연결하는 것이 가능하다. 단, 본 발명의 범위는 이에 한정되지 않는다. 예를 들어, 제 1 및 제 4 더미 트랜지스터는 음의 문턱 전압을 갖고, 제 2 및 제 3 더미 트랜지스터는 양의 문턱 전압을 가질 수 있다.
- [0021] 그런데, 더미 트랜지스터들이 서로 다른 문턱 전압을 갖게 하기 위해서는 선택적으로 더미 트랜지스터를 프로그램할 것이 요구된다. 플래시 메모리에 있어서, 소거된 트랜지스터의 문턱 전압은 음의 값을 갖는다. 따라서, 플래시 메모리를 소거한 후, 선택적으로 일부 더미 트랜지스터만을 프로그램함으로써 더미 트랜지스터들의 문턱 전압을 조절할 수 있다. 본 발명에 있어서, 선택적으로 더미 트랜지스터를 프로그램하기 위해 접지 선택 트랜지스터(GST)에 연결된 공통 소오스 라인(CSL)이 분리된다. 따라서, 선택적으로 더미 트랜지스터를 프로그램하는 것이 가능하다. 더미 트랜지스터를 프로그램하는 방법은 후술 될 도면을 참조하여 자세히 설명될 것이다.
- [0022] 도 6은 도 5에 도시된 플래시 메모리를 자세히 보여주는 도면이다. 도 6을 참조하면, 두 개의 메모리 셀 스트링들이 하나의 비트 라인 컨택(BLC)을 공유한다. 비트 라인 컨택(BLC)은 비트 라인(도시되지 않음)에 연결될 것이다. 비트 라인 컨택(BLC)에 인접하여 스트링 선택 라인(SSL)이 형성된다. 스트링 선택 라인(SSL)에 인접하여 더미 워드 라인들(DWL1, DWL2)이 형성된다. 제 2 더미 워드 라인(DWL 2)에 인접하여 워드 라인들이 형성된다.
- [0023] 본 실시 예에 있어서, 복수의 스트링 선택 라인 대신에 하나의 스트링 선택 라인(SSL)과 더미 워드 라인들(DWL1, DWL2)이 배치된다. 더미 워드 라인들(DWL1, DWL2)에 각각 연결된 더미 트랜지스터들을 이용하여 복수의 메모리 셀 스트링 중 하나의 메모리 셀 스트링을 선택할 수 있다. 더미 워드 라인들(DWL1, DWL2)의 폭의 합은 하나의 스트링 선택 라인(SSL)의 폭보다 작기 때문에 반도체 메모리 장치의 집적도가 향상된다. 또한, 더미 트랜지스터는 플로팅 게이트 트랜지스터와 동일한 공정으로 형성되기 때문에 반도체 메모리 장치의 생산 비용이 절감된다.
- [0024] 또한, 본 실시 예에 있어서, 스트링 선택 라인(SSL)에 연결된 스트링 선택 트랜지스터(SST)는 비트 라인으로의 전류 누설을 억제할 수 있다. 비트 라인으로의 전류 누설은 프로그램 디스터브(program disturb) 등의 문제를 야기할 수 있다. 따라서, 플래시 메모리의 신뢰성이 향상된다.
- [0025] 도 7은 본 발명에 따른 공통 비트 라인 구조가 적용된 플래시 메모리의 다른 실시 예를 보여주는 도면이다. 도 7을 참조하면, 두 개의 메모리 셀 스트링들이 하나의 비트 라인에 연결된다. 각 메모리 셀 스트링은 하나의 스트링 선택 트랜지스터, 두 개의 더미 트랜지스터들, n개의 플로팅 게이트 트랜지스터들, 접지 선택 트랜지스터로 구성된다. 스트링 선택 트랜지스터는 스트링 선택 라인에 연결된다. 제 1 더미 트랜지스터는 제 1 더미 워드 라인에 연결된다. 제 2 더미 트랜지스터는 제 2 더미 워드 라인에 연결된다. 플로팅 게이트 트랜지스터들은 각각 대응하는 워드 라인들에 연결된다. 접지 선택 트랜지스터는 접지 선택 라인에 연결된다. 각 접지 선택 트랜지스터의 소오스는 서로 다른 공통 소오스 라인에 연결된다.
- [0026] 본 발명에 있어서, 접지 선택 라인(GSL)에 인접하여 제 3 및 제 4 더미 워드 라인들(DWL3, DWL4)이 배치된다. 더미 워드 라인들(DWL3, DWL4)에 연결된 더미 트랜지스터들은 공통 소오스 라인으로의 전류 누설을 최소화할 수 있다. 공통 소오스 라인으로의 전류 누설은 프로그램 디스터브 등의 문제를 야기할 수 있다. 따라서, 플래시 메모리

모리의 신뢰성이 향상된다. 또한, 더미 트랜지스터는 플로팅 게이트 트랜지스터와 동일한 공정으로 형성되기 때문에 반도체 메모리 장치의 생산 비용이 절감된다.

[0027] 도 8은 본 발명에 따른 플래시 메모리의 제 1 더미 트랜지스터를 프로그램하기 위한 바이어스 조건을 보여주는 도면이다. 상술한 바와 같이, 더미 트랜지스터들이 서로 다른 문턱 전압을 갖게 하기 위해서는 선택적으로 더미 트랜지스터를 프로그램할 것이 요구된다. 플래시 메모리에 있어서, 소거된 트랜지스터의 문턱 전압은 음의 값을 갖는다. 따라서, 플래시 메모리를 소거한 후, 일부 더미 트랜지스터만을 프로그램함으로써 더미 트랜지스터들의 문턱 전압을 변경할 수 있다.

[0028] 이하, 도 8을 참조하여 제 1 메모리 셀 스트링의 제 1 더미 워드 라인에 연결된 제 1 더미 트랜지스터(점선 부분)를 프로그램하는 경우가 설명될 것이다. 스트링 선택 라인(SSL)에는 Vcc 또는 0V가 인가된다. 스트링 선택 라인(SSL)에 Vcc가 인가되는 경우, 비트 라인(BL)으로의 전류 누설이 더욱 억제될 것이다. 제 1 더미 워드 라인에는 프로그램 전압이 인가된다. 제 2 더미 워드 라인 및 워드 라인들에는 패스 전압이 인가된다. 접지 선택 라인에는 전원 전압이 인가된다. 공통 소오스 라인 및 비트 라인에는 0V가 인가된다. 이러한 바이어스 조건 하에서 제 1 더미 트랜지스터(점선 부분)가 프로그램될 것이다. 프로그램에 의해 더미 트랜지스터의 문턱 전압은 양의 값을 갖게 될 것이다.

[0029] 반면에, 제 2 공통 소오스 라인에는 전원 전압이 인가되기 때문에 제 2 메모리 셀 스트링에 연결된 트랜지스터들은 셀프 부스팅에 의해 프로그램되지 않는다. 일반적인 셀프 부스팅을 이용한 프로그램 금지 방법에 있어서, 접지 선택 트랜지스터(GST)의 게이트에 0V의 전압을 인가함으로써 그라운드 경로가 차단된다. 선택된 비트 라인에는 0V의 전압이 인가되고, 비선택된 비트 라인에는 프로그램 금지 전압 (program inhibition voltage)으로서 전원 전압(Vcc)이 인가된다. 동시에, 스트링 선택 트랜지스터의 게이트에 전원 전압을 인가함으로써 스트링 선택 트랜지스터의 소오스가(Vcc-Vth, Vth는 스트링 선택 트랜지스터의 문턱 전압)까지 충전된 후, 스트링 선택 트랜지스터는 사실상 차단된다(또는, 셧-오프된다). 그 다음에, 선택된 워드 라인에 프로그램 전압(Vpgm)을 인가하고 비선택된 워드 라인들에 패스 전압(Vpass)을 인가함으로써 프로그램 금지된 셀 트랜지스터의 채널 전압이 부스팅된다. 이는 플로팅 게이트와 채널 사이에 F-N 터널링이 생기지 않게 하며, 그 결과 프로그램 금지된 셀 트랜지스터가 초기의 소거 상태로 유지된다.

[0030] 이와 반대로, 본 발명에 따른 셀프 부스팅 방법은 스트링 선택 트랜지스터의 게이트에 0V의 전압을 인가한다. 선택된 메모리 셀 스트링의 공통 소오스 라인에는 0V의 전압이 인가되고, 비선택된 메모리 셀 스트링에 연결된 공통 소오스 라인에는 프로그램 금지 전압 (program inhibition voltage)으로서 전원 전압(Vcc)이 인가된다. 동시에, 접지 선택 트랜지스터의 게이트에 전원 전압을 인가함으로써 접지 선택 트랜지스터의 소오스가(Vcc-Vth, Vth는 접지 선택 트랜지스터의 문턱 전압)까지 충전된 후, 접지 선택 트랜지스터는 사실상 차단된다(또는, 셧-오프된다). 그 다음에, 선택된 워드 라인에 프로그램 전압(Vpgm)을 인가하고 비선택된 워드 라인들에 패스 전압(Vpass)을 인가함으로써 프로그램 금지된 셀 트랜지스터의 채널 전압이 부스팅된다. 이는 플로팅 게이트와 채널 사이에 F-N 터널링이 생기지 않게 하며, 그 결과 프로그램 금지된 셀 트랜지스터가 초기의 소거 상태로 유지된다. 따라서, 제 2 메모리 셀 스트링에 연결된 더미 트랜지스터는 프로그램되지 않을 것이다. 결국, 더미 트랜지스터의 문턱 전압은 음의 값을 갖게 될 것이다.

[0031] 도 9는 본 발명에 따른 플래시 메모리의 제 4 더미 트랜지스터를 프로그램하기 위한 바이어스 조건을 보여주는 도면이다. 이하, 도 9를 참조하여 제 2 메모리 셀 스트링의 제 2 더미 워드 라인에 연결된 제 2 더미 트랜지스터(점선 부분)를 프로그램하는 경우가 설명될 것이다. 스트링 선택 라인(SSL)에는 Vcc 또는 0V가 인가된다. 스트링 선택 라인(SSL)에 Vcc가 인가되는 경우, 비트 라인(BL)으로의 전류 누설이 더욱 억제될 것이다. 제 2 더미 워드 라인에는 프로그램 전압이 인가된다. 제 1 더미 워드 라인 및 워드 라인들에는 패스 전압이 인가된다. 접지 선택 라인에는 전원 전압이 인가된다. 제 2 공통 소오스 라인 및 비트 라인에는 0V가 인가된다. 이러한 바이어스 조건 하에서 제 4 더미 트랜지스터(점선 부분)가 프로그램될 것이다. 프로그램에 의해 제 4 더미 트랜지스터의 문턱 전압은 양의 값을 갖게 될 것이다.

[0032] 반면에, 제 1 공통 소오스 라인에는 전원 전압이 인가되기 때문에 제 1 메모리 셀 스트링에 연결된 트랜지스터들은 셀프 부스팅에 의해 프로그램되지 않는다. 따라서, 제 1 메모리 셀 스트링에 연결된 제 2 더미 트랜지스터는 프로그램되지 않을 것이다.

[0033] 도 10은 더미 트랜지스터가 프로그램되는 시점을 보여주는 순서도이다. 본 발명에 따른 제 1 및 제 4 더미 트랜지스터는 플래시 메모리의 소거 동작 이후에 프로그램된다. 도 10을 참조하면, S110 단계에서, 메모리 블록이 소거된다. 플래시 메모리에 있어서 소거 동작은 메모리 블록 단위로 수행될 수 있다. 또는, 복수의 메모리 블록



들에 대해서 동시에 소거 동작이 수행될 수 있다. 소거 동작에 의해 더미 트랜지스터들과 플로팅 트랜지스터들의 문턱 전압은 낮아질 것이다. S120 단계에서, 제 1 및 제 4 더미 트랜지스터에 대한 프로그램 동작이 수행된다. 제 1 및 제 4 더미 트랜지스터에 대한 프로그램 방법은 도 8 및 도 9를 참조하여 이미 상세히 설명되었기 때문에 자세한 설명은 생략된다. 프로그램 동작에 의해 제 1 및 제 4 더미 트랜지스터의 문턱 전압은 상승한다. S130 단계에서, 플로팅 게이트 트랜지스터들에 대한 포스트-프로그램 동작이 수행된다. 포스트-프로그램 동작은 S110 단계에서의 소거 동작에 의한 과소거(overerase)를 보상하기 위해 수행된다. 경우에 따라, 포스트 프로그램 동작은 생략될 수 있다. S140 단계에서, 플로팅 게이트 트랜지스터들에 대한 프로그램 동작이 수행된다. 프로그램 동작에 의해 플로팅 게이트 트랜지스터의 문턱 전압은 상승할 것이다.

[0034] 도 11은 본 발명에 따른 플래시 메모리의 플로팅 게이트 트랜지스터를 프로그램하기 위한 바이어스 조건을 보여주는 도면이다. 이하, 도 11을 참조하여 제 2 메모리 셀 스트링의 n번째 워드 라인에 연결된 플로팅 게이트 트랜지스터(점선 부분)가 프로그램되는 경우가 설명될 것이다. 스트링 선택 라인(SSL)에는 Vcc 또는 0V가 인가된다. 스트링 선택 라인(SSL)에 Vcc가 인가되는 경우, 비트 라인(BL)으로의 전류 누설이 더욱 억제될 것이다. 제 1 더미 워드 라인에는 0V가 인가된다. 제 2 더미 워드 라인에는 Vdd+Vth가 인가된다. 따라서, 제 2 메모리 셀 스트링이 비트 라인에 연결된다. n번째 워드 라인에는 프로그램 전압이 인가된다. 나머지 워드 라인들에는 패스 전압이 인가된다. 접지 선택 라인에는 Vcc가 인가된다. 제 1 공통 소오스 라인에는 Vcc가 인가되고 제 2 공통 소오스 라인 및 비트 라인에는 0V가 인가된다. 이러한 바이어스 조건 하에서 플로팅 게이트 트랜지스터(점선 부분)가 프로그램될 것이다. 반면에, 제 1 메모리 셀 스트링은 비트 라인에 연결되지 않는다. 따라서, 제 1 메모리 셀 스트링에 연결된 플로팅 게이트 트랜지스터들은 셀프 부스팅에 의해 프로그램되지 않을 것이다.

[0035] 그런데, 만약 제 1 메모리 셀 스트링의 제 1 워드 라인에 연결되어 있는 플로팅 게이트 트랜지스터가 이미 프로그램된 경우에는 제 1 공통 소오스 라인으로부터의 프로그램 금지 전압(Vcc)가 채널로 전달되지 않을 수 있다. 결국, 채널이 충분히 부스팅되지 않아 프로그램 디스터브가 발생할 수 있다.

[0036] 도 12는 프로그램 디스터브를 방지하기 위한 프로그램 바이어스 조건을 보여주는 타이밍도이다. 이하, 제 2 메모리 셀 스트링의 n번째 워드 라인에 연결된 플로팅 게이트 트랜지스터(도 11의 점선 부분)가 프로그램되는 경우가 설명될 것이다. 본 실시 예에 있어서, 제 2 메모리 셀 스트링이 프로그램되기 앞서 제 1 메모리 셀 스트링의 채널 전압이 부스팅된다.

[0037] 도 12를 참조하면, 본 실시 예에 따른 프로그램 방법은 제 1 단계 및 제 2 단계를 포함한다. 제 1 단계에서 제 1 메모리 셀 스트링의 채널 전압이 부스팅된다. 제 2 단계에서, 제 2 메모리 셀 스트링에 연결된 플로팅 게이트 트랜지스터가 프로그램된다.

[0038] 제 1 단계에서, 스트링 선택 라인에 Vcc가 인가된다. 따라서, 스트링 선택 트랜지스터는 턴 온 된다. 제 1 더미 워드 라인에는 Vdd+Vth가 인가된다. 따라서, 제 1 및 제 3 더미 트랜지스터는 턴 온 된다. 제 2 더미 워드 라인에는 0V가 인가된다. 따라서, 제 2 더미 트랜지스터는 턴 온 되고, 제 4 더미 트랜지스터는 턴 오프 된다. 결국, 제 1 메모리 셀 스트링이 비트 라인에 연결된다. 비트 라인에는 Vcc가 인가된다. 접지 선택 라인에는 Vcc가 인가된다. 제 1 공통 소오스 라인에는 Vcc가 인가된다. 이와 같은 바이어스 조건에 의해 제 1 메모리 셀 스트링의 채널 전압이 상승한다.

[0039] 제 2 단계에서, 스트링 선택 라인(SSL)에는 0V가 인가된다. 따라서, 스트링 선택 트랜지스터는 턴 오프 된다. 제 1 더미 워드 라인에는 0V가 인가된다. 따라서, 제 1 더미 트랜지스터는 턴 오프 되고, 제 3 더미 트랜지스터는 턴 온 된다. 제 2 더미 워드 라인에는 Vdd+Vth가 인가된다. 따라서, 제 2 및 제 3 더미 트랜지스터는 턴 온 된다. 비트 라인에는 0V가 인가된다. 접지 선택 라인에는 Vcc가 인가된다. 제 1 공통 소오스 라인에는 Vcc가 인가되고, 제 2 공통 소오스 라인에는 0V가 된다. 이러한 바이어스 조건에 의해 플로팅 게이트 트랜지스터가 프로그램될 것이다. 반면에, 제 1 메모리 셀 스트링에 연결된 플로팅 게이트 트랜지스터들은 셀프 부스팅에 의해 프로그램되지 않을 것이다.

[0040] 단, 본 발명의 범위는 이에 한정되지 않으며 상기 바이어스 조건은 필요에 따라 변경될 수 있다. 본 실시 예에 있어서, 비선택된 메모리 셀 스트링의 채널 전압을 상승시킨 후, 선택 메모리 셀 스트링 내의 플로팅 게이트 트랜지스터를 프로그램하는 것을 특징으로 한다. 이러한 목적을 달성하기 위해 바이어스 조건은 적절하게 변경될 수 있다.

[0041] 도 13은 본 발명에 따른 불휘발성 메모리의 플로팅 게이트 트랜지스터를 독출하기 위한 바이어스 조건을 보여주는 도면이다. 도 13을 참조하면, 제 2 메모리 셀 스트링의 n번째 워드 라인에 연결된 플로팅 게이트 트랜지스터

(접선 부분)를 독출하는 경우가 설명된다. 스트링 선택 라인(SSL)에는 0V가 인가된다. 제 1 더미 워드 라인에는 0V가 인가된다. 제 2 더미 워드 라인에는 Vdd+Vth가 인가된다. 따라서, 제 2 메모리 셀 스트링이 비트 라인에 연결된다. n번째 워드 라인에는 0V가 인가된다. 나머지 워드 라인들 및 접지 선택 라인에는 읽기 전압이 인가된다. 제 1 공통 소오스 라인에는 0V가 인가된다. 또는 읽기 디스터브를 방지하기 위해, 제 1 공통 소오스 라인에는 0V보다 높은 레벨의 전압(예를 들어, 1.5V)이 인가될 수 있다. 제 1 공통 소오스 라인이 0V보다 높은 레벨의 전압으로 구동됨으로써 제 1 메모리 셀 스트링의 채널 전압이 상승한다. 따라서, 읽기 전압(Vread)에 의한 소프트 프로그램이 방지될 수 있다. 제 2 공통 소오스 라인에는 0V가 인가된다. 비트 라인에는 프리차지 전압(VBL)이 인가된다. 따라서, 플로팅 게이트 트랜지스터에 저장된 데이터가 독출될 수 있을 것이다. 반면에, 제 1 메모리 셀 스트링은 비트 라인에 연결되지 않는다. 따라서, 제 1 메모리 셀 스트링에 연결된 플로팅 게이트 트랜지스터들에 저장된 데이터는 독출되지 않을 것이다.

[0042] 도 14는 본 발명에 따른 플래시 메모리를 포함한 컴퓨팅 시스템(100)을 개략적으로 보여주는 블록도이다. 도 14를 참조하면, 컴퓨팅 시스템(100)은 프로세서(110), 메모리 컨트롤러(120), 입력 장치들(130), 출력 장치들(140), 플래시 메모리(150), 그리고 주 기억 장치(160)를 포함한다. 도면에서 실선은 데이터 또는 명령이 이동하는 시스템 버스(System bus)를 나타낸다.

[0043] 메모리 컨트롤러(120)와 플래시 메모리(150)는 메모리 카드를 구성할 수 있다. 그리고, 프로세서(110), 입력 장치들(130), 출력 장치들(140), 그리고 주 기억 장치(160)는 메모리 카드를 기억 장치로 사용하는 호스트를 구성할 수 있다. 본 발명에 따른 컴퓨팅 시스템(100)은 입력 장치들(130)(키보드, 카메라 등)을 통해 외부로부터 데이터를 입력받는다. 입력된 데이터는 사용자에게 의한 명령이거나 카메라 등에 의한 영상 데이터 등의 멀티 미디어 데이터일 수 있다. 입력된 데이터는 플래시 메모리(150) 또는 주 기억 장치(160)에 저장된다.

[0044] 프로세서(110)에 의한 처리 결과는 플래시 메모리(150) 또는 주 기억 장치(160)에 저장된다. 출력 장치들(140)은 플래시 메모리(150) 또는 주 기억 장치(160)에 저장된 데이터를 출력한다. 출력 장치들(140)은 디지털 데이터를 인간이 감지 가능한 형태로 출력한다. 예를 들어, 출력 장치(140)는 디스플레이 또는 스피커 등을 포함한다. 플래시 메모리(150)에는 본 발명에 따른 비트 라인 공유 구조가 적용될 것이다. 플래시 메모리(150)의 집적도 및 신뢰도가 향상됨에 따라 컴퓨팅 시스템(100)의 집적도 및 신뢰도 역시 향상될 것이다.

[0045] 플래시 메모리(150), 그리고/또는 메모리 컨트롤러(120)는 다양한 형태들의 패키지를 이용하여 실장될 수 있다. 예를 들면, 플래시 메모리(150) 그리고/또는 컨트롤러(120)는 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 패키지들을 이용하여 실장될 수 있다.

[0046] 비록 도면에는 도시되지 않았지만 컴퓨팅 시스템(100)의 동작에 필요한 전원을 공급하기 위한 전원 공급부(Power supply)가 요구됨은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 그리고, 컴퓨팅 시스템(100)이 휴대용 기기(mobile device)인 경우, 컴퓨팅 시스템(100)의 동작 전원을 공급하기 위한 배터리(battery)가 추가로 요구될 것이다.

[0047] 도 15는 본 발명에 따른 SSD 시스템의 구성을 간략히 보여주는 블록도이다. 도 15를 참조하면, SSD 시스템(200)은 SSD 컨트롤러(210)와 플래시 메모리들(220~223)을 포함한다.

[0048] 본 발명에 따른 반도체 메모리 시스템은 SSD(Solid State Drive)에도 적용될 수 있다. 최근 하드디스크 드라이브(HDD)를 교체해 나갈 것으로 예상되는 SSD 제품이 차세대 메모리 시장에서 각광을 받고 있다. SSD는 일반적인 하드 디스크 드라이브에서 사용되는 회전 접시 대신에 데이터를 저장하는데 플래시 메모리와 같은 메모리 칩들을 사용한 데이터 저장 장치이다. SSD는 기계적으로 움직이는 하드디스크 드라이브에 비해 속도가 빠르고 외부 충격에 강하며, 소비전력도 낮은 장점을 가진다.

[0049] 다시 도 15를 참조하면, 중앙처리장치(211)는 호스트로부터 명령어를 전달받아 호스트로부터의 데이터를 플래시 메모리에 저장할지 혹은 플래시 메모리의 저장 데이터를 독출하여 호스트로 전송할지의 여부를 결정하고 제어한다. ATA 인터페이스(212)는 상술한 중앙처리장치(211)의 제어에 따라 호스트 측과 데이터를 교환한다. ATA 인터페이스(212)는 S-ATA(serial ATA) 규격 및 P-ATA(parallel ATA) 규격을 포함한다. ATA 인터페이스(212)는 호스

트 측으로부터 명령어 및 어드레스를 패치하여 CPU 버스를 통해서 중앙처리장치(211)로 전달한다. ATA 인터페이스(212)를 통해 호스트로부터 입력되는 데이터나 호스트로 전송되어야 할 데이터는 중앙처리장치(211)의 제어에 따라 CPU 버스를 경유하지 않고 SRAM 캐시(213)를 통해 전달된다.

[0050] SRAM 캐시(213)는 호스트와 플래시 메모리들(220~223) 간의 이동 데이터를 일시 저장한다. 또한 SRAM 캐시(213)는 중앙처리장치(211)에 의해서 운용될 프로그램을 저장하는 데에도 사용된다. SRAM 캐시(213)는 일종의 버퍼 메모리로 간주할 수 있으며, 반드시 SRAM으로 구성할 필요는 없다. 플래시 인터페이스(214)는 저장 장치로 사용되는 불 휘발성 메모리들과 데이터를 주고받는다. 플래시 인터페이스(214)는 낸드 플래시 메모리, One-NAND 플래시 메모리, 혹은 멀티-레벨 플래시 메모리를 지원하도록 구성될 수 있다. 본 발명에 따른 반도체 메모리 시스템은 이동형 저장 장치로서 사용될 수 있다. 따라서, MP3, 디지털 카메라, PDA, e-Book의 저장 장치로서 사용될 수 있다. 또한, 디지털 TV나 컴퓨터 등의 저장 장치로서 사용될 수 있다.

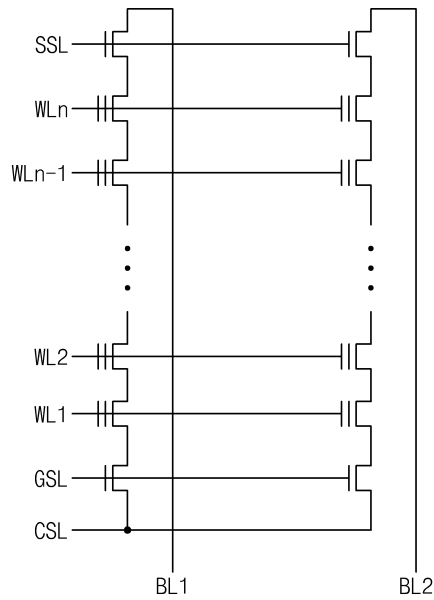
[0051] 본 발명의 범위 또는 기술적 사상을 벗어나지 않고 본 발명의 구조가 다양하게 수정되거나 변경될 수 있음은 이 분야에 숙련된 자들에게 자명하다. 상술한 내용을 고려하여 볼 때, 만약 본 발명의 수정 및 변경이 아래의 청구항들 및 동등물의 범주 내에 속한다면, 본 발명이 이 발명의 변경 및 수정을 포함하는 것으로 여겨진다.

**도면의 간단한 설명**

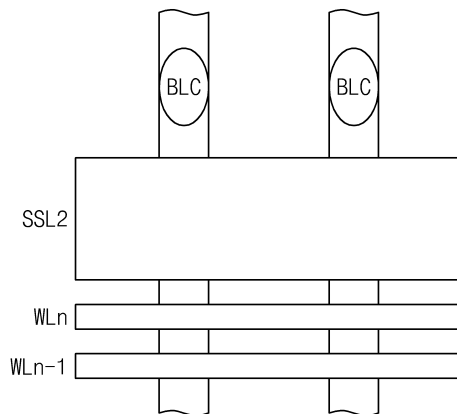
- [0052] 도 1은 일반적인 낸드 구조의 플래시 메모리를 보여주는 회로도이다.
- [0053] 도 2는 도 1에 도시된 플래시 메모리를 자세히 보여주는 도면이다.
- [0054] 도 3은 공통 비트 라인 구조가 적용된 플래시 메모리를 보여주는 도면이다.
- [0055] 도 4는 도 3에 도시된 플래시 메모리를 자세히 보여주는 도면이다.
- [0056] 도 5는 본 발명에 따른 공통 비트 라인 구조가 적용된 플래시 메모리를 보여주는 도면이다.
- [0057] 도 6은 도 5에 도시된 플래시 메모리를 자세히 보여주는 도면이다.
- [0058] 도 7은 본 발명에 따른 공통 비트 라인 구조가 적용된 플래시 메모리의 다른 실시 예를 보여주는 도면이다.
- [0059] 도 8은 본 발명에 따른 플래시 메모리의 제 1 더미 트랜지스터를 프로그램하기 위한 바이어스 조건을 보여주는 도면이다.
- [0060] 도 9는 본 발명에 따른 플래시 메모리의 제 4 더미 트랜지스터를 프로그램하기 위한 바이어스 조건을 보여주는 도면이다.
- [0061] 도 10은 더미 트랜지스터가 프로그램되는 시점을 보여주는 순서도이다.
- [0062] 도 11은 본 발명에 따른 플래시 메모리의 플로팅 게이트 트랜지스터를 프로그램하기 위한 바이어스 조건을 보여주는 도면이다.
- [0063] 도 12는 본 발명에 따른 불휘발성 메모리의 플로팅 게이트 트랜지스터를 독출하기 위한 바이어스 조건을 보여주는 도면이다.
- [0064] 도 13은 프로그램 디스터브를 방지하기 위한 프로그램 바이어스 조건을 보여주는 타이밍도이다.
- [0065] 도 14는 본 발명에 따른 플래시 메모리를 포함한 컴퓨팅 시스템을 개략적으로 보여주는 블록도이다.
- [0066] 도 15는 본 발명에 따른 SSD 시스템의 구성을 간략히 보여주는 블록도이다.

도면

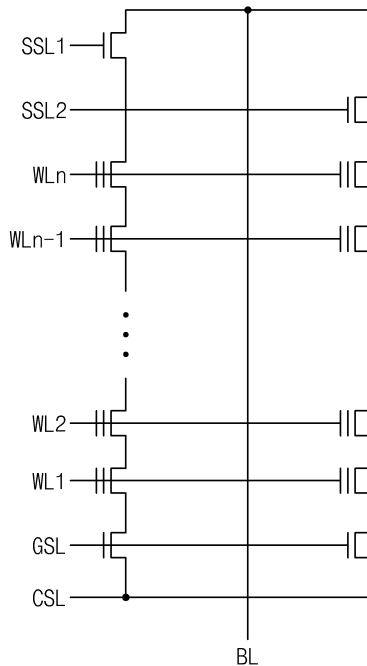
도면1



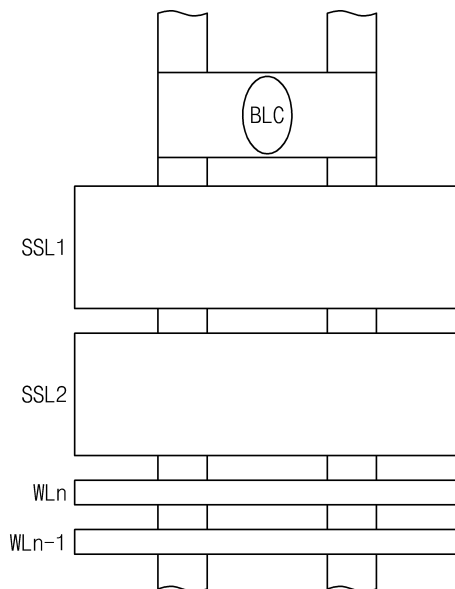
도면2



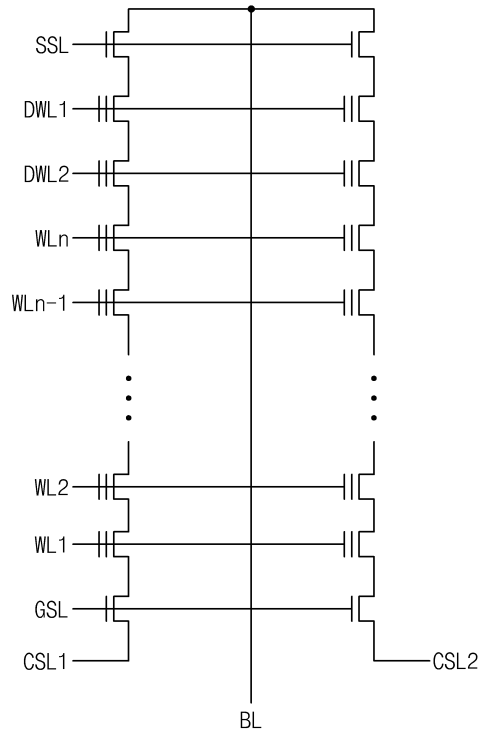
도면3



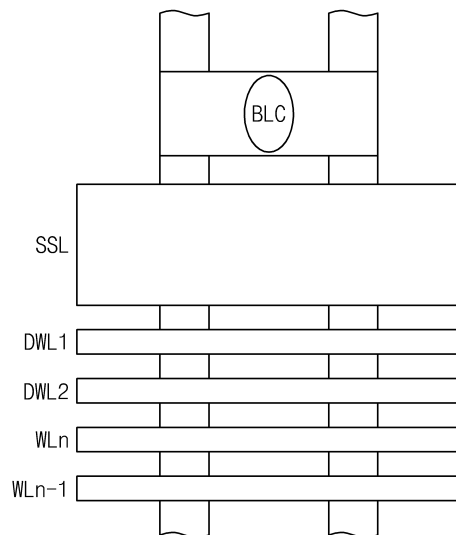
도면4



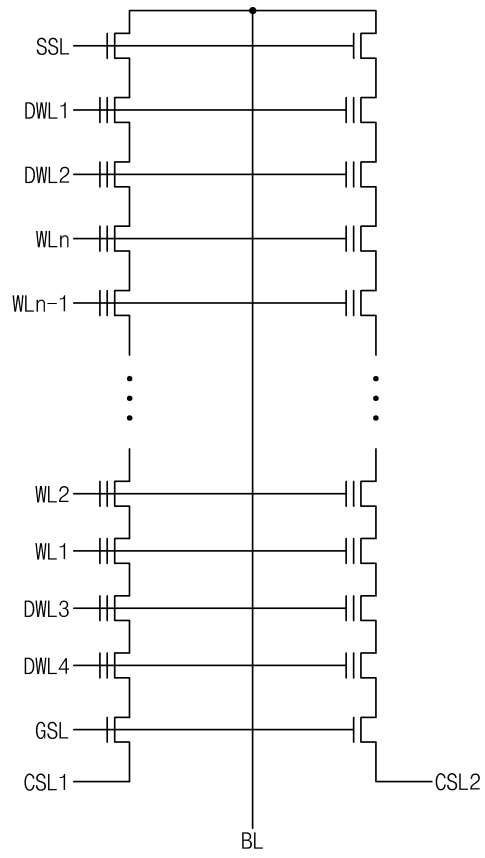
도면5



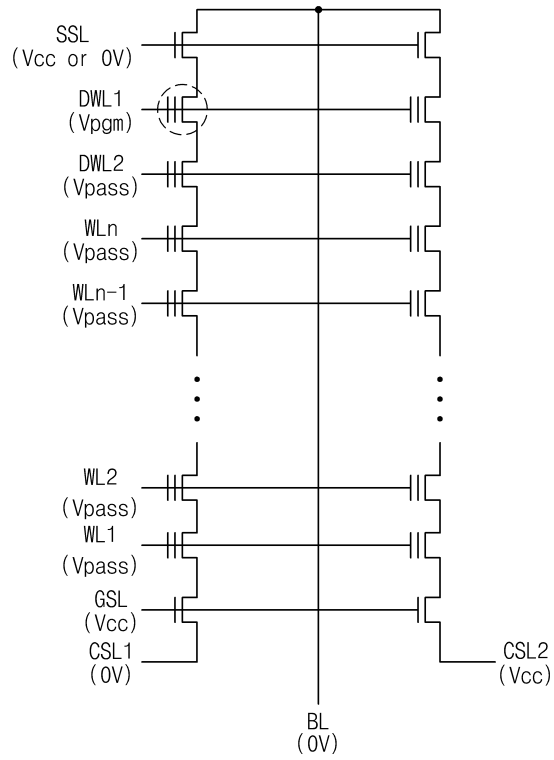
도면6



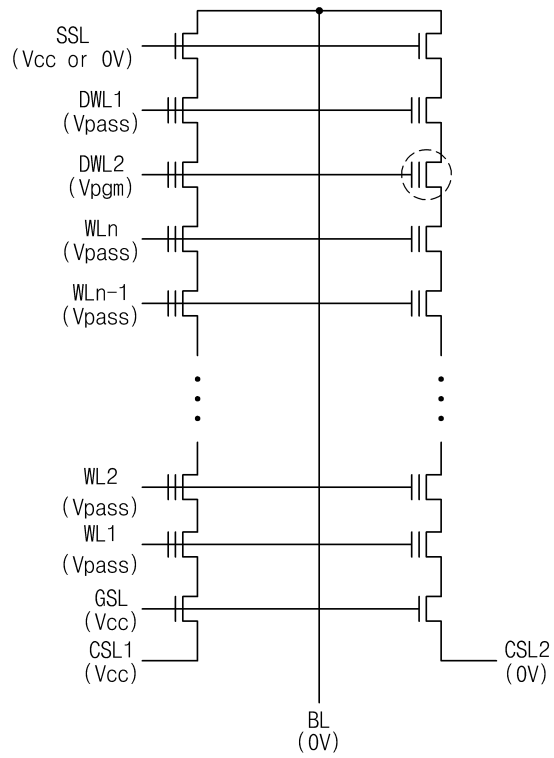
도면7



도면8

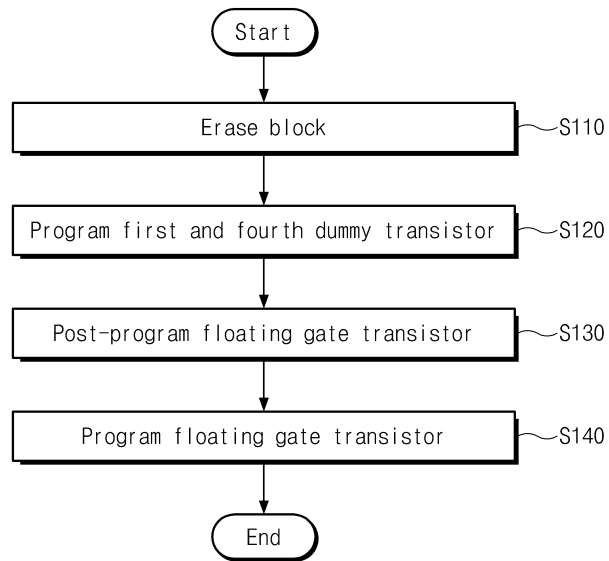


도면9

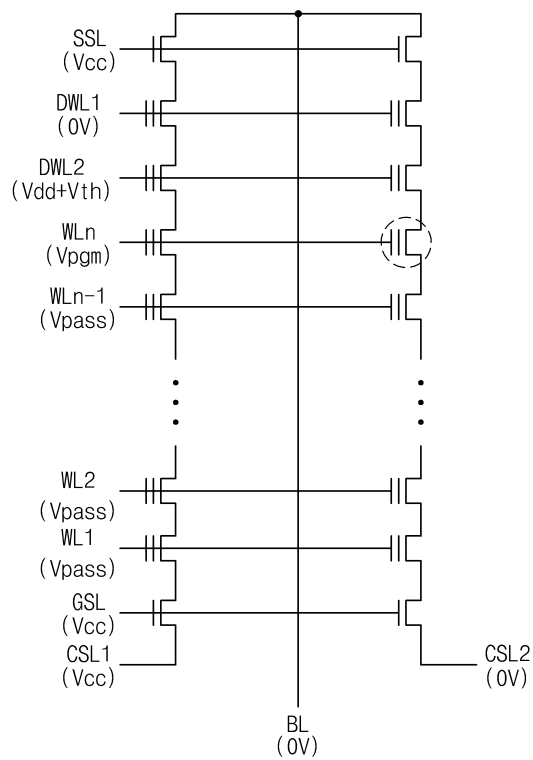




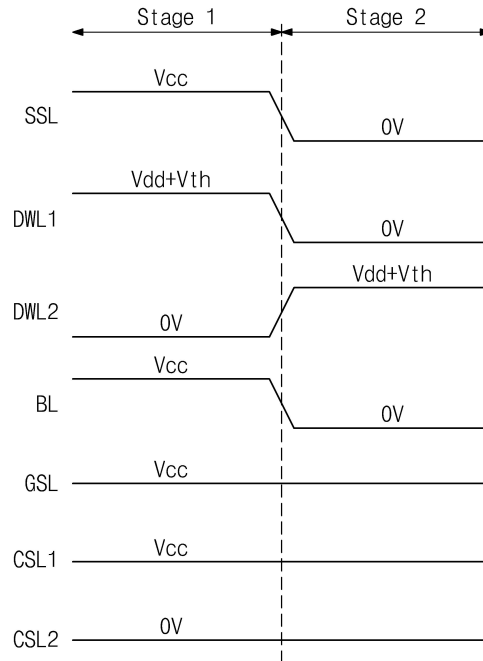
도면10



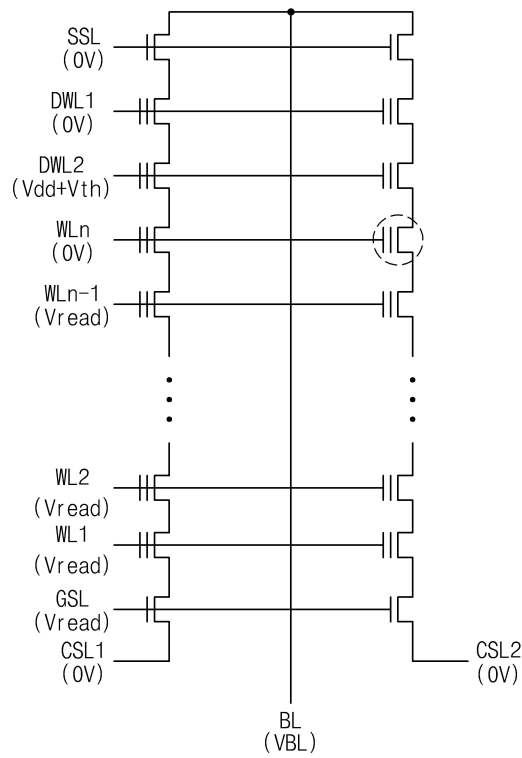
도면11



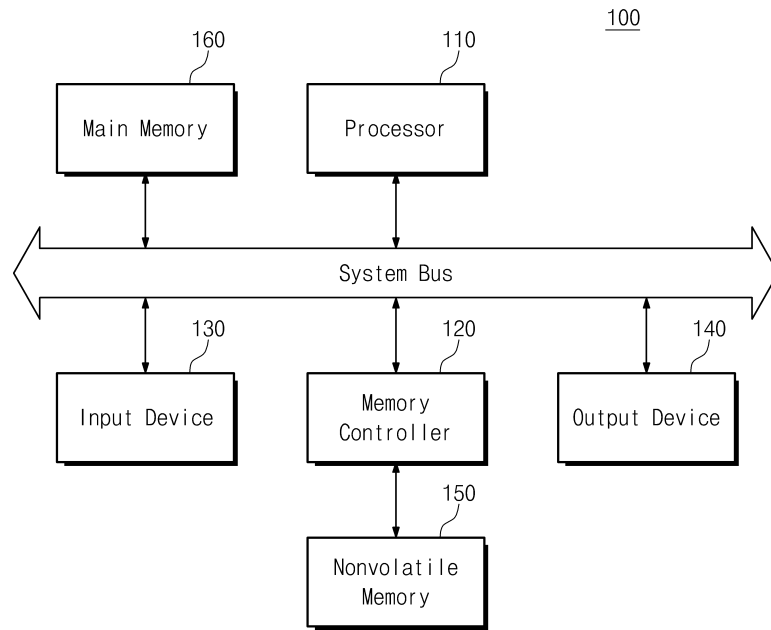
도면12



도면13



도면14



도면15

