



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0079093
(43) 공개일자 2013년07월10일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 23/48 (2006.01)</p> <p>(21) 출원번호 10-2012-0054414</p> <p>(22) 출원일자 2012년05월22일
심사청구일자 없음</p> <p>(30) 우선권주장
1020110139829 2011년12월22일 대한민국(KR)</p> | <p>(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)</p> <p>(72) 발명자
김혜진
경기도 화성시 반송동 시범다운마을 포스코더샵아파트 317동 1302호</p> <p>안상호
경기도 수원시 영통구 영통동 청명마을 삼성아파트 431동 1304호</p> <p>전성훈
경기도 화성시 석우동 49 대우푸르지오아파트 103동 1601호</p> <p>(74) 대리인
박상수</p> |
|--|---|

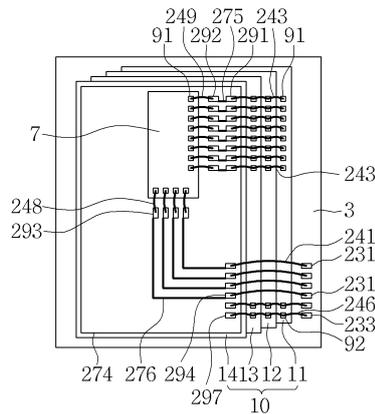
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **재배선 층을 갖는 반도체 패키지**

(57) 요약

기판 상에 데이터 패드들 및 전원 패드들을 갖는 다수의 제1 반도체 칩들이 탑재된다. 상기 제1 반도체 칩들 중 최상층 제1 반도체 칩 상에 다수의 재배선 패턴들 및 다수의 재배선 패드들을 갖는 상부 배선 층이 형성된다. 상기 최상층 제1 반도체 칩 상에 상기 데이터 패드들에 가깝게 제2 반도체 칩이 탑재된다. 상기 데이터 패드들 및 상기 제2 반도체 칩 사이에 제1 도전성 접속들이 형성된다. 상기 제2 반도체 칩 및 상기 기판 사이에 제2 도전성 접속들이 형성된다. 상기 재배선 패턴들은 동일한 레벨에 배치되고 서로 중첩되지 않는다. 상기 제1 반도체 칩들의 상기 데이터 패드들은 상기 제1 도전성 접속들, 상기 제2 반도체 칩, 상기 재배선 패턴들, 상기 재배선 패드들, 및 상기 제2 도전성 접속들을 경유하여 상기 기판에 전기적으로 접속된다.

대표도 - 도1



특허청구의 범위

청구항 1

기관 상에 탑재되고 데이터 패드들 및 전원 패드들을 갖는 다수의 제1 반도체 칩들;
 상기 제1 반도체 칩들 중 최상층 제1 반도체 칩 상에 형성되고 다수의 재배선 패턴들 및 다수의 재배선 패드들을 갖는 상부 배선 층;
 상기 최상층 제1 반도체 칩 상에 형성되고 상기 데이터 패드들에 가까운 제2 반도체 칩;
 상기 데이터 패드들 및 상기 제2 반도체 칩 사이에 형성된 제1 도전성 접속들; 및
 상기 제2 반도체 칩 및 상기 기관 사이에 형성된 제2 도전성 접속들을 포함하되,
 상기 재배선 패턴들은 동일한 레벨에 배치되고 서로 중첩되지 않으며,
 상기 제1 반도체 칩들의 상기 데이터 패드들은 상기 제1 도전성 접속들, 상기 제2 반도체 칩, 상기 재배선 패턴들, 상기 재배선 패드들, 및 상기 제2 도전성 접속들을 경유하여 상기 기관에 전기적으로 접속된 반도체 패키지.

청구항 2

제1 항에 있어서,
 상기 재배선 패드들 중 하나는 상기 최상층 제1 반도체 칩의 상기 데이터 패드들 중 하나에 직접적으로 접촉된 반도체 패키지.

청구항 3

제1 항에 있어서,
 상기 제2 반도체 칩은 상기 데이터 패드들에 상대적으로 가깝고 상기 전원 패드들에 상대적으로 멀리 떨어진 반도체 패키지.

청구항 4

제1 항에 있어서,
 상기 제1 반도체 칩들 및 상기 제2 반도체 칩 사이의 제1 전기적 접속 경로는 상기 제2 반도체 칩 및 상기 기관 사이의 제2 전기적 접속 경로보다 짧은 반도체 패키지.

청구항 5

제4 항에 있어서,
 상기 상부 배선 층은
 상기 제1 반도체 칩들의 상기 데이터 패드들 및 상기 제2 반도체 칩 사이에 형성된 제1 재배선 패턴들; 및
 상기 제2 반도체 칩 및 상기 기관 사이에 형성된 제2 재배선 패턴들을 포함하되,
 상기 제1 재배선 패턴들은 상기 제2 재배선 패턴들보다 짧고,
 상기 제1 반도체 칩들의 상기 데이터 패드들은 상기 제1 도전성 접속들, 상기 제1 재배선 패턴들, 상기 제2 반도체 칩, 상기 제2 재배선 패턴들, 및 상기 제2 도전성 접속들을 순차적으로 경유하여 상기 기관에 접속된 반도체 패키지.

청구항 6

제4 항에 있어서,
 상기 상부 배선 층은

상기 제1 반도체 칩들의 상기 데이터 패드들 및 상기 제2 반도체 칩 사이에 형성된 제1 재배선 패드들;
 상기 제2 반도체 칩 및 상기 기판 사이에 형성된 재배선 패드들; 및
 상기 재배선 패드들의 양단들에 형성된 제2 및 제3 재배선 패드들을 포함하되,
 상기 제2 반도체 칩은 상기 제1 재배선 패드들에 가깝고,
 상기 제2 도전성 접속들은 상기 제3 재배선 패드들에 접속되고,
 상기 제1 반도체 칩들의 상기 데이터 패드들은 상기 제1 재배선 패드들, 상기 제2 반도체 칩, 상기 제2 재배선 패드들, 상기 재배선 패드들, 상기 제3 재배선 패드들, 및 상기 제2 도전성 접속들을 순차적으로 경유하여 상기 기판에 접속된 반도체 패키지.

청구항 7

제1 항에 있어서,
 상기 재배선 패드들 사이에 형성된 제3 도전성 접속을 더 포함하되,
 상기 제3 도전성 접속은 상기 재배선 패드들 중 적어도 하나의 상부를 가로지르고,
 상기 제3 도전성 접속은 상기 재배선 패드들과 떨어지며,
 상기 제3 도전성 접속은 본딩 와이어(bonding wire), 빔 리드(beam lead), 또는 도전성 테이프(conductive tape)를 갖는 반도체 패키지.

청구항 8

제1 항에 있어서,
 상기 상부 배선 층은 상기 최상층 제1 반도체 칩 상을 부분적으로 덮되, 상기 최상층 제1 반도체 칩 및 상기 제2 반도체 칩 사이에는 상기 상부 배선 층이 없는 반도체 패키지.

청구항 9

제1 항에 있어서,
 상기 제1 반도체 칩들의 상기 데이터 패드들은 모두 상기 제2 반도체 칩, 상기 재배선 패드들, 상기 재배선 패드들, 및 상기 제2 도전성 접속들을 순차적으로 경유하여 상기 기판에 전기적으로 접속된 반도체 패키지.

청구항 10

기판 상에 탑재되고 데이터 패드들 및 전원 패드들을 갖는 다수의 제1 반도체 칩들;
 상기 제1 반도체 칩들 중 최상층 제1 반도체 칩 상에 형성되고, 다수의 제1 및 제2 재배선 패드들, 상기 제1 재배선 패드들 및 상기 제2 재배선 패드들 사이의 제1 재배선 패드들, 다수의 제3 및 제4 재배선 패드들, 상기 제3 재배선 패드들 및 상기 제4 재배선 패드들 사이의 제2 재배선 패드들, 다수의 제5 및 제6 재배선 패드들, 상기 제5 재배선 패드들 및 상기 제6 재배선 패드들 사이의 제3 재배선 패드들, 다수의 제7 및 제8 재배선 패드들, 및 상기 제7 재배선 패드들 및 상기 제8 재배선 패드들 사이의 제4 재배선 패드들을 갖되, 상기 제1 재배선 패드들은 상기 최상층 제1 반도체 칩의 상기 데이터 패드들에 접촉되는 상부 배선 층;
 상기 상부 배선 층 상의 제2 반도체 칩;
 상기 제1 재배선 패드들 및 상기 데이터 패드들 사이의 제1 도전성 접속들;
 상기 제2 재배선 패드들 및 상기 제2 반도체 칩 사이의 제2 도전성 접속들;
 상기 제2 반도체 칩 및 상기 제3 재배선 패드들 사이의 제3 도전성 접속들;
 상기 제4 재배선 패드들 및 상기 기판 사이의 제4 도전성 접속들;
 상기 제2 반도체 칩 및 상기 제5 재배선 패드들 사이의 제5 도전성 접속들;
 상기 제6 재배선 패드들 및 상기 제7 재배선 패드들 사이의 제6 도전성 접속들; 및

상기 제8 재배선 패드들 및 상기 기관 사이의 제7 도전성 접속들을 포함하되,

상기 제6 도전성 접속들은 본딩 와이어(bonding wire), 빔 리드(beam lead), 또는 도전성 테이프(conductive tape)를 갖고,

상기 제1 재배선 패턴들 및 상기 제2 재배선 패턴들 중 적어도 하나는 상기 제6 재배선 패드들 및 상기 제7 재배선 패드들 사이에 배치되되, 상기 제6 도전성 접속들은 상기 제1 재배선 패턴들 및 상기 제2 재배선 패턴들과 떨어진 반도체 패키지의.

명세서

기술분야

[0001] 본 발명은 다수의 반도체 칩들을 갖는 반도체 패키지에 관한 것이다.

배경기술

[0002] 다수의 반도체 칩들을 탑재하면서 고속 동작 특성을 갖는 반도체 패키지를 구현하기 위한 다양한 방법들이 연구되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 해결하려는 과제는, 신호 전달 경로를 단축하고 크기를 축소하면서 다수의 반도체 칩들을 탑재할 수 있는 반도체 패키지를 제공하는 데 있다.

[0004] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당 업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0005] 상기 과제를 달성하기 위하여 본 발명 기술적 사상의 실시 예들은, 반도체 패키지를 제공한다. 상기 반도체 패키지는 기관 상에 탑재되고 데이터 패드들 및 전원 패드들을 갖는 다수의 제1 반도체 칩들을 포함한다. 상기 제1 반도체 칩들 중 최상층 제1 반도체 칩 상에 다수의 재배선 패턴들 및 다수의 재배선 패드들을 갖는 상부 배선층이 형성된다. 상기 최상층 제1 반도체 칩 상에 상기 데이터 패드들에 가깝게 제2 반도체 칩이 탑재된다. 상기 데이터 패드들 및 상기 제2 반도체 칩 사이에 제1 도전성 접속들이 형성된다. 상기 제2 반도체 칩 및 상기 기관 사이에 제2 도전성 접속들이 형성된다. 상기 재배선 패턴들은 동일한 레벨에 배치되고 서로 중첩되지 않는다. 상기 제1 반도체 칩들의 상기 데이터 패드들은 상기 제1 도전성 접속들, 상기 제2 반도체 칩, 상기 재배선 패턴들, 상기 재배선 패드들, 및 상기 제2 도전성 접속들을 경유하여 상기 기관에 전기적으로 접속된다.

[0006] 상기 재배선 패드들 중 적어도 하나는 상기 최상층 제1 반도체 칩의 상기 데이터 패드들 중 하나에 직접적으로 접촉될 수 있다.

[0007] 상기 제2 반도체 칩은 상기 데이터 패드들에 상대적으로 가깝고 상기 전원 패드들에 상대적으로 멀리 떨어지도록 탑재될 수 있다.

[0008] 상기 제1 반도체 칩들 및 상기 제2 반도체 칩 사이의 제1 전기적 접속 경로는 상기 제2 반도체 칩 및 상기 기관 사이의 제2 전기적 접속 경로보다 짧을 수 있다.

[0009] 상기 상부 배선층은 상기 제1 반도체 칩들의 상기 데이터 패드들 및 상기 제2 반도체 칩 사이에 형성된 제1 재배선 패턴들을 포함할 수 있다. 상기 상부 배선층은 상기 제2 반도체 칩 및 상기 기관 사이에 형성된 제2 재배선 패턴들을 포함할 수 있다. 상기 제1 재배선 패턴들은 상기 제2 재배선 패턴들보다 짧을 수 있다. 상기 제1 반도체 칩들의 상기 데이터 패드들은 상기 제1 도전성 접속들, 상기 제1 재배선 패턴들, 상기 제2 반도체 칩, 상기 제2 재배선 패턴들, 및 상기 제2 도전성 접속들을 순차적으로 경유하여 상기 기관에 접속될 수 있다.

[0010] 상기 상부 배선층은 상기 제1 반도체 칩들의 상기 데이터 패드들 및 상기 제2 반도체 칩 사이에 형성된 제1 재배선 패드들을 포함할 수 있다. 상기 상부 배선층은 상기 제2 반도체 칩 및 상기 기관 사이에 형성된 재배선 패턴들을 포함할 수 있다. 상기 상부 배선층은 상기 재배선 패턴들의 양단들에 형성된 제2 및 제3 재배선 패드

들을 포함할 수 있다. 상기 제2 반도체 칩은 상기 제1 재배선 패드들에 가까울 수 있다. 상기 제2 도전성 접속들은 상기 제3 재배선 패드들에 접속될 수 있다. 상기 제1 반도체 칩들의 상기 데이터 패드들은 상기 제1 재배선 패드들, 상기 제2 반도체 칩, 상기 제2 재배선 패드들, 상기 재배선 패드들, 상기 제3 재배선 패드들, 및 상기 제2 도전성 접속들을 순차적으로 경유하여 상기 기판에 접속될 수 있다.

- [0011] 상기 재배선 패드들 사이에 형성된 제3 도전성 접속을 포함할 수 있다. 상기 제3 도전성 접속은 상기 재배선 패드들 중 적어도 하나의 상부를 가로지를 수 있다. 상기 제3 도전성 접속은 상기 재배선 패드들과 떨어질 수 있다. 상기 제3 도전성 접속은 본딩 와이어(bonding wire), 빔 리드(beam lead), 또는 도전성 테이프(conductive tape)를 포함할 수 있다.
- [0012] 상기 상부 배선 층은 상기 최상층 제1 반도체 칩 상을 부분적으로 덮을 수 있다. 상기 최상층 제1 반도체 칩 및 상기 제2 반도체 칩 사이에는 상기 상부 배선 층이 없을 수 있다.
- [0013] 상기 제1 반도체 칩들의 상기 데이터 패드들은 모두 상기 제2 반도체 칩, 상기 재배선 패드들, 상기 재배선 패드들, 및 상기 제2 도전성 접속들을 순차적으로 경유하여 상기 기판에 전기적으로 접속될 수 있다.
- [0014] 상기 기판은 기판 내부 배선들을 포함할 수 있다. 상기 기판 내부 배선들의 각각은 상기 제1 반도체 칩들의 상기 전원 패드들 또는 상기 제2 반도체 칩에 접속될 수 있다.
- [0015] 상기 기판 내에 상기 제1 반도체 칩들의 상기 데이터 패드들 및 상기 제2 반도체 칩 사이를 연결하기 위한 배선은 없는 것일 수 있다.
- [0016] 상기 제2 반도체 칩은 장축 및 단축의 길이 비율이 1.2 이하일 수 있다.
- [0017] 상기 제1 반도체 칩들의 상기 전원 패드들은 상기 제2 반도체 칩을 경유하지 않고 상기 기판에 직접적으로 접속될 수 있다.
- [0018] 상기 제2 반도체 칩에 접속된 버퍼 칩을 포함할 수 있다.
- [0019] 상기 버퍼 칩은 상기 상부 배선 층 상에 형성될 수 있다.
- [0020] 상기 상부 배선 층은 상기 제1 반도체 칩들의 상기 데이터 패드들 및 상기 제2 반도체 칩 사이에 형성된 제1 재배선 패드들을 포함할 수 있다. 상기 상부 배선 층은 상기 제2 반도체 칩 및 상기 기판 사이에 형성된 제2 재배선 패드들을 포함할 수 있다. 상기 상부 배선 층은 상기 제2 반도체 칩 및 상기 버퍼 칩 사이에 형성된 제3 재배선 패드들을 포함할 수 있다. 상기 버퍼 칩은 상기 제3 재배선 패드들을 경유하여 상기 제2 반도체 칩에 접속될 수 있다.
- [0021] 상기 제1 반도체 칩들 중 일부는 제1 방향으로 순차적으로 오프셋 정렬되어 제1 칩 스택(chip stack)을 구성할 수 있다. 상기 제1 반도체 칩들 중 다른 일부는 상기 제1 칩 스택 상에 상기 제1 방향과 다른 제2 방향으로 순차적으로 오프셋 정렬되어 제2 칩 스택을 구성할 수 있다. 상기 제1 칩 스택 및 상기 제2 칩 스택 사이에 중간 배선 층이 형성될 수 있다. 상기 제1 칩 스택에 포함된 상기 제1 반도체 칩들은 상기 중간 배선 층을 경유하여 상기 상부 배선 층에 전기적으로 접속될 수 있다.
- [0022] 또한, 본 발명 기술적 사상의 실시 예들은, 다른 반도체 패키지를 제공한다. 상기 반도체 패키지는 기판 상에 탑재되고 데이터 패드들 및 전원 패드들을 갖는 다수의 제1 반도체 칩들을 포함한다. 상기 제1 반도체 칩들 중 최상층 제1 반도체 칩 상에 상부 배선 층이 형성된다. 상기 상부 배선 층은 다수의 제1 및 제2 재배선 패드들, 상기 제1 재배선 패드들 및 상기 제2 재배선 패드들 사이의 제1 재배선 패드들, 다수의 제3 및 제4 재배선 패드들, 상기 제3 재배선 패드들 및 상기 제4 재배선 패드들 사이의 제2 재배선 패드들, 다수의 제5 및 제6 재배선 패드들, 상기 제5 재배선 패드들 및 상기 제6 재배선 패드들 사이의 제3 재배선 패드들, 다수의 제7 및 제8 재배선 패드들, 및 상기 제7 재배선 패드들 및 상기 제8 재배선 패드들 사이의 제4 재배선 패드들을 포함한다. 상기 제1 재배선 패드들은 상기 최상층 제1 반도체 칩의 상기 데이터 패드들에 접촉된다. 상기 상부 배선 층 상에 제2 반도체 칩이 탑재된다. 상기 제1 재배선 패드들 및 상기 데이터 패드들 사이에 제1 도전성 접속들이 형성된다. 상기 제2 재배선 패드들 및 상기 제2 반도체 칩 사이에 제2 도전성 접속들이 형성된다. 상기 제2 반도체 칩 및 상기 제3 재배선 패드들 사이에 제3 도전성 접속들이 형성된다. 상기 제4 재배선 패드들 및 상기 기판 사이에 제4 도전성 접속들이 형성된다. 상기 제2 반도체 칩 및 상기 제5 재배선 패드들 사이에 제5 도전성 접속들이 형성된다. 상기 제6 재배선 패드들 및 상기 제7 재배선 패드들 사이에 제6 도전성 접속들이 형성된다. 상기 제8 재배선 패드들 및 상기 기판 사이에 제7 도전성 접속들이 형성된다. 상기 제6 도전성 접속들은 본딩 와이어(bonding wire), 빔 리드(beam lead), 또는 도전성 테이프(conductive tape)를 포함한다. 상기 제1 재배선

패턴들 및 상기 제2 재배선 패턴들 중 적어도 하나는 상기 제6 재배선 패턴들 및 상기 제7 재배선 패턴들 사이에 배치된다. 상기 제6 도전성 접속들은 상기 제1 재배선 패턴들 및 상기 제2 재배선 패턴들과 떨어진다.

[0023] 이에 더하여, 본 발명 기술적 사상의 실시 예들은, 다른 반도체 패키지를 제공한다. 상기 반도체 패키지는 기판 상에 탑재되고 데이터 패드들 및 전원 패드들을 갖는 다수의 제1 반도체 칩들을 포함한다. 상기 제1 반도체 칩들 중 최상층 제1 반도체 칩 상을 부분적으로 덮는 상부 배선 층이 형성된다. 상기 상부 배선 층은 다수의 제1 재배선 패턴들, 다수의 제2 재배선 패턴들, 및 상기 제1 재배선 패턴들 및 상기 제2 재배선 패턴들 사이에 형성된 다수의 재배선 패턴들을 포함한다. 상기 최상층 제1 반도체 칩 상에 제2 반도체 칩이 형성된다. 상기 제1 반도체 칩들 사이에 상기 데이터 패드들에 접촉된 제1 도전성 접속들이 형성된다. 상기 제2 반도체 칩 및 상기 최상층 제1 반도체 칩의 상기 데이터 패드들 사이에 제2 도전성 접속들이 형성된다. 상기 제2 반도체 칩 및 상기 제1 재배선 패턴들 사이에 제3 도전성 접속들이 형성된다. 상기 제2 재배선 패턴들 및 상기 기판 사이에 제4 도전성 접속들이 형성된다. 상기 최상층 제1 반도체 칩 및 상기 제2 반도체 칩 사이에는 상기 상부 배선 층이 없다. 상기 제1 반도체 칩들의 상기 데이터 패드들은 상기 제1 도전성 접속들, 상기 제2 도전성 접속들, 상기 제2 반도체 칩, 상기 제3 도전성 접속들, 상기 제1 재배선 패턴들, 상기 재배선 패턴들, 상기 제2 재배선 패턴들, 및 상기 제4 도전성 접속들을 순차적으로 경유하여 상기 기판에 전기적으로 접속된다.

[0024] 나아가서, 본 발명 기술적 사상의 실시 예들은, 다른 반도체 패키지를 제공한다. 상기 반도체 패키지는 기판 상에 탑재된 제1 반도체 칩을 포함한다. 상기 제1 반도체 칩 및 상기 기판을 연결하는 제1 도전성 접속이 형성된다. 상기 기판 상에 탑재되고, 상기 제1 반도체 칩과 같은 레벨에 위치한 지지대가 배치된다. 상기 지지대 및 상기 제1 반도체 칩 상에 탑재되고 데이터 패드들 및 전원 패드들을 갖는 다수의 제2 반도체 칩들이 제공된다. 상기 제2 반도체 칩들 중 최하층 제2 반도체 칩의 바닥표면에 형성되고 상기 지지대 및 상기 제1 반도체 칩 상에 부착된 접착 막이 배치된다. 상기 제2 반도체 칩들 중 최상층 제2 반도체 칩 상에 형성되고 상기 데이터 패드들에 전기적으로 접속된 상부 배선 층이 제공된다. 상기 데이터 패드들 및 상기 상부 배선 층 사이에 제2 도전성 접속이 형성된다. 상기 상부 배선 층 상에 탑재되고 상기 데이터 패드들에 가깝게 형성되며 상기 상부 배선 층에 전기적으로 접속된 제3 반도체 칩이 배치된다. 상기 제3 반도체 칩 및 상기 기판 사이에 제3 도전성 접속이 형성된다. 상기 제1 도전성 접속은 상기 접착 막의 내부를 통과한다. 상기 다수의 제2 반도체 칩들은 상기 데이터 패드들, 상기 제2 도전성 접속, 상기 상부 배선 층, 상기 제3 반도체 칩, 및 상기 제3 도전성 접속을 순차적으로 경유하여 상기 기판에 전기적으로 접속된다.

[0025] 상기 제3 반도체 칩 및 상기 데이터 패드들 사이의 전기적 접속 경로의 길이는 상기 제3 반도체 칩 및 상기 기판 사이의 전기적 접속 경로보다 짧을 수 있다.

[0026] 상기 상부 배선 층은 제1 재배선 패턴, 상기 제1 재배선 패턴의 양단들에 접속된 제1 및 제2 재배선 패턴들, 상기 제1 재배선 패턴과 떨어진 제2 재배선 패턴, 및 상기 제2 재배선 패턴의 양단들에 접속된 제3 및 제4 재배선 패턴들을 포함할 수 있다. 상기 제2 도전성 접속의 일단은 상기 제1 재배선 패턴에 접촉될 수 있다. 상기 제2 재배선 패턴은 상기 제3 반도체 칩에 전기적으로 접속될 수 있다. 상기 제3 도전성 접속의 일단은 상기 제4 재배선 패턴에 접촉될 수 있다. 상기 제3 재배선 패턴은 상기 제3 반도체 칩에 전기적으로 접속될 수 있다. 상기 제2 재배선 패턴 및 상기 제3 반도체 칩 사이에 제4 도전성 접속이 형성될 수 있다. 상기 제3 재배선 패턴 및 상기 제3 반도체 칩 사이에 제5 도전성 접속이 형성될 수 있다.

[0027] 상기 상부 배선 층은 제1 재배선 패턴, 상기 제1 재배선 패턴과 떨어진 제2 재배선 패턴, 및 상기 제2 재배선 패턴의 양단들에 접속된 제3 및 제4 재배선 패턴들을 포함할 수 있다. 상기 제2 도전성 접속의 일단은 상기 제1 재배선 패턴에 접촉될 수 있다. 상기 제1 재배선 패턴은 상기 제3 반도체 칩에 전기적으로 접속될 수 있다. 상기 제3 도전성 접속의 일단은 상기 제4 재배선 패턴에 접촉될 수 있다. 상기 제3 재배선 패턴은 상기 제3 반도체 칩에 전기적으로 접속될 수 있다.

[0028] 상기 상부 배선 층은 제1 재배선 패턴, 및 상기 제1 재배선 패턴의 양단들에 접속된 제1 및 제2 재배선 패턴들을 포함할 수 있다. 상기 제2 도전성 접속의 일단은 상기 제1 재배선 패턴에 접촉될 수 있다. 상기 제2 재배선 패턴은 상기 제3 반도체 칩에 전기적으로 접속될 수 있다. 상기 제3 도전성 접속의 일단은 상기 제3 반도체 칩에 접촉될 수 있다.

[0029] 상기 제2 반도체 칩들의 상기 전원 패드들은 상기 제3 반도체 칩을 경유하지 않고 상기 기판에 직접적으로 접속될 수 있다.

[0030] 상기 다수의 제2 반도체 칩들 중 일부는 제1 방향으로 순차적으로 오프셋 정렬되어 제1 칩 스택(chip stack)을

구성할 수 있다. 상기 다수의 제2 반도체 칩들 중 다른 일부는 상기 제1 칩 스택 상에 상기 제1 방향과 다른 제2 방향으로 순차적으로 오프셋 정렬되어 제2 칩 스택을 구성할 수 있다. 상기 제1 칩 스택 상에 중간 배선 층이 형성될 수 있다. 상기 제1 칩 스택에 포함된 상기 제2 반도체 칩들은 상기 중간 배선 층을 경유하여 상기 상부 배선 층에 전기적으로 접속될 수 있다.

[0031] 상기 제2 칩 스택의 바닥표면에 부착되고 상기 중간 배선 층 상에 접촉된 중간 접착 막이 제공될 수 있다. 상기 제2 도전성 접속의 일부는 상기 중간 접착 막을 통과하여 상기 중간 배선 층에 접속될 수 있다.

[0032] 상기 제1 반도체 칩은 버퍼 칩을 포함할 수 있다. 상기 제2 반도체 칩들의 각각은 상기 제1 반도체 칩보다 큰 폭을 갖는 비-휘발성 메모리 칩을 포함할 수 있다. 상기 제3 반도체 칩은 상기 제2 반도체 칩들 보다 좁은 폭을 갖는 로직 칩을 포함할 수 있다.

[0033] 기타 실시 예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0034] 본 발명 기술적 사상의 실시 예들에 따르면, 기판 상에 다수의 메모리 칩들, 및 로직 칩이 탑재된 반도체 패키지가 제공될 수 있다. 상기 메모리 칩들 중 최상층 메모리 칩 상에 재배선 층이 형성된다. 상기 메모리 칩들은 본딩 와이어와 같은 도전성 접속들에 의하여 상기 재배선 층을 경유하여 상기 로직 칩에 접속될 수 있다. 상기 로직 칩은 상기 메모리 칩들의 데이터 패드들에 가깝게 탑재될 수 있다. 상기 로직 칩 및 상기 메모리 칩들 사이의 데이터 전달 경로는 종래에 비하여 현저히 단축될 수 있다. 상기 기판은 상기 로직 칩 및 상기 메모리 칩들 사이의 데이터 전달을 위한 배선을 필요로 하지 않는다. 상기 기판 내에 형성되는 기판 내부 배선은 종래에 비하여 현저히 단순화될 수 있다.

[0035] 몇몇 실시 예에서, 기판 상에 버퍼 칩, 지지대, 접착 막, 다수의 메모리 칩들, 및 로직 칩이 탑재된 반도체 패키지가 제공될 수 있다. 상기 메모리 칩들 중 최상층 메모리 칩 상에 재배선 층이 형성된다.

[0036] 신호 전달 경로가 단축되며, 구조적으로 안정되고, 다수의 반도체 칩들을 탑재하면서도 경박단소화에 유리한 반도체 패키지를 구현할 수 있다.

도면의 간단한 설명

[0037] 도 1, 도 5, 도 7, 도 8, 도 10, 도 12, 도 15, 도 22a, 및 도 23은 본 발명 기술적 사상의 실시 예들에 따른 반도체 패키지를 설명하기 위한 레이아웃들이다.

도 2a, 도 3, 도 6, 도 9, 도 11, 도 13, 도 14, 도 16 내지 도 21, 및 도 24는 본 발명 기술적 사상의 실시 예들에 따른 반도체 패키지를 설명하기 위한 단면도들이다.

도 2b는 도 2a의 일부분을 상세히 보여주는 부분 단면도이다.

도 4는 본 발명 기술적 사상의 실시 예들에 따른 반도체 패키지를 설명하기 위하여 기판 내의 배선을 보여주는 레이아웃이다.

도 22b는 도 22a의 일부분을 보여주는 단면도이다.

도 25 내지 도 30은 본 발명의 기술적 사상의 실시 예들에 따른 전자 장치의 사시도들 및 시스템 블록도들이다.

발명을 실시하기 위한 구체적인 내용

[0038] 첨부한 도면들을 참조하여 본 발명 기술적 사상의 실시 예들을 상세히 설명하기로 한다. 그러나 본 발명은 여기서 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시 예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.

[0039] 제1, 제2등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되는 것은 아니다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유

사하게 제2 구성요소는 제1 구성요소로 명명될 수 있다.

- [0040] 상단, 하단, 상면, 하면, 또는 상부, 하부 등의 용어는 구성요소에 있어 상대적인 위치를 구별하기 위해 사용되는 것이다. 예를 들어, 편의상 도면상의 위쪽을 상부, 도면상의 아래쪽을 하부로 명명하는 경우, 실제에 있어서 는 본 발명의 권리 범위를 벗어나지 않으면서 상부는 하부로 명명될 수 있고, 하부는 상부로 명명될 수 있다.
- [0041] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함 하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0042] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미가 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미가 있는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0043] 도 1은 본 발명 기술적 사상의 실시 예들에 따른 반도체 패키지를 설명하기 위한 레이아웃이고, 도 2a 및 도 3 은 본 발명 기술적 사상의 실시 예들에 따른 반도체 패키지를 설명하기 위한 단면도들이며, 도 2b는 도 2a의 일 부분을 상세히 보여주는 부분 단면도이고, 도 4는 본 발명 기술적 사상의 실시 예들에 따른 반도체 패키지를 설명하기 위하여 기관 내의 배선을 보여주는 레이아웃이다.
- [0044] 도 1 및 도 2a를 참조하면, 기관(3) 상에 제1 칩 스택(chip stack; 10)이 탑재될 수 있다. 상기 제1 칩 스택 (chip stack; 10)은 다수의 메모리 칩들(11, 12, 13, 14)을 포함할 수 있다. 상기 다수의 메모리 칩들(11, 12, 13, 14) 중 최상층 메모리 칩(14) 상에 재배선 층(274)이 형성될 수 있다. 상기 재배선 층(274) 내에 다수의 제 1 재배선 패드들(275), 다수의 제2 재배선 패드들(276), 다수의 제1 재배선 패드들(291), 다수의 제2 재배선 패 드들(292), 다수의 제3 재배선 패드들(293), 다수의 제4 재배선 패드들(294), 및 다수의 제5 재배선 패드들 (297)이 형성될 수 있다. 상기 재배선 층(274) 상에 로직 칩(7)이 탑재될 수 있다. 상기 기관(3) 상에 상기 제1 칩 스택(10) 및 상기 로직 칩(7)을 덮는 봉지재(59)가 제공될 수 있다. 상기 봉지재(59) 내에 제1 내지 제5 도 전성 접속들(241, 243, 246, 248, 249)이 제공될 수 있다. 상기 다수의 메모리 칩들(11, 12, 13, 14), 및 상기 로직 칩(7)은 다수의 데이터 패드들(91) 및 다수의 전원 패드들(92)을 포함할 수 있다.
- [0045] 다른 실시 예에서, 상기 재배선 층(274)은 상부 배선 층으로 지칭될 수 있다.
- [0046] 상기 제1 내지 제5 도전성 접속들(241, 243, 246, 248, 249)의 각각은 본딩 와이어(bonding wire), 빔 리드 (beam lead), 도전성 테이프, 도전성 스페이서, 관통전극, 솔더 볼(solder ball), 솔더 범프(solder bump), 또 는 이들의 조합을 포함할 수 있다. 예를 들면, 상기 제1 내지 제5 도전성 접속들(241, 243, 246, 248, 249)은 본딩 와이어(bonding wire)일 수 있다.
- [0047] 상기 기관(3)은 경성 인쇄 회로 기관(rigid printed circuit board), 연성 인쇄 회로 기관(flexible printed circuit board), 또는 경-연성 인쇄 회로 기관(rigid-flexible printed circuit board)을 포함할 수 있다. 상 기 기관(3)의 하부 표면은 하부 솔더 레지스트(2)로 덮일 수 있으며, 상기 기관(3)의 상부 표면은 상부 솔더 레 지스트(4)로 덮일 수 있다. 상기 기관(3) 상에 제1 전극 핑거들(231) 및 제2 전극 핑거들(233)이 형성될 수 있 다. 상기 기관(3)의 하부에 상기 하부 솔더 레지스트(2)를 관통하는 외부 단자들(5)이 형성될 수 있다. 상기 제 1 전극 핑거(231)는 상기 기관(3)을 통하여 상기 외부 단자들(5) 중 선택된 하나와 전기적으로 접속될 수 있다. 상기 외부 단자들(5)은 솔더 볼(solder ball), 솔더 범프(solder bump), 핀 그리드 어레이(pin grid array), 리드 그리드 어레이(lead grid array), 도전성 탭(conductive tab), 또는 이들의 조합을 포함할 수 있다.
- [0048] 상기 다수의 메모리 칩들(11, 12, 13, 14)의 각각은 낸드 플래시 메모리(NAND flash memory)와 같은 비-휘발성 메모리소자(non-volatile memory device)를 포함할 수 있다. 상기 다수의 메모리 칩들(11, 12, 13, 14)은 상기 데이터 패드들(91)을 포함할 수 있다. 상기 다수의 메모리 칩들(11, 12, 13, 14)의 상기 데이터 패드들(91)은 데이터 입출력 패드일 수 있다. 상기 다수의 메모리 칩들(11, 12, 13, 14)은 카스케이드(cascade) 구조로 적층 될 수 있다. 상기 다수의 메모리 칩들(11, 12, 13, 14)은 단계적으로(step by step) 오프셋 정렬될 수 있다. 예 를 들면, 상기 다수의 메모리 칩들(11, 12, 13, 14)은 상기 기관(3)의 일 방향으로 단계적으로 오프셋 정렬될 수 있다. 상기 다수의 메모리 칩들(11, 12, 13, 14)의 각각은 상기 로직 칩(7)보다 큰 폭일 수 있다.

- [0049] 상기 제1 재배선 패턴들(275) 각각의 길이는 상기 제2 재배선 패턴들(276) 각각의 길이보다 짧을 수 있다. 상기 제1 재배선 패턴(275) 및 상기 제2 재배선 패턴(276)은 서로 떨어질 수 있다. 상기 제1 재배선 패턴(275)의 양단들에 접촉된 상기 제1 및 제2 재배선 패드들(291, 292)이 형성될 수 있다. 상기 제2 재배선 패턴(276)의 양단들에 접촉된 상기 제3 및 제4 재배선 패드들(293, 294)이 형성될 수 있다. 상기 제1 재배선 패드(291)는 상기 최상층 메모리 칩(14)의 상기 데이터 패드(91)에 접촉되거나 전기적으로 접속될 수 있다. 또한, 상기 제1 재배선 패드(291)는 상기 제2 도전성 접속들(243)을 경유하여 상기 다수의 메모리 칩들(11, 12, 13)에 전기적으로 접속될 수 있다. 상기 제2 도전성 접속들(243)은 상기 메모리 칩들(11, 12, 13)의 상기 데이터 패드들(91) 및 상기 제1 재배선 패드(291)에 접촉될 수 있다.
- [0050] 다른 실시 예에서, 상기 메모리 칩들(11, 12, 13, 14)의 각각은 디램(dynamic random access memory; DRAM)과 같은 휘발성 메모리소자(volatile memory device)를 포함할 수 있다.
- [0051] 상기 로직 칩(7)은 로직 소자(logic device)를 포함하는 컨트롤러(controller) 또는 마이크로프로세서(microprocessor) 일 수 있다. 상기 로직 칩(7)은 상기 다수의 메모리 칩들(11, 12, 13, 14)보다 좁은 폭일 수 있다. 상기 로직 칩(7)은 상기 재배선 층(274) 상에 탑재될 수 있다. 상기 재배선 층(274)은 상기 최상층 메모리 칩(14) 상을 덮을 수 있다. 상기 로직 칩(7) 및 상기 최상층 메모리 칩(14) 사이에 상기 재배선 층(274)이 개재될 수 있다. 상기 로직 칩(7)의 상기 데이터 패드들(91) 중 선택된 하나는 상기 제5 도전성 접속(249)을 경유하여 상기 제2 재배선 패드(292)에 접속될 수 있다. 상기 로직 칩(7)의 상기 데이터 패드들(91) 중 선택된 다른 하나는 상기 제4 도전성 접속(248)을 경유하여 상기 제3 재배선 패드(293)에 접속될 수 있다. 상기 제4 재배선 패드(294) 및 상기 제1 전극 핑거(231) 사이에 상기 제1 도전성 접속(241)이 형성될 수 있다.
- [0052] 상기 다수의 메모리 칩들(11, 12, 13, 14)은 상기 제1 재배선 패드들(291), 상기 제1 재배선 패턴들(275), 상기 제2 재배선 패드들(292), 상기 제5 도전성 접속들(249), 상기 로직 칩(7), 상기 제4 도전성 접속들(248), 상기 제3 재배선 패드들(293), 상기 제2 재배선 패턴들(276), 상기 제4 재배선 패드들(294), 및 상기 제1 도전성 접속들(241)을 순차적으로 경유하여 상기 기판(3)에 전기적으로 접속될 수 있다.
- [0053] 상기 제3 도전성 접속들(246)은 상기 제2 전극 핑거들(233), 상기 메모리 칩들(11, 12, 13)의 상기 전원 패드들(92), 및 상기 제5 재배선 패드들(297)에 접촉될 수 있다. 상기 제5 재배선 패드들(297)은 상기 메모리 칩들(11, 12, 13, 14) 중 상기 최상층 메모리 칩(14)의 상기 전원 패드(92)에 접촉되거나 전기적으로 접속될 수 있다. 상기 메모리 칩들(11, 12, 13, 14)의 상기 전원 패드들(92)은 상기 로직 칩(7)을 경유하지 않고 상기 제3 도전성 접속들(246)을 경유하여 상기 제2 전극 핑거들(233)에 직접적으로 접속될 수 있다.
- [0054] 도 2b를 참조하면, 상기 최상층 메모리 칩(14)은 상기 데이터 패드들(91) 및 패시베이션 절연 막(14P)을 포함할 수 있다. 상기 패시베이션 절연 막(14P)은 상기 최상층 메모리 칩(14)을 덮고 상기 데이터 패드들(91)을 노출할 수 있다. 상기 재배선 층(274)은 제1 절연 막(274A), 상기 제1 재배선 패드들(291), 상기 제1 재배선 패턴들(275), 상기 제2 재배선 패드들(292), 제2 절연 막(274B)을 포함할 수 있다. 상기 제1 절연 막(274A)은 상기 최상층 메모리 칩(14) 상을 덮을 수 있다. 상기 제1 절연 막(274A) 상에 상기 제1 재배선 패드들(291), 상기 제1 재배선 패턴들(275), 및 상기 제2 재배선 패드들(292)이 형성될 수 있다. 예를 들면, 상기 제1 재배선 패드들(291), 상기 제1 재배선 패턴들(275), 및 상기 제2 재배선 패드들(292)은 동일한 레벨에 형성될 수 있다. 상기 제1 재배선 패드들(291), 상기 제1 재배선 패턴들(275), 및 상기 제2 재배선 패드들(292)은 서로 중첩되지 않도록 형성될 수 있다. 상기 제1 재배선 패드들(291)은 상기 제1 절연 막(274A)을 관통하여 상기 최상층 메모리 칩(14)의 상기 데이터 패드들(91)에 직접적으로 접촉될 수 있다. 상기 제2 절연 막(274B)은 상기 제1 절연 막(274A) 및 상기 제1 재배선 패턴들(275)을 덮고 상기 제1 재배선 패드들(291) 및 상기 제2 재배선 패드들(292)을 노출할 수 있다. 상기 제1 재배선 패드들(291) 상에 상기 제2 도전성 접속들(243)이 형성될 수 있다. 상기 제2 재배선 패드들(292) 상에 상기 제5 도전성 접속들(249)이 형성될 수 있다.
- [0055] 몇몇 실시 예에서, 상기 제1 재배선 패드들(291), 상기 제1 재배선 패턴들(275), 상기 제2 재배선 패드들(292), 상기 제3 재배선 패드들(293), 상기 제2 재배선 패턴들(276), 상기 제4 재배선 패드들(294), 및 상기 제5 재배선 패드들(297)은 서로 중첩되지 않도록 동일한 레벨에 형성될 수 있다.
- [0056] 다른 실시 예에서, 상기 제1 절연 막(274A) 또는 상기 제2 절연 막(274B)은 선택적으로 생략될 수 있다. 예를 들면, 상기 제1 절연 막(274A)은 생략될 수 있다.
- [0057] 또 다른 실시 예에서, 상기 재배선 층(274)은 상기 최상층 메모리 칩(14) 상에 부분적으로 형성될 수도 있다.
- [0058] 도 3을 참조하면, 상기 기판(3), 상기 제1 칩 스택(10), 상기 로직 칩(7), 및 상기 봉지재(59)는 카드 형 패키

지 또는 메인보드 탑재 형 패키지를 구성할 수 있다. 예를 들면, 상기 외부 단자들(도 2a의 5)은 생략될 수 있다.

[0059] 도 4를 참조하면, 상기 기관(3)은 기관 내부 배선들(321, 322, 323)을 포함할 수 있다. 상기 기관 내부 배선들(321, 322, 323) 중 몇몇은 상기 메모리 칩들(11, 12, 13, 14) 및 상기 로직 칩(7)에 전원을 공급하기 위한 것들일 수 있다. 예를 들면, 상기 기관 내부 배선들(321, 322, 323) 중 몇몇은 상기 제2 전극 핑거들(233) 및 상기 제3 도전성 접속들(246)에 전기적으로 접속될 수 있다. 상기 기관 내부 배선들(321, 322, 323) 중 다른 몇몇은 상기 로직 칩(7)에 데이터를 입출력 하고 외부 장치들과의 신호전달을 위한 것들일 수 있다. 예를 들면, 상기 기관 내부 배선들(321, 322, 323) 중 다른 몇몇은 상기 제1 전극 핑거들(231) 및 상기 제1 도전성 접속들(241)에 전기적으로 접속될 수 있다.

[0060] 도 1 내지 도 4에 도시된 바와 같이, 상기 로직 칩(7)은 상기 메모리 칩들(11, 12, 13, 14)의 상기 데이터 패드들(91)에 상대적으로 가깝고 상기 메모리 칩들(11, 12, 13, 14)의 상기 전원 패드들(92)에 상대적으로 멀리 떨어져질 수 있다. 상기 제1 재배선 패턴들(275), 상기 제1 재배선 패드들(291), 상기 제2 재배선 패드들(292), 상기 제2 도전성 접속들(243), 및 상기 제5 도전성 접속들(249)은 상기 로직 칩(7) 및 상기 메모리 칩들(11, 12, 13, 14) 사이에 데이터 신호를 전달하는 역할을 수행하는 제1 전기적 접속 경로로 해석될 수 있다. 상기 제2 재배선 패턴들(276), 상기 제3 재배선 패드들(293), 상기 제4 재배선 패드들(294), 상기 제4 도전성 접속들(248), 상기 제1 도전성 접속들(241), 및 상기 제1 전극 핑거들(231)은 상기 로직 칩(7) 및 상기 기관(3) 사이에 데이터 신호를 전달하는 역할을 수행하는 제2 전기적 접속 경로로 해석될 수 있다. 상기 제1 전기적 접속 경로는 상기 제2 전기적 접속 경로보다 짧을 수 있다. 상기 제5 재배선 패드들(297), 상기 제3 도전성 접속들(246), 및 상기 제2 전극 핑거들(233)은 상기 기관(3)으로부터 상기 메모리 칩들(11, 12, 13, 14)에 전원을 공급하는 역할을 수행하는 제3 전기적 접속경로로 해석될 수 있다. 상기 기관 배선들(321, 322, 323)은 상기 제1 전극 핑거들(231) 또는 상기 제2 전극 핑거들(233)에 접속될 수 있다.

[0061] 상술한 바와 같이 본 발명 기술적 사상의 실시 예들에 따르면, 상기 기관(3) 내에는 상기 로직 칩(7) 및 상기 메모리 칩들(11, 12, 13, 14) 사이에 데이터 신호를 전달하는 역할을 하는 어떠한 배선도 필요로 하지 않는다. 상기 로직 칩(7) 및 상기 메모리 칩들(11, 12, 13, 14) 사이에 데이터 신호를 전달하는 역할을 할 수 있는 배선들은 모두 상기 메모리 칩들(11, 12, 13, 14) 중 최하층 메모리 칩(11)보다 상부 레벨에 형성될 수 있다. 상기 기관(3) 내에 형성된 상기 기관 내부 배선들(321, 322, 323)은 종래에 비하여 현저히 단순해질 수 있다. 상기 기관 내부 배선들(321, 322, 323)의 전원 공급 능력 및 신호 전달 능력은 종래에 비하여 현저히 향상될 수 있다.

[0062] 상기 로직 칩(7)은 상기 메모리 칩들(11, 12, 13, 14)의 상기 데이터 패드들(91)에 가깝게 형성될 수 있다. 상기 메모리 칩들(11, 12, 13, 14)의 상기 데이터 패드들(91)과 상기 로직 칩(7) 사이의 전기적 접속 경로의 길이는 종래에 비하여 현저히 단축될 수 있다. 상기 제1 재배선 패턴(275)의 길이는 상기 제2 재배선 패턴(276)보다 짧게 형성될 수 있다. 상기 메모리 칩들(11, 12, 13, 14)의 상기 데이터 패드들(91)과 상기 로직 칩(7) 사이의 전기적 접속 경로의 길이는 상기 로직 칩(7) 및 상기 기관(3) 사이의 전기적 접속 경로보다 짧게 단축될 수 있다. 상기 메모리 칩들(11, 12, 13, 14)의 동작 속도는 상기 로직 칩(7) 및 외부 장치 사이의 신호 전달 속도에 비하여 상대적으로 느릴 수 있다. 본 발명의 실시 예들에 따른 반도체 패키지의 동작 속도는 상기 메모리 칩들(11, 12, 13, 14)에 의하여 결정될 수 있다. 상기 로직 칩(7) 및 상기 메모리 칩들(11, 12, 13, 14) 사이의 전기적 접속 경로를 단축하는 것은 상기 반도체 패키지의 동작 속도 증가에 매우 효율적일 수 있다.

[0063] 상기 제1 재배선 패턴(275) 및 상기 제2 재배선 패턴(276)의 길이는 상기 로직 칩(7)의 위치에 따라 자유롭게 조절될 수 있다. 상기 로직 칩(7)의 상기 데이터 패드들(91)의 위치는 상기 제1 재배선 패턴(275) 및 상기 제2 재배선 패턴(276)과 연계하여 효율적으로 배치될 수 있다. 본 발명의 실시 예들에 따르면 상기 로직 칩(7)의 설계 자유도는 종래에 비하여 현저히 증가할 수 있다. 상기 로직 칩(7)의 고집적화에 상대적으로 유리할 수 있다.

[0064] 도 5는 본 발명 기술적 사상의 실시 예들에 따른 반도체 패키지를 설명하기 위한 레이아웃이고, 도 6은 본 발명 기술적 사상의 실시 예들에 따른 반도체 패키지를 설명하기 위한 단면도이다.

[0065] 도 5 및 도 6을 참조하면, 기관(3) 상에 제1 칩 스택(chip stack; 10)이 탑재될 수 있다. 상기 제1 칩 스택(chip stack; 10)은 다수의 메모리 칩들(11, 12, 13, 14)을 포함할 수 있다. 상기 다수의 메모리 칩들(11, 12, 13, 14) 중 최상층 메모리 칩(14) 상에 재배선 층(274)이 형성될 수 있다. 상기 재배선 층(274) 내에 다수의 제2 재배선 패턴들(276), 다수의 제1 재배선 패드들(291), 다수의 제3 재배선 패드들(293), 다수의 제4 재배선 패드들(294), 및 다수의 제5 재배선 패드들(297)이 형성될 수 있다. 상기 재배선 층(274) 상에 로직 칩(7)이 탑재

될 수 있다. 상기 기관(3) 상에 상기 제1 칩 스택(10) 및 상기 로직 칩(7)을 덮는 봉지재(59)가 제공될 수 있다. 상기 봉지재(59) 내에 제1 내지 제5 도전성 접속들(241, 243, 246, 248, 249)이 제공될 수 있다. 상기 다수의 메모리 칩들(11, 12, 13, 14), 및 상기 로직 칩(7)은 다수의 데이터 패드들(91) 및 다수의 전원 패드들(92)을 포함할 수 있다.

[0066] 상기 제1 재배선 패턴들(도 1의 275) 및 상기 제2 재배선 패드들(도 1의 292)는 생략될 수 있다. 상기 제5 도전성 접속들(249)은 상기 제1 재배선 패드들(291)에 접촉되고 상기 로직 칩(7)의 상기 데이터 패드들(91)에 접촉될 수 있다. 상기 메모리 칩들(11, 12, 13, 14)과 상기 로직 칩(7) 사이의 전기적 접속 경로의 길이는 종래에 비하여 현저히 단축될 수 있다.

[0067] 도 7은 본 발명 기술적 사상의 실시 예들에 따른 반도체 패키지를 설명하기 위한 레이아웃이다.

[0068] 도 7을 참조하면, 기관(3) 상에 제1 칩 스택(chip stack; 10)이 탑재될 수 있다. 상기 제1 칩 스택(chip stack; 10)은 다수의 메모리 칩들(11, 12, 13, 14)을 포함할 수 있다. 상기 메모리 칩들(11, 12, 13, 14) 중 최상층 메모리 칩(14) 상에 재배선 층(274)이 형성될 수 있다. 상기 재배선 층(274) 내에 다수의 제1 재배선 패턴들(275), 다수의 제2 재배선 패턴들(276), 다수의 제1 재배선 패드들(291), 다수의 제2 재배선 패드들(292), 다수의 제3 재배선 패드들(293), 다수의 제4 재배선 패드들(294), 및 다수의 제5 재배선 패드들(297)이 형성될 수 있다. 상기 재배선 층(274) 상에 로직 칩(7)이 탑재될 수 있다. 상기 기관(3) 상에 제1 내지 제5 도전성 접속들(241, 243, 246, 248, 249)이 제공될 수 있다. 상기 다수의 메모리 칩들(11, 12, 13, 14), 및 상기 로직 칩(7)은 다수의 데이터 패드들(91) 및 다수의 전원 패드들(92)을 포함할 수 있다.

[0069] 상기 제1 재배선 패턴들(275), 상기 제2 재배선 패턴들(276), 상기 제1 재배선 패드들(291), 상기 제2 재배선 패드들(292), 상기 제3 재배선 패드들(293), 상기 제4 재배선 패드들(294), 및 상기 제5 재배선 패드들(297)은 다양한 위치와 길이를 갖도록 형성될 수 있다. 상기 로직 칩(7)의 설계 자유도는 종래에 비하여 현저히 증가할 수 있다. 예를 들면, 상기 로직 칩(7)은 장축과 단축의 길이 비율이 1.2 이하일 수 있다.

[0070] 도 8은 본 발명 기술적 사상의 실시 예들에 따른 반도체 패키지를 설명하기 위한 레이아웃이고, 도 9는 본 발명 기술적 사상의 실시 예들에 따른 반도체 패키지를 설명하기 위한 단면도이다.

[0071] 도 8 및 도 9를 참조하면, 기관(3) 상에 제1 칩 스택(chip stack; 10)이 탑재될 수 있다. 상기 제1 칩 스택(chip stack; 10)은 다수의 메모리 칩들(11, 12, 13, 14)을 포함할 수 있다. 상기 다수의 메모리 칩들(11, 12, 13, 14) 중 최상층 메모리 칩(14) 상에 재배선 층(274)이 형성될 수 있다. 상기 재배선 층(274) 내에 다수의 제1 재배선 패턴들(275), 다수의 제2 재배선 패턴들(276), 다수의 제3 재배선 패턴들(277), 다수의 제1 재배선 패드들(291), 다수의 제2 재배선 패드들(292), 다수의 제3 재배선 패드들(293), 다수의 제4 재배선 패드들(294), 다수의 제5 재배선 패드들(297), 및 다수의 제6 재배선 패드들(298)이 형성될 수 있다. 상기 재배선 층(274) 상에 로직 칩(7) 및 제1 버퍼 칩(261)이 탑재될 수 있다. 상기 기관(3) 상에 상기 제1 칩 스택(10), 상기 로직 칩(7), 및 상기 제1 버퍼 칩(261)을 덮는 봉지재(59)가 제공될 수 있다. 상기 봉지재(59) 내에 제1 도전성 접속들(241), 제2 도전성 접속들(243), 제3 도전성 접속들(246), 제4 도전성 접속들(248), 제5 도전성 접속들(249), 제6 도전성 접속들(244), 및 제7 도전성 접속들(247)이 제공될 수 있다. 상기 메모리 칩들(11, 12, 13, 14), 상기 제1 버퍼 칩(261), 및 상기 로직 칩(7)은 다수의 데이터 패드들(91) 및 다수의 전원 패드들(92)을 포함할 수 있다.

[0072] 상기 제1 버퍼 칩(261)은 상기 제7 도전성 접속(247)을 사용하여 상기 로직 칩(7)에 접속될 수 있다. 상기 제3 재배선 패턴들(277)은 상기 제5 재배선 패드들(297) 및 상기 제6 재배선 패드들(298) 사이에 형성될 수 있다. 상기 제6 도전성 접속들(244)은 상기 제1 버퍼 칩(261)의 상기 전원 패드들(92) 및 상기 제6 재배선 패드들(298) 사이에 형성될 수 있다. 상기 제1 버퍼 칩(261)은 디램(DRAM) 또는 에스램(SRAM) 과 같은 휘발성 메모리 소자(volatile memory device)를 포함할 수 있다.

[0073] 도 10은 본 발명 기술적 사상의 실시 예들에 따른 반도체 패키지를 설명하기 위한 레이아웃이고, 도 11은 본 발명 기술적 사상의 실시 예들에 따른 반도체 패키지를 설명하기 위한 단면도이다.

[0074] 도 10 및 도 11을 참조하면, 기관(3) 상에 제1 칩 스택(chip stack; 10)이 탑재될 수 있다. 상기 제1 칩 스택(chip stack; 10)은 다수의 메모리 칩들(11, 12, 13, 14)을 포함할 수 있다. 상기 메모리 칩들(11, 12, 13, 14) 중 최상층 메모리 칩(14) 상에 재배선 층(274)이 형성될 수 있다. 상기 재배선 층(274) 내에 다수의 제2 재배선 패턴들(276), 다수의 제3 재배선 패턴들(277), 다수의 제1 재배선 패드들(291), 다수의 제3 재배선 패드들(293), 다수의 제4 재배선 패드들(294), 다수의 제5 재배선 패드들(297), 및 다수의 제6 재배선 패드들(298)이

형성될 수 있다. 상기 재배선 층(274) 상에 로직 칩(7) 및 제1 버퍼 칩(261)이 탑재될 수 있다. 상기 기판(3) 상에 상기 제1 칩 스택(10), 상기 로직 칩(7), 및 상기 제1 버퍼 칩(261)을 덮는 봉지재(59)가 제공될 수 있다. 상기 봉지재(59) 내에 제1 도전성 접속들(241), 제2 도전성 접속들(243), 제3 도전성 접속들(246), 제4 도전성 접속들(248), 제5 도전성 접속들(249), 제6 도전성 접속들(244), 및 제7 도전성 접속들(247)이 제공될 수 있다. 상기 메모리 칩들(11, 12, 13, 14), 상기 제1 버퍼 칩(261), 및 상기 로직 칩(7)은 다수의 데이터 패드들(91) 및 다수의 전원 패드들(92)을 포함할 수 있다.

[0075] 상기 제1 재배선 패드들(도 8의 275) 및 상기 제2 재배선 패드들(도 8의 292)은 생략될 수 있다. 상기 제5 도전성 접속들(249)은 상기 제1 재배선 패드들(291)에 접촉되고 상기 로직 칩(7)의 상기 데이터 패드들(91)에 접촉될 수 있다.

[0076] 도 12는 본 발명 기술적 사상의 실시 예들에 따른 반도체 패키지를 설명하기 위한 레이아웃이고, 도 13 및 도 14는 본 발명 기술적 사상의 실시 예들에 따른 반도체 패키지를 설명하기 위한 단면도들이다.

[0077] 도 12 및 도 13을 참조하면, 기판(3) 상에 제1 칩 스택(chip stack; 10)이 탑재될 수 있다. 상기 제1 칩 스택(chip stack; 10)은 다수의 메모리 칩들(11, 12, 13, 14)을 포함할 수 있다. 상기 메모리 칩들(11, 12, 13, 14) 중 최상층 메모리 칩(14) 상에 재배선 층(274)이 형성될 수 있다. 상기 재배선 층(274) 내에 다수의 제1 재배선 패드들(275), 다수의 제2 재배선 패드들(276), 다수의 제3 재배선 패드들(277), 다수의 제1 재배선 패드들(291), 다수의 제2 재배선 패드들(292), 다수의 제3 재배선 패드들(293), 다수의 제4 재배선 패드들(294), 다수의 제5 재배선 패드들(297), 및 다수의 제6 재배선 패드들(298)이 형성될 수 있다. 상기 재배선 층(274) 상에 로직 칩(7), 제1 버퍼 칩(261), 및 제2 버퍼 칩(262)이 탑재될 수 있다. 상기 제2 버퍼 칩(262)은 상기 제1 버퍼 칩(261) 상에 오프셋(offset) 정렬될 수 있다. 상기 기판(3) 상에 상기 제1 칩 스택(10), 상기 로직 칩(7), 상기 제1 버퍼 칩(261), 및 상기 제2 버퍼 칩(262)을 덮는 봉지재(59)가 형성될 수 있다. 상기 봉지재(59) 내에 제1 도전성 접속들(241), 제2 도전성 접속들(243), 제3 도전성 접속들(246), 제4 도전성 접속들(248), 제5 도전성 접속들(249), 제6 도전성 접속들(244), 및 제7 도전성 접속들(247)이 제공될 수 있다. 상기 메모리 칩들(11, 12, 13, 14), 상기 제1 버퍼 칩(261), 상기 제2 버퍼 칩(262), 및 상기 로직 칩(7)은 다수의 데이터 패드들(91) 및 다수의 전원 패드들(92)을 포함할 수 있다.

[0078] 상기 제1 버퍼 칩(261) 및 상기 제2 버퍼 칩(262)은 상기 제7 도전성 접속(247)을 사용하여 상기 로직 칩(7)에 접속될 수 있다. 상기 제3 재배선 패드들(277)은 상기 제5 재배선 패드들(297) 및 상기 제6 재배선 패드들(298) 사이에 형성될 수 있다. 상기 제6 도전성 접속들(244)은 상기 제1 버퍼 칩(261) 및 상기 제2 버퍼 칩(262)의 상기 전원 패드들(92) 및 상기 제6 재배선 패드들(298) 사이에 형성될 수 있다. 상기 제1 버퍼 칩(261) 및 상기 제2 버퍼 칩(262)은 디램(DRAM) 또는 에스램(SRAM) 과 같은 휘발성 메모리 소자(volatile memory device)를 포함할 수 있다.

[0079] 도 14를 참조하면, 상기 제2 버퍼 칩(262)은 제1 접착 막(253)을 사용하여 상기 제1 버퍼 칩(261) 상에 탑재될 수 있다. 상기 제1 버퍼 칩(261) 및 상기 제2 버퍼 칩(262)은 상기 제7 도전성 접속들(247)을 사용하여 상기 로직 칩(7)에 접속될 수 있다. 상기 제7 도전성 접속들(247)은 상기 제1 접착 막(253)의 내부를 통과할 수 있다.

[0080] 상기 제1 접착 막(253)은 DAF(direct adhesive film) 또는 FOW(film over wire)로 지칭될 수 있다. 예를 들면, 상기 제7 도전성 접속들(247)이 본딩 와이어(bonding wire)인 경우, 상기 본딩 와이어(bonding wire)의 일부만이 상기 제1 접착 막(253)을 부분적으로 관통 또는 통과할 수 있다. 상기 제7 도전성 접속들(247)이 상기 제1 접착 막(253)을 관통 또는 통과하는 경우, 상기 제2 버퍼 칩(262)은 상기 제1 버퍼 칩(261) 상에 수직 정렬될 수 있다.

[0081] 도 15는 본 발명 기술적 사상의 실시 예들에 따른 반도체 패키지를 설명하기 위한 레이아웃이다.

[0082] 도 15를 참조하면, 기판(3) 상에 제1 칩 스택(chip stack; 10)이 탑재될 수 있다. 상기 제1 칩 스택(chip stack; 10)은 다수의 메모리 칩들(11, 12, 13, 14)을 포함할 수 있다. 상기 메모리 칩들(11, 12, 13, 14) 중 최상층 메모리 칩(14) 상에 재배선 층(274)이 형성될 수 있다. 상기 재배선 층(274) 내에 다수의 제1 재배선 패드들(275), 다수의 제2 재배선 패드들(276), 다수의 제3 재배선 패드들(277), 다수의 제4 재배선 패드들(313), 다수의 제1 재배선 패드들(291), 다수의 제2 재배선 패드들(292), 다수의 제3 재배선 패드들(293), 다수의 제4 재배선 패드들(294), 다수의 제5 재배선 패드들(297), 다수의 제6 재배선 패드들(298), 다수의 제7 재배선 패드들(311), 및 다수의 제8 재배선 패드들(314)이 형성될 수 있다. 상기 재배선 층(274) 상에 로직 칩(7), 제1 버퍼 칩(261), 및 제2 버퍼 칩(262)이 탑재될 수 있다. 상기 제2 버퍼 칩(262)은 상기 제1 버퍼 칩(261) 상에 오

프셋(offset) 정렬될 수 있다. 상기 기판(3) 상에 상기 제1 칩 스택(10), 상기 로직 칩(7), 상기 제1 버퍼 칩(261), 및 상기 제2 버퍼 칩(262)을 덮는 봉지재(59)가 형성될 수 있다. 상기 봉지재(59) 내에 제1 도전성 접속들(241), 제2 도전성 접속들(243), 제3 도전성 접속들(246), 제4 도전성 접속들(248), 제5 도전성 접속들(249), 제6 도전성 접속들(244), 제7 도전성 접속들(247), 및 제8 도전성 접속들(312)이 제공될 수 있다.

[0083] 상기 제4 재배선 패드들(313)의 양단들에 상기 제7 재배선 패드들(311) 및 상기 제8 재배선 패드들(314)이 형성될 수 있다. 상기 제4 재배선 패드들(313), 상기 제7 재배선 패드들(311) 및 상기 제8 재배선 패드들(314)은 상기 제1 버퍼 칩(261) 및 상기 로직 칩(7) 사이에 형성될 수 있다. 상기 제1 버퍼 칩(261) 및 상기 제2 버퍼 칩(262)은 상기 제7 도전성 접속(247)을 사용하여 상기 제8 재배선 패드들(314)에 접속될 수 있다. 상기 로직 칩(7)은 상기 제8 도전성 접속들(312)을 사용하여 상기 제7 재배선 패드들(311)에 접속될 수 있다.

[0084] 도 16 내지 도 21은 본 발명 기술적 사상의 실시 예들에 따른 반도체 패키지를 설명하기 위한 단면도들이다.

[0085] 도 16 및 도 17을 참조하면, 기판(3) 상에 버퍼 칩들(261, 262) 및 지지대(50)가 탑재될 수 있다. 상기 버퍼 칩들(261, 262) 및 상기 지지대(50) 상에 제1 칩 스택(chip stack; 10)이 탑재될 수 있다. 상기 제1 칩 스택(chip stack; 10)은 다수의 메모리 칩들(11, 12, 13, 14)을 포함할 수 있다. 상기 다수의 메모리 칩들(11, 12, 13, 14) 중 최상층 메모리 칩(14) 상에 재배선 층(274)이 형성될 수 있다. 상기 재배선 층(274) 내에 제1 재배선 패드(275), 제2 재배선 패드(276), 및 제1 내지 제4 재배선 패드들(291, 292, 293, 294)이 형성될 수 있다. 상기 재배선 층(274) 상에 로직 칩(7)이 탑재될 수 있다. 상기 기판(3) 상에 상기 버퍼 칩들(261, 262), 상기 지지대(50), 상기 제1 칩 스택(10), 및 상기 로직 칩(7)을 덮는 봉지재(59)가 형성될 수 있다. 또한, 상기 봉지재(59) 내에 제1 도전성 접속들(241), 제2 도전성 접속들(243), 제4 도전성 접속들(248), 제5 도전성 접속들(249), 제9 도전성 접속들(242)이 형성될 수 있다. 상기 버퍼 칩들(261, 262), 상기 메모리 칩들(11, 12, 13, 14), 및 상기 로직 칩(7)은 데이터 패드들(91)을 포함할 수 있다. 상기 도전성 접속들(241, 242, 243, 248, 249)의 각각은 본딩 와이어(bonding wire), 빔 리드(beam lead), 도전성 테이프, 도전성 스페이서, 관통전극, 솔더 볼(solder ball), 솔더 범프(solder bump), 또는 이들의 조합을 포함할 수 있다.

[0086] 상기 기판(3)은 경성 인쇄 회로 기판(rigid printed circuit board), 연성 인쇄 회로 기판(flexible printed circuit board), 또는 경-연성 인쇄 회로 기판(rigid-flexible printed circuit board)을 포함할 수 있다. 상기 기판(3)의 하부 표면은 하부 솔더 레지스트(2)로 덮일 수 있으며, 상기 기판(3)의 상부 표면은 상부 솔더 레지스트(4)로 덮일 수 있다. 상기 기판(3) 상에 제1 전극 핑거(231) 및 제3 전극 핑거들(232)이 형성될 수 있다. 상기 기판(3)의 하부에 상기 하부 솔더 레지스트(2)를 관통하는 외부 단자들(5)이 형성될 수 있다. 상기 제1 전극 핑거(231)는 상기 기판(3)을 통하여 상기 외부 단자들(5) 중 선택된 하나와 전기적으로 접속될 수 있다. 상기 외부 단자들(5)은 솔더 볼(solder ball), 솔더 범프(solder bump), 핀 그리드 어레이(pin grid array), 리드 그리드 어레이(lead grid array), 도전성 탭(conductive tab), 또는 이들의 조합을 포함할 수 있다.

[0087] 다른 실시 예에서, 상기 기판(3), 상기 버퍼 칩들(261, 262), 상기 지지대(50), 상기 제1 칩 스택(10), 상기 로직 칩(7), 및 상기 봉지재(59)는 카드 형 패키지를 구성할 수 있다. 상기 외부 단자들(5)은 생략될 수 있다.

[0088] 상기 버퍼 칩들(261, 262)의 각각은 디램(DRAM) 또는 에스램(SRAM) 과 같은 휘발성 메모리 소자(volatile memory device)를 포함할 수 있다. 상기 버퍼 칩들(261, 262)의 상기 데이터 패드들(91)은 데이터 입출력 패드일 수 있다. 상기 버퍼 칩들(261, 262)의 상기 데이터 패드들(91) 및 상기 제3 전극 핑거들(232) 사이에 상기 제9 도전성 접속들(242)이 형성될 수 있다.

[0089] 상기 버퍼 칩들(261, 262)은 상기 제9 도전성 접속들(242) 및 상기 기판(3)을 경유하여 상기 로직 칩(7)에 전기적으로 접속될 수 있다. 상기 버퍼 칩들(261, 262)은 제1 버퍼 칩(261) 및 제2 버퍼 칩(262)을 포함할 수 있다. 상기 제2 버퍼 칩(262)은 제1 접착 막(253)을 사용하여 상기 제1 버퍼 칩(261) 상에 탑재될 수 있다. 상기 제1 접착 막(253)은 DAF(direct adhesive film) 또는 FOW(film over wire)로 지칭될 수 있다. 상기 제9 도전성 접속들(242)은 상기 제1 접착 막(253)의 내부를 통과할 수 있다. 예를 들면, 상기 제9 도전성 접속들(242)이 본딩 와이어(bonding wire)인 경우, 상기 본딩 와이어(bonding wire)의 일부분이 상기 제1 접착 막(253)을 부분적으로 관통 또는 통과할 수 있다. 상기 제9 도전성 접속들(242)이 상기 제1 접착 막(253)을 관통 또는 통과하는 경우, 상기 제2 버퍼 칩(262)은 상기 제1 버퍼 칩(261) 상에 수직 정렬될 수 있다. 상기 지지대(50) 및 상기 제2 버퍼 칩(262)의 상부 표면들은 실질적으로 동일한 수평 레벨일 수 있다.

[0090] 상기 메모리 칩들(11, 12, 13, 14)의 각각은 낸드 플래시 메모리(NAND flash memory)와 같은 비-휘발성 메모리 소자(non-volatile memory device)를 포함할 수 있다. 상기 메모리 칩들(11, 12, 13, 14)의 상기 데이터 패드

들(91)은 데이터 입출력 패드일 수 있다. 상기 메모리 칩들(11, 12, 13, 14)은 카스케이드(cascade) 구조로 적층될 수 있다. 상기 메모리 칩들(11, 12, 13, 14)은 단계적으로(step by step) 오프셋 정렬될 수 있다. 상기 메모리 칩들(11, 12, 13, 14)의 각각은 상기 제2 버퍼 칩(262)보다 큰 폭일 수 있다. 상기 메모리 칩들(11, 12, 13, 14) 중 최하층 메모리 칩(11)은 제2 접착 막(254)을 사용하여 상기 지지대(50) 및 상기 제2 버퍼 칩(262) 상에 부착될 수 있다. 상기 최하층 메모리 칩(11)의 일 측면은 상기 지지대(50)의 일 측면에 수직 정렬될 수 있다. 상기 최하층 메모리 칩(11)의 다른 측면은 상기 제2 버퍼 칩(262) 상에 정렬될 수 있다. 상기 메모리 칩들(11, 12, 13, 14) 사이에 제3 접착 막(255)이 형성될 수 있다. 상기 메모리 칩들(11, 12, 13, 14)은 상기 기판(3)의 일 방향으로 단계적으로(step by step) 오프셋 정렬될 수 있다.

[0091] 상기 제2 접착 막(254)의 두께는 상기 제3 접착 막(255)보다 두꺼울 수 있다. 상기 제9 도전성 접속들(242)은 상기 제2 접착 막(254)의 내부를 통과할 수 있다. 예를 들면, 상기 제9 도전성 접속들(242)이 본딩 와이어(bonding wire)인 경우, 상기 본딩 와이어(bonding wire)의 일부분이 상기 제2 접착 막(254)을 부분적으로 관통 또는 통과할 수 있다. 상기 제9 도전성 접속들(242)이 상기 제2 접착 막(254)을 관통 또는 통과하는 경우, 상기 제2 버퍼 칩(262) 및 상기 지지대(50)는 상기 최하층 메모리 칩(11)의 점유면적 내에 탑재될 수 있다.

[0092] 상기 제2 접착 막(254)은 상기 최하층 메모리 칩(11)과 같은 폭을 가질 수 있다. 상기 제2 접착 막(254)은 상기 최하층 메모리 칩(11)의 하부표면에 부착될 수 있다. 상기 제2 접착 막(254)은 상기 최하층 메모리 칩(11), 상기 제2 버퍼 칩(262) 및 상기 지지대(50)와 직접적으로 접촉될 수 있다. 상기 제2 접착 막(254)은 DAF(direct adhesive film) 또는 FOW(film over wire)일 수 있다. 상기 제3 접착 막(255)은 상기 제2 접착 막(254)과 동일한 종류의 물질막일 수 있다. 몇몇 다른 실시 예에서, 상기 제3 접착 막(255)은 상기 제2 접착 막(254)과 다른 종류의 물질막일 수 있다.

[0093] 상기 제1 재배선 패드(275) 및 상기 제2 재배선 패드(276)은 서로 떨어질 수 있다. 상기 제1 재배선 패드(275)의 양단들에 접촉된 상기 제1 및 제2 재배선 패드들(291, 292)이 형성될 수 있다. 상기 제2 재배선 패드(276)의 양단들에 접촉된 상기 제3 및 제4 재배선 패드들(293, 294)이 형성될 수 있다. 상기 제1 재배선 패드(291)는 상기 최상층 메모리 칩(14)의 상기 데이터 패드(91)에 접촉되거나 전기적으로 접속될 수 있다. 또한, 상기 제1 재배선 패드(291)는 상기 제2 도전성 접속들(243)을 경유하여 상기 다수의 메모리 칩들(11, 12, 13)에 전기적으로 접속될 수 있다. 상기 제3 도전성 접속들(243)은 상기 메모리 칩들(11, 12, 13)의 상기 데이터 패드들(91) 및 상기 제1 재배선 패드(291)에 접촉될 수 있다.

[0094] 상기 로직 칩(7)은 컨트롤러(controller) 또는 마이크로프로세서(microprocessor) 일 수 있다. 상기 로직 칩(7)은 상기 메모리 칩들(11, 12, 13)보다 좁은 폭일 수 있다. 상기 로직 칩(7)은 상기 재배선 층(274) 상에 탑재될 수 있다. 상기 로직 칩(7)의 상기 데이터 패드들(91)중 선택된 하나는 상기 제5 도전성 접속(249)을 경유하여 상기 제2 재배선 패드(292)에 접속될 수 있다. 상기 로직 칩(7)의 상기 데이터 패드들(91)중 선택된 다른 하나는 상기 제4 도전성 접속(248)을 경유하여 상기 제3 재배선 패드(293)에 접속될 수 있다. 상기 제4 재배선 패드(294) 및 상기 제1 전극 핑거(231) 사이에 상기 제1 도전성 접속(241)이 형성될 수 있다.

[0095] 상기 메모리 칩들(11, 12, 13)은 상기 데이터 패드들(91), 상기 제2 도전성 접속들(243), 상기 제1 재배선 패드(291), 상기 제1 재배선 패드(275), 상기 제2 재배선 패드(292), 상기 제5 도전성 접속(249), 상기 로직 칩(7), 상기 제4 도전성 접속(248), 상기 제3 재배선 패드(293), 상기 제2 재배선 패드(276), 상기 제4 재배선 패드(294), 및 상기 제1 도전성 접속(241)을 순차적으로 경유하여 상기 기판(3)에 전기적으로 접속될 수 있다.

[0096] 도 16 및 도 17에 도시된 바와 같이, 상기 제1 재배선 패드(275) 및 상기 제2 재배선 패드(276)의 길이는 상기 로직 칩(7)의 위치에 따라 자유롭게 조절될 수 있다. 예를 들면, 상기 로직 칩(7) 및 상기 메모리 칩들(11, 12, 13) 사이의 신호 전달 경로를 단축하고자 하는 경우, 도 16과 유사하게 상기 제1 재배선 패드(275)의 길이는 상기 제2 재배선 패드(276)보다 짧게 단축될 수 있다. 상기 메모리 칩들(11, 12, 13)의 상기 데이터 패드들(91) 및 상기 로직 칩(7) 사이의 전기적 접속 경로의 길이는 종래에 비하여 현저히 단축될 수 있다. 상기 메모리 칩들(11, 12, 13)의 상기 데이터 패드들(91) 및 상기 로직 칩(7) 사이의 전기적 접속 경로의 길이는 상기 로직 칩(7) 및 상기 기판(3) 사이의 전기적 접속 경로보다 짧게 단축될 수 있다.

[0097] 상기 제9 도전성 접속들(242)이 상기 제1 접착 막(253)을 통과하는 구성을 이용하여 상기 제2 버퍼 칩(262)은 상기 제1 버퍼 칩(261) 상에 수직 정렬될 수 있다. 또한, 상기 제9 도전성 접속들(242)이 상기 제2 접착 막(254)을 통과하는 구성을 이용하여 상기 제2 버퍼 칩(262) 및 상기 지지대(50)는 상기 최하층 메모리 칩(11)의 점유면적 내에 탑재될 수 있다. 본 발명의 실시 예들에 따르면 수평 폭 축소에 유리한 구성을 갖는 반도체 패키지가 제공될 수 있다. 종래에 비하여 현저히 빠른 동작 속도를 갖고, 다수의 반도체 칩들을 탑재하면서 크기 축

소에 유리한 반도체 패키지를 구현할 수 있다.

- [0098] 도 18을 참조하면, 메모리 칩들(11, 12, 13, 14) 중 최상층 메모리 칩(14) 상에 재배선 층(274)이 형성될 수 있다. 상기 재배선 층(274) 내에 제1 재배선 패드(291), 제2 재배선 패드(276), 및 상기 제2 재배선 패드(276)의 양단들에 제3 및 제4 재배선 패드들(293, 294)이 형성될 수 있다. 상기 재배선 층(274) 상에 로직 칩(7)이 탑재될 수 있다. 상기 로직 칩(7)의 데이터 패드들(91)중 선택된 하나는 제5 도전성 접속(249)을 경유하여 상기 제1 재배선 패드(291)에 접속될 수 있다. 상기 로직 칩(7)의 데이터 패드들(91)중 선택된 다른 하나는 제4 도전성 접속(248)을 경유하여 상기 제3 재배선 패드(293)에 접속될 수 있다. 상기 제1 재배선 패드(도 16의 275), 및 상기 제2 재배선 패드(도 16의 292)는 생략될 수 있다.
- [0099] 상기 로직 칩(7)은 상기 제1 재배선 패드(291) 및 상기 메모리 칩들(11, 12, 13, 14)의 데이터 패드들(91)에 가깝게 탑재될 수 있다. 상기 로직 칩(7) 및 상기 메모리 칩들(11, 12, 13, 14) 사이의 전기적 접속 경로는 종래에 비하여 현저히 단축될 수 있다.
- [0100] 도 19를 참조하면, 상기 제2 버퍼 칩(도 16의 262)은 생략될 수 있다. 지지대(50) 및 제1 버퍼 칩(261)의 상부 표면들은 실질적으로 동일한 수평 레벨일 수 있다. 메모리 칩들(11, 12, 13, 14) 중 최하층 메모리 칩(11)은 제2 접촉 막(254)을 사용하여 상기 지지대(50) 및 상기 제1 버퍼 칩(261) 상에 부착될 수 있다. 상기 최하층 메모리 칩(11)의 일 측면은 상기 제1 버퍼 칩(261) 상에 정렬될 수 있다. 제9 도전성 접속들(242)은 상기 제2 접촉 막(254)의 내부를 통과할 수 있다. 상기 제1 버퍼 칩(261) 및 상기 지지대(50)는 상기 최하층 메모리 칩(11)의 점유면적 내에 탑재될 수 있다.
- [0101] 도 20을 참조하면, 버퍼 칩들(261, 262) 및 지지대(50) 상에 칩 스택(chip stack; 9)이 탑재될 수 있다. 상기 칩 스택(9)은 다수의 메모리 칩들(11, 12, 13, 14, 21, 22, 23, 24)을 포함할 수 있다. 편의상 상기 다수의 메모리 칩들(11, 12, 13, 14, 21, 22, 23, 24)은 제1 내지 제8 메모리 칩들(11, 12, 13, 14, 21, 22, 23, 24)로 지칭하기로 한다. 상기 제1 내지 제4 메모리 칩들(11, 12, 13, 14)은 제1 칩 스택(10)을 구성할 수 있으며, 상기 제5 내지 제8 메모리 칩들(21, 22, 23, 24)은 제2 칩 스택(20)을 구성할 수 있다. 상기 제8 메모리 칩(24) 상에 재배선 층(274)이 형성될 수 있다.
- [0102] 상기 제4 메모리 칩(14) 상에 중간 재배선 층(284)이 형성될 수 있다. 상기 중간 재배선 층(284)은 제5 재배선 패드(285), 및 상기 제5 재배선 패드(285)의 양단들에 형성된 제9 재배선 패드(295) 및 제10 재배선 패드(296)를 포함할 수 있다. 상기 제1 내지 제4 메모리 칩들(11, 12, 13, 14)은 제1 카스케이드(cascade) 구조로 적층될 수 있다. 제2 도전성 접속들(243)은 상기 제10 재배선 패드(296)에 접촉될 수 있다.
- [0103] 상기 제5 내지 제8 메모리 칩들(21, 22, 23, 24)은 제2 카스케이드(cascade) 구조로 적층될 수 있다. 상기 제5 내지 제8 메모리 칩들(21, 22, 23, 24)은 상기 제1 내지 제4 메모리 칩들(11, 12, 13, 14)과 다른 방향으로 정렬될 수 있다. 상기 제5 내지 제8 메모리 칩들(21, 22, 23, 24)은 상기 제1 내지 제4 메모리 칩들(11, 12, 13, 14)과 반대 방향으로 순차적으로 오프셋 정렬될 수 있다. 예를 들면, 상기 제5 메모리 칩(21)은 제4 접촉 막(256)을 사용하여 상기 중간 재배선 층(284) 상에 부착될 수 있다. 상기 제4 접촉 막(256)은 상기 제2 접촉 막(254)과 실질적으로 동일할 수 있다. 상기 제2 도전성 접속들(243)은 상기 제4 접촉 막(256)의 내부를 통과할 수 있다.
- [0104] 상기 제6 내지 제8 메모리 칩들(22, 23, 24)은 제5 접촉 막(257)을 사용하여 상기 제5 메모리 칩(21) 상에 차례로 부착될 수 있다. 상기 제5 내지 제7 메모리 칩들(21, 22, 23)은 제10 도전성 접속들(245)을 이용하여 상기 제4 재배선 패드(294)에 접속될 수 있다. 상기 제8 메모리 칩(24)의 데이터 패드(91)는 상기 제4 재배선 패드(294)에 접촉되거나 전기적으로 접속될 수 있다. 상기 제10 도전성 접속들(245)의 일단은 상기 제9 재배선 패드(295)에 접속될 수 있다.
- [0105] 도 21을 참조하면, 메모리 칩들(11, 12, 13, 14) 중 최상층 메모리 칩(14) 상에 재배선 층(274)이 형성될 수 있다. 상기 재배선 층(274) 내에 제1 재배선 패드(275), 및 상기 제1 재배선 패드(275)의 양단들에 제1 및 제2 재배선 패드들(291, 292)이 형성될 수 있다. 상기 재배선 층(274) 상에 로직 칩(7)이 탑재될 수 있다. 상기 로직 칩(7)의 데이터 패드들(91)중 선택된 하나는 제5 도전성 접속(249)을 경유하여 상기 제2 재배선 패드(292)에 접속될 수 있다. 상기 로직 칩(7)의 데이터 패드들(91)중 선택된 다른 하나는 제1 도전성 접속(241)을 경유하여 제1 전극 핑거(231)에 접속될 수 있다. 상기 제2 재배선 패드(도 17의 276), 및 상기 제3 및 제4 재배선 패드들(도 16의 293, 294)은 생략될 수 있다.
- [0106] 도 22a는 본 발명 기술적 사상의 실시 예들에 따른 반도체 패키지를 설명하기 위한 레이아웃이고, 도 22b는 도

22a의 일부분을 보여주는 단면도이다.

- [0107] 도 22a를 참조하면, 기판(3) 상에 제1 칩 스택(chip stack; 10)이 탑재될 수 있다. 상기 제1 칩 스택(chip stack; 10)은 다수의 메모리 칩들(11, 12, 13, 14)을 포함할 수 있다. 상기 메모리 칩들(11, 12, 13, 14) 중 최상층 메모리 칩(14) 상에 재배선 층(274)이 형성될 수 있다. 상기 재배선 층(274) 내에 다수의 제1 재배선 패턴들(275), 다수의 제2 재배선 패턴들(276), 다수의 제1 재배선 패드들(291), 다수의 제2 재배선 패드들(292), 다수의 제3 재배선 패드들(293), 다수의 제4 재배선 패드들(294), 다수의 제5 재배선 패드들(297), 다수의 제6 재배선 패턴들(376), 다수의 제7 재배선 패턴들(377), 다수의 제11 재배선 패드들(393), 다수의 제12 재배선 패드들(394), 다수의 제13 재배선 패드(395), 및 다수의 제14 재배선 패드들(396)이 형성될 수 있다. 상기 재배선 층(274) 상에 로직 칩(7)이 탑재될 수 있다. 상기 기판(3) 상에 제1 내지 제5 도전성 접속들(241, 243, 246, 248, 249) 및 제11 내지 제13 도전성 접속들(341, 347, 348)이 제공될 수 있다. 상기 다수의 메모리 칩들(11, 12, 13, 14), 및 상기 로직 칩(7)은 다수의 데이터 패드들(91) 및 다수의 전원 패드들(92)을 포함할 수 있다.
- [0108] 상기 제13 도전성 접속들(348)은 상기 로직 칩(7) 및 상기 제11 재배선 패드들(393) 사이에 접속될 수 있다. 상기 제7 재배선 패턴들(377)은 상기 제11 재배선 패드들(393) 및 상기 제14 재배선 패드들(396) 사이에 형성될 수 있다. 상기 제12 도전성 접속들(347)은 상기 제14 재배선 패드들(396) 및 상기 제13 재배선 패드들(395) 사이에 접속될 수 있다. 상기 제6 재배선 패턴들(376)은 상기 제13 재배선 패드들(395) 및 상기 제12 재배선 패드들(394) 사이에 형성될 수 있다. 상기 제11 도전성 접속들(341)은 상기 제12 재배선 패드들(394) 및 제4 전극 핑거(331) 사이에 접속될 수 있다.
- [0109] 상기 제12 도전성 접속들(347)은 본딩 와이어(bonding wire), 빔 리드(beam lead), 또는 도전성 테이프(conductive tape)를 포함할 수 있다. 예를 들면, 상기 제12 도전성 접속들(347)은 골드 와이어 또는 알루미늄 와이어와 같은 본딩 와이어(bonding wire)일 수 있다. 상기 제14 재배선 패드들(396) 및 상기 제13 재배선 패드들(395) 사이에 상기 제2 재배선 패턴들(276)이 배치될 수 있다. 상기 제12 도전성 접속들(347)은 상기 제2 재배선 패턴들(276) 상을 가로지를 수 있다. 상기 제12 도전성 접속들(347)은 상기 제2 재배선 패턴들(276)과 떨어질 수 있다.
- [0110] 다른 실시 예에서, 상기 제14 재배선 패드들(396) 및 상기 제13 재배선 패드들(395) 사이에 상기 제1 재배선 패턴들(275) 및 상기 제2 재배선 패턴들(276) 중 적어도 하나가 배치될 수 있다.
- [0111] 도 22b를 참조하면, 상기 최상층 메모리 칩(14)은 패시베이션 절연 막(14P)을 포함할 수 있다. 상기 패시베이션 절연 막(14P)은 상기 최상층 메모리 칩(14)을 덮을 수 있다. 상기 재배선 층(274)은 제1 절연 막(274A), 상기 제13 재배선 패드들(395), 상기 제2 재배선 패턴들(276), 상기 제14 재배선 패드들(396), 제2 절연 막(274B)을 포함할 수 있다. 상기 제1 절연 막(274A)은 상기 최상층 메모리 칩(14) 상을 덮을 수 있다. 상기 제1 절연 막(274A) 상에 상기 제13 재배선 패드들(395), 상기 제2 재배선 패턴들(276), 및 상기 제14 재배선 패드들(396)이 형성될 수 있다. 예를 들면, 상기 제13 재배선 패드들(395), 상기 제2 재배선 패턴들(276), 및 상기 제14 재배선 패드들(396)은 동일한 레벨에 형성될 수 있다. 상기 제13 재배선 패드들(395), 상기 제2 재배선 패턴들(276), 및 상기 제14 재배선 패드들(396)은 서로 중첩되지 않도록 형성될 수 있다.
- [0112] 상기 제2 절연 막(274B)은 상기 제1 절연 막(274A) 및 상기 제2 재배선 패턴들(276)을 덮고 상기 제13 재배선 패드들(395) 및 상기 제14 재배선 패드들(396)을 노출할 수 있다. 상기 제13 재배선 패드들(395) 및 상기 제14 재배선 패드들(396) 사이에 상기 제12 도전성 접속들(347)이 형성될 수 있다. 상기 제12 도전성 접속들(347)은 상기 제2 재배선 패턴들(276)과 떨어질 수 있다. 상기 제12 도전성 접속들(347)은 상기 제13 재배선 패드들(395) 및 상기 제14 재배선 패드들(396)에 직접적으로 접속될 수 있다.
- [0113] 도 23은 본 발명 기술적 사상의 실시 예들에 따른 반도체 패키지를 설명하기 위한 레이아웃이고, 도 24는 본 발명 기술적 사상의 실시 예들에 따른 반도체 패키지를 설명하기 위한 단면도이다.
- [0114] 도 23 및 도 24를 참조하면, 기판(3) 상에 제1 칩 스택(chip stack; 10)이 탑재될 수 있다. 상기 제1 칩 스택(chip stack; 10)은 다수의 메모리 칩들(11, 12, 13, 14)을 포함할 수 있다. 상기 다수의 메모리 칩들(11, 12, 13, 14) 중 최상층 메모리 칩(14) 상에 재배선 층(274P)이 형성될 수 있다. 상기 재배선 층(274P)은 상기 최상층 메모리 칩(14) 상을 부분적으로 덮을 수 있다.
- [0115] 상기 재배선 층(274P) 내에 다수의 제2 재배선 패턴들(276), 다수의 제3 재배선 패드들(293), 다수의 제4 재배선 패드들(294), 및 다수의 제5 재배선 패드들(297)이 형성될 수 있다. 상기 최상층 메모리 칩(14) 상에 로직 칩(7)이 탑재될 수 있다. 상기 기판(3) 상에 상기 제1 칩 스택(10) 및 상기 로직 칩(7)을 덮는 봉지재(59)가 제

공될 수 있다. 상기 봉지재(59) 내에 제1 내지 제5 도전성 접속들(241, 243, 246, 248, 249)이 제공될 수 있다. 상기 다수의 메모리 칩들(11, 12, 13, 14), 및 상기 로직 칩(7)은 다수의 데이터 패드들(91) 및 다수의 전원 패드들(92)을 포함할 수 있다.

[0116] 상기 로직 칩(7) 및 상기 최상층 메모리 칩(14) 사이에는 상기 재배선 층(274P)이 없을 수 있다. 예를 들면, 상기 재배선 층(274P)은 상기 로직 칩(7)과 중첩되지 않도록 상기 최상층 메모리 칩(14) 상에 부분적으로 형성될 수 있다. 상기 제1 재배선 패드들(도5의 291)은 생략될 수 있다. 상기 제5 도전성 접속들(249)은 상기 최상층 메모리 칩(14)의 상기 데이터 패드들(91)에 접촉되고 상기 로직 칩(7)의 상기 데이터 패드들(91)에 접촉될 수 있다. 상기 메모리 칩들(11, 12, 13, 14)과 상기 로직 칩(7) 사이의 전기적 접속 경로의 길이는 종래에 비하여 현저히 단축될 수 있다.

[0117] 도 25는 본 발명의 기술적 사상의 실시 예들에 따른 전자 장치의 사시도이고, 도 26은 본 발명의 기술적 사상의 실시 예들에 따른 전자 장치의 시스템 블록도이다. 상기 전자 장치는 솔리드 스테이트 드라이브(Solid State Drive; SSD; 1100)와 같은 데이터 저장장치일 수 있다.

[0118] 도 25 및 도 26을 참조하면, 상기 솔리드 스테이트 드라이브(SSD; 1100)는 인터페이스(1113), 제어기(controller; 1115), 비-휘발성 메모리(non-volatile memory; 1118), 및 버퍼 메모리(buffer memory; 1119)를 포함할 수 있다. 상기 솔리드 스테이트 드라이브(1100)는 반도체 소자를 이용하여 정보를 저장하는 장치이다. 상기 솔리드 스테이트 드라이브(1100)는 하드 디스크 드라이브(Hard Disk Drive; HDD)에 비하여 속도가 빠르고 기계적 지연이나 실패율, 발열, 소음도 적으며, 소형화, 경량화할 수 있는 장점이 있다. 상기 솔리드 스테이트 드라이브(1100)는 랩톱, 노트북PC, 데스크톱PC, MP3 플레이어, 또는 휴대용 저장장치에 사용될 수 있다.

[0119] 상기 제어기(1115)는 상기 인터페이스(1113)에 인접하게 형성되고 전기적으로 접속될 수 있다. 상기 제어기(1115)는 메모리 제어기 및 버퍼 제어기를 포함하는 마이크로프로세서(microprocessor)일 수 있다. 상기 비-휘발성 메모리(1118)는 상기 제어기(1115)에 인접하게 형성되고 전기적으로 접속될 수 있다. 상기 솔리드 스테이트 드라이브(1100)의 데이터 저장용량은 상기 비-휘발성 메모리(1118)에 대응할 수 있다. 상기 버퍼 메모리(1119)는 상기 제어기(1115)에 인접하게 형성되고 전기적으로 접속될 수 있다.

[0120] 상기 인터페이스(1113)는 호스트(Host; 1002)에 접속될 수 있으며 데이터와 같은 전기신호들을 송수신하는 역할을 할 수 있다. 예를 들면, 상기 인터페이스(1113)는 SATA, IDE, SCSI, 및/또는 이들의 조합과 같은 규격을 사용하는 장치일 수 있다. 상기 비-휘발성 메모리(1118)는 상기 제어기(1115)를 경유하여 상기 인터페이스(1113)에 접속될 수 있다. 상기 비-휘발성 메모리(1118)는 상기 인터페이스(1113)를 통하여 수신된 데이터를 저장하는 역할을 할 수 있다. 상기 솔리드 스테이트 드라이브(1100)에 전원공급이 차단된다 할지라도, 상기 비-휘발성 메모리(1118)에 저장된 데이터는 보존되는 특성이 있다.

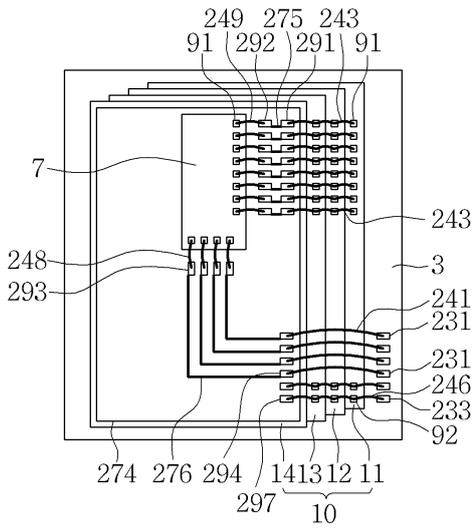
[0121] 상기 버퍼 메모리(1119)는 휘발성 메모리(volatile memory)를 포함할 수 있다. 상기 휘발성 메모리는 디램(Dynamic Random Access Memory; DRAM), 및/또는 에스램(Static Random Access Memory; SRAM)일 수 있다. 상기 버퍼 메모리(1119)는 상기 비-휘발성 메모리(1118)에 비하여 상대적으로 빠른 동작속도를 보인다.

[0122] 상기 인터페이스(1113)의 데이터 처리속도는 상기 비 휘발성 메모리(1118)의 동작속도에 비하여 상대적으로 빠를 수 있다. 여기서, 상기 버퍼 메모리(1119)는 데이터를 임시 저장하는 역할을 할 수 있다. 상기 인터페이스(1113)를 통하여 수신된 데이터는, 상기 제어기(1115)를 경유하여 상기 버퍼 메모리(1119)에 임시 저장된 후, 상기 비-휘발성 메모리(1118)의 데이터 기록(write) 속도에 맞추어 상기 비-휘발성 메모리(1118)에 영구 저장될 수 있다. 또한, 상기 비-휘발성 메모리(1118)에 저장된 데이터들 중 자주 사용되는 데이터들은 사전에 읽기(read) 하여 상기 버퍼 메모리(1119)에 임시 저장할 수 있다. 즉, 상기 버퍼 메모리(1119)는 상기 솔리드 스테이트 드라이브(1100)의 유효 동작속도를 증가시키고 에러(error) 발생률을 감소하는 역할을 할 수 있다.

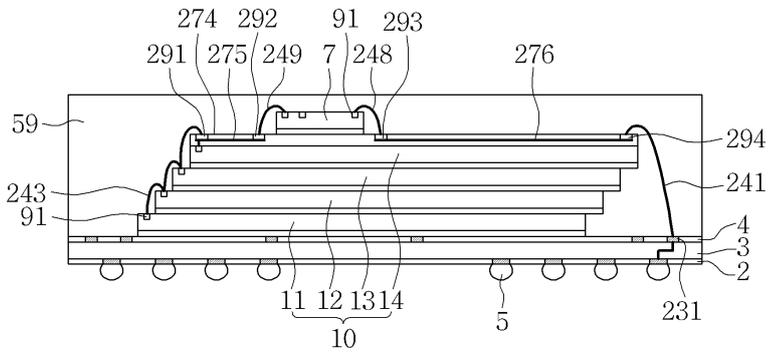
[0123] 상기 비-휘발성 메모리(non-volatile memory; 1118), 상기 버퍼 메모리(1119), 및 상기 제어기(1115)는 도 1 내지 도 24를 참조하여 설명한 것과 유사한 구성을 보일 수 있다. 예를 들면, 상기 비-휘발성 메모리(non-volatile memory; 1118), 상기 버퍼 메모리(1119), 및 상기 제어기(1115)는 하나의 반도체 패키지 내에 탑재될 수 있다. 다른 실시 예에서, 상기 비-휘발성 메모리(non-volatile memory; 1118) 및 상기 제어기(1115)는 제1 반도체 패키지 내에 탑재되고, 상기 버퍼 메모리(1119)는 제2 반도체 패키지 내에 탑재될 수 있다. 다른 실시 예에서, 상기 비-휘발성 메모리(non-volatile memory; 1118)는 제1 반도체 패키지 내에 탑재되고, 상기 버퍼 메모리(1119)는 제2 반도체 패키지 내에 탑재되며, 상기 제어기(1115)는 제3 반도체 패키지 내에 탑재될 수 있다. 상기 솔리드 스테이트 드라이브(1100)의 전기적 특성은 종래에 비하여 현저히 개선될 수 있다.

도면

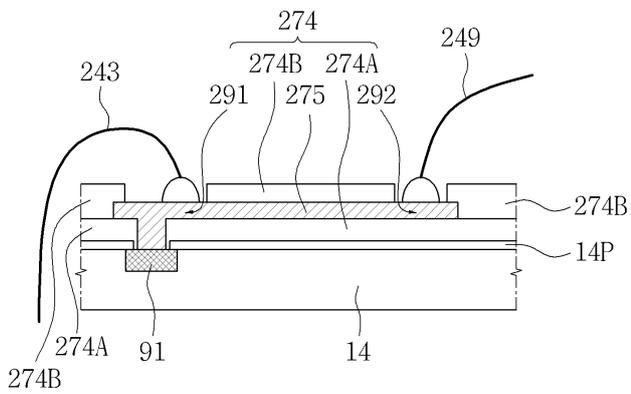
도면1



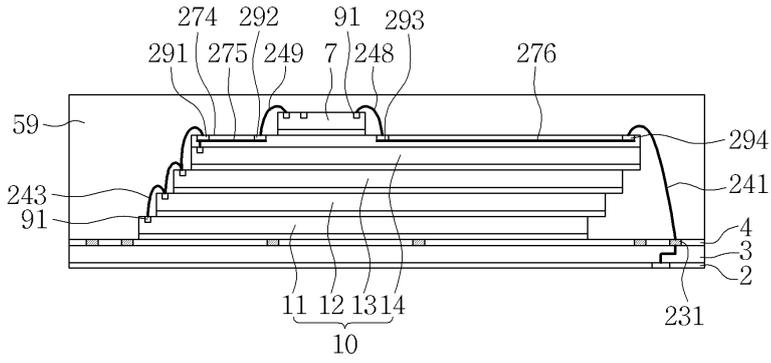
도면2a



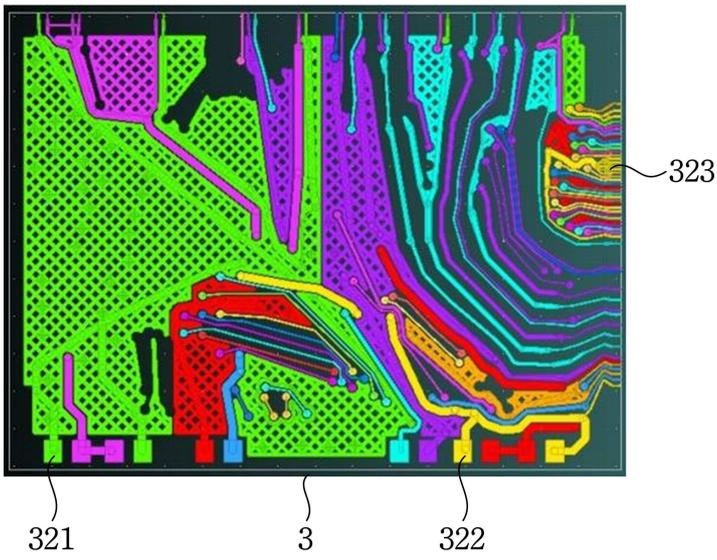
도면2b



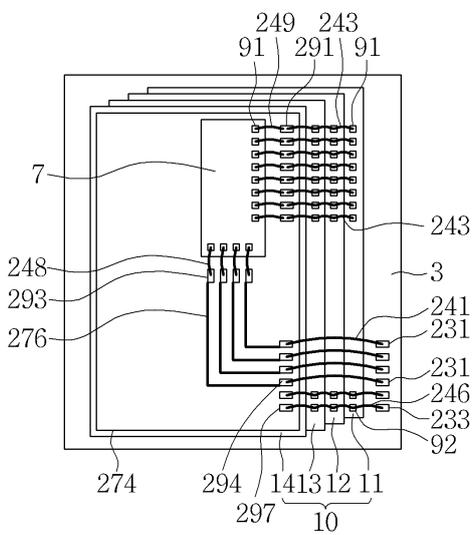
도면3



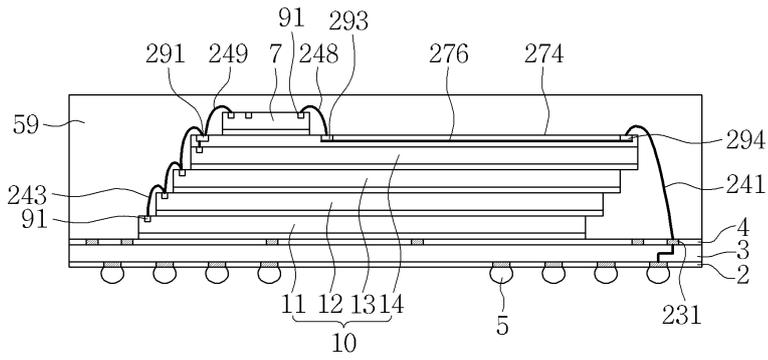
도면4



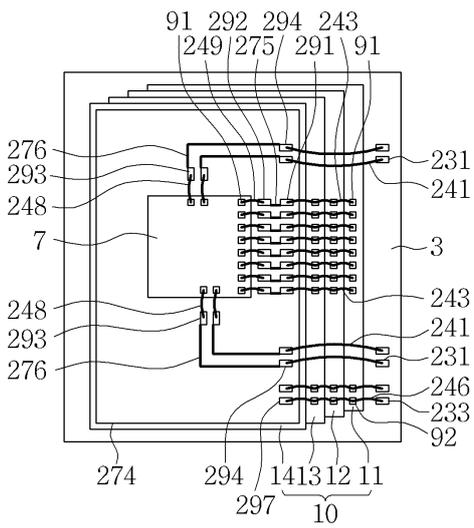
도면5



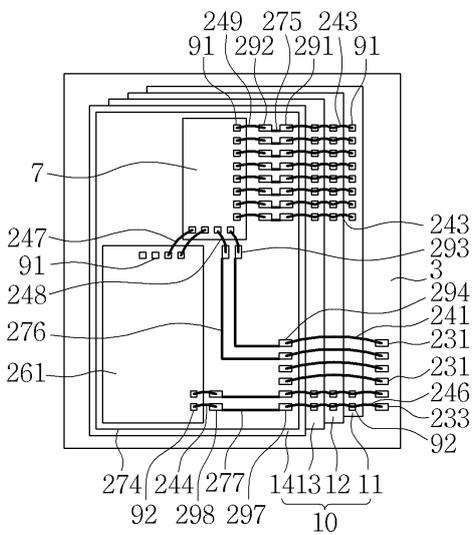
도면6



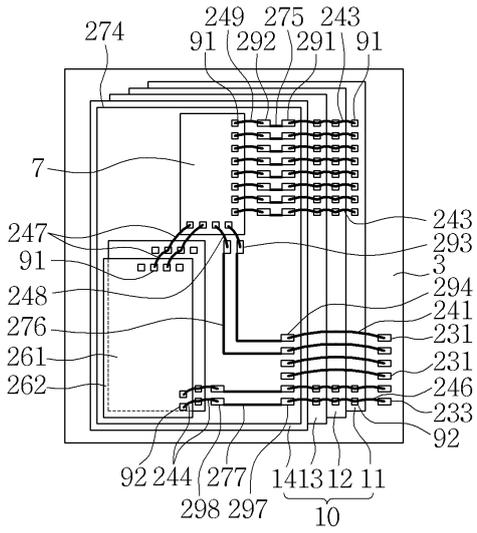
도면7



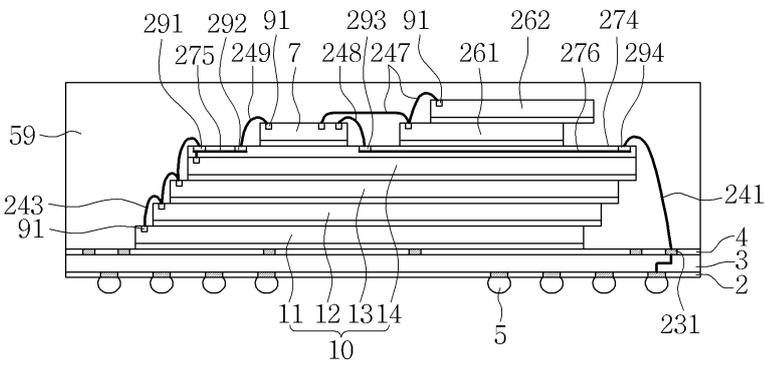
도면8



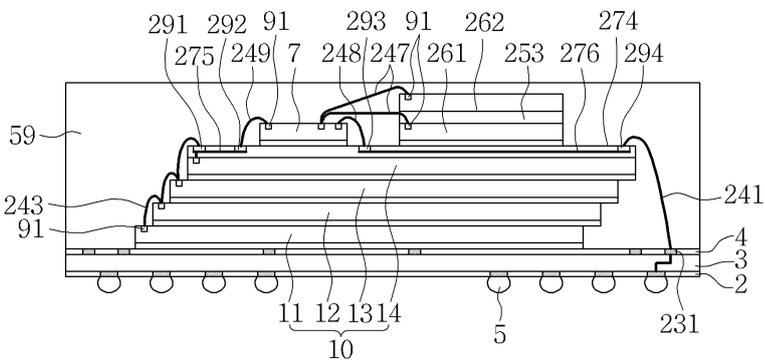
도면12



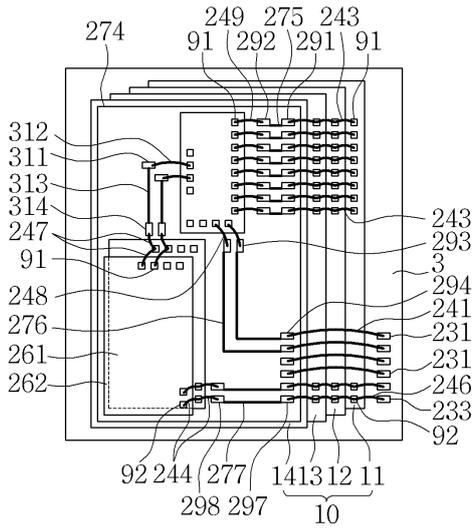
도면13



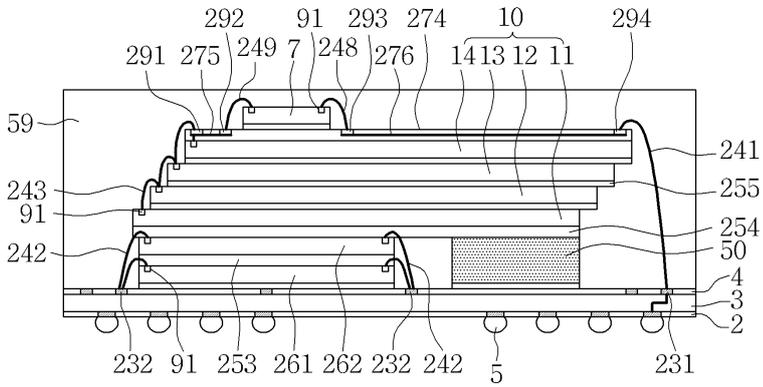
도면14



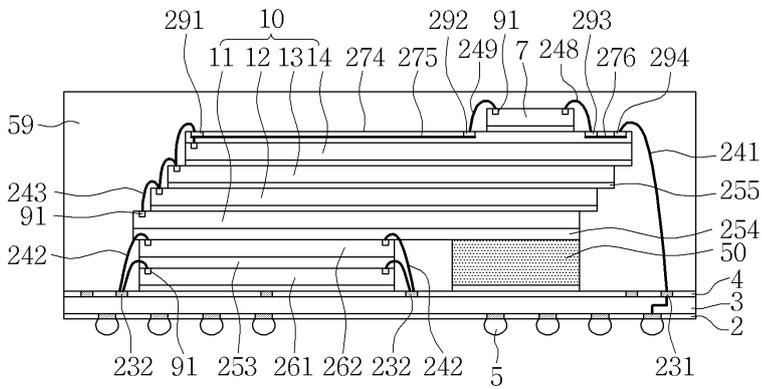
도면15



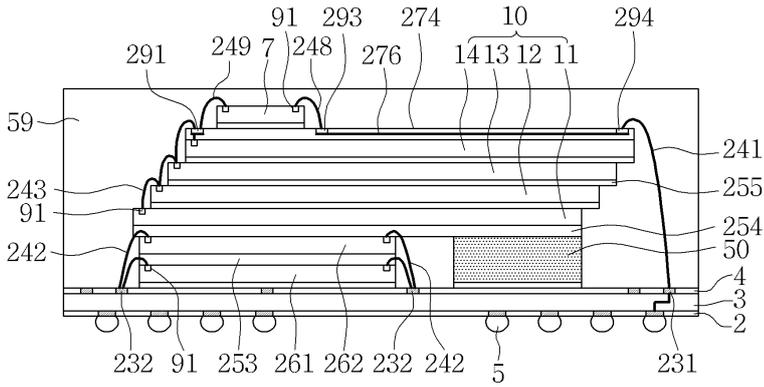
도면16



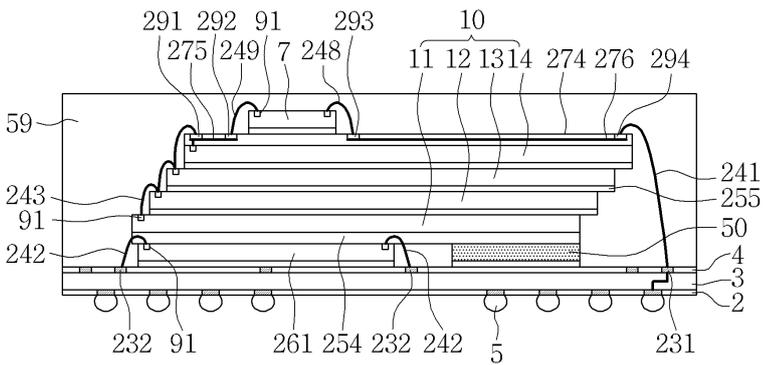
도면17



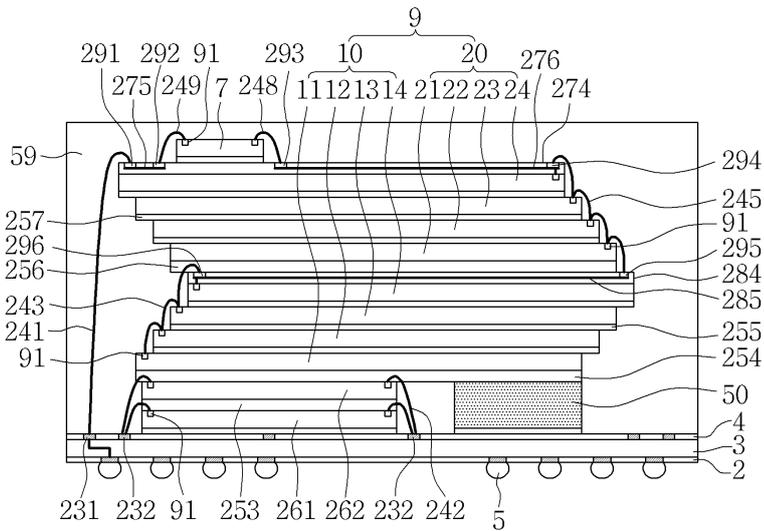
도면18



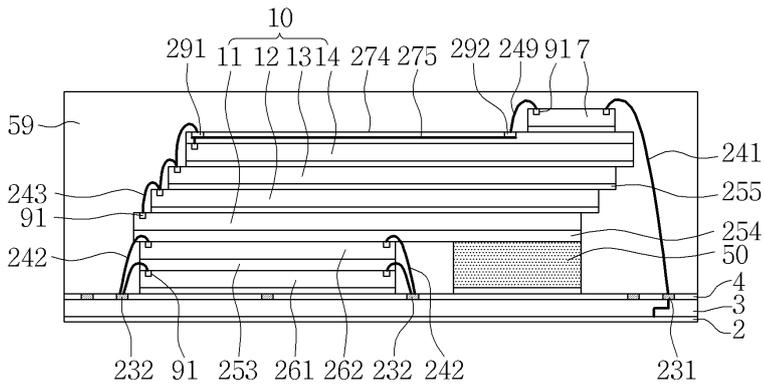
도면19



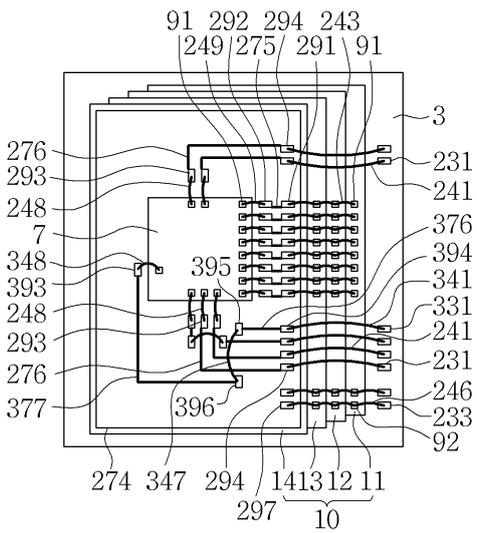
도면20



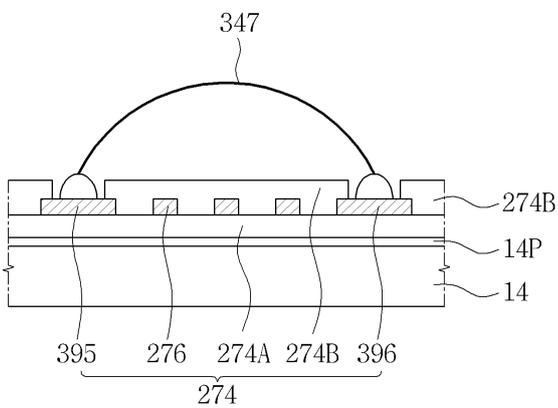
도면21



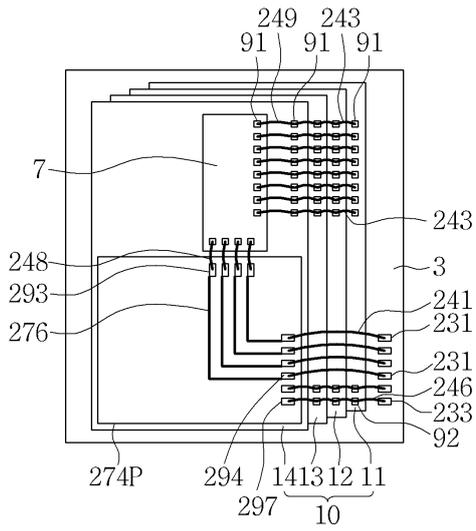
도면22a



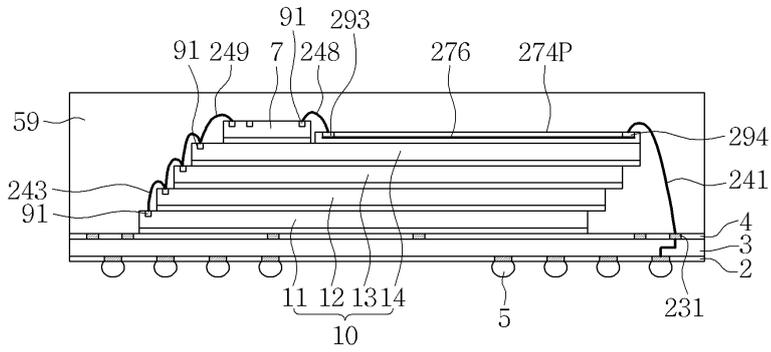
도면22b



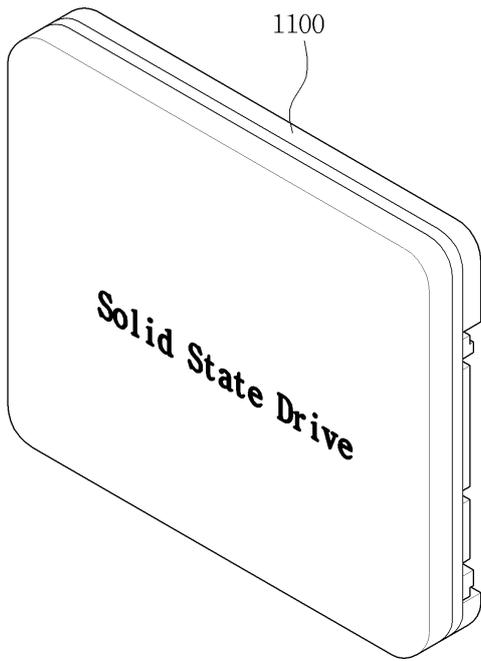
도면23



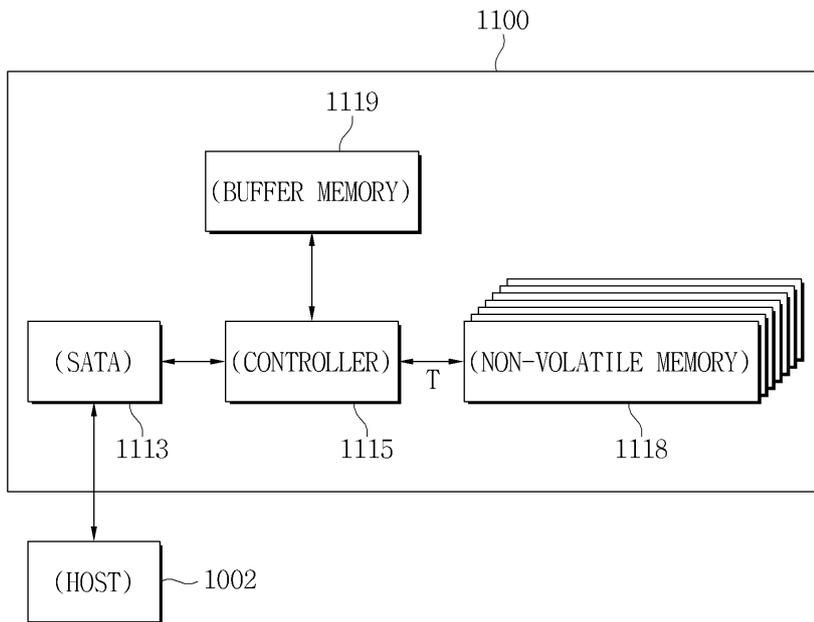
도면24



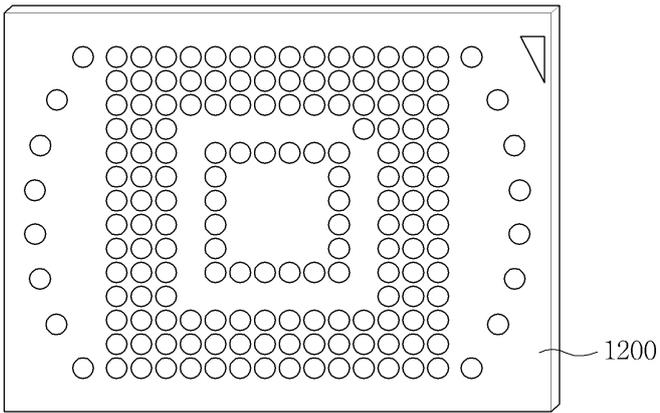
도면25



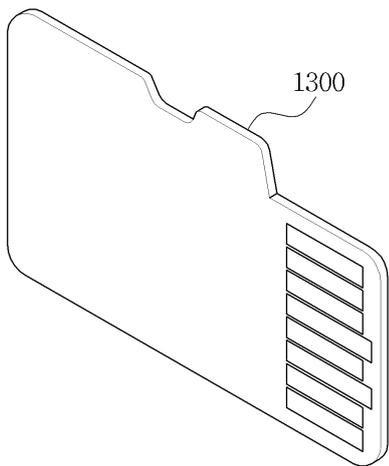
도면26



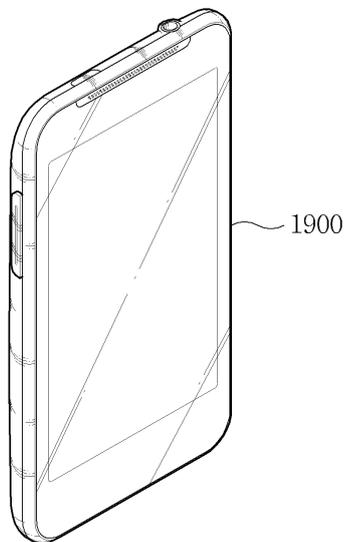
도면27



도면28



도면29



도면30

