



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년11월14일
 (11) 등록번호 10-1329288
 (24) 등록일자 2013년11월07일

(51) 국제특허분류(Int. Cl.)
 H01L 29/786 (2006.01)
 (21) 출원번호 10-2007-0115626
 (22) 출원일자 2007년11월13일
 심사청구일자 2012년11월13일
 (65) 공개번호 10-2009-0049394
 (43) 공개일자 2009년05월18일
 (56) 선행기술조사문헌
 KR1020050117057 A
 KR1020070041219 A
 KR1020060084016 A
 KR1020070081573 A

(73) 특허권자
 삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성2로 95 (농서동)
 (72) 발명자
 고헌범
 충남 아산시 탕정면 명암리 크리스탈타운 큐빅동 1403호
 권호균
 서울특별시 성북구 오패산로 90, 113동 702호 (하월곡동, 래미안월곡아파트)
 나병선
 경기 화성시 동탄면 반송리 삼부르네상스아파트 205동 1304호
 (74) 대리인
 특허법인가산

전체 청구항 수 : 총 20 항

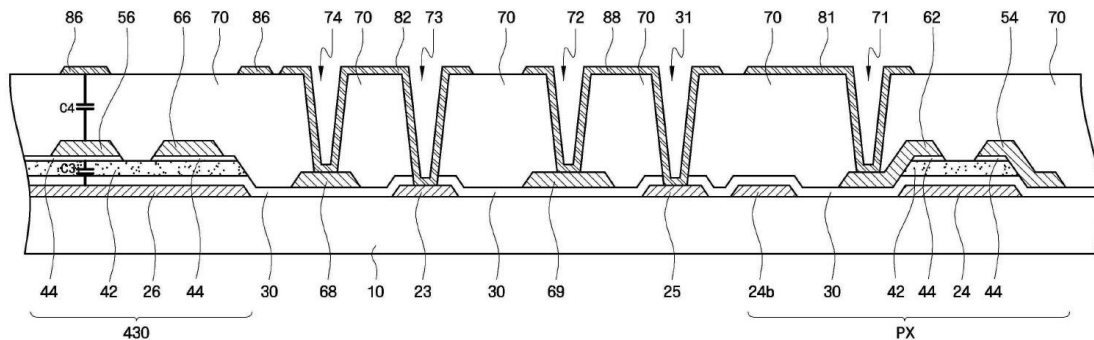
심사관 : 설관식

(54) 발명의 명칭 게이트 구동용 박막 트랜지스터 및 이를 포함하는 액정표시 장치

(57) 요약

게이트 구동용 박막 트랜지스터 및 이를 포함하는 액정 표시 장치가 제공된다. 게이트 구동용 박막 트랜지스터는, 게이트 전극과, 게이트 전극 상에 형성된 반도체층과, 반도체층 상에 형성된 드레인 전극과, 드레인 전극과 분리되어 반도체층 상에 형성된 소스 전극 및 드레인 전극 상에 형성되고 드레인 전극의 적어도 일부분과 오버랩된 리플 방지 전극을 포함한다.

대표도



특허청구의 범위

청구항 1

게이트 전극;
 상기 게이트 전극 상에 형성된 반도체층;
 상기 반도체층 상에 형성된 드레인 전극;
 상기 드레인 전극과 분리되어 상기 반도체층 상에 형성된 소스 전극; 및
 상기 드레인 전극 상에 형성되고 상기 드레인 전극의 적어도 일부분과 오버랩된 리플 방지 전극을 포함하는 게이트 구동용 박막 트랜지스터.

청구항 2

제 1항에 있어서,
 상기 드레인 전극과 상기 리플 방지 전극은 커패시터를 형성하는 게이트 구동용 박막 트랜지스터.

청구항 3

제 1항에 있어서,
 상기 리플 방지 전극은 상기 드레인 전극과 오버랩되는 제1 오버랩 영역과, 상기 드레인 전극과 오버랩되지 않고 상기 게이트 전극의 적어도 일부분과 오버랩되는 제2 오버랩 영역을 포함하는 게이트 구동용 박막 트랜지스터.

청구항 4

제 3항에 있어서,
 상기 제1 및 제2 오버랩 영역은 상기 소스 전극과 오버랩되지 않는 게이트 구동용 박막 트랜지스터.

청구항 5

제 1항에 있어서,
 상기 리플 방지 전극은 투명한 도전 물질인 게이트 구동용 박막 트랜지스터.

청구항 6

제 1항에 있어서,
 상기 리플 방지 전극에는 직류 전압이 인가되는 게이트 구동용 박막 트랜지스터.

청구항 7

제 1항에 있어서,
 상기 반도체층은 비정질 아몰포스 실리콘을 포함하는 게이트 구동용 박막 트랜지스터.

청구항 8

다수의 게이트 라인; 및
 상기 각 게이트 라인과 커플링되어 다수의 게이트 신호를 순차적으로 출력하는 다수의 게이트 구동용 박막 트랜지스터로서, 상기 각 게이트 구동용 박막 트랜지스터는
 게이트 전극과,
 상기 게이트 전극 상에 형성된 반도체층과,

상기 반도체층 상에 형성된 드레인 전극과,

상기 드레인 전극과 분리되어 상기 반도체층 상에 형성된 소스 전극으로서, 상기 각 게이트 라인과 커플링어 상기 게이트 신호를 출력하는 소스 전극과,

상기 드레인 전극 상에 형성되고 상기 드레인 전극의 적어도 일부분과 오버랩된 리플 방지 전극을 구비하는 게이트 구동용 박막 트랜지스터를 포함하는 액정 표시 장치.

청구항 9

제 8항에 있어서,

상기 드레인 전극과 상기 리플 방지 전극은 커패시터를 형성하는 액정 표시 장치.

청구항 10

제 8항에 있어서,

상기 리플 방지 전극은 상기 드레인 전극과 오버랩되는 제1 오버랩 영역과, 상기 드레인 전극과 오버랩되지 않고 상기 게이트 전극의 적어도 일부분과 오버랩되는 제2 오버랩 영역을 포함하는 액정 표시 장치.

청구항 11

제 10항에 있어서,

상기 제1 및 제2 오버랩 영역은 상기 소스 전극과 오버랩되지 않는 액정 표시 장치.

청구항 12

제 8항에 있어서,

상기 리플 방지 전극은 투명한 도전 물질인 액정 표시 장치.

청구항 13

제 8항에 있어서,

다수의 데이터 라인과,

상기 각 게이트 라인 및 상기 데이터 라인과 커플링된 다수의 화소 전극을 더 포함하는 액정 표시 장치.

청구항 14

제 13항에 있어서,

상기 리플 방지 전극 및 상기 화소 전극은 투명한 도전 물질로서 동일한 층에 형성되는 액정 표시 장치.

청구항 15

제 13항에 있어서,

상기 화소 전극의 적어도 일부분과 오버랩된 유지 전극을 더 포함하고, 상기 리플 방지 전극은 상기 유지 전극과 커플링된 액정 표시 장치.

청구항 16

제 15항에 있어서,

상기 리플 방지 전극 및 상기 유지 전극에 공통 전압이 인가되는 액정 표시 장치.

청구항 17

제 13항에 있어서,

공통 전압이 인가되는 공통 전압 라인과,

상기 화소 전극의 적어도 일부분과 오버랩된 유지 전극과,

상기 공통 전압 라인 및 상기 유지 전극 상에 형성되고 상기 공통 전압 라인의 일부를 노출시키는 제1 컨택홀과 상기 유지 전극의 일부를 노출시키는 제2 컨택홀이 형성된 보호막과,

상기 리플 방지 전극으로부터 연장되어 상기 제1 및 제2 컨택홀을 통해 상기 공통 전압 라인과 상기 유지 전극을 전기적으로 연결시키고, 상기 공통 전압을 상기 리플 방지 전극으로 전달하는 리플 방지 컨택부를 더 포함하는 액정 표시 장치.

청구항 18

제 17항에 있어서,

상기 유지 전극과 상기 게이트 전극 및 상기 게이트 라인은 동일한 층에 형성되고,

상기 리플 방지 전극과 상기 리플 방지 컨택부 및 상기 화소 전극은 동일한 층에 형성되는 액정 표시 장치.

청구항 19

제 8항에 있어서,

상기 각 게이트 구동용 박막 트랜지스터는 상기 드레인 전극으로 클럭 신호를 입력받아 상기 게이트 전극에 하이 레벨의 전압이 인가되는 동안 하이 레벨의 상기 클럭 신호를 상기 게이트 신호로서 상기 소스 전극으로 출력하는 액정 표시 장치.

청구항 20

제 8항에 있어서,

상기 반도체층은 비정질 아몰포스 실리콘을 포함하는 액정 표시 장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 게이트 구동용 박막 트랜지스터 및 이를 포함하는 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 게이트 구동 IC를 TCP(tape carrier package) 또는 COG(chip on the glass) 등의 방법으로 실장하였으나, 제조 원가 또는 제품의 크기, 설계적인 측면에서 다른 방법이 모색되고 있다. 게이트 구동 IC를 채택하지 않고, 비정질 실리콘 박막 트랜지스터(amorphous silicon Thin Film Transistor, 이하 'a-Si TFT'라 함)를 이용하여 게이트 신호를 발생시키는 게이트 구동부를 유리 기판에 실장하고 있다.

[0003] a-Si TFT는 클럭 신호를 입력받고, 한 프레임중 소정시간 동안 턴온되어 하이 레벨의 클럭 신호를 게이트 신호로 출력하고, 나머지 시간동안 턴오프되어야 한다.

발명의 내용

해결 하고자하는 과제

[0004] 그러나 기생 커패시터에 의해 a-Si TFT가 나머지 시간동안 턴오프로 유지되지 못할 수 있다. 이러한 경우 액정 표시 장치의 표시 품질이 저하된다.

[0005] 이에 본 발명이 이루고자 하는 기술적 과제는 표시 품질을 향상시킬 수 있는 게이트 구동용 박막 트랜지스터를 제공하는 것이다.

[0006] 본 발명이 이루고자 하는 다른 기술적 과제는 표시 품질을 향상시킬 수 있는 액정 표시 장치를 제공하는 것이다.

[0007] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

[0008] 상기 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따른 게이트 구동용 박막 트랜지스터는, 게이트 전극과, 상기 게이트 전극 상에 형성된 반도체층과, 상기 반도체층 상에 형성된 드레인 전극과, 상기 드레인 전극과 분리되어 상기 반도체층 상에 형성된 소스 전극 및 상기 드레인 전극 상에 형성되고 상기 드레인 전극의 적어도 일부분과 오버랩된 리플 방지 전극을 포함한다.

[0009] 상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따른 액정 표시 장치는, 다수의 게이트 라인 및 상기 각 게이트 라인과 커플링되어 다수의 게이트 신호를 순차적으로 출력하는 다수의 게이트 구동용 박막 트랜지스터로서, 상기 각 게이트 구동용 박막 트랜지스터는 게이트 전극과, 상기 게이트 전극 상에 형성된 반도체층과, 상기 반도체층 상에 형성된 드레인 전극과, 상기 드레인 전극과 분리되어 상기 반도체층 상에 형성된 소스 전극으로서, 상기 각 게이트 라인과 커플링어 상기 게이트 신호를 출력하는 소스 전극과, 상기 드레인 전극 상에 형성되고 상기 드레인 전극의 적어도 일부분과 오버랩된 리플 방지 전극을 구비하는 게이트 구동용 박막 트랜지스터를 포함한다.

[0010] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

효과

[0011] 상기한 바와 같은 게이트 구동용 박막 트랜지스터 및 이를 포함하는 액정 표시 장치에 의하면, 표시 품질이 향상된다.

발명의 실시를 위한 구체적인 내용

[0012] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 따라서, 몇몇 실시예에서, 잘 알려진 공정 단계들, 잘 알려진 소자 구조 및 잘 알려진 기술들은 본 발명이 모호하게 해석되는 것을 피하기 위하여 구체적으로 설명되지 않는다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0013] 소자(elements) 또는 층이 다른 소자 또는 층 "위(on)", "접속된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은 다른 소자 바로 위에, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)", "직접 접속된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0014] 비록 제1, 제2 등이 다양한 소자, 구성요소, 영역, 배선, 층 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소, 영역, 배선, 층 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소, 영역, 배선, 층 또는 섹션들을 다른 소자, 구성요소, 영역, 배선, 층 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소, 제1 영역, 제1 배선, 제1 층 또는 제1 섹션은 본 발명의 기술적 사상내에서 제2 소자, 제2 구성요소, 제2 영역, 제2 배선, 제2 층 또는 제2 섹션일 수도 있음은 물론이다.

[0015] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

- [0016] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0017] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않은 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0018] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 단면도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.
- [0019] 또한 드레인(또는 드레인 전극)과 소스(또는 소스 전극)은 전류의 방향에 따라 서로 다르게 불려질 수 있으므로, 이하에서 드레인 또는 드레인 전극으로 불려지는 구성 요소는 소스 또는 소스 전극으로 동작할 수 있고, 소스 또는 소스 전극으로 불려지는 구성 요소는 드레인 또는 드레인 전극으로 동작할 수 있다. 따라서 드레인 또는 드레인 전극으로 불려지는 구성 요소가 드레인 또는 드레인 전극으로 한정되는 것은 아니다. 또한 소스 또는 소스 전극으로 불려지는 구성 요소가 소스 또는 소스 전극으로 한정되는 것은 아니다.
- [0020] 도 1 내지 도 6을 참조하여 본 발명의 일 실시예에 따른 게이트 구동용 박막 트랜지스터 및 이를 포함하는 액정 표시 장치를 설명한다. 도 1은 본 발명의 일 실시예에 따른 본 발명의 일 실시예에 따른 게이트 구동용 박막 트랜지스터 및 이를 포함하는 액정 표시 장치를 설명하기 위한 블록도이고, 도 2는 도 1의 한 화소의 등가 회로도이고, 도 3은 도 1의 게이트 구동부를 설명하기 위한 예시적인 블록도이고, 도 4는 도 3의 제j 스테이지의 예시적인 회로도이고, 도 5는 제j 스테이지의 동작을 설명하기 위한 신호도이고, 도 6은 제j 스테이지의 예시적인 회로도이다.
- [0021] 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치(10)는 액정 패널(300), 타이밍 컨트롤러(500), 클럭 생성부(600), 게이트 구동부(400) 및 데이터 구동부(700)를 포함할 수 있다.
- [0022] 액정 패널(300)은 영상이 표시되는 표시부(DA)와 영상이 표시되지 않는 비표시부(PA)로 구분될 수 있다.
- [0023] 표시부(DA)는 다수의 게이트 라인(G1~Gn), 다수의 데이터 라인(D1~Dm), 화소 스위칭 소자(미도시) 및 화소 전극(미도시)이 형성된 제1 기관(미도시)과, 컬러 필터(미도시)와 공통 전극(미도시)이 형성된 제2 기관(미도시), 제1 기관(미도시)과 제2 기관(미도시) 사이에 개재된 액정층(미도시)을 포함하여 영상을 표시한다. 게이트 라인(G1~Gn)은 대략 행 방향으로 연장되어 서로가 거의 평행하고, 데이터 라인(D1~Dm)은 대략 열 방향으로 연장되어 서로가 거의 평행하다.
- [0024] 도 2를 참조하여 도 1의 한 화소(PX)에 대해 설명하면, 제1 기관(100)의 화소 전극(PE)과 대향하도록 제2 기관(200)의 공통 전극(CE)의 일부 영역에 색필터(CF)가 형성될 수 있다. 예를 들어, i번째(i=1~n) 게이트 라인(Gi)과 j번째(j=1~m) 데이터 라인(Dj)에 연결된 화소(PX)는 신호선(Gi, Dj)에 연결된 화소 스위칭 소자(Qp)와 이에 연결된 액정 커패시터(liquid crystal capacitor, Clc) 및 유지 커패시터(storage capacitor, Cst)를 포함할 수 있다. 유지 커패시터(Cst)의 일단 및 공통 전극(CE)에는 공통 전압이 인가될 수 있다.
- [0025] 비표시부(PA)는 제1 기관(도 2의 100 참조)이 제2 기관(도 2의 200 참조)보다 더 넓게 형성되어 영상이 표시되지 않는 부분을 의미한다.
- [0026] 타이밍 컨트롤러(500)는 수평 동기 신호(Hsync), 메인 클럭 신호(Mclk), 데이터 인에이블 신호(DE) 등의 입력 제어 신호를 입력받아 제1 제어 신호(CONT1)를 출력한다. 여기서 제1 제어 신호(CONT1)는 데이터 구동부(700)의 동작을 제어하는 신호로써, 데이터 구동부(700)의 동작을 개시하는 수평 개시 신호, 두 개의 데이터 전압의 출력을 지시하는 로드 신호 등을 포함할 수 있다.
- [0027] 이에 따라 데이터 구동부(700)는 영상 신호(DAT), 제1 제어 신호(CONT1)를 제공받아, 영상 신호(DAT)에 대응하는 영상 데이터 전압을 각 데이터 라인(D1~Dm)에 제공한다. 데이터 구동부(700)는 IC로써 테이프 캐리어 패키지

(Tape Carrier Package, TCP)형태로 액정 패널(300)과 연결될 수 있으며, 이에 한정되지 않고, 액정 패널(300)의 비표시부(PA) 상에 형성될 수도 있다.

- [0028] 또한, 타이밍 컨트롤러(500)는 제2 제어 신호(CONT2)를 클럭 생성부(600)에 제공한다. 클럭 생성부(600)는 제2 제어 신호(CONT2)를 입력받아 클럭 신호(CKV) 및 클럭바 신호(CKVB)를 출력할 수 있다. 즉, 제2 제어 신호(CONT2)에 제어되어 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)를 이용하여 클럭 신호(CKV) 및 클럭바 신호(CKVB)를 출력한다. 여기서 제2 제어 신호(CONT2)는 출력 인에이블 신호(OE) 및 게이트 클럭 신호(CPV)를 포함할 수 있다. 여기서 클럭 신호(CKV) 및 클럭바 신호(CKVB)는 각각 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)를 스위칭하는 펄스 신호이고, 클럭 신호(CKV)는 클럭바 신호(CKVB)와 역위상인 신호이다.
- [0029] 게이트 구동부(400)는 스캔 개시 신호(STVP)에 인에이블되어 클럭 신호(CKV), 클럭바 신호(CKVB) 및 게이트 오프 전압(Voff)을 이용하여 다수의 게이트 신호들을 생성하고, 각 게이트 라인(G1~Gn)에 각 게이트 신호를 순차적으로 제공한다. 이러한 게이트 구동부(400)를 도 3을 참조하여 좀더 구체적으로 설명한다.
- [0030] 도 3을 참조하면 게이트 구동부(400)는 다수의 스테이지(ST₁, ~ST_{n+1})를 포함하는데, 각 스테이지(ST₁, ~ST_{n+1})는 캐스캐이드(cascade)로 연결되어 있으며, 마지막 스테이지(ST_{n+1})를 제외한 각 스테이지(ST₁, ~ST_n)는 게이트 라인(G1~Gn)과 일대일로 연결되어 각각 게이트 신호(Gout₁~Gout_n)를 출력한다. 각 스테이지(ST₁, ~ST_{n+1})에는 게이트 오프 전압(Voff), 클럭 신호(CKV), 클럭바 신호(CKVB) 및 초기화 신호(INT)가 입력된다. 여기서 초기화 신호(INT)는 클럭 생성부(600) 또는 타이밍 컨트롤러(500)로부터 제공될 수 있다.
- [0031] 각 스테이지(ST₁~ST_{n+1})는 제1 클럭 단자(CK1), 제2 클럭 단자(CK2), 셋 단자(S), 리셋 단자(R), 전원 전압 단자(GV), 프레임 리셋 단자(FR), 게이트 출력 단자(OUT1) 및 캐리 출력 단자(OUT2)를 가지고 있을 수 있다.
- [0032] 예를 들어 j번째(j ≠ 1) 게이트 라인과 연결된 제j 스테이지(ST_j)의 셋 단자(S)에는 전단 스테이지(ST_{j-1})의 캐리 신호(Cout_(j-1))가, 리셋 단자(R)에는 후단 스테이지(ST_{j+1})의 게이트 신호(Gout_(j+1))가 입력되고, 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 각각 클럭 신호(CKV) 및 클럭바 신호(CKVB)가 입력되며, 전원 전압 단자(GV)에는 게이트 오프 전압(Voff)이 입력되며, 프레임 리셋 단자(FR)에는 초기화 신호(INT) 또는 마지막 스테이지(ST_{n+1})의 캐리 신호(Cout_(n+1))가 입력된다. 게이트 출력 단자(OUT1)는 게이트 신호(Gout_(j))를 출력하고, 캐리 출력 단자(OUT2)는 캐리 신호(Cout_(j))를 출력한다.
- [0033] 단, 첫 번째 스테이지(ST₁)에는 전단 캐리 신호 대신 스캔 개시 신호(STVP)가 입력되며, 마지막 스테이지(ST_{n+1})에는 후단 게이트 신호 대신 스캔 개시 신호(STVP)가 입력된다.
- [0034] 여기서 도 4 및 도 5를 참조하여 도 3의 제j 스테이지(ST_j)에 대하여 좀더 상세히 설명한다.
- [0035] 도 4를 참조하면, 제j 스테이지(ST_j)는 버퍼부(410), 충전부(420), 풀업부(430), 캐리 신호 발생부(470), 폴다운부(440), 방전부(450) 및 홀딩부(460)를 포함할 수 있다. 이러한 제j 스테이지(ST_j)에 도 5에 도시된 전단 캐리 신호(Cout_(j-1)), 클럭 신호(CKV) 및 클럭바 신호(CKVB)가 제공된다. 클럭 신호(CKV)는 하이 레벨 구간(PH₁, PH₂)과 로우 레벨 구간(PL₁, PL₂)을 포함한다.
- [0036] 먼저, 버퍼부(410)는 다이오드 연결된(diode-connected) 트랜지스터(T4)를 포함한다. 동작을 설명하면, 버퍼부(410)는 셋 단자(S)를 통해 입력된 전단 캐리 신호(Cout_(j-1))를 충전부(420), 캐리 신호 발생부(470) 및 풀업부(430)에 제공한다.
- [0037] 충전부(420)는 일단이 트랜지스터(T4)의 소스, 풀업부(430) 및 방전부(450)에 연결되고, 타단이 게이트 출력 단자(OUT1)에 연결된 충전 커패시터(C1)로 이루어진다.
- [0038] 풀업부(430)는 게이트 구동용 박막 트랜지스터(T1)를 포함하는데, 게이트 구동용 박막 트랜지스터(T1)의 드레인이 제1 클럭 단자(CK1)에 연결되고, 게이트가 충전부(420)에 연결되며, 소스가 게이트 출력 단자(OUT1)에 연결된다. 또한 풀업부(430)는 기생 커패시터(C3)와 리플 방지 커패시터(C4)를 포함한다. 기생 커패시터(C3)는 트랜지스터(T1)의 드레인과 게이트 사이에 형성된다. 기생 커패시터(C3)는 트랜지스터(T1)를 제조하는 과정에서 의도하지 않게 형성된 커패시터일 수 있다. 리플 방지 커패시터(C4)의 일단은 트랜지스터(T1)의 드레인에 연결되고, 타단에는 공통 전압이 인가될 수 있다. 다만, 공통 전압 외에도 직류 전압이 인가될 수 있다. 기생 커패시

터(C3) 및 리플 방지 커패시터(C4)에 대한 상세한 설명은 후술된다.

- [0039] 캐리 신호 발생부(470)는 드레인이 제1 클럭 단자(CK1)에 연결되고, 소스가 캐리 출력 단자(OUT2)에 연결되고, 게이트가 버퍼부(410)와 연결되어 있는 트랜지스터(T15)와, 트랜지스터(T15)의 게이트와 소스에 연결된 커패시터(C2)를 포함한다.
- [0040] 풀다운부(440)는 드레인이 트랜지스터(T1)의 소스 및 충전 캐패시터(C1)의 타단에 연결되고, 소스가 전원 전압 단자(GV)에 연결되고, 게이트가 리셋 단자(R)에 연결된 트랜지스터(T2)를 포함한다.
- [0041] 방전부(450)는, 게이트가 리셋 단자(R)에 연결되고 드레인이 충전 캐패시터(C1)의 일단에 연결되고 소스가 전원 전압 단자(GV)에 연결되어, 다음 스테이지(ST_{j+1})의 게이트 신호(Gout_(j+1))에 응답하여 충전부(420)를 방전시키는 트랜지스터(T9)와, 게이트가 프레임 리셋 단자(FR)에 연결되고 드레인이 캐패시터(C3)의 일단에 연결되고 소스가 전원 전압 단자(GV)에 연결되어, 초기화 신호(INT)에 응답하여 충전부(420)를 방전시키는 트랜지스터(T6)를 포함한다.
- [0042] 홀딩부(460)는 다수의 트랜지스터들(T3, T5, T7, T8, T10, T11, T12, T13)을 포함하여, 게이트 신호(Gout_(j))가 로우 레벨에서 하이 레벨로 변환되면 하이 레벨 상태를 유지시키고, 게이트 신호(Gout_(j))가 하이 레벨에서 로우 레벨로 변환된 후에는 클럭 신호(CKV) 및 클럭바 신호(CKVB)의 전압 레벨에 관계없이 한 프레임 동안 게이트 신호(Gout_(j))를 로우 레벨로 유지시키는 동작을 수행한다.
- [0043] 도 4 및 도 5를 참조하여 상술한 각 유닛들의 동작을 상세히 설명한다.
- [0044] 먼저 게이트 신호(Gout_(j))가 게이트 오프 전압(Voff)에서 게이트 온 전압(Von)으로 변환되는 과정을 설명한다.
- [0045] 충전부(420)는 도 5에 도시된 전단 캐리 신호(Cout_(j-1))를 제공받아 전하를 충전한다. 예컨대 충전부(420)는 제1 로우 레벨 구간(PL₁)에서 전단 캐리 신호(Cout_(j-1))를 제공받아 충전되며, N1 노드의 전압이 서서히 증가한다. 하이 레벨의 클럭 신호(CKV)가 게이트 신호(Gout_(j))로 출력됨에 따라 충전 커패시터(C1)에 의해 N1 노드의 전압이 부스트업된다.
- [0046] 충전부(420)의 전압, 즉 N1 노드의 전압이 양의 전압으로 상승되면, 풀업부(430)의 트랜지스터(T1)는 완전히 턴 온되고, 제1 클럭 단자(CK1)를 통해 입력되는 클럭 신호(CKV)를 게이트 출력 단자(OUT1)를 통해 게이트 신호(Gout_(j))로 제공한다. 즉, 게이트 신호(Gout_(j))는 게이트 온 전압(Von) 레벨이 된다. 또한 캐리 신호 발생부(470)의 트랜지스터(T15)가 턴온되어, 클럭 신호(CKV)를 캐리 출력 단자(OUT2)를 통해 캐리 신호(Cout_(j))로 출력한다.
- [0047] 한편, 게이트 신호(Gout_(j))가 게이트 온 전압(Von) 레벨이면, 트랜지스터들(T8, T13)은 턴온된다. 트랜지스터(T13)는 트랜지스터(T7)를 턴오프시켜 하이 레벨의 클럭 신호(CKV)가 트랜지스터(T3)로 제공되는 것을 차단하고, 트랜지스터(T8)는 트랜지스터(T3)를 턴오프시킨다. 따라서 트랜지스터들(T8, T13)이, 트랜지스터(T3)가 게이트 신호(Gout_(j))를 게이트 오프 전압(Voff)으로 풀다운 시키는 것을 방지한다.
- [0048] 다음으로 게이트 신호(Gout_(j))가 게이트 온 전압(Von)에서 게이트 오프 전압(Voff)으로 변환되는 과정을 설명한다.
- [0049] 제2 로우 레벨 구간(PL₂)에서, 즉 클럭 신호(CKV)가 하이 레벨에서 로우 레벨로 천이할 때, N1 노드의 전압은, 기생 커패시터(C3)에 의해 하강된다. 이 때, 다음 스테이지의 게이트 신호(Gout_(j+1))가 하이 레벨이 됨에 따라 방전부(450)의 트랜지스터(T9)가 턴온되어 N1 노드로 게이트 오프 전압(Voff)을 제공한다. 다만, 클럭바 신호(CKVB)는 로우 레벨에서 하이 레벨로 천이하므로, 홀딩부의 트랜지스터(T11)가 턴온되어 양의 전압의 전단 캐리 신호(Cout_(j-1))를 N1 노드로 제공한다. 따라서, N1 노드의 전압은, 방전부(450)가 N1 노드로 게이트 오프 전압(Voff)을 제공하더라도, 양의 전압의 전단 캐리 신호(Cout_(j-1))가 N1 노드로 제공되므로, 급격하게 게이트 오프 전압(Voff)으로 하강하지 않고, 도 5에 도시된 바와 같이 서서히 감소하게 된다.
- [0050] 즉, 다음 스테이지의 게이트 신호(Gout_(j+1))가 하이 레벨이 된 때, 풀업부(430)의 트랜지스터(T1)가 턴오프 되지 않고, 로우 레벨의 클럭 신호(CKV)를 게이트 신호(Gout_(j))로 출력한다. 또한 다음 스테이지의 게이트 신호

(Gout_(j+1))가 하이 레벨이 된 때, 풀다운부(440)의 트랜지스터(T2)가 턴온되어 게이트 오프 전압(Voff)을 게이트 출력 단자(OUT1)로 제공한다. 풀다운부(440)가 게이트 신호(Gout_(j))를 게이트 오프 전압(Voff)으로 하강시키고, 또한 풀업부(430)도 로우 레벨의 클럭 신호(CKV)를 게이트 신호(Gout_(j))로 제공하므로, 게이트 신호(Gout_(j))의 전압 레벨은 신속히 게이트 오프 전압(Voff)으로 풀다운된다. 따라서 게이트 신호(Gout_(j))가 다음 스테이지의 게이트 신호(Gout_(j+1))와 오버랩되지 않는다.

[0051] 다음으로 게이트 신호(Gout_(j))가 게이트 오프 전압(Voff)으로 풀다운된 후, 한 프레임동안 게이트 오프 전압(Voff)으로 유지되는 동작을 설명한다.

[0052] 게이트 신호(Gout_(j))가 하이 레벨에서 로우 레벨로 변환된 후에는 트랜지스터들(T8, T13)은 턴오프된다. 클럭 신호(CKV)가 하이 레벨이면, 트랜지스터들(T7, T12)은 트랜지스터(T3)를 턴온시켜 게이트 신호(Gout_(j))를 로우 레벨로 유지한다. 트랜지스터(T10)가 턴온되어 N1 노드를 로우 레벨로 유지시킨다. 또한 제1 클럭바 신호(CKVB)가 하이 레벨이고, 트랜지스터들(T5, T11)이 턴온된다. 턴온된 트랜지스터(T5)는 게이트 신호(Gout_(j))를 로우 레벨로 유지시키며, 턴온된 트랜지스터(T11)는 N1 노드를 로우 레벨로 유지시킨다.

[0053] 또한 제2 하이 레벨 구간(PH₂)에서 클럭 신호(CKV)가 로우 레벨에서 하이 레벨로 천이할 때 또는 클럭 신호(CKV)가 하이 레벨에서 로우 레벨로 천이할 때, 기생 커패시터(C3)에 의해 N1 노드는, 도 5에 도시된 점선처럼 리플이 발생할 수 있으나, 리플 방지 커패시터(C4)가 N1 노드에 리플이 발생하는 것을 방지할 수 있다.

[0054] 좀더 구체적으로 설명하면, 클럭 신호(CKV)가 로우 레벨에서 하이 레벨로 천이할 때 또는 클럭 신호(CKV)가 하이 레벨에서 로우 레벨로 천이할 때, N2 노드로 전하들이 제공된다. 이때, 전하들은 기생 커패시터(C3) 및 리플 방지 커패시터(C4)로 분산되어 제공된다. 따라서 리플 방지 커패시터(C4)가 구비되지 않는 경우보다 구비된 경우에 기생 커패시터(C3)로 제공되는 전하들의 양이 적으므로 기생 커패시터(C3)에 의한 N1 노드의 리플은 줄어든다. 여기서 리플 커패시터(C3)의 타단에는 공통 전압(Vcom)이 인가되는데, 다만 이에 한정되지 않고, 직류 전압, 예컨대 그라운드 전압이 인가될 수도 있다.

[0055] 이와 같이, N1 노드의 전압이, 리플없이 그라운드 전압으로 유지되므로, 트랜지스터(T1)이 턴오프되고, 따라서 하이 레벨의 제1 클럭 신호(CKV)가 게이트 출력 단자(OUT1)로 출력되지 않는다. 따라서, 게이트 신호(Gout_(j))가 한 프레임동안 로우 레벨로 유지된다.

[0056] 다만, 제j 스테이지(ST_j)는 캐리 신호 발생부(470)를 포함하지 않을 수 있다. 이러한 경우, 제j 스테이지(ST_j)는 전단 스테이지(ST_{j-1})의 캐리 신호(Cout_(j-1)) 대신에 전단 스테이지(ST_{j-1})의 게이트 신호(Gout_(j-1))를 셋 단자(S)를 통해 입력받아 동작할 수 있다.

[0057] 이하에서 풀업부(430)의 트랜지스터(T1), 기생 커패시터 및 리플 방지 커패시터의 구조에 대해 도 6 및 도 7을 참조하여 상세히 설명한다. 도 6은 제j 스테이지의 풀업부 및 화소를 설명하기 위한 레이아웃도이고, 도 7은 도 6의 A-A'선을 따라 절단한 단면도이다. 편의상 도 6에서 절연막, 반도체층, 오믹 콘택층 및 보호막의 레이아웃은 생략하였다.

[0058] 혼동을 피하기 위해, 화소 스위칭 소자(Qp)의 게이트 전극을 제1 게이트 전극(26), 드레인 전극을 제1 드레인 전극(56), 소스 전극을 제1 소스 전극(66)이라고 부르고, 게이트 구동용 박막 트랜지스터(T1)의 게이트 전극을 제2 게이트 전극(22), 드레인 전극을 제2 드레인 전극(54), 소스 전극을 제2 소스 전극(62)이라 부른다.

[0059] 도 6 및 도 7을 참조하면, 투명한 유리 또는 플라스틱 등으로 이루어진 절연 기판(10) 상에 제1 게이트 전극(26), 게이트 라인(21), 제2 게이트 전극(22), 게이트 라인 콘택부(23), 유지 전극(24a, 24b) 및 유지 콘택부(25)가 형성된다.

[0060] 절연 기판(10)은 내열성 및 투광성을 가진 물질, 예를 들어 투명 유리 또는 플라스틱으로 이루어질 수 있다. 특히 플라스틱은 가공성이 우수하고 가벼우며 단가가 저렴하고 가요성(flexible)을 가지기 때문에, 절연 기판(10)으로서 바람직하게 예시될 수 있다.

[0061] 제1 게이트 전극(26)은, 예를 들어 직사각형 형상으로 형성될 수 있다. 또는 U자 형상으로 형성될 수도 있다. 이러한 제1 게이트 전극(26)은 도 4의 게이트 구동용 박막 트랜지스터(T1)의 게이트를 형성한다.

- [0062] 게이트 라인(21)은 가로 방향으로 형성되고, 제2 게이트 전극(22)은 소정의 면적을 가지고 형성된다. 제2 게이트 전극(22)은 도 2의 화소 스위칭 소자(Qp)의 게이트를 형성한다. 게이트 라인 컨택부(23)는 후술할 게이트 구동용 박막 트랜지스터(T1)의 소스와 커플링된다.
- [0063] 유지 전극(24a, 24b)은 후술할 화소 전극(81)과 적어도 일부분 오버랩되도록 형성된다. 본 실시예에서는 유지 전극(24a, 24b)이 화소 전극(81)의 가장자리를 따라 형성되어 화소 전극(81)의 일부분과 오버랩되도록 형성되나, 이에 한정되지 않고 화소 전극(81)의 중심부와 오버랩되도록 형성될 수도 있다. 유지 전극(24a, 24b)은 유지 컨택부(25)를 통해 공통 전압(Vcom)을 인가받는다. 유지 컨택부(25)는 후술할 공통 전압 라인(69)과 커플링된다. 유지 전극(24a, 24b)은 화소 전극(81)의 일부분과 오버랩되어 도 2의 유지 커패시터(Cst)를 형성한다.
- [0064] 이와 같은 제1 게이트 전극(26), 게이트 라인(21), 제2 게이트 전극(22), 게이트 라인 컨택부(23), 유지 전극(24a, 24b) 및 유지 컨택부(25)를 게이트 패턴이라 한다. 게이트 패턴은 알루미늄(Al)과 알루미늄 합금 등의 알루미늄 계열 금속, 은(Ag)과 은 합금 등의 은 계열 금속, 구리(Cu)와 구리 합금 등의 구리 계열 금속, 몰리브덴(Mo)과 몰리브덴 합금 등의 몰리브덴 계열 금속, 크롬(Cr), 티타늄(Ti), 또는 탄탈륨(Ta) 등으로 이루어질 수 있다. 또한, 게이트 패턴(22, 26a, 26b, 26c)은 물리적 성질이 다른 두 개의 도전막(미도시)을 포함하는 다중막 구조를 가질 수 있다. 게이트 패턴은 도전성 유기 고분자계 물질인 PEDOT(PolyEthyleneDiOxyThiophene)를 코팅 방법으로 도포하거나 또는 인젝트-프린팅 방법으로 인쇄하여 형성될 수도 있다.
- [0065] 게이트 패턴 상에는 게이트 절연막(30)이 형성되어 있다. 게이트 절연막(30)은 예컨대 질화 규소(SiNx) 등으로 이루어진다.
- [0066] 게이트 절연막(30) 상에 제1 게이트 전극(26) 및 제2 게이트 전극(22)과 각각 오버랩되는 반도체층(42)이 형성된다. 반도체층(42)은 비정질 실리콘을 포함한다. 좀더 구체적으로 반도체 층은 수소화 비정질 규소(hydrogenated amorphous silicon), 다결정 규소 또는 전도성 유기물질 등으로 이루어질 수 있다. 반도체층(42)에 사용되는 유기물질은, 예를 들어 펜타센(pentacene), 테트라센(tetracene), 안트라센(anthracene), 나프탈렌(naphthalene), 알파-6-티오펜, 페릴렌(perylene) 및 그 유도체, 루브렌(rubrene) 및 그 유도체, 코로넨(coronene) 및 그 유도체, 페릴렌 테트라카르복실리다이미드(perylene tetracarboxylic diimide) 및 그 유도체, 페릴렌테트라카르복실릭 디안하이드라이드(perylene tetracarboxylic dianhydride) 및 그 유도체, 폴리티오펜 및 그 유도체, 폴리파라페릴렌비닐렌 및 그 유도체, 폴리플로렌 및 그 유도체, 폴리티오펜비닐렌 및 그 유도체로부터 선택될 수 있다.
- [0067] 반도체층(42)의 위에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 등의 물질로 만들어진 오믹 컨택층(44)이 형성되어 있다.
- [0068] 오믹 컨택층(44) 위에는 제1 드레인 전극(56) 및 제1 소스 전극(66)이 형성된다. 제1 드레인 전극(56)은 피쉬본 안테나(fishbone-antenna) 형상으로 제1 게이트 전극(26)과 오버랩되도록 형성될 수 있다. 제1 소스 전극(66)은 제1 게이트 전극(26) 외부에서부터 다수의 가지(branch) 형태로 제1 게이트 전극(26) 및 오믹 컨택층(44)의 상부까지 연장될 수 있다. 이러한 제1 드레인 전극(56) 및 제1 소스 전극(66)은, 전체적으로 크로스 핑거 형상일 수 있다. 여기서 제1 드레인 전극(56) 및 제2 소스 전극(62)은 게이트 구동용 박막 트랜지스터(T1)의 드레인 및 소스를 형성한다. 또한 제1 드레인 전극(56)은 제1 게이트 전극(26)의 일부분과 오버랩되어 기생 커패시터(C3)를 형성한다. 제1 드레인 전극(56)을 통해 클럭 신호(CKV)가 입력된다.
- [0069] 제1 소스 전극 컨택부(68)는 제1 소스 전극(66)으로부터 연장되어 형성되며 후술할 연결 전극(82)을 통해 게이트 라인 컨택부(23)와 커플링되고, 게이트 라인(21)으로 게이트 신호를 제공한다. 제1 소스 전극 컨택부(68)는 제1 게이트 전극(26)과 오버랩되도록 넓게 형성되어 도 4의 충전 커패시터(C1)을 형성할 수 있다.
- [0070] 또한 오믹 컨택층(44) 위에는 제2 드레인 전극(54) 및 제2 소스 전극(62)이 형성된다. 제2 드레인 전극(54)은 데이터 라인으로부터 연장되어 형성되며, 제2 소스 전극(62)은 화소 전극(81)과 커플링된다. 제2 드레인 전극(54) 및 제2 소스 전극(62)은 도 2의 화소 스위칭 소자(Qp)의 드레인 및 소스를 형성한다.
- [0071] 공통 전압 라인(69)은 게이트 절연막(30) 상에 형성된다. 공통 전압 라인(69)은, 도 5에 도시된 바와 같이 세로로 연장되며 외부로부터 공통 전압(Vcom)을 인가받아 유지 전극(24a, 24b) 및 후술할 리플 방지 전극(86)에 공통 전압(Vcom)을 제공한다.
- [0072] 이러한 제1 소스 전극(66), 제1 소스 전극 컨택부(68), 제2 소스 전극(62)을 소스 패턴이라 하고, 제1 및 제2

드레인 전극(54)을 드레인 패턴이라 한다. 소스 패턴, 드레인 패턴 및 공통 전압 라인(69)은, 예컨대 알루미늄(AI), 구리(Cu), 은(Ag), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 또는 이들의 합금 등을 포함하는 단일층 또는 다중층으로 이루어질 수 있다. 예를 들어 몰리브덴, 티타늄 등의 단일층, 티타늄/알루미늄의 이중층 또는 티타늄/알루미늄/티타늄, 티타늄/알루미늄/질화티타늄, 몰리브덴/알루미늄/몰리브덴 등의 삼중층 등으로 이루어질 수 있으며, 이상의 예시에 제한되지 않음은 물론이다.

[0073] 소스 패턴, 드레인 패턴 및 공통 전압 라인(69) 상에는 보호막(70)이 형성되어 있다. 보호막(70)은 제1 소스 전극 컨택부(68)의 일부를 노출시키는 제1 컨택홀(74)과, 게이트 라인 컨택부(23)의 일부를 노출시키는 제2 컨택홀(73)과, 공통 전압 라인(69)의 일부를 노출시키는 제3 컨택홀(72)과, 유지 컨택부(25)의 일부를 노출시키는 제4 컨택홀(31)과, 제2 소스 전극(62)을 노출시키는 제5 컨택홀(71)을 포함한다. 보호막(70)은 질화규소 또는 산화규소 등으로 이루어진 무기 물질, 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기 물질, 또는 플라즈마 화학기상증착(Plasma Enhanced Chemical Vapor Deposition; PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 형성될 수 있다. 또한 보호막(70)은 유기막의 우수한 특성을 살리면서도 노출된 반도체층(42)을 보호하기 위하여 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다.

[0074] 보호막(70) 위에는 제5 컨택홀(71)을 통하여 제2 소스 전극(62)과 전기적으로 연결되는 화소 전극(81)이 형성된다. 또한 보호막(70) 위에는 제1 컨택홀(74) 및 제2 컨택홀(73)을 통해 제1 소스 전극 컨택부(68)와 게이트 라인 컨택부(23)를 전기적으로 연결하는 연결 전극(82)이 형성된다. 또한 보호막(70) 위에는 리플 방지 전극(86) 및 리플 방지 컨택부(88)가 형성된다.

[0075] 리플 방지 전극(86)은 제1 드레인 전극(56)의 적어도 일부분과 오버랩되어 리플 방지 커패시터(C4)를 형성한다. 이때 제1 소스 전극(66)과 오버랩되지 않을 수 있다. 리플 방지 컨택부(88)는 공통 전압 라인(69)과 제 3 컨택홀(72)을 통해 커플링되어 리플 방지 전극(86)으로 공통 전압(Vcom)을 제공한다. 또한 제4 컨택홀(31)을 통해 공통 전압 라인(69)과 유지 컨택부(25)를 전기적으로 연결하여 유지 컨택부(25)로 공통 전압(Vcom)을 제공한다.

[0076] 여기서 리플 방지 전극(86), 리플 방지 컨택부(88), 연결 전극(82) 및 화소 전극(81)은 동일한 층에 형성될 수 있다. 즉, 동일한 식막 마스크를 이용하여 형성될 수 있다. 또한 리플 방지 전극(86), 리플 방지 컨택부(88), 연결 전극(82) 및 화소 전극(81)은 투명한 도전 물질로 이루어질 수 있다. 예컨대 리플 방지 전극(86), 리플 방지 컨택부(88), 연결 전극(82) 및 화소 전극(81)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등의 투명 도전체로 이루어질 수 있다.

[0077] 상술한 바와 같이 리플 방지 커패시터(C4)가 게이트 구동용 박막 트랜지스터(T1)의 제1 드레인 전극(56)과 연결되므로, 클럭 신호(CLK)가 게이트 구동용 박막 트랜지스터(T1)의 드레인에 인가되더라도, 기생 커패시터(C3)에 의한 N1 노드에 유발되는 리플이 방지된다. 따라서, 게이트 구동용 박막 트랜지스터(T1)가 한 프레임동안 턴오프되고, 따라서 표시 품질이 향상될 수 있다.

[0078] 도 8 내지 도 10를 참조하여 본 발명의 다른 실시예에 따른 게이트 구동용 박막 트랜지스터 및 이를 포함하는 액정 표시 장치를 설명한다. 도8은 본 발명의 다른 실시예에 따른 게이트 구동용 박막 트랜지스터 및 이를 포함하는 액정 표시 장치를 설명하기 위한 회로도이고, 도 9는 도 8의 풀업부와 화소를 나타내는 레이아웃도이고, 도 10은 도 9의 B-B' 선을 따라 절단한 단면도이다. 도 4, 도 6 및 도 7에 도시된 구성 요소와 동일한 기능을 하는 구성 요소에 대해서는 동일한 도면 부호를 사용하고, 설명의 편의상 해당 구성 요소에 대한 설명은 생략한다. 혼동을 피하기 위해, 이전 실시예의 리플 방지 커패시터(C4)를 이하에서 제1 리플 방지 커패시터(C4)라고 한다.

[0079] 먼저 도 8을 참조하면, 풀업부(431)는 제2 리플 방지 커패시터(C5)를 더 포함한다. 제2 리플 방지 커패시터(C5)의 일단은 게이트 구동용 박막 트랜지스터(T1)의 게이트와 연결되고, 타단은 제1 리플 방지 커패시터(C4)의 일단과 연결되어 공통 전압(Vcom)을 인가받는다. 이러한 경우, 제2 리플 방지 커패시터(C4)는 N1 노드의 리플을 방지할 수 있다.

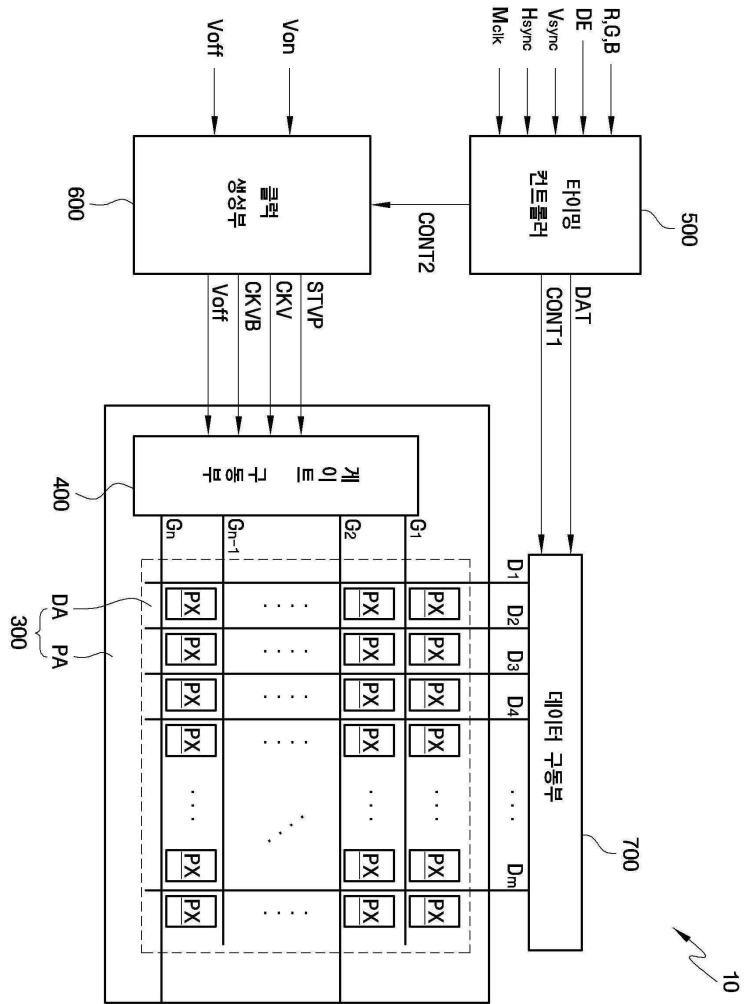
[0080] 도 9 및 도 10을 참조하여 좀더 구체적으로 설명하면, 리플 방지 전극(86)은 이전 실시예의 리플 방지 전극(86)보다 더 넓게 형성된다. 즉, 리플 방지 전극(86)은 제1 드레인 전극(56)의 적어도 일부분과 오버랩되는 제1 오버랩 영역(OR1)과, 제1 드레인 전극(56)과 오버랩되지 않고 제1 게이트 전극(26)의 적어도 일부분과 오버랩되는 제2 오버랩 영역(OR2)을 포함한다. 여기서 제2 오버랩 영역(OR2)의 리플 방지 전극(86)과 게이트 전극이 제2 리플 방지 커패시터(C5)를 형성한다. 여기서 제1 및 제2 오버랩 영역(OR1, OR2)은 제1 소스 전극(66)과 오버랩되지 않을 수 있다.

- [0081] 도 11 및 도 12를 참조하여 본 발명의 또 다른 실시예에 따른 게이트 구동용 박막 트랜지스터 및 이를 포함하는 액정 표시 장치를 설명한다. 도 11은 본 발명의 또 다른 실시예에 따른 게이트 구동용 박막 트랜지스터 및 이를 포함하는 액정 표시 장치를 설명하기 위한 레이아웃도이고, 도 12는 도 8의 C-C' 선을 따라 절단한 단면도이다. 도 6 및 도 7에 도시된 구성 요소와 동일한 기능을 하는 구성 요소에 대해서는 동일한 도면 부호를 사용하고, 설명의 편의상 해당 구성 요소에 대한 설명은 생략한다.
 - [0082] 도 11 및 도 12를 참조하면, 풀업 구동부(432)의 리플 방지 컨택부(89)가 공통 전압 라인(69)과 유지 컨택부(25)를 커플링시키지 않는다. 유지 컨택부(25)는 공통 전압 라인(69)과 직접 연결된다. 본 실시예는 공통 전압 라인(69)과 유지 컨택부(25)와의 연결이 다양화될 수 있음을 보여준다. 공통 전압 라인(69)과 유지 컨택부(25)와의 연결 및 공통 전압 라인(69)과 리플 방지 컨택부(89)와의 연결은 이에 한정되지 않고, 다양하게 형성될 수 있다.
 - [0083] 도 13을 참조하여 본 발명의 또 다른 실시예에 따른 게이트 구동용 박막 트랜지스터 및 이를 포함하는 액정 표시 장치를 설명한다. 도 13은 본 발명의 또 다른 실시예에 따른 게이트 구동용 박막 트랜지스터 및 이를 포함하는 액정 표시 장치를 설명하기 위한 레이아웃도이다. 도 6에 도시된 구성 요소와 동일한 기능을 하는 구성 요소에 대해서는 동일한 도면 부호를 사용하고, 설명의 편의상 해당 구성 요소에 대한 설명은 생략한다. 혼동을 피하기 위해 제j 스테이지의 구성 요소의 도면 부호에 "j"를 부기하고, 제(j-1) 스테이지의 구성 요소의 도면 부호에 "(j-1)"를 부기하고, 제(j+1) 스테이지의 구성 요소의 도면 부호에 "(j+1)"를 부기한다.
 - [0084] 상술한 바와 같이, 리플 방지 커패시터(C4)의 일단은 공통 전압(Vcom) 외에 다른 전압 레벨의 직류 전압을 인가 받을 수 있다. 따라서 본 실시예에서는, 제j 스테이지의 풀업부의 리플 방지 전극(86_j)은 공통 전압(Vcom)을 인가받지 않고, 전단 게이트 신호(Gout_(j-1))를 인가받는다. 전단 게이트 신호(Gout_(j-1))는 한 프레임중 소정 시간을 제외하고 직류의 게이트 오프 전압(Voff)을 인가받는다.
 - [0085] 예를 들어, 리플 방지 컨택부(90_j)는 제(j-1) 스테이지의 풀업부(433_(j-1))의 제1 소스 전극(66_(j-1))과 커플링될 수 있다. 즉, 리플 방지 컨택부(90_j)는 제(j-1) 스테이지의 풀업부(433_(j-1))의 제1 소스 전극(66_(j-1)), 게이트 라인 컨택부(23_(j-1)) 및 공통 전압 라인(69)과 커플링된다. 상세히 도시되지 않았으나, 제(j+1) 스테이지의 리플 방지 컨택부(90_(j+1))는 제j 스테이지의 제1 소스 전극(66_j)과 커플링되어 게이트 신호(Gout_(j))를 인가받는다. 다만, 본 발명은 도 13에 도시된 연결 구조에 한정되지 않고, 리플 방지 컨택부(90_j)가 전단 게이트 신호(Gout_(j-1))를 인가받을 수 있는 여러 가지 형태의 연결 구조를 가질 수 있다.
 - [0086] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.
- 도면의 간단한 설명**
- [0087] 도 1은 본 발명의 일 실시예에 따른 본 발명의 일 실시예에 따른 게이트 구동용 박막 트랜지스터 및 이를 포함하는 액정 표시 장치를 설명하기 위한 블록도이다.
 - [0088] 도 2는 도 1의 한 화소의 등가 회로도이다.
 - [0089] 도 3은 도 1의 게이트 구동부를 설명하기 위한 예시적인 블록도이다.
 - [0090] 도 4는 도 3의 제j 스테이지의 예시적인 회로도이다.
 - [0091] 도 5는 제j 스테이지의 동작을 설명하기 위한 신호도이다.
 - [0092] 도 6은 제j 스테이지의 풀업부 및 화소를 설명하기 위한 레이아웃도이다.
 - [0093] 도 7은 도 6의 A-A' 선을 따라 절단한 단면도이다.
 - [0094] 도8은 본 발명의 다른 실시예에 따른 게이트 구동용 박막 트랜지스터 및 이를 포함하는 액정 표시 장치를 설명하기 위한 회로도이다.
 - [0095] 도 9는 도 8의 풀업부와 화소를 나타내는 레이아웃도이다.

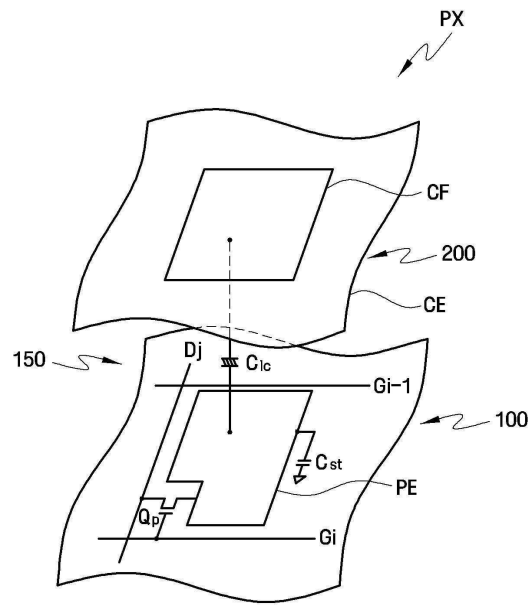
- [0096] 도 10은 도 9의 B-B' 선을 따라 절단한 단면도이다.
- [0097] 도 11은 본 발명의 또 다른 실시예에 따른 게이트 구동용 박막 트랜지스터 및 이를 포함하는 액정 표시 장치를 설명하기 위한 레이아웃도이다.
- [0098] 도 12는 도 8의 C-C' 선을 따라 절단한 단면도이다.
- [0099] 도 13은 본 발명의 또 다른 실시예에 따른 게이트 구동용 박막 트랜지스터 및 이를 포함하는 액정 표시 장치를 설명하기 위한 레이아웃도이다.
- [0100] (도면의 주요부분에 대한 부호의 설명)
- [0101] 10: 액정 표시 장치 100: 제1 기관
- [0102] 200: 제2 기관 300: 액정 패널
- [0103] 400: 게이트 구동부 410: 버퍼부
- [0104] 420: 충전부 430: 풀업부
- [0105] 440: 풀다운부 450: 방전부
- [0106] 460: 홀딩부 470: 캐리 신호 발생부
- [0107] 500: 타이밍 컨트롤러 600: 클럭 생성부
- [0108] 700: 데이터 구동부 C1: 충전 커패시터
- [0109] C3: 기생 커패시터 C4, C5: 리플 방지 커패시터

도면

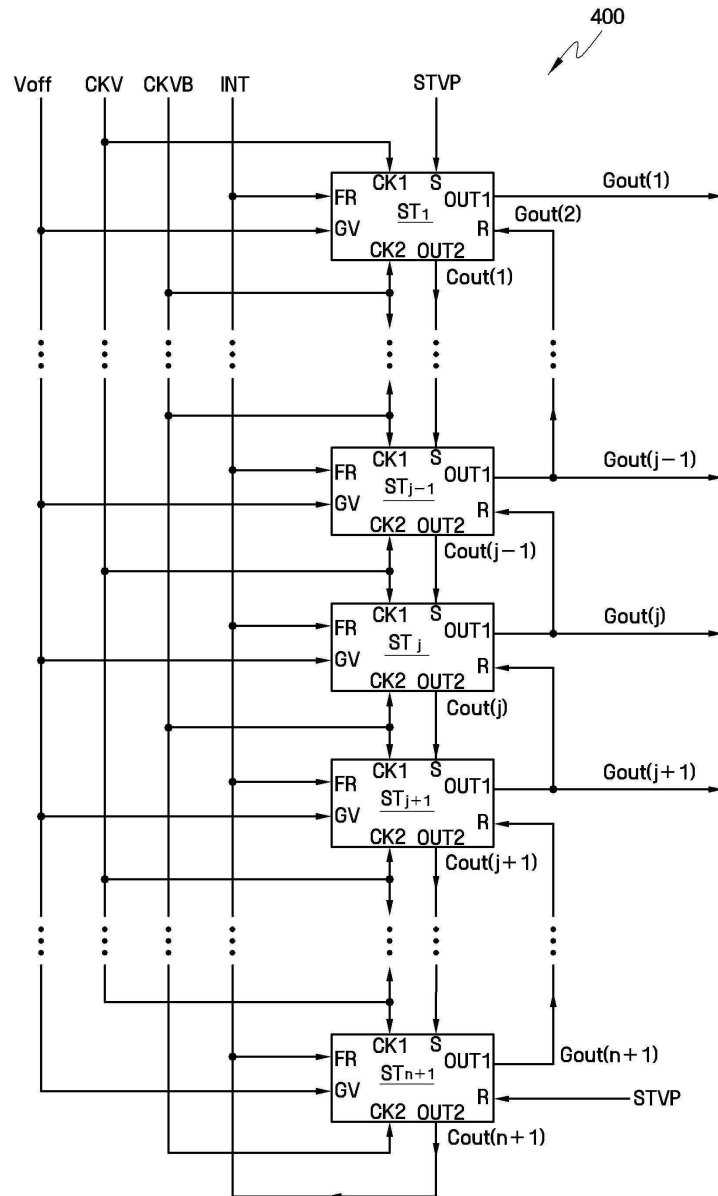
도면1



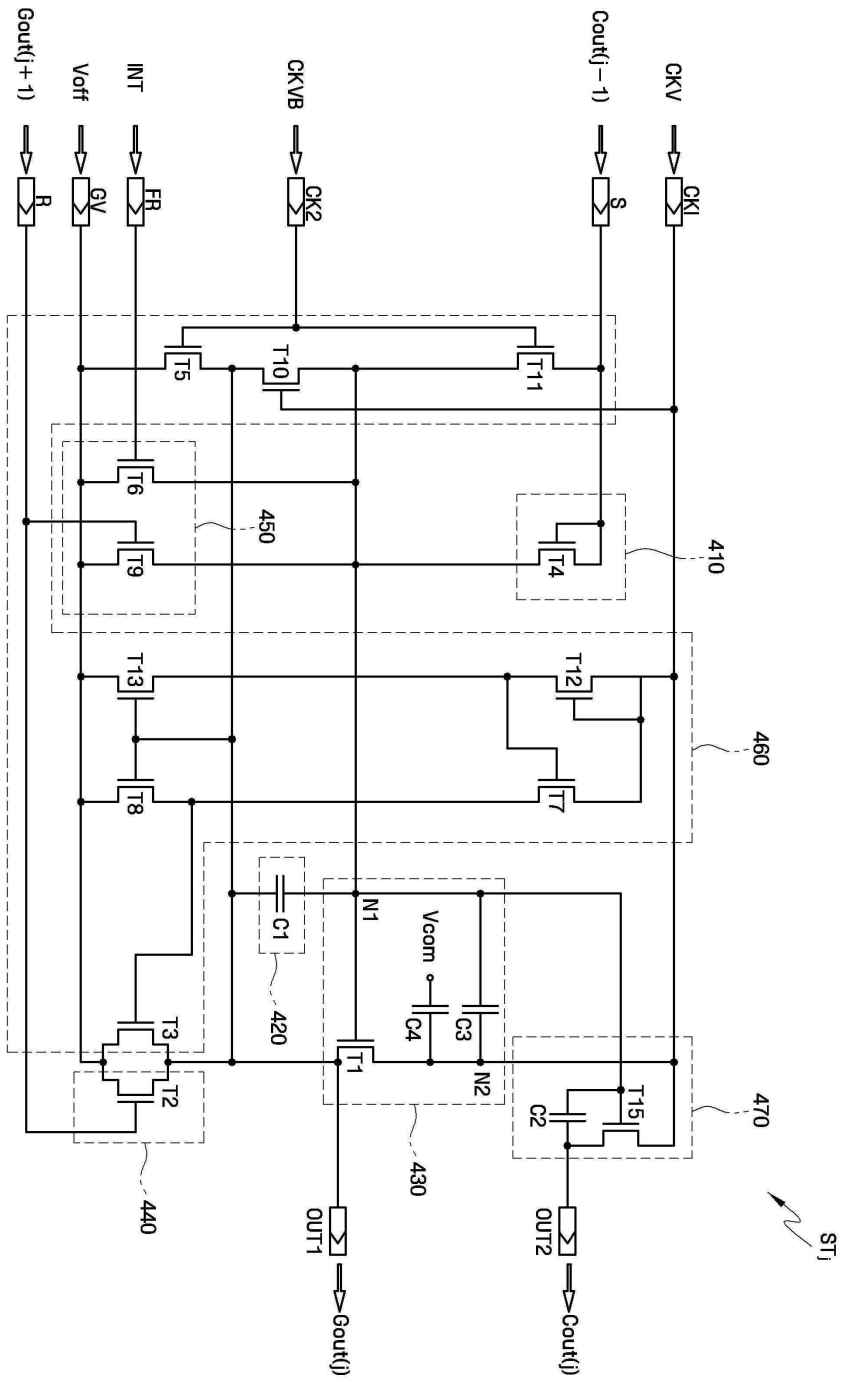
도면2



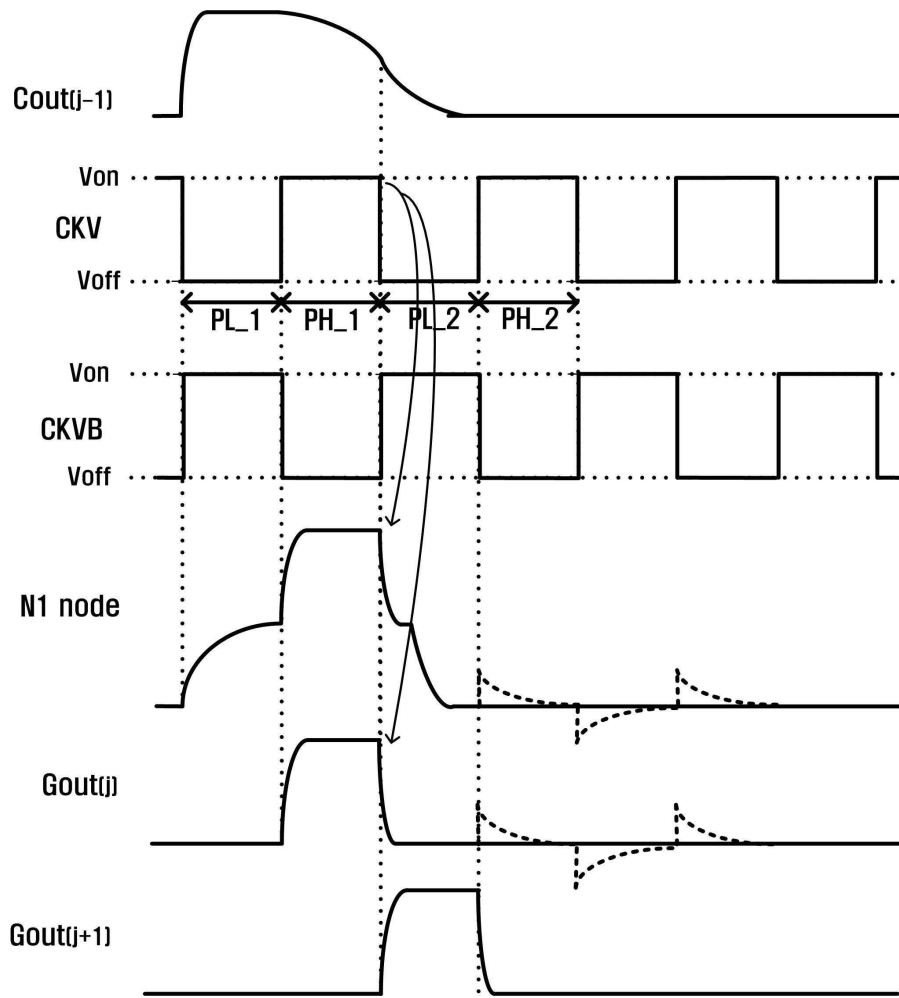
도면3



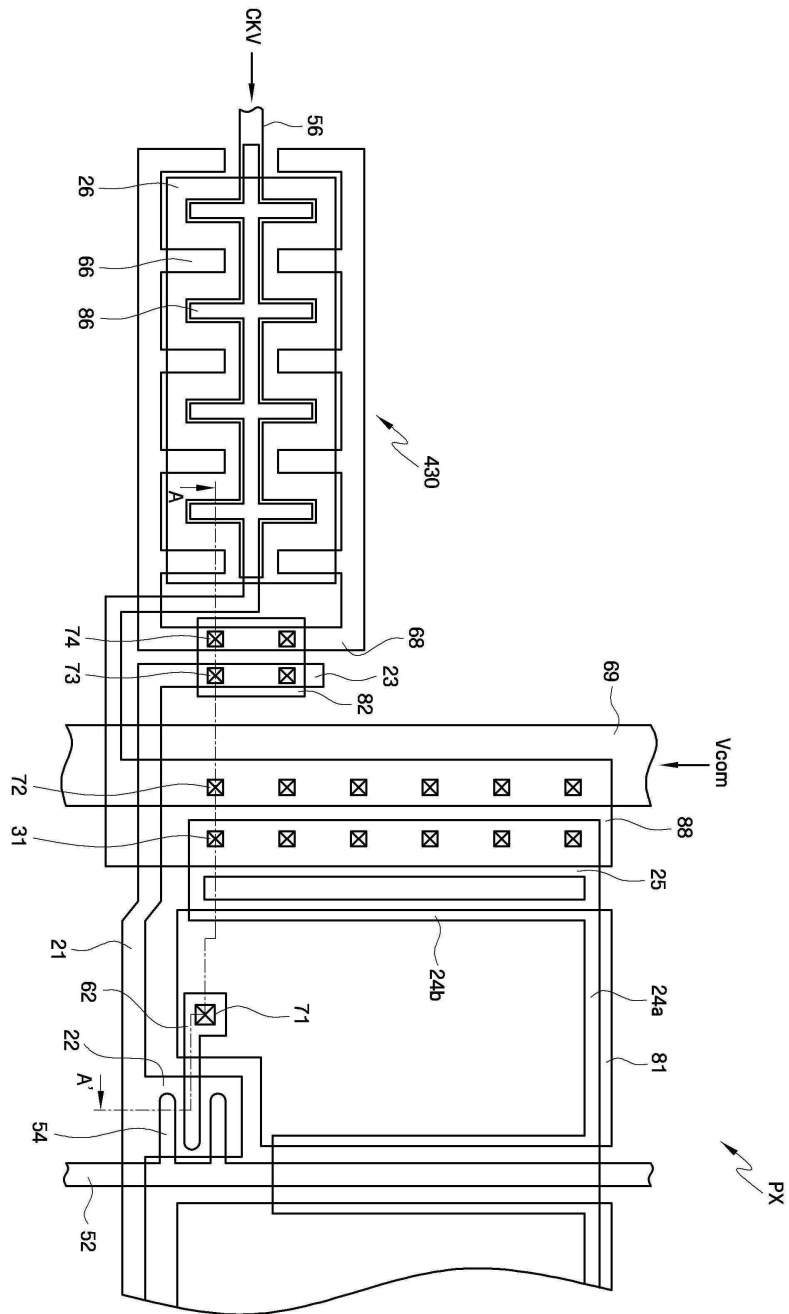
도면4



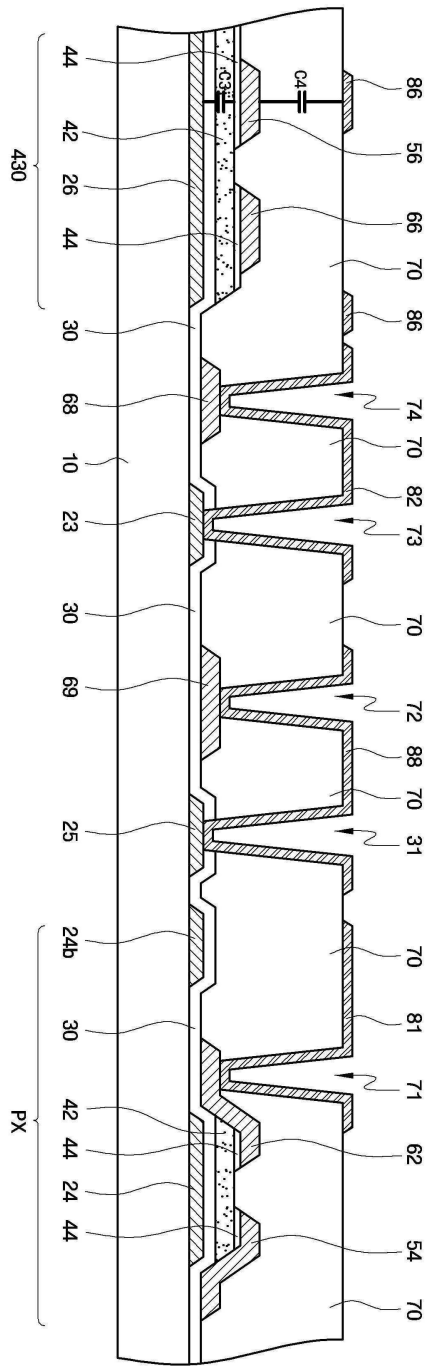
도면5



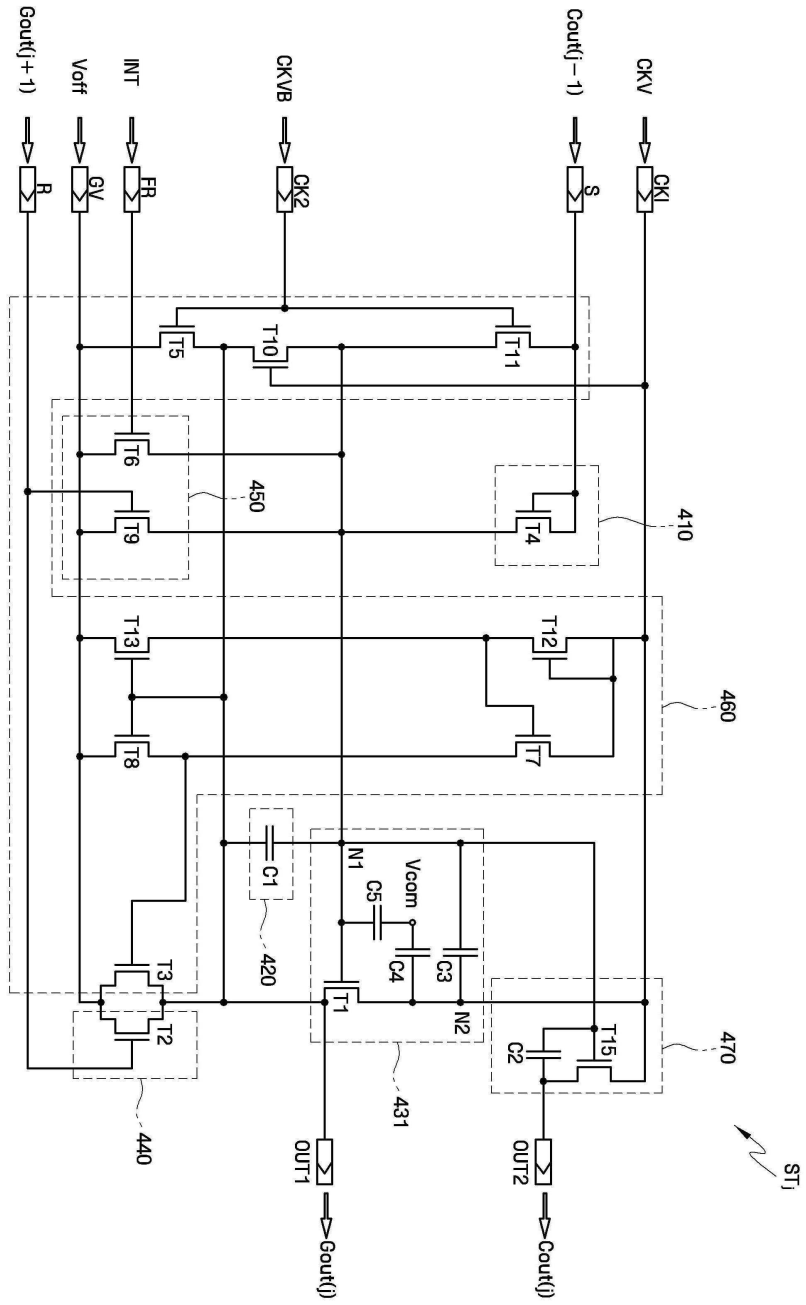
도면6



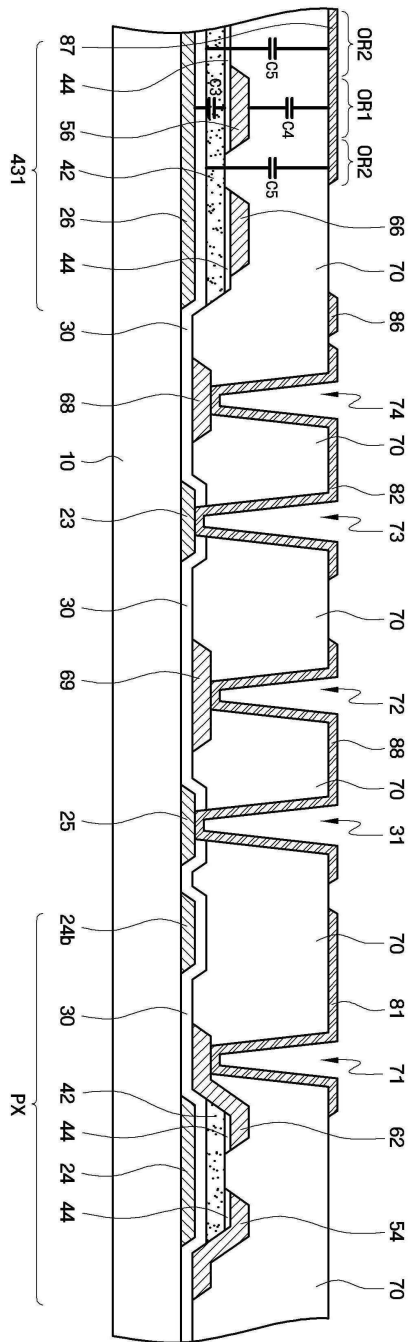
도면7



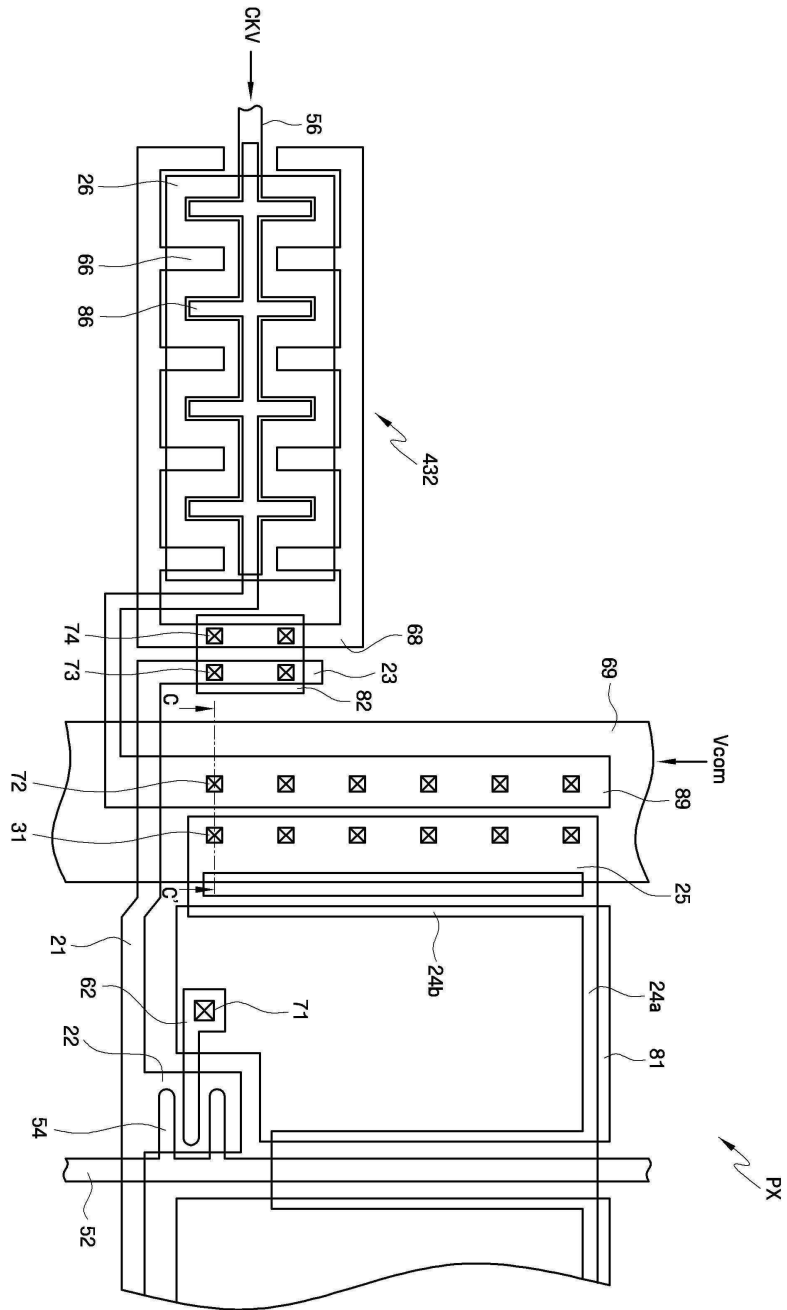
도면8



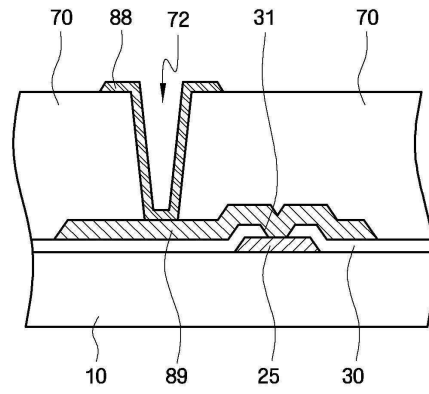
도면10



도면11



도면12



도면13

