



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년03월09일
(11) 등록번호 10-0945511
(24) 등록일자 2010년02월25일

(51) Int. Cl.

H01L 27/115 (2006.01) H01L 21/8247 (2006.01)

(21) 출원번호 10-2008-0033301

(22) 출원일자 2008년04월10일

심사청구일자 2008년04월10일

(65) 공개번호 10-2009-0107822

(43) 공개일자 2009년10월14일

(56) 선행기술조사문헌

KR100712552 B1

KR100660881 B1

US7348628 B2

KR100618875 B1

전체 청구항 수 : 총 18 항

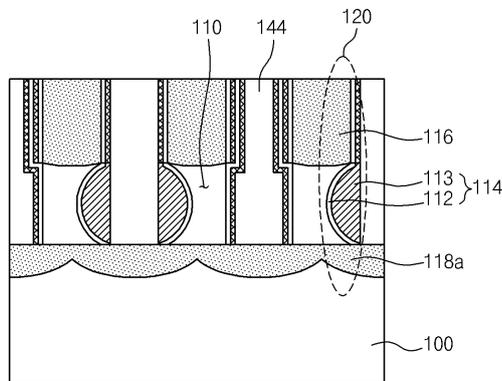
심사관 : 이우리

(54) 반도체 소자 및 그의 제조방법

(57) 요약

본 발명은 버티컬 필라(Vertical Pillar)에 플로팅 바디 메모리(Floating Body Memory)를 형성하여 구현한 반도체 소자 및 그의 제조방법을 개시한다. 개시된 본 발명의 반도체 소자는, 다수의 실리콘 필라를 구비한 실리콘 기판의 상기 각 실리콘 필라에 버티컬 필라 트랜지스터가 형성되어 구현되며, 플로팅 바디 메모리 동작이 이루어 지도록 상기 버티컬 필라 트랜지스터의 게이트는 상기 실리콘 기판의 저부 일측면에만 선택적으로 형성된 것을 특징으로 한다.

대표도 - 도1



특허청구의 범위

청구항 1

다수의 실리콘 필라를 구비한 실리콘 기판의 상기 각 실리콘 필라에 버티컬 필라 트랜지스터가 형성되어 구현되며,

상기 버티컬 필라 트랜지스터의 게이트는 상기 실리콘 필라의 저부 일측면에 선택적으로 형성되고, 상기 버티컬 필라 트랜지스터의 드레인 영역은 이웃하는 드레인 영역들간 상호 연결되도록 형성된 것을 특징으로 하는 반도체 소자.

청구항 2

제 1 항에 있어서, 상기 게이트는 인접한 두 개의 버티컬 필라 트랜지스터들간에 서로 마주보는 면들에만 선택적으로 형성된 것을 특징으로 하는 반도체 소자.

청구항 3

제 1 항에 있어서, 상기 게이트는 상기 실리콘 필라 저부의 표면에 매립되게 형성된 것을 특징으로 하는 반도체 소자.

청구항 4

다수의 실리콘 필라를 구비한 실리콘 기판;

상기 각 실리콘 필라 저부의 일측면에 형성된 게이트;

상기 게이트 상측의 실리콘 필라 부분에 형성된 소오스 영역;

상기 게이트 및 소오스 영역을 포함하여 버티컬 필라 트랜지스터를 구성하도록 상기 게이트 하측의 실리콘 기판 부분에 형성된 드레인 영역; 및

일 방향으로 배열된 버티컬 필라 트랜지스터들의 게이트들을 상호 연결시키도록 형성된 워드라인;

을 포함하며,

상기 드레인 영역은 일 방향과 수직하는 타 방향으로 배열된 이웃하는 드레인 영역들간 상호 연결되게 형성된 것을 특징으로 하는 반도체 소자.

청구항 5

제 4 항에 있어서, 상기 게이트는 인접한 두 개의 버티컬 필라 트랜지스터들간에 서로 마주보는 면들에만 선택적으로 형성된 것을 특징으로 하는 반도체 소자.

청구항 6

제 4 항에 있어서, 상기 게이트는 상기 실리콘 필라 저부의 표면에 매립되게 형성된 것을 특징으로 하는 반도체 소자.

청구항 7

제 4 항에 있어서, 상기 워드라인을 포함한 버티컬 필라 트랜지스터들 사이에 매립된 절연막을 더 포함하는 것을 특징으로 하는 반도체 소자.

청구항 8

다수의 실리콘 필라를 구비한 실리콘 기판의 상기 각 실리콘 필라의 저부 일측면에 버티컬 필라 트랜지스터의 게이트를 형성하고, 상기 버티컬 필라 트랜지스터의 드레인 영역을 이웃하는 드레인 영역들간 상호 연결되도록 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 9

제 8 항에 있어서, 상기 게이트는 인접한 두 개의 버티컬 필라 트랜지스터들간에 서로 마주보는 면들에만 선택적으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 10

제 8 항에 있어서, 상기 게이트는 상기 실리콘 필라 저부의 표면에 매립되게 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 11

실리콘 기관을 식각하여 다수의 실리콘 필라를 형성하는 단계;
 상기 실리콘 필라들 사이 영역들 중에서 게이트 형성 지역 이외의 영역들을 제1절연막으로 매립하는 단계;
 상기 제1절연막에 의해 매립되지 않은 실리콘 필라 부분의 저부 표면을 등방성 식각하는 단계;
 상기 등방성 식각된 실리콘 필라 저부 부분에 게이트를 형성하는 단계;
 상기 제1절연막을 제거하는 단계;
 상기 게이트 하측의 실리콘 기관 부분 내에 드레인 영역을 형성하는 단계;
 상기 저부 일측면에 선택적으로 게이트가 형성된 실리콘 필라들 사이를 매립하도록 제2절연막을 형성하는 단계;
 상기 제2절연막 내에 일 방향으로 배열된 게이트들을 연결하는 워드라인을 형성하는 단계;
 상기 워드라인을 포함한 실리콘 필라들 사이를 매립하도록 제3절연막을 형성하는 단계;
 상기 게이트 상측의 실리콘 필라 부분에 버티컬 필라 트랜지스터가 구성되도록 소오스 영역을 형성하는 단계;
 및
 상기 일 방향과 수직하는 타 방향으로 배열된 버티컬 필라 트랜지스터들의 드레인 영역들이 상호 연결되도록 상기 소오스 영역이 형성된 기관 결과물을 어닐링하는 단계;
 를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 12

제 11 항에 있어서, 상기 실리콘 필라를 형성하는 단계는,
 상기 실리콘 기관 상에 상기 실리콘 필라 형성 영역을 가리는 하드마스크를 형성하는 단계;
 상기 실리콘 기관을 식각하여 제1홈을 형성하는 단계;
 상기 제1홈 및 하드마스크의 측벽 상에 제1스페이서를 형성하는 단계; 및
 상기 하드마스크 및 제1스페이서를 식각 마스크로 이용해서 상기 제1홈 저면의 실리콘 기관 부분을 식각하여 제2홈을 형성하는 단계;
 를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 13

제 12 항에 있어서, 상기 제2홈을 형성하는 단계 후, 상기 제1스페이서 및 제2홈 표면상에 제2스페이서를 형성하는 단계;를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 14

제 11 항에 있어서, 상기 제1절연막은 산화막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 15

제 11 항에 있어서, 상기 제2 및 제3 절연막은 산화막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 16

제 11 항에 있어서, 상기 게이트는 인접한 두 개의 버티컬 필라 트랜지스터들간에 서로 마주보는 면들에만 각각 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 17

제 11 항에 있어서, 상기 게이트는 상기 실리콘 필라 저부의 일측 표면에 매립되게 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 18

제 11 항에 있어서, 상기 드레인 영역을 형성하는 단계 후, 그리고, 상기 제2절연막을 형성하는 단계 전, 상기 일 방향을 따라 형성된 드레인 영역들을 식각하여 서로 분리시키는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 소자 및 그의 제조방법에 관한 것으로, 보다 상세하게는, 버티컬 필라(Vertical Pillar)에 플로팅 바디 메모리(Floating Body Memory)를 형성하여 구현한 반도체 소자 및 그의 제조방법에 관한 것이다.

배경기술

[0002] 반도체 소자의 고집적화, 고속화 및 저전력화가 진행됨에 따라 더욱더 작은 면적에서 소망하는 동작을 안정적으로 수행하도록 하기 위한 많은 연구가 진행되고 있다. 그 중 하나로서, 캐패시터 없이 플로팅 바디(floating body)에 다수의 캐리어(carrier)를 축적(charge-up)시켜 트랜지스터의 문턱전압(Vt)에 변화를 주는 것을 통해서 데이터를 기입(Write) 및 독출(Read)하는 플로팅 바디 메모리에 대한 연구가 활발하게 진행되고 있다.

[0003] 보다 구체적으로, 상기 플로팅 바디 메모리는, 드레인에 강한 포지티브 전압(high potential positive voltage)이 인가되어 핫 캐리어(hot carrier)가 발생되면, 상기 핫 캐리어에 의한 충돌 이온화에 의해 전자-홀(electron-hole) 쌍이 생성되고, 이렇게 생성된 전자-홀 쌍에서 상기 전자는 드레인에 걸린 높은 전압에 의해 상기 드레인으로 빠져 나가지만 상기 홀은 플로팅 바디인 실리콘층에 축적되는 것으로부터, 상기 실리콘 기판에 축적된 홀에 의해 트랜지스터의 문턱전압(Vt)이 낮아지고, 전압 인가시, 많은 전류를 흘려주게 되므로, 트랜지스터가 메모리의 역할을 하게 된다. 예를 들어, 상기 플로팅 바디 메모리에 있어서, "0" 상태는 홀이 축적되지 않은 문턱전압이 높은 상태이며, "1" 상태는 홀이 축적되어 문턱전압이 낮은 상태이다.

[0004] 상기 플로팅 바디 메모리의 지우기(Erase) 동작은 소오스와 실리콘기판 사이의 PN 접합에 순방향 바이어스(forward bias)를 인가하여 축적된 홀을 외부로 방출시키면 된다.

[0005] 이와 같은 플로팅 바디 메모리는 캐패시터가 없기 때문에 캐패시터 형성 공정 및 캐패시터 형성 면적이 필요치 않으며, 그래서, 전형적인 디램(DRAM)과 비교하여 공정 감소 및 밀도 증가의 이점을 갖는다.

[0006] 한편, 상기 플로팅 바디 메모리는 벌크 실리콘으로 이루어진 단결정 실리콘 웨이퍼를 대신하여 실리콘 기판과 매몰산화막 및 실리콘층의 적층 구조로 이루어진 SOI(Silicon On Insulator) 웨이퍼에 구현된다.

[0007] 그런데, 상기 SOI 웨이퍼는 가격이 매우 높기 때문에 반도체 소자의 제조 원가를 증가시키게 되므로, 그 이용에 어려움이 있다. 또한, 상기 SOI 웨이퍼에서 상기 매몰산화막은 산소 이온주입 및 어닐링 공정을 통해 형성되는데, 상기 산소 이온주입 공정에 의해 실리콘에 결함이 발생할 수 있으므로, 이러한 SOI 웨이퍼의 이용은 소자 특성에 문제를 일으킬 수 있다.

발명의 내용

해결하고자하는 과제

[0008] 본 발명은 버티컬 필라에 플로팅 바디 메모리를 형성하여 구현함으로써 SOI 웨이퍼를 사용하지 않는 것을 통해서

제조 원가를 낮춘 반도체 소자 및 그의 제조방법을 제공한다.

- [0009] 또한, 본 발명은 SOI 웨이퍼를 사용하지 않음으로써 상기 SOI 웨이퍼의 매몰산화막 형성에 기인하는 실리콘 결합의 발생을 방지할 수 있는 반도체 소자 및 그의 제조방법을 제공한다.
- [0010] 게다가, 본 발명은 일반적인 단결정 실리콘 웨이퍼를 이용하여 버티컬 필라 구조의 플로팅 바디 메모리를 형성함으로써 실리콘 결합의 발생을 근본적으로 방지할 수 있어서 동작 특성 및 신뢰성을 개선시킨 반도체 소자 및 그의 제조방법을 제공한다.

과제 해결수단

- [0011] 일 견지에서, 본 발명에 따른 반도체 소자는, 다수의 실리콘 필라를 구비한 실리콘 기판의 상기 각 실리콘 필라에 버티컬 필라 트랜지스터가 형성되어 구현되며, 상기 버티컬 필라 트랜지스터의 게이트는 상기 실리콘 필라의 저부 일측면에 선택적으로 형성되고, 상기 버티컬 필라 트랜지스터의 드레인 영역은 이웃하는 드레인 영역들간 상호 연결되도록 형성된 것을 특징으로 한다.
- [0012] 여기서, 상기 게이트는 인접한 두 개의 버티컬 필라 트랜지스터들간에 서로 마주보는 면들에만 선택적으로 형성된다.
- [0013] 상기 게이트는 상기 실리콘 필라 저부의 표면에 매립되게 형성된다.
- [0014] 또한, 일 견지에서의 본 발명에 따른 반도체 소자는, 다수의 실리콘 필라를 구비한 실리콘 기판; 상기 각 실리콘 필라 저부의 일측면에 형성된 게이트; 상기 게이트 상측의 실리콘 필라 부분에 형성된 소오스 영역; 상기 게이트 및 소오스 영역을 포함하여 버티컬 필라 트랜지스터를 구성하도록 상기 게이트 하측의 실리콘 기판 부분에 형성된 드레인 영역; 및 일 방향으로 배열된 버티컬 필라 트랜지스터들의 게이트들을 상호 연결시키도록 형성된 워드라인;을 포함하며, 상기 드레인 영역은 일 방향과 수직하는 타 방향으로 배열된 이웃하는 드레인 영역들간 상호 연결되게 형성된 것을 특징으로 한다.
- [0015] 여기서, 상기 게이트는 인접한 두 개의 버티컬 필라 트랜지스터들간에 서로 마주보는 면들에만 선택적으로 형성된다.
- [0016] 상기 게이트는 상기 실리콘 필라 저부의 표면에 매립되게 형성된다.
- [0017] 전술한 본 발명의 반도체 소자는, 상기 워드라인을 포함한 버티컬 필라 트랜지스터들 사이에 매립된 절연막을 더 포함한다.
- [0018] 다른 견지에서, 본 발명에 따른 반도체 소자의 제조방법은, 다수의 실리콘 필라를 구비한 실리콘 기판의 상기 각 실리콘 필라의 저부 일측면에 버티컬 필라 트랜지스터의 게이트를 형성하고, 상기 버티컬 필라 트랜지스터의 드레인 영역을 이웃하는 드레인 영역들간 상호 연결되도록 형성하는 것을 특징으로 한다.
- [0019] 여기서, 상기 게이트는 인접한 두 개의 버티컬 필라 트랜지스터들간에 서로 마주보는 면들에만 선택적으로 형성한다.
- [0020] 상기 게이트는 상기 실리콘 필라 저부의 표면에 매립되게 형성한다.
- [0021] 또한, 다른 견지에서의 본 발명에 따른 반도체 소자의 제조방법은, 실리콘 기판을 식각하여 다수의 실리콘 필라를 형성하는 단계; 상기 실리콘 필라들 사이 영역들 중에서 게이트 형성 지역 이외의 영역들을 제1절연막으로 매립하는 단계; 상기 제1절연막에 의해 매립되지 않은 실리콘 필라 부분의 저부 표면을 등방성 식각하는 단계; 상기 등방성 식각된 실리콘 필라 저부 부분에 게이트를 형성하는 단계; 상기 제1절연막을 제거하는 단계; 상기 게이트 하측의 실리콘 기판 부분 내에 드레인 영역을 형성하는 단계; 상기 저부 일측면에 선택적으로 게이트가 형성된 실리콘 필라들 사이를 매립하도록 제2절연막을 형성하는 단계; 상기 제2절연막 내에 일 방향으로 배열된 게이트들을 연결하는 워드라인을 형성하는 단계; 상기 워드라인을 포함한 실리콘 필라들 사이를 매립하도록 제3절연막을 형성하는 단계; 상기 게이트 상측의 실리콘 필라 부분에 버티컬 필라 트랜지스터가 구성되도록 소오스 영역을 형성하는 단계; 및 상기 일 방향과 수직하는 타 방향으로 배열된 버티컬 필라 트랜지스터들의 드레인 영역들이 상호 연결되도록 상기 소오스 영역이 형성된 기판 결과물을 어닐링하는 단계;를 포함한다.
- [0022] 여기서, 상기 실리콘 필라를 형성하는 단계는, 상기 실리콘 기판 상에 상기 실리콘 필라 형성 영역을 가리는 하드마스크를 형성하는 단계; 상기 실리콘 기판을 식각하여 제1홈을 형성하는 단계; 상기 제1홈 및 하드마스크의 측면 상에 제1스페이서를 형성하는 단계; 및 상기 하드마스크 및 제1스페이서를 식각 마스크로 이용해서 상기

제1홈 저면의 실리콘 기관 부분을 식각하여 제2홈을 형성하는 단계;를 포함한다.

- [0023] 상기 제2홈을 형성하는 단계 후, 상기 제1스페이서 및 제2홈 표면에 제2스페이서를 형성하는 단계;를 더 포함한다.
- [0024] 상기 제1절연막은 산화막으로 형성한다.
- [0025] 상기 제2 및 제3 절연막은 산화막으로 형성한다.
- [0026] 상기 게이트는 인접한 두 개의 버티컬 필라 트랜지스터들간에 서로 마주보는 면들에만 각각 형성한다.
- [0027] 상기 게이트는 상기 실리콘 필라 저부의 일측 표면에 매립되게 형성한다.
- [0028] 전술한 본 발명에 따른 반도체 소자의 제조방법은, 상기 드레인 영역을 형성하는 단계 후, 그리고, 상기 제2절연막을 형성하는 단계 전, 상기 일 방향을 따라 형성된 드레인 영역들을 식각하여 서로 분리시키는 단계를 더 포함한다.

효 과

- [0029] 본 발명은 실리콘 필라에 버티컬 필라 트랜지스터를 형성하면서 상기 트랜지스터의 게이트를 상기 실리콘 필라의 절반만 감싸도록 함으로써 플로팅 바디 메모리의 동작을 구현할 수 있다.
- [0030] 따라서, 본 발명은 고가의 SOI 웨이퍼의 사용 없이도 플로팅 바디 메모리를 구현할 수 있는 바, 제조 원가를 낮출 수 있고, 또한, 동작 특성 및 신뢰성을 향상시킬 수 있다.

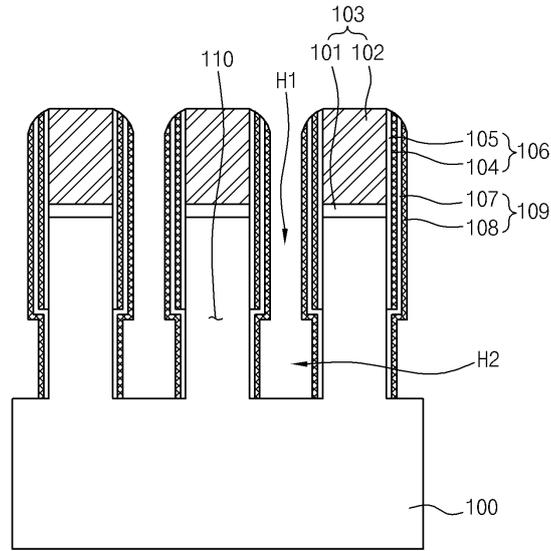
발명의 실시를 위한 구체적인 내용

- [0031] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.
- [0032] 도 1은 본 발명의 실시예에 따른 반도체 소자를 도시한 단면도이다.
- [0033] 도시된 바와 같이, 실리콘 기관(100)은 그 표면에 다수의 실리콘 필라(110)를 구비하며, 상기 실리콘 필라(110)에는 플로팅 바디 메모리로 동작 가능한 버티컬 필라 트랜지스터(120)가 형성되어 있고, 상기 버티컬 필라 트랜지스터들(120) 사이에는 제1절연막(도시안됨)과 제2절연막(144) 및 제3절연막(도시안됨)이 매립되어 있다.
- [0034] 상기 버티컬 필라 트랜지스터(120)는 상기 실리콘 필라(110)의 저부 일측면에만 매립되게 형성된 게이트(114)와 상기 게이트(114) 상측의 실리콘 필라(110) 부분에 형성된 소오스 영역(116) 및 상기 게이트(114) 아래의 실리콘 기관(100) 부분 내에 형성된 드레인 영역(118a)을 포함한다.
- [0035] 상기 드레인 영역(118a)은 상기 버티컬 필라 트랜지스터(120)의 바디가 플로팅 상태가 되도록, 즉, 플로팅 바디가 되도록 상기 실리콘 기관(100) 내에서 이웃하는 드레인 영역(118a)과 서로 연결된 구조를 갖는다.
- [0036] 상기 버티컬 필라 트랜지스터(120)의 게이트(114)는 상기 실리콘 필라(110)의 저부 일측면 만을 감싸는 모양을 갖는다. 이것은 상기 게이트(114)가 실리콘 필라(110)를 모두 감싸도록 형성될 경우, 상기 실리콘 필라(110)의 지름이 어느 정도 확보되어서, 단면상에서 볼 때, 양측 각각으로부터 형성되는 공핍 영역들이 서로 만나지 않아서 상기 실리콘 필라에 구현된 버티컬 필라 트랜지스터가 플로팅 바디 메모리로서 동작할 수 있지만, 상기 실리콘 필라의 지름이 작아지면, 양측 각각으로부터 형성되는 공핍 영역들이 서로 만나 트랜지스터의 채널이 완전 공핍됨으로써 플로팅 바디 메모리의 동작을 구현할 수 없기 때문에, 상기 게이트(114)를 실리콘 필라(110)의 일측면 만을 감싸도록 형성하는 것이다.
- [0037] 한편, 도시되지 않았으나, 상기 드레인 영역들(118a)의 연장 방향과 수직하는 일 방향을 따라 배열된 각 버티컬 필라 트랜지스터(120)들 사이에는 게이트들(114)을 연결하도록 다마신 공정을 통해 워드라인이 형성되어 있다.
- [0038] 이와 같은 본 발명에 따른 반도체 소자는 버티컬 필라 트랜지스터를 이용하여 플로팅 바디 메모리를 구현한 것이므로, 일반적인 단결정 실리콘 웨이퍼를 이용해서도 상기 플로팅 바디 메모리를 구현할 수 있다. 따라서, 본 발명의 반도체 소자는 고가의 SOI 웨이퍼를 사용하지 않아도 됨으로써 제조 원가의 증가가 방지된다.
- [0039] 또한, 본 발명에 따른 반도체 소자는 SOI 웨이퍼의 사용없이 일반적인 단결정 실리콘 웨이퍼를 사용하여 구현하는바, 상기 SOI 웨이퍼에서의 매몰산화막 형성에 기인하는 실리콘 결함 발생을 방지할 수 있으며, 이에 따라, 소자 특성 및 신뢰성을 개선시킬 수 있다.
- [0040] 게다가, 본 발명에 따른 반도체 소자는 버티컬 필라 트랜지스터 구조를 이용함으로써, 고집적화에 따라 실리콘

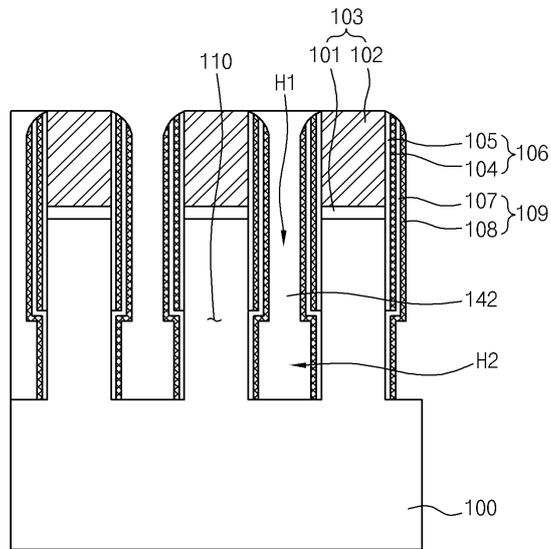
필라의 지름이 더욱 작아지더라도 플로팅 바다 메모리의 동작이 가능하기 때문에, 고집적 소자의 제조에 매우 유리하게 대처할 수 있다.

- [0041] 도 2a 내지 도 2g 및 도 3a 내지 도 3c는 본 발명의 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 도면들로서, 이들을 설명하면 다음과 같다. 여기서, 도 2a 내지 도 2g는 공정별 단면도이고, 도 3은 도 2c에 대응하는 평면도이고, 도 4a 및 도 4b는 도 2g에 대응하는 워드라인 형성 과정을 설명하기 위한 평면도들이다.
- [0042] 도 2a를 참조하면, 다수의 실리콘 필라 형성 영역을 갖는 실리콘 기판(100) 상에 패드 산화막(101)과 패드 질화막(102)을 차례로 형성한 후, 상기 패드 질화막(102)과 패드 산화막(101)을 식각하여 상기 실리콘 기판(100)의 실리콘 필라 형성 영역을 가리는 하드마스크(103)를 형성한다. 그런다음, 상기 하드마스크(103)를 식각 마스크로 이용해서 노출된 실리콘 기판(100) 부분을 식각하여 소정 깊이의 제1홈(H1)을 형성한다.
- [0043] 도 2b를 참조하면, 상기 제1홈(H1)의 표면을 포함한 하드마스크(103) 상에 제1산화막(104)과 제1질화막(105)을 차례로 형성한 후, 상기 제1질화막(105)과 제1산화막(104)을 에치백하여 상기 제1홈(H1)과 하드마스크(103)의 측벽에 제1스페이서(106)를 형성한다. 그런다음, 상기 제1스페이서(106)를 포함한 하드마스크(103)를 식각 마스크로 이용해서 상기 제1홈(H1) 저면의 실리콘 기판(100) 부분을 식각하여 제2홈(H2)을 형성하고, 이를 통해, 상기 제1홈(H1)과 제2홈(H2)에 의해 정의되고 매트릭스 형태로 배열되는 다수의 실리콘 필라(110)를 형성한다.
- [0044] 상기 제2홈(H2)과 제1스페이서(106) 및 하드마스크(103) 상에 제2산화막(107)과 제2질화막(108)을 차례로 형성한 후, 이들을 에치백하여 상기 제2홈(H2)의 측벽과 제1스페이서(106) 상에 제2스페이서(109)를 형성한다.
- [0045] 도 2c를 참조하면, 다수의 실리콘 필라(110)가 형성된 실리콘 기판(100) 상에 상기 실리콘 필라(110)들 사이 영역을 매립하도록 산화막 등으로 이루어진 제1절연막을 형성한 후, 상기 하드마스크(103)가 노출될 때까지 상기 제1절연막(142)의 표면을 제거한다. 상기 제1절연막(142) 표면의 제거는 에치백(etch-back) 또는 CMP(Chemical Mechanical Polishing) 공정으로 수행한다. 그런다음, 상기 실리콘 필라들(110) 사이 영역들 중에서 게이트 형성 지역에 매립된 제1절연막(142) 부분을 제거하여 상기 제1절연막(142)이 상기 게이트 형성 지역 이외의 실리콘 필라들 사이 영역에만 매립되도록 만든다.
- [0046] 여기서, 상기 제1절연막(142)의 선택적 매립은 상기 제1절연막(142)이 형성된 실리콘 기판(100)의 결과물 상에, 도 3에 도시된 바와 같이, 상기 게이트 형성 지역을 노출시키는 제1감광막 패턴(150)을 형성한 후, 상기 제1감광막 패턴(150)으로부터 노출된 상기 게이트 형성 지역의 제1절연막 부분을 제거하는 것에 의해 이루어진다.
- [0047] 도 2d를 참조하면, 상기 게이트 형성 지역에서의 노출된 제2스페이서(109) 부분을 제거한다. 그런다음, 상기 제2스페이서(109)가 제거되어 노출된 게이트 형성 지역에서의 제2홈(H2) 측벽의 상기 실리콘 필라(110)의 저부 표면을 등방성 식각하고, 이를 통해, 상기 게이트 형성 지역에서의 이웃하는 실리콘 필라들(110)간 서로 마주보는 저부 표면들 각각에 움푹 패인 제3홈(H3)을 형성한다. 이때, 상기 제3홈(H3)은 실리콘 필라(110)의 전 표면에 환형으로 형성됨이 없이 노출된 실리콘 필라(110) 부분에만 형성된다.
- [0048] 도 2e를 참조하면, 상기 제3홈(H3)이 형성된 실리콘 기판(100)의 결과물 상에 산화막 등으로 이루어진 게이트 절연막(112)과 폴리실리콘막 등으로 이루어진 게이트 도전막(113)을 차례로 형성한 후, 상기 게이트 도전막(113)과 게이트 절연막(112)을 비등방성 식각하여 상기 제3홈(H3) 내에 매립된 형태로 게이트(114)를 형성한다. 여기서, 상기 게이트(114)는 상기 제3홈(H3) 내에 매립된 형태, 즉, 상기 실리콘 필라(102)의 저부 일측면 만을 감싸는 형태로 형성된다.
- [0049] 도 2f를 참조하면, 상기 게이트 형성 지역 이외의 상기 실리콘 필라들(110) 사이에 매립된 제1절연막을 제거한다. 그런다음, 상기 제1절연막이 제거된 실리콘 기판(100)의 결과물에 소정 도전형의 불순물, 예를 들어, N형 불순물을 이온주입하여 상기 제2홈(H2)을 포함하여 상기 게이트(114) 하측의 실리콘 기판(100) 부분에 이온주입층을 형성한 후, 상기 이온주입층을 식각하여 드레인 영역(118)들을 형성한다.
- [0050] 도 2g를 참조하면, 상기 게이트(114)를 포함한 실리콘 필라들(110) 사이를 매립하도록 실리콘 기판(100)의 결과물 상에 산화막으로 이루어진 제2절연막(144)을 증착한 후, 상기 하드마스크(103)이 노출될 때까지 상기 제2절연막(144)의 표면을 에치백, 또는, CMP한다. 그런다음, 공지의 다마신 공정에 따라 상기 제2절연막(144)을 식각하여 상기 드레인 영역들이 배열된 타 방향과 수직하는 일 방향을 따라 배열된 게이트들(114)을 노출시키는 트렌치를 형성한 후, 상기 트렌치 내에 도전막, 예를 들어, 폴리실리콘막을 매립하여 상기 일 방향으로 배열된 게이트들(114)간을 연결하는 워드라인(도시안됨)을 형성한다. 그리고나서, 상기 워드라인을 덮도록 실리콘 필라들(110) 사이의 상기 워드라인 상에 제3절연막(도시안됨)을 매립한다.

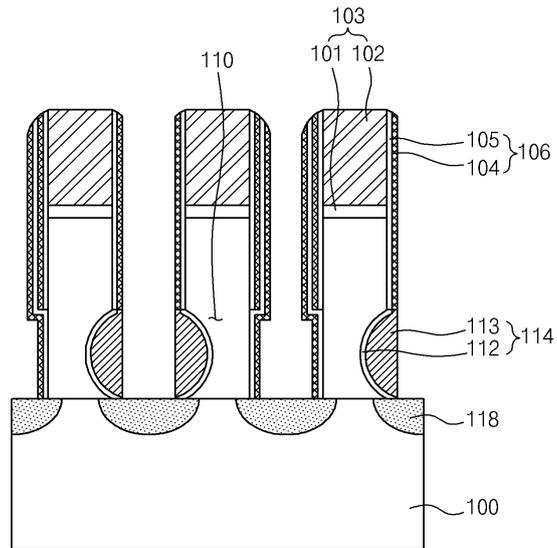
도면2b



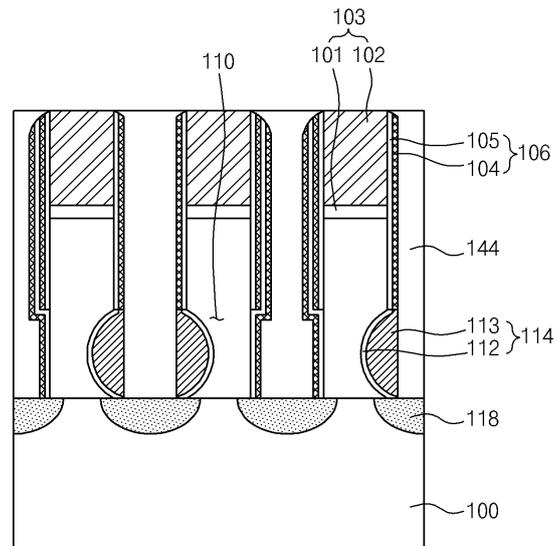
도면2c



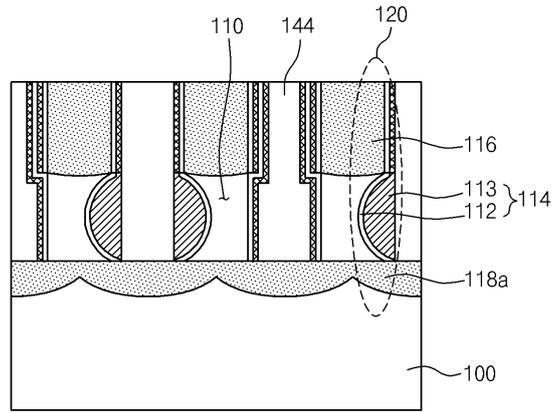
도면2f



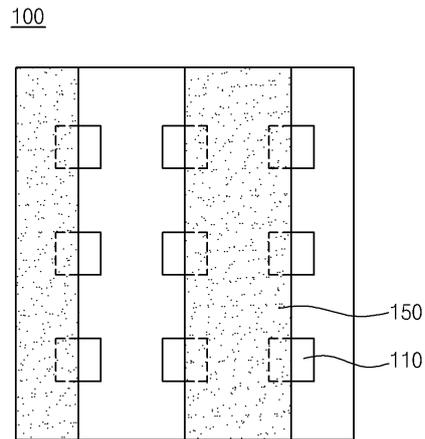
도면2g



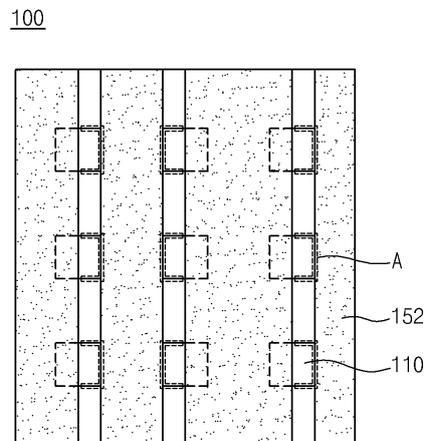
도면2h



도면3



도면4a



도면4b

100

