



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I768222 B

(45) 公告日：中華民國 111 (2022) 年 06 月 21 日

(21) 申請案號：108125152

(22) 申請日：中華民國 108 (2019) 年 07 月 17 日

(51) Int. Cl. : H01L29/778 (2006.01)

H01L29/04 (2006.01)

(71) 申請人：世界先進積體電路股份有限公司 (中華民國) VANGUARD INTERNATIONAL SEMICONDUCTOR CORPORATION (TW)

新竹縣園區三路 123 號

(72) 發明人：陳志諺 CHEN, CHIH-YEN (TW)

(74) 代理人：洪澄文

(56) 參考文獻：

CN 104465741A

US 2002/0047113A1

US 2002/0167023A1

US 2009/0057684A1

審查人員：陳聖

申請專利範圍項數：18 項 圖式數：7 共 27 頁

(54) 名稱

半導體裝置及其製造方法

(57) 摘要

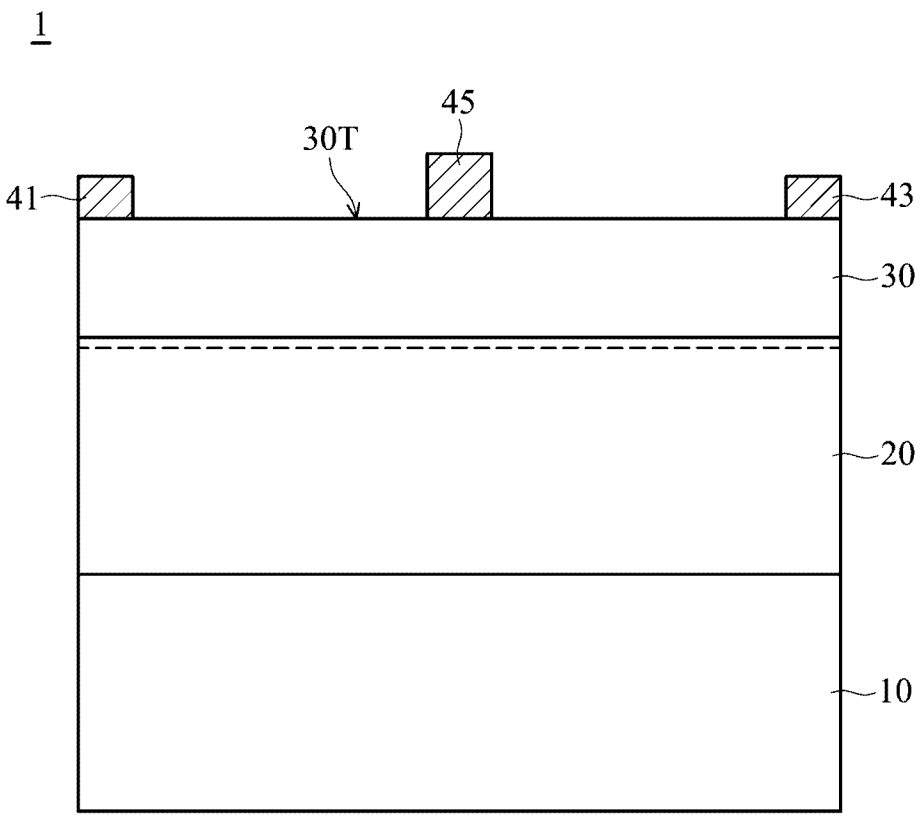
一種半導體裝置包括一基板及一第一 III-V 族化合物層，第一 III-V 族化合物層設置於基板上。第一 III-V 族化合物層包括複數晶格且每個晶格具有一稜鏡面。半導體裝置更包括一第二 III-V 族化合物層，第二 III-V 族化合物層設置於第一 III-V 族化合物層上。半導體裝置包括一源極電極、一汲極電極及一閘極電極，其設置於第二 III-V 族化合物層上。源極電極與汲極電極在第一 III-V 族化合物層界定一通道區，通道區中具有複數個載子通道。稜鏡面的法線方向定義一 m 軸，且每個載子通道平行於 m 軸。

A semiconductor device includes a substrate and a first III-V compound layer disposed on the substrate. The first III-V compound layer includes a plurality of crystal lattices and each of the crystal lattices has a prism plane. The semiconductor device further includes a second III-V compound layer disposed on the first III-V compound layer. The semiconductor device includes a source electrode, a drain electrode and a gate electrode disposed on the second III-V compound layer. The source electrode and the drain electrode define a channel region that has a plurality of channels of charge carriers in the first III-V compound layer. The normal direction of the prism plane defines an m-axis, and each of the channels of the charge carriers is parallel with the m-axis.

指定代表圖：

符號簡單說明：

- 1: 半導體裝置
- 10: 基板
- 20: 第一 III-V 族化合物層
- 30: 第二 III-V 族化合物層
- 30T: 頂表面
- 41: 源極電極
- 43: 汲極電極
- 45: 閘極電極



第 4 圖



I768222

## 【發明摘要】

【中文發明名稱】半導體裝置及其製造方法

【英文發明名稱】SEMICONDUCTOR DEVICE AND  
MANUFACTURING METHOD OF THE SAME

## 【中文】

一種半導體裝置包括一基板及一第一III-V族化合物層，第一III-V族化合物層設置於基板上。第一III-V族化合物層包括複數晶格且每個晶格具有一稜鏡面。半導體裝置更包括一第二III-V族化合物層，第二III-V族化合物層設置於第一III-V族化合物層上。半導體裝置包括一源極電極、一汲極電極及一閘極電極，其設置於第二III-V族化合物層上。源極電極與汲極電極在第一III-V族化合物層界定一通道區，通道區中具有複數個載子通道。稜鏡面的法線方向定義一m軸，且每個載子通道平行於m軸。

## 【英文】

A semiconductor device includes a substrate and a first III-V compound layer disposed on the substrate. The first III-V compound layer includes a plurality of crystal lattices and each of the crystal lattices has a prism plane. The semiconductor device further includes a second III-V compound layer disposed on the first III-V compound layer. The semiconductor device includes a source electrode, a

drain electrode and a gate electrode disposed on the second III-V compound layer. The source electrode and the drain electrode define a channel region that has a plurality of channels of charge carriers in the first III-V compound layer. The normal direction of the prism plane defines an m-axis, and each of the channels of the charge carriers is parallel with the m-axis.

【指定代表圖】：第 4 圖。

【代表圖之符號簡單說明】：

1~半導體裝置

10~基板

20~第一III-V族化合物層

30~第二III-V族化合物層

30T~頂表面

41~源極電極

43~汲極電極

45~閘極電極

## 【發明說明書】

【中文發明名稱】半導體裝置及其製造方法

【英文發明名稱】SEMICONDUCTOR DEVICE AND  
MANUFACTURING METHOD OF THE SAME

### 【技術領域】

【0001】 本揭露實施例係有關於一種半導體裝置，且特別有關於一種用於高電子遷移率電晶體 (high electron mobility transistors, HEMT) 元件的半導體裝置。

### 【先前技術】

【0002】 在半導體工業中，氮化鎵 (gallium nitride, GaN) 由於其特性常被用來形成各種積體電路元件，例如：高電子遷移率電晶體 (HEMT) 元件。高電子遷移率電晶體又稱為異質結構場效電晶體 (heterostructure FET, HFET) 或調變摻雜場效電晶體 (modulation-doped FET, MODFET)，其由具有不同能隙 (energy gap) 的半導體材料組成。在鄰近不同半導體材料的所形成界面處會產生二維電子氣 (two dimensional electron gas, 2 DEG) 層。由於二維電子氣的高電子移動性，高電子遷移率電晶體可以具有高崩潰電壓、高電子遷移率與低輸入電容等優點，因而適合用於高功率元件上。

【0003】 然而，現有的高電子遷移率電晶體雖大致符合需求，但並非在每個方面皆令人滿意，仍需進一步改良，以提升效能並具有更廣泛的應用。

**【發明內容】**

**【0004】** 本揭露實施例包括一種半導體裝置。半導體裝置包括一基板及一第一III-V族化合物層，第一III-V族化合物層設置於基板上。第一III-V族化合物層包括複數晶格且每個晶格具有一稜鏡面。半導體裝置更包括一第二III-V族化合物層，第二III-V族化合物層設置於第一III-V族化合物層上。半導體裝置包括一源極電極、一汲極電極及一閘極電極，其設置於第二III-V族化合物層上。源極電極與汲極電極在第一III-V族化合物層界定一通道區，通道區中具有複數個載子通道。稜鏡面的法線方向定義一m軸，且每個載子通道平行於m軸。

**【0005】** 本揭露實施例包括一種半導體裝置。半導體裝置包括一基板及一第一III-V族化合物層，第一III-V族化合物層設置於基板上。第一III-V族化合物層包括複數晶格且每個晶格具有一m平面。半導體裝置更包括一第二III-V族化合物層，第二III-V族化合物層設置於第一III-V族化合物層上。半導體裝置包括一源極電極、一汲極電極及一閘極電極，其設置於第二III-V族化合物層上。源極電極與汲極電極在第一III-V族化合物層界定一通道區，通道區中具有複數個載子通道。每個載子通道平行於m平面的法線方向。

**【0006】** 本揭露實施例包括一種半導體裝置的製造方法。此製造方法包括形成並提供一基板。此製造方法還包括在基板上形成一第一III-V族化合物層。第一III-V族化合物層包括複數晶格且每個晶格具有一稜鏡面。此製造方法包括在第一III-V族化合物層上形成一第二III-V族化合物層。此製造方法進一步包括在第二III-V族

化合物層上形成一源極電極、一汲極電極及一閘極電極。源極電極與汲極電極在第一III-V族化合物層界定一通道區，通道區中具有複數個載子通道。稜鏡面的法線方向定義一m軸，且每個載子通道平行於m軸。

### 【圖式簡單說明】

【0007】 以下將配合所附圖式詳述本揭露實施例。應注意的是，各種特徵部件並未按照比例繪製且僅用以說明例示。事實上，元件的尺寸可能經放大或縮小，以清楚地表現出本揭露實施例的技術特徵。

第1圖至第4圖是根據本揭露的一些實施例，說明形成第4圖所示之半導體裝置在各個不同製程階段的部分剖面示意圖。

第5A圖顯示基板與第一III-V族化合物層的部分俯視示意圖。

第5B圖顯示單一晶格的放大俯視示意圖。

第6圖顯示單一晶格的立體示意圖。

第7圖繪示本揭露一實施例之半導體裝置的部分俯視示意圖。

### 【實施方式】

【0008】 以下的揭露內容提供許多不同的實施例或範例以實施本案的不同特徵。以下的揭露內容敘述各個構件及其排列方式的特定範例，以簡化說明。當然，這些特定的範例並非用以限定。例如，若是本揭露實施例敘述了一第一特徵部件形成於一第二特徵部件之上或上方，即表示其可能包含上述第一特徵部件與上述第二特徵部件是直接接觸的實施例，亦可能包含了有附加特徵部件形成於

上述第一特徵部件與上述第二特徵部件之間，而使上述第一特徵部件與第二特徵部件可能未直接接觸的實施例。

**【0009】** 應理解的是，額外的操作步驟可實施於所述方法之前、之間或之後，且在所述方法的其他實施例中，部分的操作步驟可被取代或省略。

**【0010】** 此外，其中可能用到與空間相關用詞，例如「在... 下方」、「下方」、「較低的」、「在... 上方」、「上方」、「較高的」及類似的用詞，這些空間相關用詞係為了便於描述圖示中一個(些)元件或特徵部件與另一個(些)元件或特徵部件之間的關係，這些空間相關用詞包括使用中或操作中的裝置之不同方位，以及圖式中所描述的方位。當裝置被轉向不同方位時(旋轉90度或其他方位)，則其中所使用的空間相關形容詞也將依轉向後的方位來解釋。

**【0011】** 在說明書中，「約」、「大約」、「大抵」之用語通常表示在一給定值或範圍的20%之內，或10%之內，或5%之內，或3%之內，或2%之內，或1%之內，或0.5%之內。在此給定的數量為大約的數量，亦即在沒有特定說明「約」、「大約」、「大抵」的情況下，仍可隱含「約」、「大約」、「大抵」之含義。

**【0012】** 除非另外定義，在此使用的全部用語(包括技術及科學用語)具有與此篇揭露所屬之一般技藝者所通常理解的相同涵義。能理解的是，這些用語，例如在通常使用的字典中定義的用語，應被解讀成具有與相關技術及本揭露的背景或上下文一致的意思，而不應以一理想化或過度正式的方式解讀，除非在本揭露實施例有特別定義。

**【0013】** 以下所揭露之不同實施例可能重複使用相同的參考符



號及/或標記。這些重複係為了簡化與清晰的目的，並非用以限定所討論的不同實施例及/或結構之間有特定的關係。

**【0014】** 導通電阻( $R_{on}$ )為影響半導體裝置之耗電量的重要因素，其電阻值正比於半導體裝置的耗電量。本揭露實施例提供了半導體裝置及其製造方法，特別適用於高電子遷移率電晶體(HEMT)元件。在本揭露實施例之半導體裝置中，透過將半導體裝置的載子(charge carrier)通道(或源極電極與汲極電極)相對於III-V族化合物層(例如，氮化鎵(GaN))的晶格以特定方向設置，能有效降低半導體裝置的導通電阻。以下將參考圖式所示的實施例進行說明。

**【0015】** 第1圖至第4圖是根據本揭露的一些實施例，說明形成第4圖所示之半導體裝置1在各個不同製程階段的部分剖面示意圖。要注意的是，為了更清楚顯示本揭露實施例的特徵，第1圖至第4圖中可能省略部分元件。

**【0016】** 參照第1圖，提供一基板10。在一些實施例中，基板10可為半導體基板，例如矽基板、矽鍺基板、砷化鎵基板、或類似的半導體基板。在一些實施例中，基板10可為半導體位於絕緣體之上的基板，例如絕緣層上的矽(silicon on insulator, SOI)基板。在一些實施例中，基板10可為玻璃基板或陶瓷基板，例如碳化矽(silicon carbide, SiC)基板、氮化鋁(aluminium nitride, AlN)基板、或藍寶石(Sapphire)基板。然而，本揭露實施例並非此為限。

**【0017】** 在一些實施例中，基板10為一QST基板。在此，QST基板是指美國Qromis Technology, Inc.所生產的基板。舉例來說，QST基板可包括一核心(core)、一阻障層(barrier layer)、一接合層(bonding layer)及一生長層(single crystalline layer)。

第5頁，共16頁(發明說明書)

在一些實施例中，阻障層可封裝核心，接合層可設置於阻障層之上，生長層可設置於接合層之上，但本揭露實施例並非此為限。

**【0018】** 在一些實施例中，核心的材料可包括多晶陶瓷材料，例如多晶氮化鋁(aluminium nitride, AlN)、多晶氮化鎵(GaN)、多晶氮化鎵鋁(aluminium gallium nitride, AlGaN)、多晶碳化矽(SiC)、多晶氧化鋅(zinc oxide, ZnO)、多晶三氧化鎵(gallium(III) trioxide, Ga<sub>2</sub>O<sub>3</sub>)、其他適合之材料或前述之組合所形成，但本揭露實施例並非以此為限。在一些實施例中，多晶陶瓷材料可包括諸如氧化鈮(yttrium oxide, 即, yttria)之黏合材料。

**【0019】** 在一些實施例中，阻障層的材料可為非晶材料，例如氮化矽、碳氮化矽(silicon carbonitride, SiCN)、氮氧化矽(silicon oxynitride, SiON)、氮化鋁(aluminum nitride, AlN)、碳化矽(silicon carbide, SiC)、其他適合之材料或前述之組合，但本揭露實施例並非以此為限。在一些實施例中，阻障層可透過低壓化學氣相沉積(low-pressure chemical vapor deposition, LPCVD)製程所形成，但本揭露實施例並非以此為限。在一些實施例中，阻障層可為一或多層結構，其包含以複合方式層疊之一或多種材料，但本揭露實施例並非以此為限。

**【0020】** 在一些實施例中，阻障層可用於防止核心中之成分(例如，氧化鈮、氧、金屬雜質、其他微量元素等)擴散及/或釋放進入半導體處理腔室之環境中。在半導體處理腔室中，QST基板可例如在高溫(例如，1,000°C)下磊晶生長。

**【0021】** 在一些實施例中，接合層的材料可包括氧化矽、氮化矽、氮氧化矽、其他適合之材料或前述之組合。在一些實施例中，

接合層可藉由化學氣相沉積法(CVD)、原子層沉積法(atomic layer deposition, ALD)或旋轉塗佈法形成於阻障層之(部分)頂表面。舉例而言，前述化學氣相沉積法可為低壓化學氣相沉積法(LPCVD)、低溫化學氣相沉積法(low temperature chemical vapor deposition, LTCVD)、快速升溫化學氣相沉積法(rapid thermal chemical vapor deposition, RTCVD)或電漿輔助化學氣相沉積法(plasma enhanced chemical vapor deposition, PECVD)。

【0022】 在一些實施例中，生長層的材料可包括矽(Si)、氮化鋁(AlN)、氮化鎵(GaN)、氮化鋁鎵(AlGaIn)、碳化矽(SiC)、其他適合之材料或前述之組合所形成，但本揭露實施例並非以此為限。生長層可以是單層或多層結構。在一些實施例中，生長層可由磊晶成長製程形成，例如金屬有機化學氣相沉積(metal organic chemical vapor deposition, MOCVD)、氫化物氣相磊晶法(hydride vapor phase epitaxy, HVPE)、分子束磊晶法(molecular beam epitaxy, MBE)、其他適合之方法或前述之組合所形成，但本揭露實施例並非以此為限。

【0023】 在一些實施例中，基板10可進一步包括複數黏合層(adhesion layer)及一導電層。黏合層及導電層可設置於核心與阻障層之間。舉例來說，黏合層可設置於核心與導電層之間，且黏合層可設置於導電層與阻障層之間，但本揭露實施例並非以此為限。

【0024】 在一些實施例中，黏合層的材料可包括正矽酸四乙酯(tetraethyl orthosilicate, TEOS)、氧化矽( $\text{Si}_x\text{O}_y$ )、其他適合之材料或前述之組合，但本揭露實施例並非以此為限。在一些實施例中，黏合層可藉由化學氣相沉積法(CVD)、原子層沉積法(ALD)

或旋轉塗佈法形成核心的周圍。

【0025】 在一些實施例中，導電層可包括經摻雜(例如，摻雜硼)的高導電材料。在一些實施例中，摻雜濃度可介於 $1 \times 10^{19} \text{cm}^{-3}$ 至 $1 \times 10^{20} \text{cm}^{-3}$ ，以提供高導電性。不同摻雜濃度之其他摻雜劑(例如，摻雜濃度在 $1 \times 10^{16} \text{cm}^{-3}$ 至 $5 \times 10^{18} \text{cm}^{-3}$ 之間的磷、砷、鉍等等)也可用於提供適於在導電層中使用之N型或者P型半導體材料，但本創作實施例並非以此為限。

【0026】 QST基板的詳細結構可參考在2017年6月13日提交之美國專利申請案第15/621,335號及在2017年6月13日提交之美國專利申請案第15/621,335號，在此不多加贅述。然而，本揭露實施例並非以此為限。

【0027】 參照第2圖，在基板10上形成一第一III-V族化合物層20。在一些實施例中，第一III-V族化合物層20的材料可包含一或多種III-V族化合物半導體材料，例如，III族氮化物。在一些實施例中，第一III-V族化合物層20的材料可包括氮化鎵(GaN)、氮化鋁鎵(AlGaN)、氮化銦鎵(indium gallium nitride, InGaN)、氮化銦鎵鋁(indium gallium aluminium nitride, InGaAlN)、類似的材料或前述之組合。在一些實施例中，第一III-V族化合物層20的厚度可介於 $0.01 \mu\text{m}$ 至 $10 \mu\text{m}$ 之間。在一些實施例中，第一III-V族化合物層20可具有摻雜物，例如n型摻雜物或p型摻雜物。第一III-V族化合物層20可由磊晶成長製程形成，例如金屬有機化學氣相沉積(MOCVD)、氮化物氣相磊晶法(HVPE)、分子束磊晶法(MBE)、其他適合之方法或前述之組合所形成。舉例來說，第一III-V族化合物層20可使用含鎵的前驅物以及含氮的前驅物，藉由

第8頁，共16頁(發明說明書)

金屬有機化學氣相沉積(MOCVD)磊晶長成。含鎵的前驅物可包括三甲基鎵(trimethylgallium, TMG)、三乙基鎵(triethylgallium, TEG)、或其他合適的化學品；含氮的前驅物包括氨(ammonia, NH<sub>3</sub>)、叔丁胺(tertiarybutylamine, TBAm)、苯肼(phenylhydrazine)或其他合適的化學品。然而，本揭露實施例並非以此為限。

【0028】 參照第3圖，在第一III-V族化合物層20上形成一第二III-V族化合物層30。在一些實施例中，第二III-V族化合物層30的材料可包含一或多種III-V族化合物半導體，例如，III族氮化物。在一些實施例中，第二III-V族化合物層30的材料可包括氮化鋁鎵(AlGa<sub>2</sub>N)、氮化鋁銦(aluminium indium nitride, AlInN)、氮化銦鎵鋁(InGaAlN)、類似的材料或前述之組合。在一些實施例中，第二III-V族化合物層30的厚度可介於1 nm至500 nm之間。在一些實施例中，第二III-V族化合物層30可具有摻雜物，例如n型摻雜物或p型摻雜物。第二III-V族化合物層30可由磊晶成長製程形成，例如金屬有機化學氣相沉積(MOCVD)、氮化物氣相磊晶法(HVPE)、分子束磊晶法(MBE)、其他適合之方法或前述之組合所形成。舉例來說，第二III-V族化合物層30可使用含鋁的前驅物、含鎵的前驅物以及含氮的前驅物，藉由有機金屬氣相磊晶法(MOCVD)磊晶長成。含鋁的前驅物包含三甲基鋁(trimethylaluminum, TMA)、三乙基鋁(triethylaluminum, TEA)、或其他合適的化學品；含鎵的前驅物包含三甲基鎵(TM<sub>3</sub>G)、三乙基鎵(TE<sub>3</sub>G)或其他合適的化學品；含氮的前驅物包含氨(NH<sub>3</sub>)、叔丁胺(TBAm)、苯肼(phenylhydrazine)或其他合適的化學品。然而，本揭露實施例並非以此為

限。

【0029】 參照第4圖，在第二III-V族化合物層30上形成一源極電極41、一汲極電極43及一閘極電極45，以形成半導體裝置1。在本揭露實施例中，源極電極41、汲極電極43及閘極電極45可以特定方式排列，後方將參照圖式進行詳細說明。

【0030】 在一些實施例中，源極電極41的材料可包含導電材料，例如金屬、金屬矽化物、半導體材料、其他合適的材料或前述材料之組合。金屬可以是金(Au)、鎳(Ni)、鉑(Pt)、鈀(Pd)、銱(Ir)、鈦(Ti)、鉻(Cr)、鎢(W)、鋁(Al)、銅(Cu)、前述之組合、前述之合金或前述之多層。半導體材料可以是多晶矽或多晶鍺。然而，本揭露實施例並非以此為限。在一些實施例中，汲極電極43的材料可與源極電極41的材料相同或相似，在此不多加贅述。

【0031】 形成源極電極41與汲極電極43的步驟可包含將導電材料沉積於第二III-V族化合物層30之上，並對此導電材料執行圖案化製程，以形成源極電極41與汲極電極43於第二III-V族化合物層30的頂表面30T之上。形成導電材料的沉積製程可包括原子層沉積(ALD)、化學氣相沉積(CVD)、物理氣相沉積(physical vapor deposition, PVD)(例如，濺鍍)、其他合適的製程或前述之組合。要特別注意的是。雖然第4圖顯示源極電極41與汲極電極43形成於第二III-V族化合物層30的頂表面30T之上，但本揭露實施例並非以此為限。在一些實施例中，部分的源極電極41與部分的汲極電極43也可形成於第二III-V族化合物層30內，或者可連接至第一III-V族化合物層20，可依實際需求調整。

【0032】 在一些實施例中，閘極電極45的材料可包含導電材

料，例如金屬、金屬矽化物、半導體材料、其他合適的材料或前述材料之組合。金屬可以是金(Au)、鎳(Ni)、鉑(Pt)、鈀(Pd)、銱(Ir)、鈦(Ti)、鉻(Cr)、鎢(W)、鋁(Al)、銅(Cu)、前述之組合、前述之合金或前述之多層。半導體材料可以是多晶矽或多晶鍺。然而，本揭露實施例並非以此為限。

**【0033】** 形成閘極電極45的步驟可包含將導電材料沉積於第二III-V族化合物層30之上，並對此導電材料執行圖案化製程，以形成閘極電極45於第二III-V族化合物層30的頂表面30T之上。形成導電材料的沉積製程可包括原子層沉積(ALD)、化學氣相沉積(CVD)、物理氣相沉積(PVD)(例如，濺鍍)、其他合適的製程或前述之組合。

**【0034】** 在一些實施例中，半導體裝置1可進一步包括一摻雜的化合物半導體層(未繪示)，摻雜的化合物半導體層可形成於第二III-V族化合物層30與閘極電極45之間。在一些實施例中，摻雜的化合物半導體層可包括p型摻雜III-V族化合物，例如：p型摻雜氮化鎵。p型摻雜氮化鎵可至少以鎂(Mg)、鈣(Ca)、鋅(Zn)、鈹(Be)、及碳(C)的其中之一進行摻雜，且更額外添加其他摻質(例如，選自於由銦(Sr)、鋇(Ba)、及鐳(Ra)所組成之群組)，但本揭露實施例並非以此為限。在一些實施例中，摻雜的化合物半導體層可藉由金屬有機化學氣相沉積法(MOCVD)或其他合適的沉積製程、微影圖案化製程及蝕刻製程所形成。在一些實施例中，摻雜的化合物半導體層的厚度可介於約1 nm至約100 nm之間，但本揭露實施例並非以此為限。

**【0035】** 參照第4圖，第一III-V族化合物層20與第二III-V族

第 11 頁，共 16 頁(發明說明書)

化合物層30之間的能帶差異(band gap discontinuity)與壓電效應(piezo-electric effect)在第一III-V族化合物層20與第二III-V族化合物層30之間的界面附近產生具有高移動傳導電子的載子通道，稱為二維電子氣(two-dimensional electron gas, 2-DEG)，如第4圖之虛線所示。如第4圖所示之半導體裝置1可為利用二維電子氣(2DEG)作為導電載子的高電子遷移率電晶體(high electron mobility transistors, HEMT)。

【0036】 第5A圖顯示基板10與第一III-V族化合物層20的部分俯視示意圖。在第5A圖中，以複數晶格21排列呈現第一III-V族化合物層20，但第5A圖中所示的每個晶格21的尺寸僅為示意，晶格21相對於基板10的實際大小並非如第5A圖所示。在第5A圖所示之實施例中，是以第一III-V族化合物層20的材料是氮化鎵(GaN)進行說明，氮化鎵的晶格21屬於六方晶系(hexagonal crystal system)。第5B圖顯示單一晶格21的放大俯視示意圖。第6圖顯示單一晶格21的立體示意圖。第7圖繪示本揭露一實施例之半導體裝置1的部分俯視示意圖。

【0037】 要注意的是，為了更清楚顯示本揭露實施例的特徵，第5A圖至第7圖中可能省略部分元件。舉例來說，第7圖中僅顯示半導體裝置1的源極電極41、汲極電極43、閘極電極45以及源極電極41與汲極電極43所定義之通道區47。此外，第4圖可例如為第7圖中的線A-A'所切的剖面圖，但本揭露實施例並非以此為限。

【0038】 同時參照第5A圖、第5B圖與第6圖，晶格21具有一稜鏡面(prism plane)。在本揭露中，稜鏡面是指六方晶系之晶格21的六角柱側面的長方形平面，即晶格21的m平面



(*m*-plane)21*m*，其為本發明所屬技術領域中具有通常知識者可以理解。稜鏡面(*m*平面21*m*)屬於平面族{1-100}，舉例來說，稜鏡面可表示為平面(10-10)，但本揭露實施例並非以此為限。在其他實施例中，稜鏡面也可表示為平面(-1010)、平面(1-100)、平面(-1100)、平面(01-10)或平面(0-110)。

【0039】如第5A圖、第5B圖所示，稜鏡面的法線方向可定義一*m*軸(即第5A圖、第5B圖的標號*m*)。舉例來說，當稜鏡面為平面(10-10)，*m*軸為[10-10]；當稜鏡面為平面(-1010)，*m*軸為[-1010]；當稜鏡面為平面(1-100)，*m*軸為[1-100]；當稜鏡面為平面(-1100)，*m*軸為[-1100]；當稜鏡面為平面(01-10)，*m*軸為[01-10]；當稜鏡面為平面(0-110)，*m*軸為[0-110]。

【0040】同時參照第5A圖與第7圖，源極電極41與汲極電極43可在第一III-V族化合物層20界定一通道區47，通道區47中可具有複數個載子通道。在本揭露實施例中，每個載子通道平行於*m*軸。換言之，在本揭露實施例中，每個載子通道平行於晶格之*m*平面的法線方向。

【0041】在一些實施例中，源極電極41與汲極電極43的延伸方向可垂直於*m*軸(垂直於*m*平面的法線方向)，即源極電極41與汲極電極43沿著第5A圖與第7圖中所示之*a*軸(標號*a*)的方向延伸。在一些實施例中，源極電極41與汲極電極43沿著*m*軸(*m*平面的法線方向)的方向彼此分離。更詳細而言，如第7圖所示，在一些實施例中，源極電極41與汲極電極43彼此相對且平行設置，源極電極41面對汲極電極43的一側壁在基板10上的投影為一側邊41S，側邊41S垂直於*m*軸(垂直於*m*平面的法線方向)；或者，汲極電極43面對源極電

極41的一側壁在基板10上的投影為一側邊43S，側邊43S垂直於m軸(垂直於m平面的法線方向)。

【0042】 在本揭露的實施例中，於源極電極41與汲極電極43所界定之通道區47中移動的載子(carrier)(電子或電洞)相較於習知的半導體裝置可具有較高的載子移動率(carrier mobility)，其可對半導體裝置1的導通電阻(on-resistance,  $R_{on}$ )產生有利的影響。

【0043】 但要特別注意的是，本揭露之源極電極41、汲極電極43及閘極電極45的排列方式並非限定於第7圖所示的方式。只要通道區47中的每個載子(carrier)通道平行於m軸，便可使源極電極41與汲極電極43所界定之通道區47中移動的載子具有較高的載子移動率。

【0044】 表一為本揭露實施例之半導體裝置1與一比較例之半導體裝置的性能(performance)比較結果。本揭露實施例之半導體裝置1的結構可參考第4圖至第7圖，且本揭露實施例之半導體裝置1的通道區47中的每個載子通道平行於m軸(例如[10-10])。比較例之半導體裝置具有與本揭露實施例之半導體裝置1類似的結構，其不同之處在於，比較例之半導體裝置的通道區中的每個載子通道平行於a軸(即晶格21的a平面(a-plane)21a的法線方向，例如[11-20])(參照第5A圖、第5B圖)。

【0045】 表一

| 性能                     | 實施例   | 比較例  |
|------------------------|-------|------|
| $R_{on}$ (m $\Omega$ ) | 20.5  | 115  |
| 面積 (mm <sup>2</sup> )  | 10.38 | 5.18 |

第 14 頁，共 16 頁(發明說明書)

|                           |      |      |
|---------------------------|------|------|
| $R_{on,sp}$ (m $\Omega$ ) | 2.13 | 5.96 |
|---------------------------|------|------|

【0046】 在表一中， $R_{on}$  為導通電阻， $R_{on,sp}$  為特性導通電阻。特性導通電阻  $R_{on,sp}$  定義為每平方單位上分佈的導通電阻。如表一所示，實施例之半導體裝置 1 的特性導通電阻  $R_{on,sp}$  相較比較例之半導體裝置 1 的特性導通電阻  $R_{on,sp}$  降低了 64 %。亦即，透過將半導體裝置 1 之通道區 47 中的每個載子通道相對於第一 III-V 族化合物層 20 (GaN) 之晶格 21 以特定方向設置，能有效降低半導體裝置 1 的導通電阻。

【0047】 綜合上述，在本揭露實施例之半導體裝置中，透過將半導體裝置的通道區中的每個載子通道平行於  $m$  軸 (即形成第一 III-V 族化合物層之晶格的稜鏡面的法線方向)，能有效降低半導體裝置的導通電阻。

【0048】 前述內文概述了許多實施例的特徵部件，使本技術領域中具有通常知識者可以從各個方面更佳地了解本揭露實施例。本技術領域中具有通常知識者應可理解，且可輕易地以本揭露實施例為基礎來設計或修飾其他製程及結構，並以此達到相同的目的及/或達到與在此介紹的實施例相同之優點。本技術領域中具有通常知識者也應了解這些相等的結構並未背離本揭露實施例的發明精神與範圍。在不背離本揭露實施例的發明精神與範圍之前提下，可對本揭露實施例進行各種改變、置換或修改，因此本揭露之保護範圍當視後附之申請專利範圍所界定者為準。另外，雖然本揭露已以數個較佳實施例揭露如上，然其並非用以限定本揭露，且並非所有優點都已於此詳加說明。

【0049】 本揭露之每一請求項可為個別的實施例，且本揭露

之範圍包括本揭露之每一請求項及每一實施例彼此之結合。

**【符號說明】**

**【0050】**

1~半導體裝置

10~基板

20~第一III-V族化合物層

21~晶格

21a~a平面

21m~m平面

30~第二III-V族化合物層

30T~頂表面

41~源極電極

41S~側邊

43~汲極電極

43S~側邊

45~閘極電極

47~通道區

A-A'~剖面線

a~a軸

m~m軸

## 【發明申請專利範圍】

【第1項】 一種半導體裝置，包括：

一基板；

一第一III-V族化合物層，設置於該基板上，該第一III-V族化合物層包括複數晶格且每該晶格具有一稜鏡面；

一第二III-V族化合物層，設置於該第一III-V族化合物層上；以及  
一源極電極、一汲極電極及一閘極電極，設置於該第二III-V族化合物層上，該源極電極與汲極電極在該第一III-V族化合物層界定一通道區，該通道區中具有複數個載子通道；

其中該稜鏡面的法線方向定義一m軸，且每該載子通道平行於該m軸。

【第2項】 如申請專利範圍第1項所述之半導體裝置，其中該基板為一半導體基板、一半導體位於絕緣體之上的基板、一玻璃基板或一陶瓷基板。

【第3項】 如申請專利範圍第1項所述之半導體裝置，其中該基板為一QST基板。

【第4項】 如申請專利範圍第1項所述之半導體裝置，其中該m軸為 $[10-10]$ 、 $[-1010]$ 、 $[1-100]$ 、 $[-1100]$ 、 $[01-10]$ 及 $[0-110]$ 的其中之一。

【第5項】 如申請專利範圍第1項所述之半導體裝置，其中該源極電極與汲極電極彼此相對，且該源極電極面對該汲極電極的一側壁在該基板上的投影垂直於該m軸。

【第6項】 如申請專利範圍第1項所述之半導體裝置，其中該源

極電極與該汲極電極沿著該  $m$  軸的方向彼此分離。

【第7項】 一種半導體裝置，包括：

一基板；

一第一III-V族化合物層，設置於該基板上，該第一III-V族化合物層包括複數晶格且每該晶格具有一  $m$  平面；

一第二III-V族化合物層，設置於該第一III-V族化合物層上；以及  
一源極電極、一汲極電極及一閘極電極，設置於該第二III-V族化合物層上，該源極電極與汲極電極在該第一III-V族化合物層界定一通道區，該通道區中具有複數個載子通道；

其中每該載子通道平行於該  $m$  平面的法線方向。

【第8項】 如申請專利範圍第7項所述之半導體裝置，其中該基板為一半導體基板、一半導體位於絕緣體之上的基板、一玻璃基板或一陶瓷基板。

【第9項】 如申請專利範圍第7項所述之半導體裝置，其中該基板為一QST基板。

【第10項】 如申請專利範圍第7項所述之半導體裝置，其中該  $m$  平面為平面(10-10)、平面(-1010)、平面(1-100)、平面(-1100)、平面(01-10)及平面(0-110)的其中之一。

【第11項】 如申請專利範圍第7項所述之半導體裝置，其中該源極電極與該汲極電極彼此相對，且該源極電極面對該汲極電極的一側壁在該基板上的投影垂直於該  $m$  平面的法線方向。

【第12項】 如申請專利範圍第7項所述之半導體裝置，其中該源極電極與該汲極電極沿著該  $m$  平面的法線方向彼此分離。

【第13項】 一種半導體裝置的製造方法，包括：

第2頁，共3頁(發明申請專利範圍)

形成並提供一基板；

在該基板上形成一第一III-V族化合物層，其中該第一III-V族化合物層包括複數晶格且每該晶格具有一稜鏡面；

在該第一III-V族化合物層上形成一第二III-V族化合物層；及

在該第二III-V族化合物層上形成一源極電極、一汲極電極及一閘極電極，其中該源極電極與該汲極電極在該第一III-V族化合物層界定一通道區，該通道區中具有複數個載子通道；

其中該稜鏡面的法線方向定義一m軸，且每該載子通道平行於該m軸。

【第14項】如申請專利範圍第13項所述之製造方法，其中該基板為一半導體基板、一半導體位於絕緣體之上的基板、一玻璃基板或一陶瓷基板。

【第15項】如申請專利範圍第13項所述之製造方法，其中該基板為一QST基板。

【第16項】如申請專利範圍第13項所述之製造方法，其中該m軸為[10-10]、[-1010]、[1-100]、[-1100]、[01-10]及[0-110]的其中之一。

【第17項】如申請專利範圍第13項所述之製造方法，其中該源極電極與汲極電極彼此相對，且該源極電極面對該汲極電極的一側壁在該基板上的投影垂直於該m軸。

【第18項】如申請專利範圍第13項所述之製造方法，其中該源極電極與該汲極電極沿著該m軸的方向彼此分離。

【發明圖式】

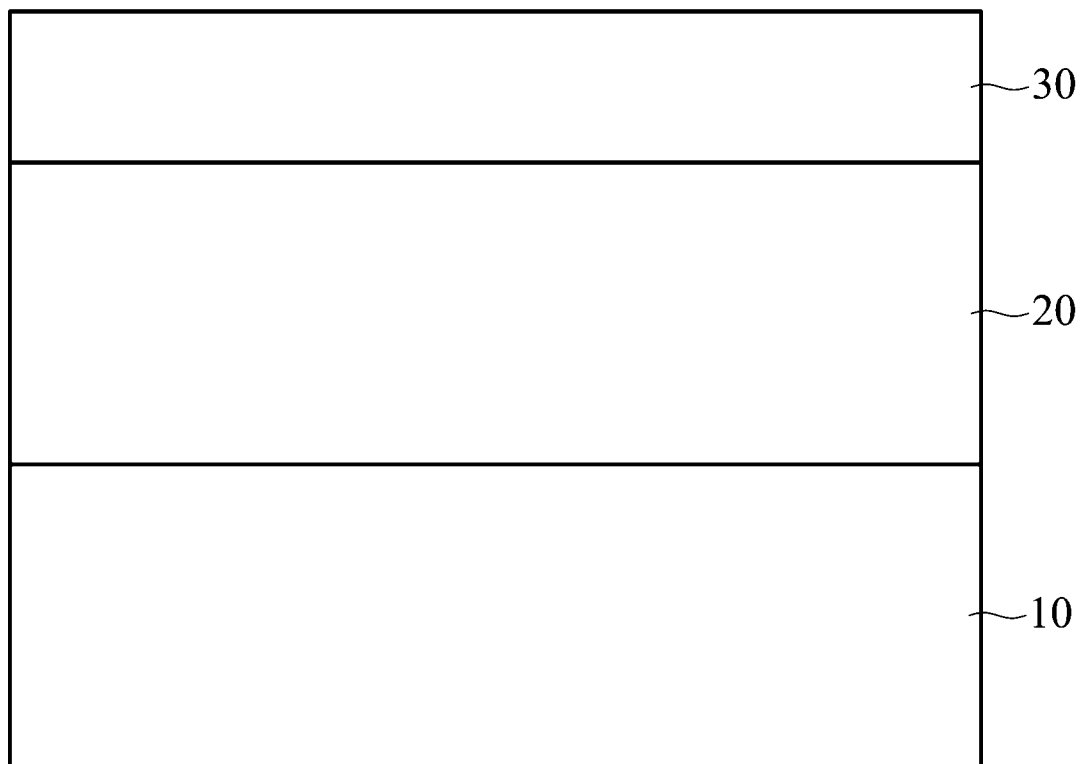


第 1 圖

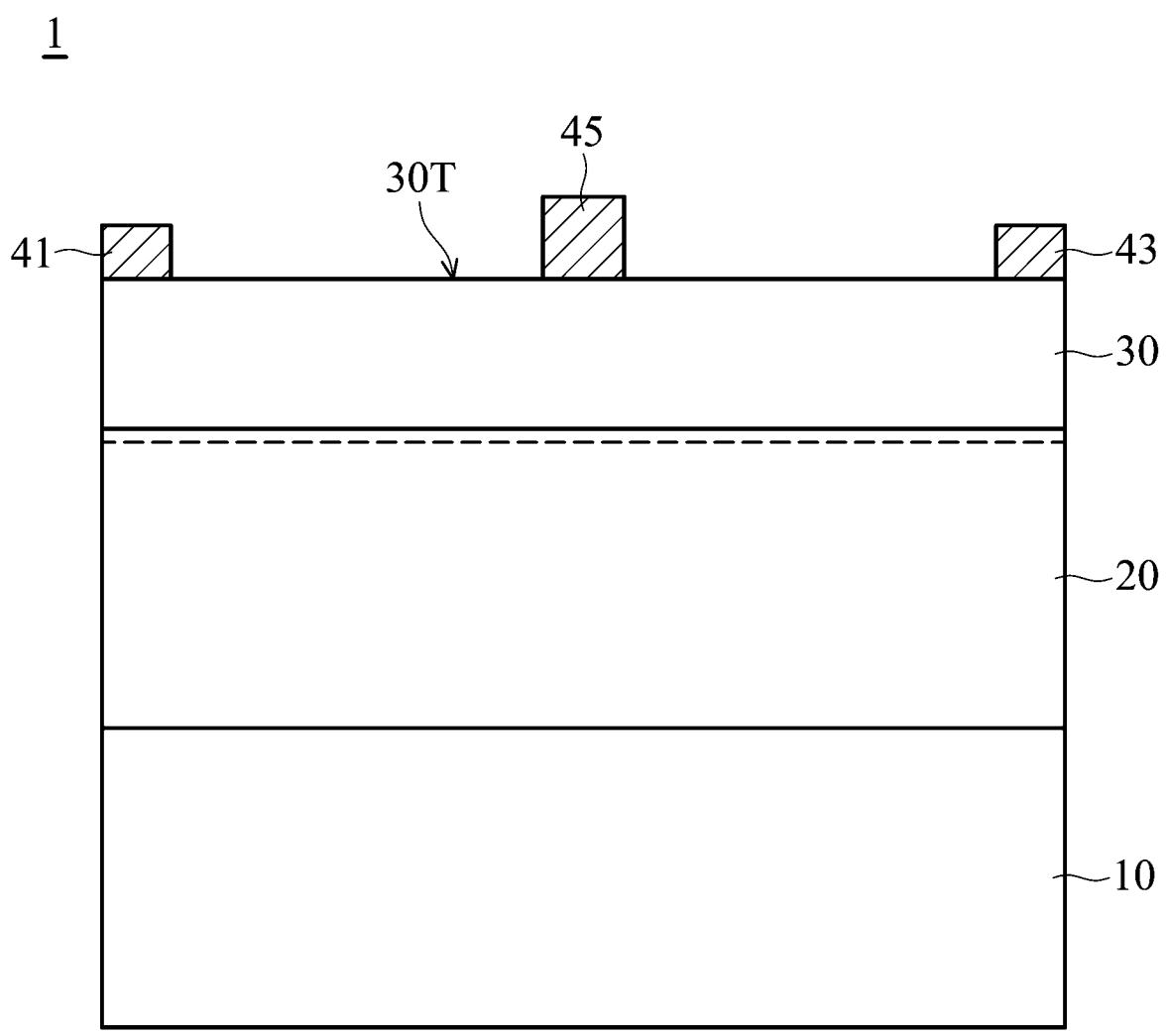


第 2 圖

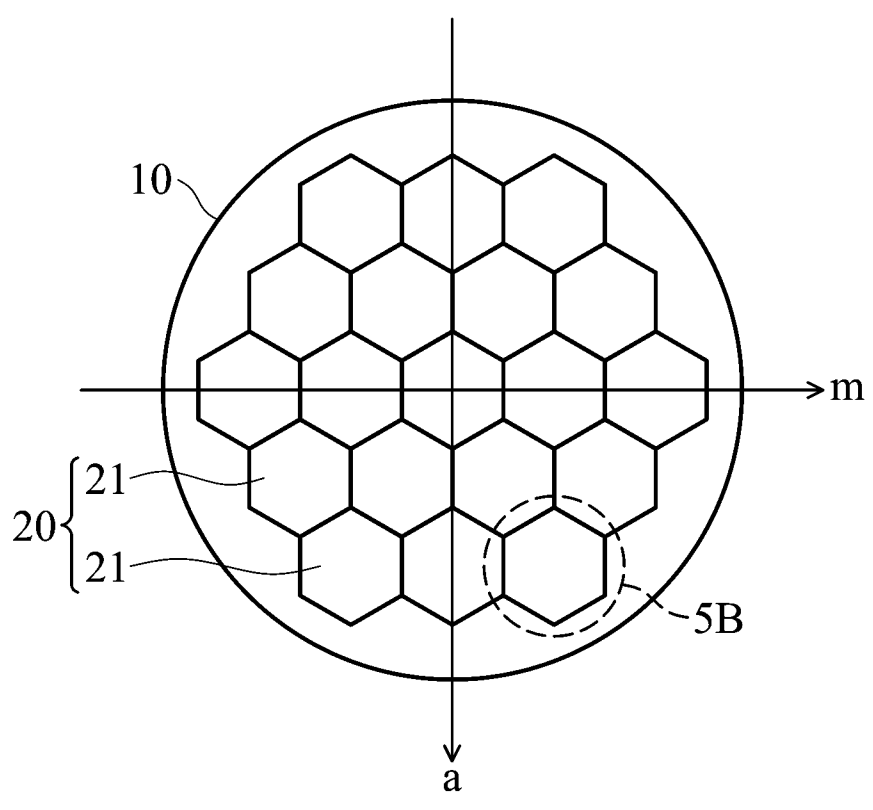




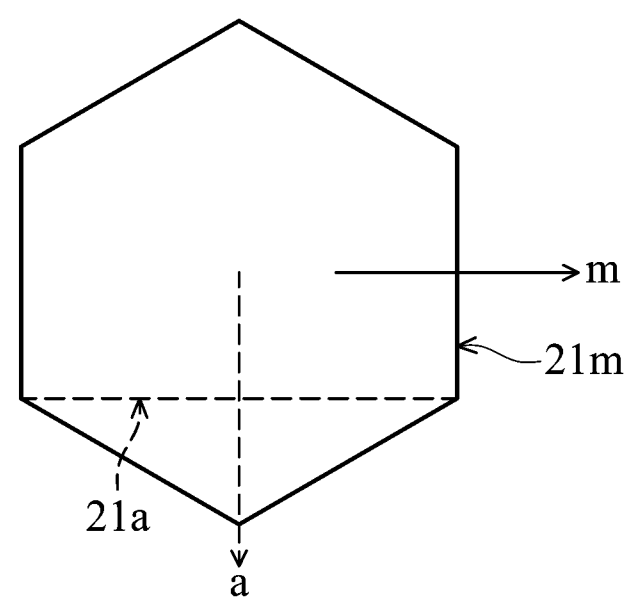
第 3 圖



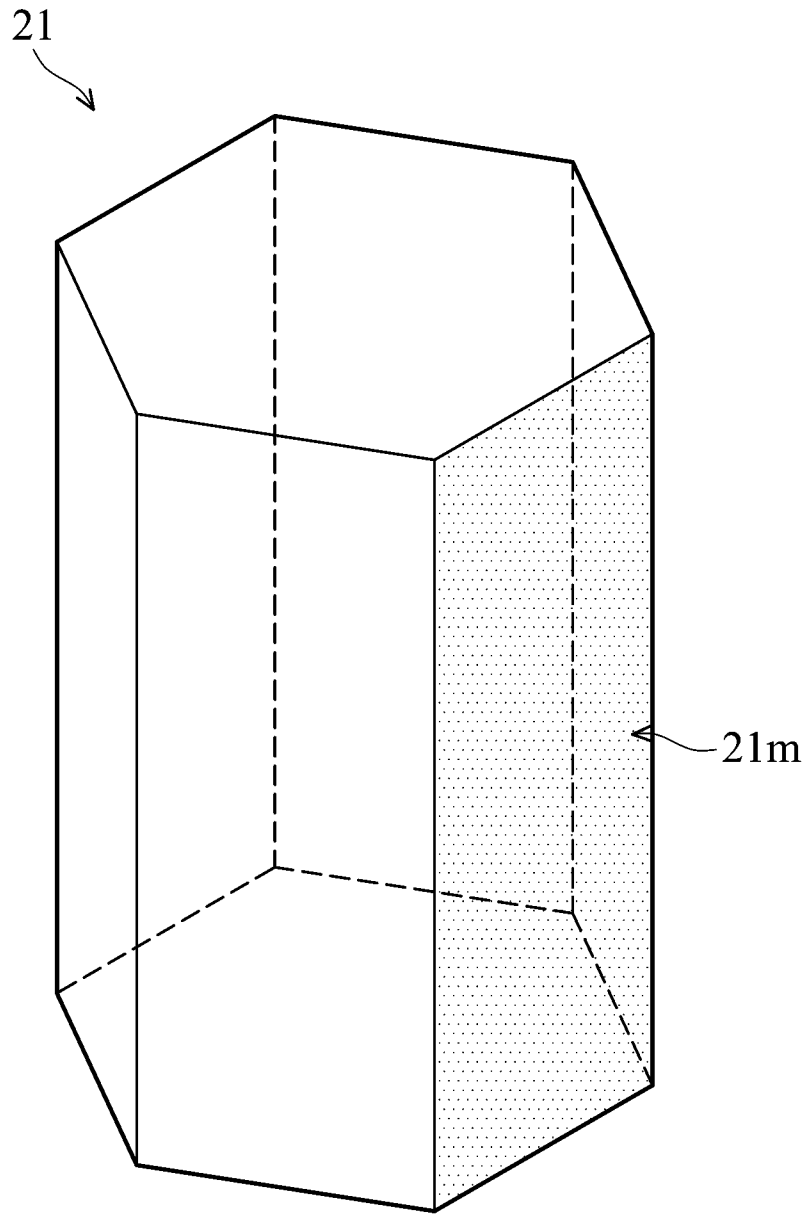
第 4 圖



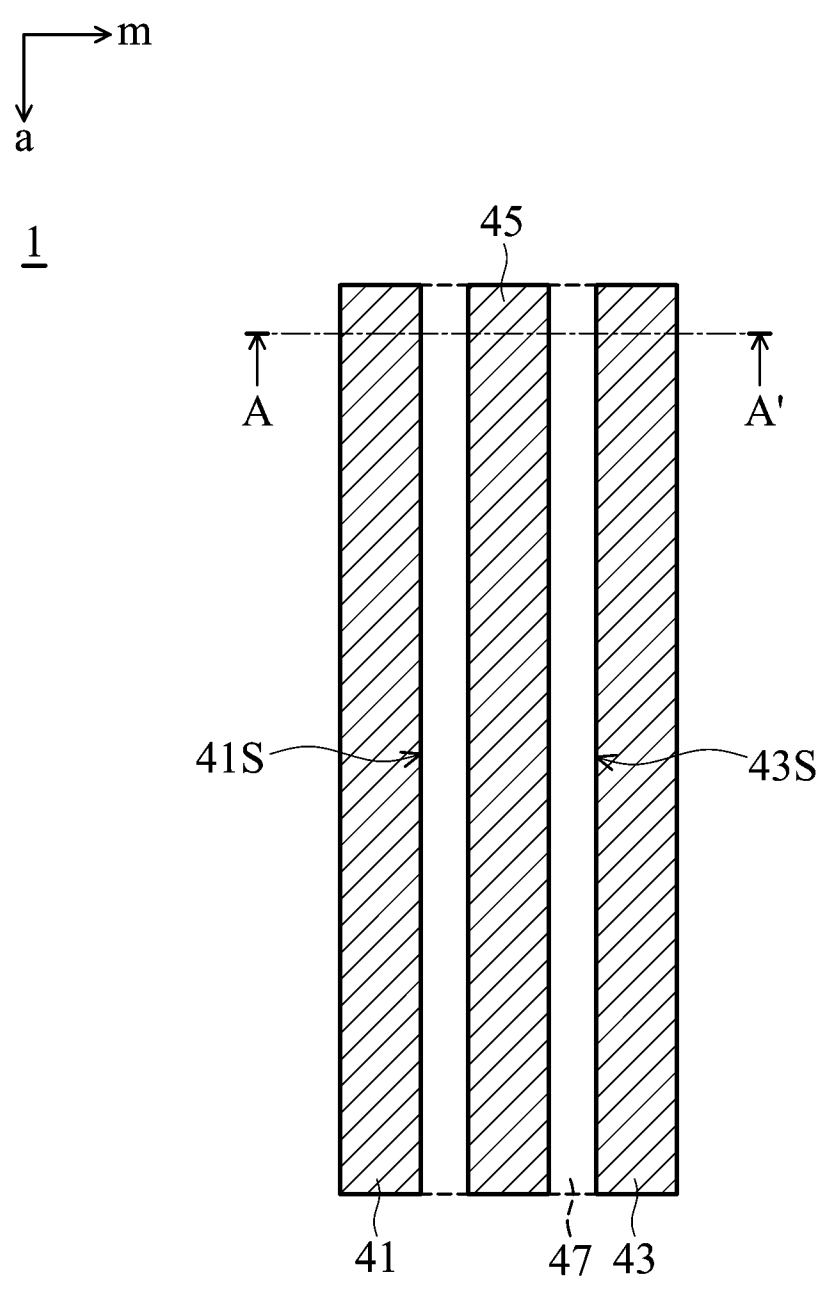
第 5A 圖



第 5B 圖



第 6 圖



第 7 圖