



(12)发明专利

(10)授权公告号 CN 106783887 B

(45)授权公告日 2019.12.24

(21)申请号 201710002822.7

(22)申请日 2017.01.03

(65)同一申请的已公布的文献号
申请公布号 CN 106783887 A

(43)申请公布日 2017.05.31

(73)专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
专利权人 合肥京东方光电科技有限公司

(72)发明人 占建英 冯思林 张俊 沈奇雨

(74)专利代理机构 北京中博世达专利商标代理
有限公司 11274

代理人 申健

(51)Int.Cl.

H01L 27/12(2006.01)

H01L 21/77(2017.01)

(56)对比文件

CN 103474472 A,2013.12.25,

CN 102751295 A,2012.10.24,

CN 104821339 A,2015.08.05,

CN 102117836 A,2011.07.06,

审查员 杨敏

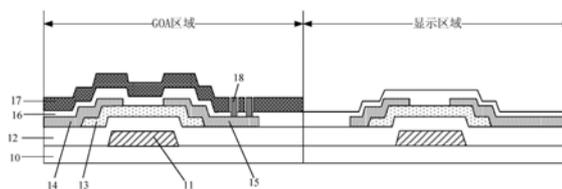
权利要求书1页 说明书5页 附图5页

(54)发明名称

一种阵列基板及其制备方法、显示装置

(57)摘要

本发明提供一种阵列基板及其制备方法、显示装置,涉及显示技术领域,可提高显示效果。所述阵列基板包括:GOA区域,所述GOA区域设置有薄膜晶体管,所述薄膜晶体管包括依次设置在衬底上的栅极、栅绝缘层、有源层、源极和漏极;所述阵列基板还包括依次设置在所述源极和所述漏极远离所述衬底一侧的钝化层和导电层;其中,所述导电层在所述衬底上的正投影与所述有源层在所述衬底上的正投影重叠。



1. 一种阵列基板,包括GOA区域,所述GOA区域设置有薄膜晶体管,其特征在于,所述薄膜晶体管包括依次设置在衬底上的栅极、栅绝缘层、有源层、源极和漏极;所述阵列基板还包括依次设置在所述源极和所述漏极远离所述衬底一侧的钝化层和导电层;

其中,所述导电层在所述衬底上的正投影与所述有源层在所述衬底上的正投影重叠;

所述导电层在有源层与栅绝缘层界面处形成有导电层背沟道,在有源层与钝化层界面处形成有导电层前沟道,向所述导电层输入低电压信号,当所述薄膜晶体管关闭时,所述导电层背沟道产生的漏电流与栅极前沟道产生的漏电流相互作用而抵消,所述导电层前沟道产生的漏电流与栅极背沟道产生的漏电流相互作用而抵消,以降低所述GOA区域内薄膜晶体管的漏电流;

所述导电层包括镂空部分,所述镂空部分内设置有导电结构,所述导电结构与所述导电层绝缘;

所述钝化层上设置有过孔,所述导电结构通过所述过孔与所述漏极电连接;

所述导电结构用作测试电极。

2. 根据权利要求1所述的阵列基板,其特征在于,所述导电层覆盖所述GOA区域。

3. 根据权利要求1或2所述的阵列基板,其特征在于,所述导电层为金属导电层。

4. 根据权利要求3所述的阵列基板,其特征在于,所述金属导电层的材料为遮光材料。

5. 一种阵列基板的制备方法,所述阵列基板包括GOA区域,所述GOA区域形成有薄膜晶体管,其特征在于,所述薄膜晶体管包括依次形成在衬底上的栅极、栅绝缘层、有源层、源极和漏极;所述阵列基板还包括依次形成在所述源极和所述漏极远离所述衬底一侧的钝化层和导电层;

其中,所述导电层在所述衬底上的正投影与所述有源层在所述衬底上的正投影重叠;

所述导电层在有源层与栅绝缘层界面处形成导电层背沟道,在有源层与钝化层界面处形成导电层前沟道,向所述导电层输入低电压信号,当所述薄膜晶体管关闭时,所述导电层背沟道产生的漏电流与栅极前沟道产生的漏电流相互作用而抵消,所述导电层前沟道产生的漏电流与栅极背沟道产生的漏电流相互作用而抵消,以降低所述GOA区域内薄膜晶体管的漏电流;

所述导电层包括镂空部分,所述镂空部分内形成有导电结构,所述导电结构与所述导电层绝缘;

所述钝化层上形成过孔,所述导电结构通过所述过孔与所述漏极电连接;

所述导电结构用作测试电极。

6. 根据权利要求5所述的制备方法,其特征在于,所述导电层覆盖所述GOA区域。

7. 一种显示装置,其特征在于,包括权利要求1-4任一项所述的阵列基板。

一种阵列基板及其制备方法、显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种阵列基板及其制备方法、显示装置。

背景技术

[0002] 随着显示技术的发展,特别是小尺寸屏幕对窄边框的要求越来越高。随着TFT (Thin Film Transistor,薄膜晶体管) 开关特性的不断提高,现有技术常采用将GOA (Gate Driver on Array,阵列基板行驱动技术) 将栅极驱动电路集成在阵列基板的周边区域,以减少IC (integrated circuit,集成电路) 的使用,能够提高显示装置的集成度,实现窄边框设计的同时,降低制作成本。

[0003] 现有技术中,如图1所示,阵列基板显示区域和GOA区域,GOA区域设置有薄膜晶体管,薄膜晶体管包括依次设置在基板10上的栅极11、栅绝缘层12、有源层13、源极14、漏极15;阵列基板还包括依次设置在源极14和漏极15远离衬底10一侧的钝化层16。栅极11在有源层13与栅绝缘层12界面处会形成栅极前沟道110,在有源层13与钝化层16界面处会形成栅极后沟道120。当TFT关闭时,前沟道110和后沟道120会形成较大的GOA区域沟道漏电流,容易导致显示装置出现显示不良。

发明内容

[0004] 本发明的实施例提供一种阵列基板及其制备方法、显示装置,可提高显示效果。

[0005] 为达到上述目的,本发明的实施例采用如下技术方案:

[0006] 第一方面,提供一种阵列基板,包括GOA区域,所述GOA区域设置有薄膜晶体管,所述薄膜晶体管包括依次设置在衬底上的栅极、栅绝缘层、有源层、源极和漏极;所述阵列基板还包括依次设置在所述源极和所述漏极远离所述衬底一侧的钝化层和导电层;其中,所述导电层在所述衬底上的正投影与所述有源层在所述衬底上的正投影重叠。

[0007] 可选的,所述导电层覆盖所述GOA区域。

[0008] 可选的,所述导电层包括镂空部分,所述镂空部分内设置有导电结构,所述导电结构与所述导电层绝缘。

[0009] 优选的,所述钝化层上设置有过孔,所述导电结构通过所述过孔与所述漏极电连接。

[0010] 优选的,所述导电层为金属导电层。

[0011] 进一步优选的,所述金属导电层的材料为遮光材料。

[0012] 第二方面,提供一种阵列基板的制备方法,所述阵列基板包括GOA区域,所述GOA区域形成有薄膜晶体管,所述薄膜晶体管包括依次形成在衬底上的栅极、栅绝缘层、有源层、源极和漏极;所述阵列基板还包括依次形成在所述源极和所述漏极远离所述衬底一侧的钝化层和导电层;其中,所述导电层在所述衬底上的正投影与所述有源层在所述衬底上的正投影重叠。

[0013] 可选的,所述导电层覆盖所述GOA区域。

[0014] 可选的,所述导电层包括镂空部分,所述镂空部分内形成有导电结构,所述导电结构与所述导电层绝缘。

[0015] 第三方面,提供一种显示装置,包括第一方面所述的阵列基板。

[0016] 本发明实施例提供一种阵列基板及其制备方法、显示装置,通过在GOA区域内的薄膜晶体管的上方设置一层导电层,使得导电层在有源层与栅绝缘层界面处形成导电层背沟道,在有源层与钝化层界面处形成的导电层前沟道。向导电层输入低电压信号,当薄膜晶体管关闭时,导电层背沟道产生的漏电流与栅极前沟道产生的漏电流相互作用而抵消;导电层前沟道产生的漏电流与栅极背沟道产生的漏电流相互作用而抵消。从而可降低GOA区域内薄膜晶体管的漏电流,将阵列基板应用于显示装置时,可保证显示装置的显示效果。

附图说明

[0017] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0018] 图1为现有技术提供一种阵列基板GOA区域的结构示意图;

[0019] 图2为本发明实施例提供一种阵列基板GOA区域的结构示意图一;

[0020] 图3为本发明实施例提供一种阵列基板GOA区域的结构示意图二;

[0021] 图4(a)为本发明实施例提供一种阵列基板GOA区域的结构示意图三;

[0022] 图4(b)为本发明实施例提供一种阵列基板GOA区域的俯视示意图;

[0023] 图4(c)为本发明实施例提供一种阵列基板GOA区域的结构示意图四;

[0024] 图5为本发明实施例提供一种导电层的制备方法的流程图;

[0025] 图6为本发明实施例提供一种导电层的制备方法的示意图一;

[0026] 图7为本发明实施例提供一种导电层的制备方法的示意图二;

[0027] 图8为本发明实施例提供一种导电层的制备方法的示意图三;

[0028] 图9为本发明实施例提供一种导电层的制备方法的示意图四;

[0029] 图10为本发明实施例提供一种导电层的制备方法的示意图五;

[0030] 图11为本发明实施例提供一种阵列基板的结构示意图一;

[0031] 图12为本发明实施例提供一种阵列基板的结构示意图二。

[0032] 附图标记:

[0033] 10-衬底;11-栅极;12-栅绝缘层;13-有源层;14-源极;15-漏极;16-钝化层;17-导电层;171-导电层薄膜;18-导电结构;191-光刻胶;19-光刻胶层;110-栅极前沟道;120-栅极背沟道;210-导电层背沟道;220-导电层前沟道。

具体实施方式

[0034] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0035] 本发明实施例提供一种阵列基板,包括GOA区域,GOA区域设置有薄膜晶体管,如图2所示,薄膜晶体管包括依次设置在衬底10上的栅极11、栅绝缘层12、有源层13、源极14和漏极15;阵列基板还包括依次设置在源极14和漏极15远离衬底10一侧的钝化层16和导电层17;其中,导电层17在衬底10上的正投影与有源层13在衬底10上的正投影重叠。

[0036] 需要说明的是,第一,不对导电层17的具体材料进行限定,导电层17接VGL信号,如图2所示,导电层17能在有源层13与栅绝缘层12界面处形成导电层背沟道210,在有源层13与钝化层16界面处形成的导电层前沟道220即可。

[0037] 第二,不对导电层17的具体形状进行限定,其与有源层13在衬底10上的正投影有重叠部分即可。

[0038] 其中,不对导电层17的厚度进行限定,根据工艺条件合理设置即可。

[0039] 第三,根据半导体有源层材料的不同,所述薄膜晶体管可以为非晶硅薄膜晶体管、多晶硅薄膜晶体管、金属氧化物薄膜晶体管、有机薄膜晶体管等。在此基础上,所述薄膜晶体管还可以为交错型、反交错型、共面型、或反共面型等。

[0040] 此外,薄膜晶体管可以为源极14和漏极15对称型薄膜晶体管,也可以是U型薄膜晶体管。可以是一个薄膜晶体管作为一个开关结构,也可以是两个以上薄膜晶体管并联作为一个开关结构。

[0041] 第四,衬底10可以是柔性衬底,也可以是玻璃衬底,当然还可以是其他衬底。若衬底10为柔性衬底,则在柔性衬底下方需设置承载基板。

[0042] 本发明实施例提供一种阵列基板,通过在GOA区域内的薄膜晶体管的上方设置一层导电层17,使得导电层17在有源层13与栅绝缘层12界面处形成导电层背沟道210,在有源层13与钝化层16界面处形成的导电层前沟道220。向导电层17输入低电压信号,当薄膜晶体管关闭时,导电层背沟道210产生的漏电流与栅极前沟道110产生的漏电流相互作用而抵消;导电层前沟道220产生的漏电流与栅极背沟道120产生的漏电流相互作用而抵消。从而可降低GOA区域内薄膜晶体管的漏电流,将阵列基板应用于显示装置时,可保证显示装置的显示效果。

[0043] 为了降低对导电层17图案刻蚀的要求,从而降低工艺难度,节省成本。本发明实施例优选的,如图3所示,导电层17覆盖所述GOA区域。

[0044] 即,整个GOA区域内覆盖一层导电层17。

[0045] 优选的,如图4(a)和图4(b)所示,导电层17包括镂空部分,所述镂空部分设置有导电结构18,导电结构18与导电层17绝缘。

[0046] 其中,导电结构18和导电层17均具有导电功能,导电结构18设置在镂空部分,因此导电结构18和导电层17要相互绝缘,则如图4(b)所示,导电结构18在衬底10上的正投影落在镂空部分在衬底10上的正投影的范围内。

[0047] 此外,不对导电结构18和镂空部分的具体图案进行限定。

[0048] 当需要在钝化层16上设置导电结构18时,本发明实施例通过在导电层17上设置镂空部分,并将导电结构18设置在镂空部分,既可以避免导电层17与导电结构18接触而发生短路,又可以降低阵列基板的厚度,使阵列基板轻薄化。

[0049] 进一步优选的,如图4(b)和图4(c)所示,钝化层16上设置有过孔,导电结构18通过所述过孔与漏极电15连接。

[0050] 当需要在GOA区域内设置测试电极,以完成对薄膜晶体管性能的测试时,本发明实施例中设置在导电层17的镂空部分的导电结构18即用作测试电极,既可以降低生产成本,又可以使阵列基板轻薄化。

[0051] 进一步优选的,导电层17为透明导电层。

[0052] 本发明实施例通过将导电层17设置为透明导电层,可以将导电层17、导电结构18、以及显示区的电极层通过同一次构图工艺形成,可减少工艺次数,提高生产效率。

[0053] 可选的,导电层17为金属导电层。

[0054] 由于金属导电层的电阻较小,因此本发明实施例通过将导电层17设置为金属导电层,可以减小功耗,降低生产成本。

[0055] 进一步优选的,金属导电层的材料为遮光材料。

[0056] 即,导电层17为不透光的金属层。

[0057] 本发明实施例通过将金属导电层的材料选择为金属遮光材料,可以避免光线照射到有源层13的沟道区,从而减小光照对有源层13的沟道区的影响,进一步降低薄膜晶体管的漏电流。

[0058] 本发明实施例还提供一种阵列基板的制备方法,所述阵列基板包括GOA区域,GOA区域形成有薄膜晶体管,如图2~4(a)所示,薄膜晶体管包括依次形成在衬底10上的栅极11、栅绝缘层12、有源层13、源极14和漏极15;所述阵列基板还包括依次形成在源极14和漏极15远离衬底10一侧的钝化层16和导电层17;其中,导电层17在衬底10上的正投影与有源层13在衬底10上的正投影重叠。

[0059] 需要说明的是,如图5所示,形成所述导电层17包括:

[0060] S10、如图6所示,在形成有钝化层16的衬底10上形成导电层薄膜171。

[0061] 其中,不对导电层薄膜171的形成方式进行限定,根据导电层17的材料合理选择导电层薄膜171的形成方法。

[0062] S20、如图7所示,在形成有导电层薄膜171的衬底10上涂覆光刻胶191。

[0063] 对于光刻胶191,其种类很多,根据其化学反应机理和显影原理,可分负性胶和正性胶两类。光照后形成不可溶物质的是负性胶;反之,对某些溶剂是不可溶的,经光照后变成可溶物质的即为正性胶。不同类型的光刻胶对应有不同的掩膜板。本发明实施例不对光刻胶191的种类进行限定。

[0064] S30、如图8所示,在S20的基础上,通过曝光显影技术形成光刻胶层19。

[0065] 其中,光刻胶层19的图案与待形成的导电层的图案相同。

[0066] S40、如图9所示,在S30的基础上,对导电层薄膜171进行刻蚀,形成导电层17。

[0067] 其中,对导电层薄膜171进行刻蚀,可采用干法刻蚀,也可以为湿法刻蚀,可根据导电层薄膜171的材料进行合理选择。

[0068] S40、如图10所示,在S40的基础上,对光刻胶层19进行剥离。

[0069] 本发明实施例提供一种阵列基板的制备方法,通过在GOA区域内的薄膜晶体管的上方形成一层导电层17,使得导电层17在有源层13与栅绝缘层12界面处形成导电层背沟道210,在有源层13与钝化层16界面处形成的导电层前沟道220。向导电层17输入低电压信号,当薄膜晶体管关闭时,导电层背沟道210产生的漏电流与栅极前沟道110产生的漏电流相互作用而抵消;导电层前沟道220产生的漏电流与栅极背沟道120产生的漏电流相互作用而抵

消。从而可降低GOA区域内薄膜晶体管的漏电流,将阵列基板应用于显示装置时,可保证显示装置的显示效果。

[0070] 为了降低对导电层17图案刻蚀的要求,从而降低工艺难度,节省成本。本发明实施例优选的,如图11所示,导电层17覆盖所述GOA区域。

[0071] 可选的,如图12所示,导电层17包括镂空部分,镂空部分内形成有导电结构18,导电结构18与导电层17绝缘。

[0072] 当需要在钝化层16上形成导电结构18时,本发明实施例通过在导电层17上形成镂空部分,并将导电结构18形成在镂空部分内,既可以避免导电层17与导电结构18接触而发生短路,又可以降低阵列基板的厚度,使阵列基板轻薄化。

[0073] 本发明实施例还提供一种显示装置,包括上述阵列基板。

[0074] 其中,上述显示装置具体可以是OLED显示器、液晶显示器、液晶电视、数码相框、手机、平板电脑、导航仪等具有任何显示功能的产品或者部件。

[0075] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

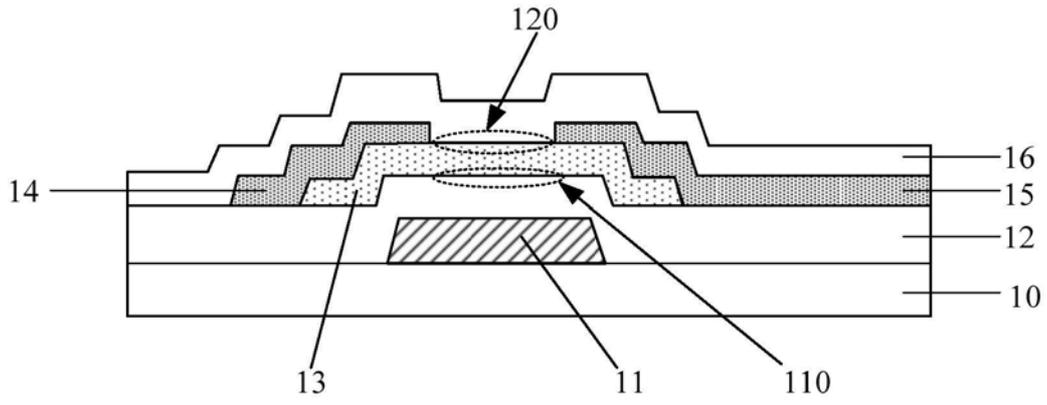


图1

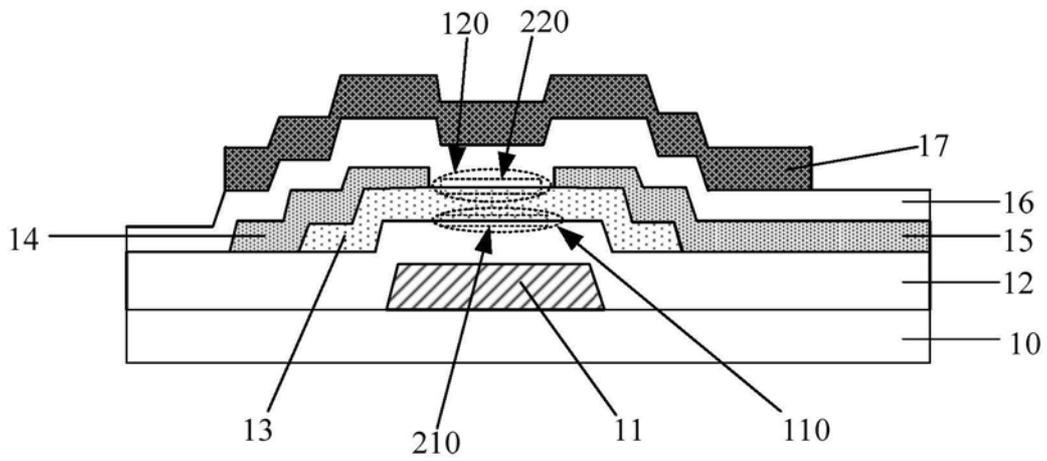


图2

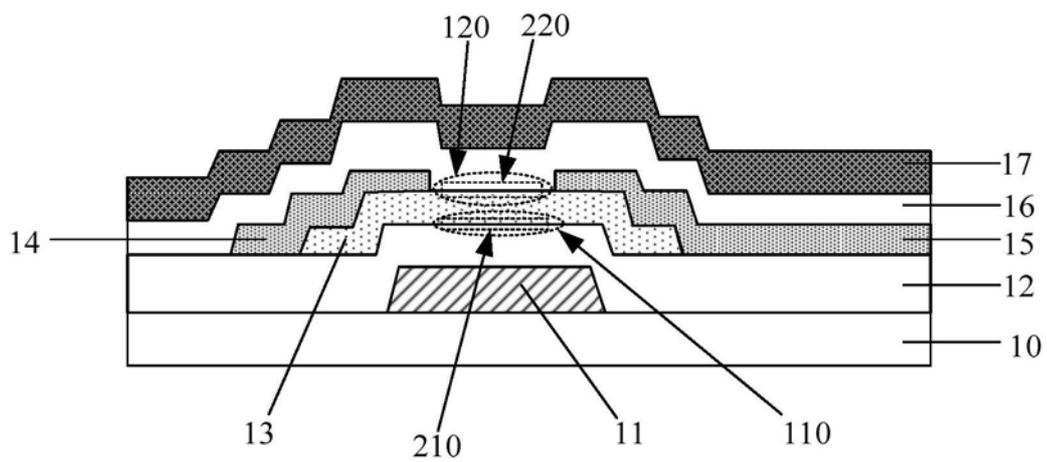


图3

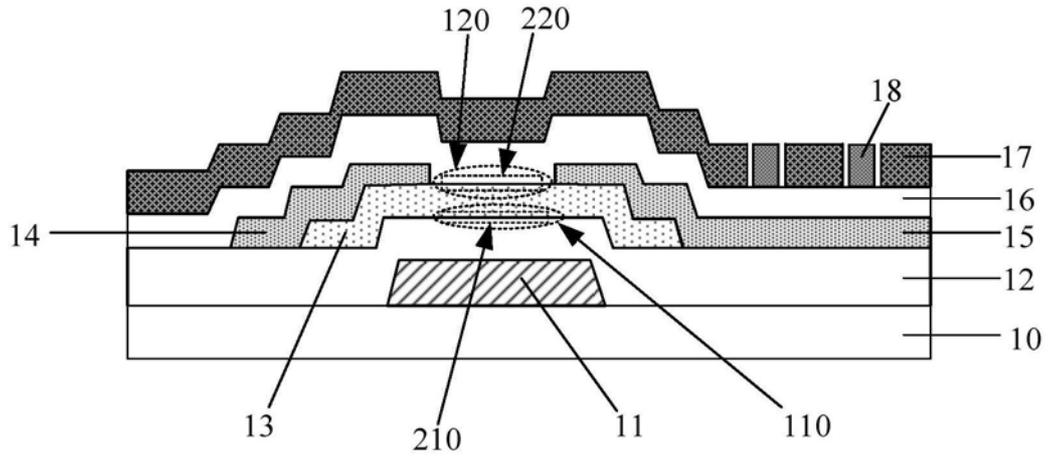


图4(a)

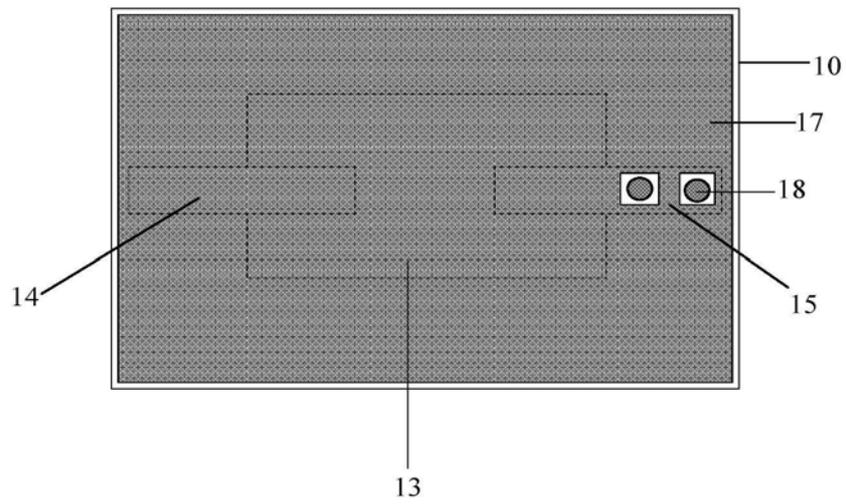


图4(b)

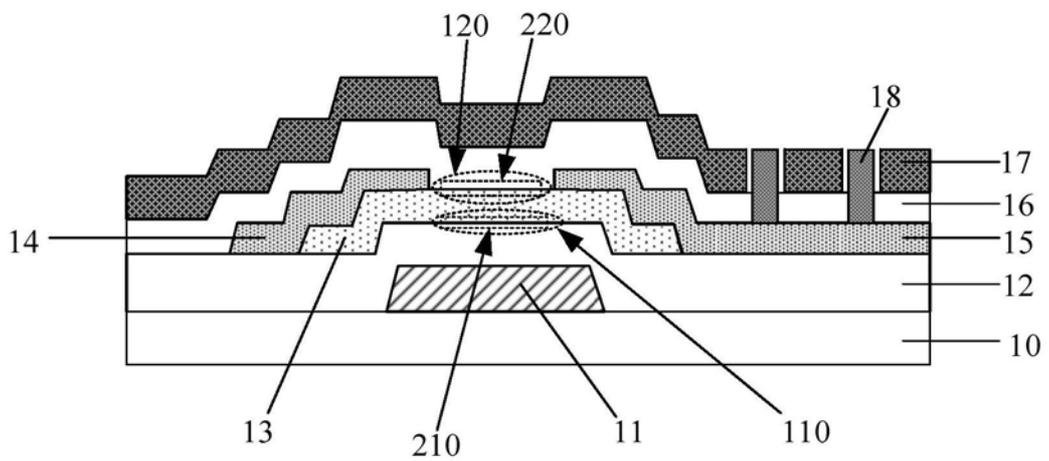


图4(c)

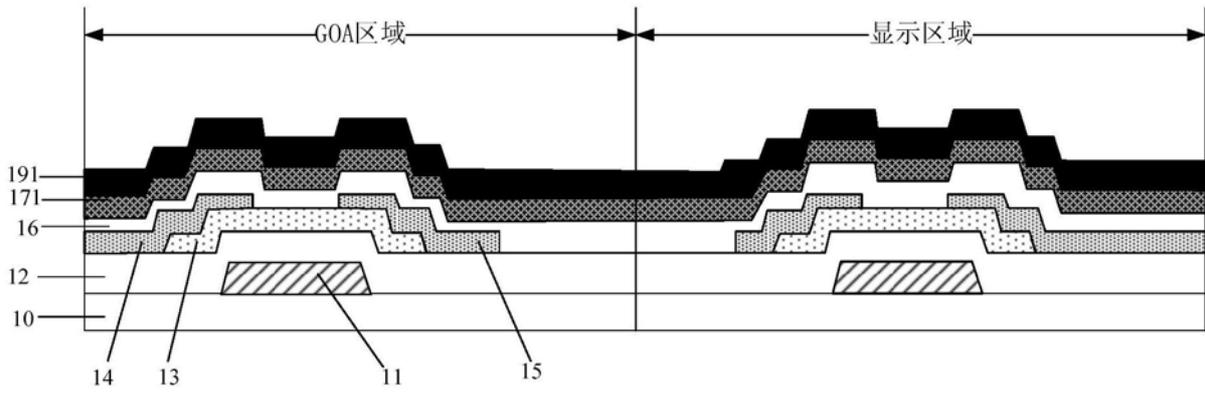


图7

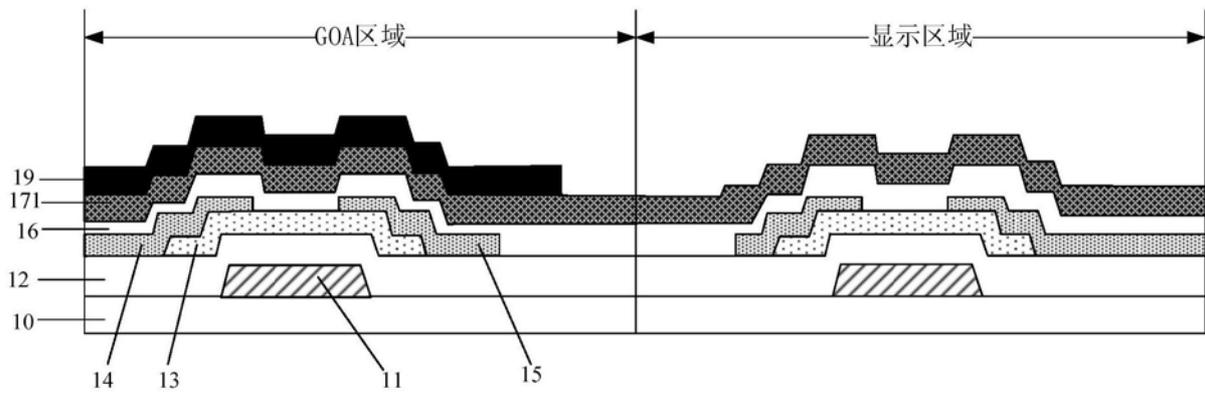


图8

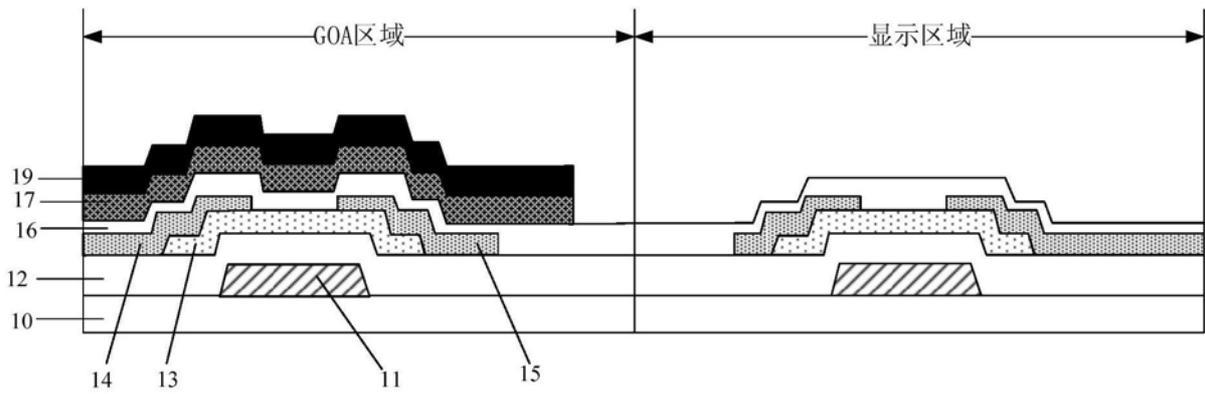


图9

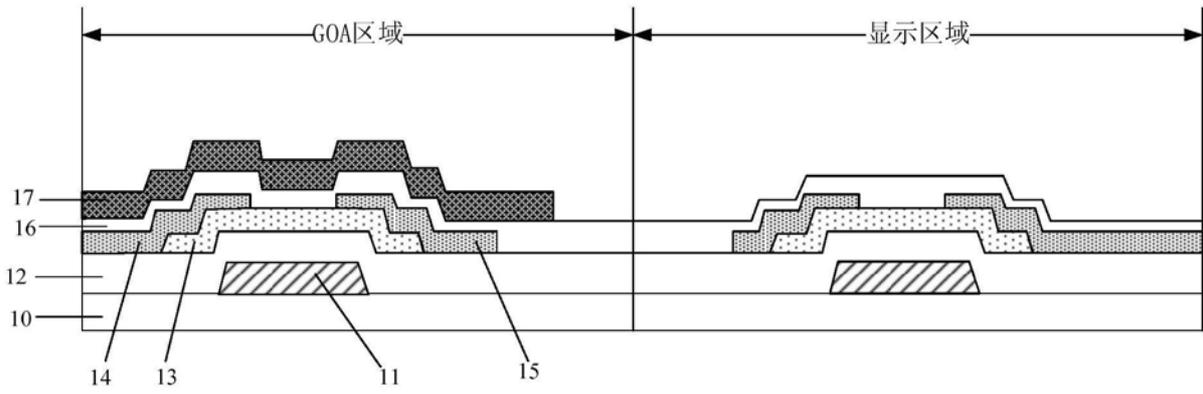


图10

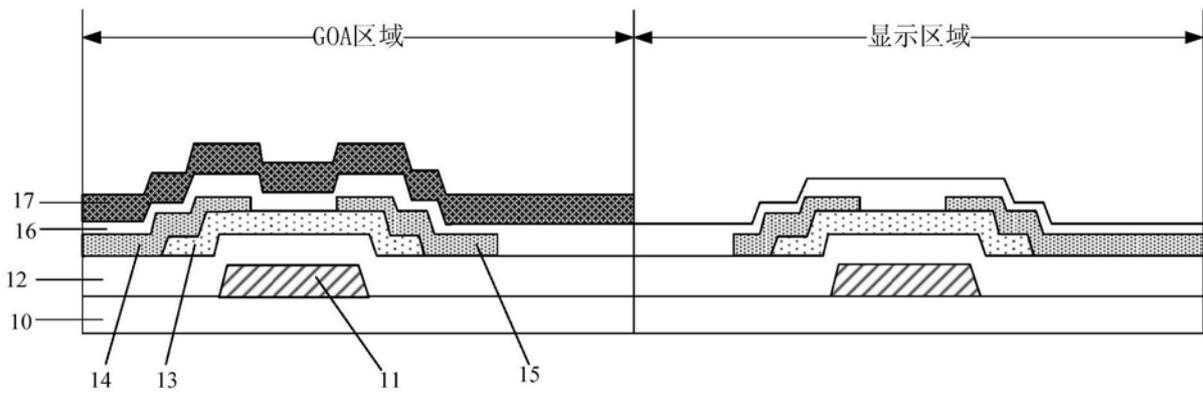


图11

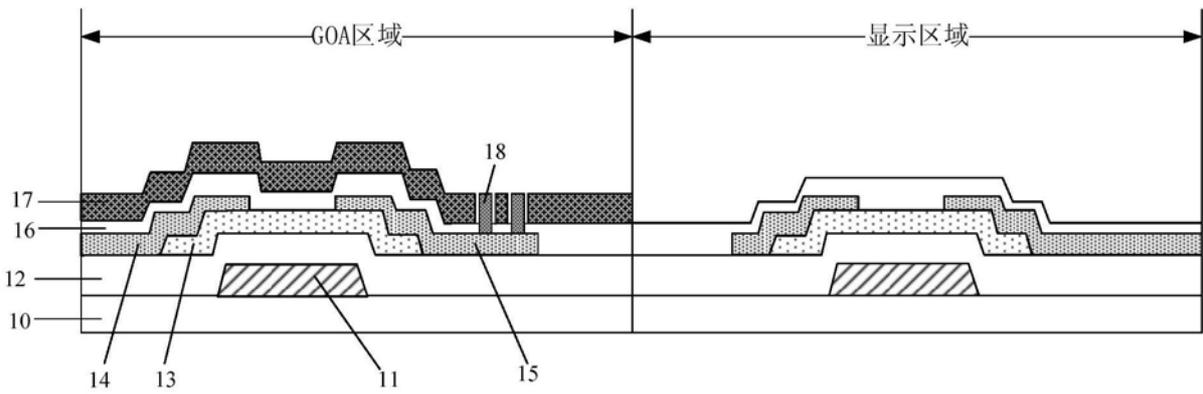


图12