

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H04J 3/06

H04B 7/26



[12] 发明专利说明书

专利号 ZL 00813461.8

[45] 授权公告日 2005 年 11 月 16 日

[11] 授权公告号 CN 1227847C

[22] 申请日 2000.9.21 [21] 申请号 00813461.8

[30] 优先权

[32] 1999. 9. 28 [33] EP [31] 99119011.7

[86] 国际申请 PCT/EP2000/009265 2000.9.21

[87] 国际公布 WO2001/024425 英 2001.4.5

[85] 进入国家阶段日期 2002.3.27

[71] 专利权人 艾利森电话股份有限公司

地址 瑞典斯德哥尔摩

[72] 发明人 J·普法勒 P·詹特施

审查员 王国梅

[74] 专利代理机构 中国专利代理(香港)有限公司

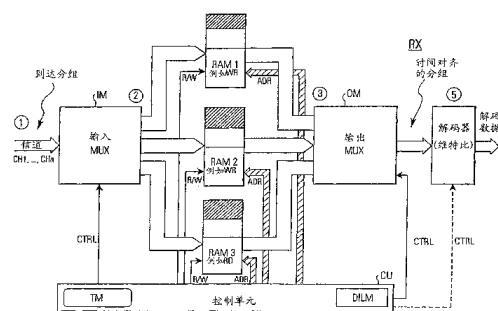
代理人 程天正 陈 霁

权利要求书 3 页 说明书 16 页 附图 9 页

[54] 发明名称 使电信系统中多个信道的数据帧时间对齐的装置和方法

[57] 摘要

电信系统中多个信道(CH1, CH2, ...CHn)的数据帧以相对解码器(DEC)内部帧结构的公共同步时钟(WR, R/W, RD, T)各自不同的时间偏差到达,可使用三个帧存储器(RAM1, RAM2, RAM3)进行数据帧的时间对齐。数据帧分别写入具有读状态的两个帧存储器(RAM1, RAM2),并且随公共同步时钟(T)发生而开始进行一个帧存储器(RAM3)的读。进行帧存储器(RAM1, RAM2, RAM3)的读/写状态的循环切换,使得总有两个帧存储器(RAM1, RAM2)处于写状态(WR)而有一个帧存储器(RAM3)处于读状态(RD)。处于读状态的帧存储器(RAM3)与公共同步时钟同步地读出。



1. 一种用于在多个信道上接收连续数据帧的电信系统接收机的时间对齐装置，其中所述信道上的各个数据帧是非时间对齐的，该装置还用于输出对公共同步时钟时间对齐的所有信道的所述数据帧，该装置包含：

a) 至少有分别用于存储每个信道的一个数据帧的第一、第二和第三读/写帧存储器，该每个帧存储器都具有数据通过输入装置写入该帧存储器的写状态和数据通过输出装置从该帧存储器读出的读状态；以及

b) 通过与该公共同步时钟同步的第一到第三对齐模式来循环切换这三个帧存储器的一个控制单元，使得

b1) 在该第一对齐模式下该第一和第二帧存储器处于写状态而该第三帧存储器处于读状态；

b2) 在该第二对齐模式下该第二和第三帧存储器处于写状态而该第一帧存储器处于读状态；

b3) 在该第三对齐模式下该第三和第一帧存储器处于写状态而该第二帧存储器处于读状态；

b4) 其中在每个模式切换后，总是把任何信道新到达的数据帧写入前一模式下处于读状态的帧存储器；以及

b5) 其中数据帧总是与该公共同步时钟时间对齐地、从处于读状态的帧存储器中读出。

2. 按照权利要求 1 的时间对齐装置，其特征在于

每个帧存储器包含多个分别与各自的信道相联系的矩阵，该矩阵按期望的交织深度有预定数目的列和行用于存储一个相应的数据帧，其中该输入装置将每个信道的一个数据帧以行方向写入处于写状态的帧存储器的一个相关矩阵，其中解交织装置与每个公共同步时钟时间对齐地按列从处于读状态的帧存储器的矩阵中读出数据。

3. 按照权利要求 2 的时间对齐装置，其特征在于

所述数据帧的数据是来自解调器/均衡器的包含软判决符号的数据，其中该软判决符号存储于所述帧存储器矩阵的存储单元中。

4. 一种包含按照权利要求 1-3 的一个或多个时间对齐装置的电信系

统接收机。

5. 按照权利要求 4 的接收机, 其特征在于

该接收机是 CDMA 接收机。

6. 一种包含一个或多个按照权利要求 4 或 5 的接收机的电信系统。

5 7. 按照权利要求 6 的电信系统, 其特征在于

发射机按照卷积编码技术对所述数据帧的所述数据进行编码, 其中该已编码数据按软符号存于该接收机的所述帧存储器中。

8. 一种用于对多个信道的连续数据帧进行时间对齐的方法, 其中所述信道上各个数据帧是非时间对齐的, 该方法还用于输出对公共同步时钟时间对齐的所有信道的所述数据帧, 该方法包含:

a) 将数据帧写入分别用于存储该每个信道的一个数据帧的至少第一、第二和第三读/写帧存储器, 该帧存储器每个都具有数据写入该帧存储器的写状态和数据帧从该帧存储器读出的读状态; 以及

15 b) 通过与该公共同步时钟同步的第一到第三对齐模式来循环切换这三个帧存储器, 其中

b1) 在该第一对齐模式下, 从每个公共同步时钟开始, 数据帧被写入处于写状态的该第一和第二帧存储器, 而数据帧从处于读状态的该第三帧存储器中读出;

20 b2) 在该第二对齐模式下, 从每个公共同步时钟开始, 数据帧被写入处于写状态的该第二和第三帧存储器, 而数据帧从处于读状态的该第一帧存储器中读出;

b3) 在该第三对齐模式下, 从每个公共同步时钟开始, 数据帧被写入处于写状态的该第三和第一帧存储器, 而数据帧从处于读状态的该第二帧存储器中读出; 其中

25 b4) 在每个模式切换后, 总是把任何信道新到达的数据帧写入前一模式下处于读状态的帧存储器;

b5) 其中数据帧总是与该公共同步时钟时间对齐地、从处于读状态的帧存储器中读出。

9. 按照权利要求 8 的方法, 其特征在于

30 每个帧存储器包含多个分别与相应的信道相联系的矩阵, 该矩阵按期望的交织深度有预定数目的列和行用于存储一个相应的数据

帧，其中每个信道的一个数据帧以行方向写入处于写状态的帧存储器的一个相关矩阵，其中与每个公共同步时钟时间对齐地、按列从处于读状态的帧存储器的矩阵中读出数据。

10. 按照权利要求 8 的方法，其特征在于

- 5 所述数据帧的所述数据是来自解调器/均衡器的包含软判决符号的数据，其中该软判决符号存储于所述存储器矩阵的存储单元中。

使电信系统中多个信道的数据帧时间对齐的装置和方法

发明领域

5 本发明涉及用于接收多个信道上的连续数据帧的电信系统接收机的时间对齐装置。该信道中各个数据帧相互间并未对齐时间，而该时间对齐装置可以相对公共同步时钟时间对齐的方式输出所有信道的数据帧。本发明还涉及进行此时间对齐的一种方法、电信系统的一种接收机以及在其中接收机进行时间对齐的电信系统。

10 发明背景

在很多电信系统中多个信道各自的数据帧并非是精确地同时从无线链路上接收的。比如，若电信系统是移动无线通信系统，则对于许多移动台来说基站收发信机（BTS）与移动台间距离是在变化的，甚至在连接期间也是如此，这样数据帧将以非时间对齐的方式

15 到达。

这样的移动无线通信系统的一个例子是一个 CDMA 系统，图 5、6 中示意了其基站收发信机 BTS。一般地，上述有关时间对齐方面的内容也可应用于使用多个非对齐信道的任何电信系统。

在提供了几个分别包含连续数据帧的信道的所有电信系统中，必须提供一个专用于特定信道的单独解码器，这是为了对仅有的一个

20 特定信道的连续到达数据帧进行解码。然而，这将导致高达 300 个解码器单元，从所需求的硬件条件看这是无法接受的。为此，总有这样一个问题，即一个公共的解码器资源如何能高效地用于对所有信道的数据帧进行解码。原理上，如果解码器花费在解码一个数据

25 帧上的时间比一个数据帧的时长短得多的话，上述的高效使用是可以达到的。于是，解码器可在一个数据帧时长内依次地处理几个信道的数据帧。然而，这需要在进入的数据帧可以以数据帧持续流的形式传递到解码器资源前，先将其缓冲于存储器之中。为此，数据帧必须安排成符合一定的时间网格，即它们必须相对解码器的内部

30 帧结构对齐，也即是与接收机内部提供的公共同步时钟对齐。

本发明特别涉及如何处理大量信道接收到的数据帧的不同时间偏差的问题，以便只需要一个公共解码器资源。

发明概要

如上所述,由于来自不同信道的数据帧对于解码器内部帧结构存在各自的时间偏差这一事实,数据帧必须以一种意义明确的方式(帧对齐)与内部同步时钟对齐,使得可能以时间共享的方式使用解码器资源。另外,经常须进行解交织,即接收到的数据帧必须在解码前重新安排(解交织)。

本发明的目的是提供一种时间对齐装置、电信系统的一种接收机、一种电信系统以及一种时间对齐方法,采用它们,则甚至对于大量的信道,解码器资源也能高效地使用。

10 目的的解决方案

该目的的实现,是通过用于在多个信道上接收连续数据帧的电信系统接收机的时间对齐装置,其中所述信道各自的数据帧是非时间对齐的,该装置还用于输出所有信道的、与公共同步时钟时间对齐的那些数据帧,它包含:

15 a) 至少有分别用于存储每个信道的一个数据帧的第一、第二和第三读/写帧存储器,该每个帧存储器都具有数据写入该帧存储器的写状态和数据从该帧存储器读出的读状态; 以及

b) 通过与该公共同步时钟同步的第一到第三对齐模式来循环切换这三个帧存储器的一个控制单元,使得

20 b1) 在该第一对齐模式下该第一和第二帧存储器处于写状态而该第三帧存储器处于读状态;

b2) 在该第二对齐模式下该第二和第三帧存储器处于写状态而该第一帧存储器处于读状态;

25 b3) 在该第三对齐模式下该第三和第一帧存储器处于写状态而该第二帧存储器处于读状态;

b4) 其中在每个模式进行切换后,总是把任何信道新到达的数据帧写入前一模式下处于读状态的帧存储器; 以及

b5) 其中数据帧总是与该公共同步时钟时间对齐地从处于读状态的帧存储器中读出。

30 此外,此目的的实现是通过包含了按照权利要求 1-3 的一个或多个时间对齐装置的电信系统接收机。

此目的的实现还通过包含了按照权利要求 4 或权利要求 5 的一个

或多个接收机的电信系统。

此外，此目的的实现是通过用于在多个信道上接收连续数据帧的一种方法，其中所述信道上各自的数据帧是非时间对齐的，该方法还用于输出所有信道的与公共同步时钟时间对齐的数据帧，该方法包含：

- 5 a) 将数据帧写入分别用于存储该每个信道的一个数据帧的至少第一、第二和第三读/写帧存储器，该帧存储器每个都具有数据写入该帧存储器的写状态和数据帧从该帧存储器读出的读状态；以及
- 10 b) 通过与该公共同步时钟同步的第一到第三对齐模式来循环地切换这三个帧存储器，其中
 - b1) 在该第一对齐模式下，从每个公共同步时钟开始，数据帧被写入处于写状态的该第一和第二帧存储器，而数据帧从处于读状态的该第三帧存储器中读出；
 - b2) 在该第二对齐模式下，从每个公共同步时钟开始，数据帧被15 写入处于写状态的该第二和第三帧存储器，而数据帧从处于读状态的该第一帧存储器中读出；
 - b3) 在该第三对齐模式下，从每个公共同步时钟开始，数据帧被写入处于写状态的该第三和第一帧存储器，而数据帧从处于读状态的该第二帧存储器中读出；其中
 - 20 b4) 在每个模式切换后，总是把任何信道新到达的数据帧都写入前一模式下处于读状态的帧存储器；
 - b5) 其中数据帧总是与该公共同步时钟时间对齐地从处于读状态的帧存储器中读出。

按照本发明的一个方面，使用三个帧存储器。每个帧存储器可容纳所有信道的一个完整数据帧。在一个同步时钟周期内两个存储器25 都用来写入数据而一个用来读出数据。进入的数据帧总是写入它们被接收时处于写状态的其中一个帧存储器。因为各个信道的数据帧与同步时钟之间的时间偏差可在0到一个完整帧周期间变化，所以，无论如何都要用到多达两个同步时钟周期，直到来自每个信道的一个完整数据帧存储在一个帧存储器中。因为在已完全写入一个帧存30 储器的数据帧被读出之前要用到多达一个完整帧周期，并且相同信道的另一个数据帧将在前一帧后立即到达，所以使用一个处于写状

态的第二存储器。

当将多个信道各自数据帧写入两个帧存储器之一时，（处于读状态的）第三帧存储器被读出。当下一公共同步时钟发生时，三个帧存储器的对齐模式循环地变化。即，在一个对齐模式中用来读的帧存储器于是将被用作写的帧存储器，而前面用来写的两个帧存储器之一现在则用来读。在每个循环变化后总是把每个信道新到达的数据帧都写入前一模式下处于读状态的帧存储器，这很重要。

发明的优选方面

在本发明上述方面中，多个信道的数据帧现在在处于读状态的一个帧存储器中且此帧存储器从公共同步时钟发生的开始读出。一种可能是将一个数据帧存于一行中并且也沿行方向与公共同步时钟同步地读出数据帧。然而，在很多通信系统中，在发射机侧已进行了比特交织。为了提供正确解交织格式的时间对齐帧，必须在接收机中进行解交织。有利的是可以在本发明中实现，这是通过按行方向写入帧存储器而按列方向从帧存储器读出。因此，时间对齐和解交织的进行不会在硬件方面增加负担。

当时间对齐装置、接收机和方法应用于使用了如 $r=1/2$ 或 $r=1/3$ 编码速率的卷积编码/解码及软输出均衡器的电信系统中时，则数据帧中存在的的信息将作为按交织器进行扰码的 2-3 个符号，每个具有比如 4 个软判决比特。有利地，每个符号存于存储器的一个单元中。

本发明更有利的实施方案和改善可从下面的描述和从属权利要求中得知。此处以后，本发明将参考其实施方案和附图进行解释。

附图简述

附图中：

图 1-1 示意了按照本发明的接收机 RX 的时间对齐装置的框图；

图 1-2 示意了属于多个信道 CH1, ..., CH8 上各自数据帧的各个数据分组到达于图 1-1 示意的时间对齐装置输入处；

图 1-3 示意了图 1-1 示意的时间对齐装置输出的多个信道 CH1, ..., CH8 的时间对齐数据帧；

图 2-1 示意了按照本发明将连续的数据帧存储于三个帧存储器 RAM1、RAM2、RAM3 的时序图；

图 2-2 给出了与图 2-1 联系的数据帧写和读的不同说明；

图 2-3 示意了来自时间对齐装置的多个输出数据帧；

图 3 示意了在单独的时间对齐模式间顺序切换以及将一个新数据帧写入前一模式处于读状态的帧存储器中；

5 图 4-1 示意了用于接收机进行比特解交织的存储矩阵的读和写，其中接收机中没有使用软输出均衡器；

图 4-2 示意了用于在接收机中进行按符号解交织的存储矩阵的读和写，如果接收机中使用了软输出均衡器/解调器；

图 5 示意了按本发明的时间对齐方法可应用的 CDMA 电信系统的一个基站收发信机概况；以及

10 图 6 示意了概念性示意于图 5 的解码器单元 DEC 的内部结构概况。

图中相同或类似的参考数字在所有图中都表示相同或类似的部分或步骤。

CDMA 电信系统描述

15 在此之后，将对本发明的时间对齐装置和方法可应用的 CDMA 基站收发信机进行解释。然而，可以理解，CDMA 系统的描述仅仅是本发明的应用范例，并且本发明可应用于任何其他电信系统和接收机，其中几个信道中每个信道都提供相互间存在时间偏差的连续数据帧。因此，本发明可应用于以面向时间帧方式实施物理层数据处理的任何电信系统和接收机。

20 简略概括，图 5 示意了包含了发射机 TX（图 5 上支路）和接收机 RX（图 5 下支路）的 CDMA 系统的基站收发信机 BTS 框图。发射机 TX 中，用户数据 US 如以 ATM 分组的形式经由 ATM 交换机和相应接口（ATM IFX/IFC）输入到信道编码器单元 ENC。已编码（也已交织）的数据接着被基带单元 BBTX 进行调制和比如 CDMA 扩展。然后已调制数据在单元 TRX-DIG 中被滤波并转换为模拟信号、在单元 TRX-RF 中上变频到期望的载频、通过功率放大器单元 MCPA 放大并最终经由双工滤波器发送到天线 ANT。

25 在接收机中，两副天线（分集接收）共同用来接收信号，然后在单元 LNA 中进行放大、在单元 TRX-RF 中进行下变频、在单元 TRX-DIG 中进行 A/D 转换和滤波。然后，在基带单元 BBRX 中通过 RAKE 接收机/解扩器对数据进行解调而随机接入信道在单元 BBRA 中检测和解调。用户数据 US 接着在解码器单元 DEC 中解码并经由 ATM 接口 ATM

IFX/IFC 发送到 ATM 交换机。

图 6 示意了图 5 的解码器单元 DEC 的基于 FPGA 的解决方案 (FPGA: 现场可编程门阵列)。正如从图 6 解码器单元 DEC 的硬件结构所看到的那样, 来自多个信道 (如多达 300 信道) 的用户数据 US 从 RAKE 接收机/解扩器 BBRX (见图 5) 于①处 (串行或并行地) 输入。单元② (FPGA-FAL; FAL: 帧对齐) 以及单元③ (FPGA-CHD; CHD: 信道分配) 基本上一起按本发明对接收到的数据进行解交织和帧对齐。在此过程中, 单元②在接收到数据之时按特定顺序将数据写入单元④ (包括帧存储器 RAM1、RAM2、RAM3 (RAM: 随机存取存储器) 和用于接口帧存储器的 FPGA 在内的一个存储块), 而单元③在与解码器内部帧结构相关 (即按解码器的公共同步时钟) 的特定时刻以另一顺序读出数据。数据以一种顺序写入而以另一种顺序从中读出分别被称为交织和解交织。在接收到数据帧时开始将数据帧写入帧存储器 RAM 而在解码器的公共同步时钟 (与解码器的内部帧结构相关) 发生后读出它们, 这一特定方式称为帧对齐 (FAL)。通过单元③将数据从存储块 (单元④) 中读出后, 就送到单元⑤ (维特比解码器单元) 进行解码。

从图 6 可见, 按照本发明一个解码器单元 (维特比单元⑤) 实际上用于对与三个帧存储器 RAM1、RAM2、RAM3 相连的大量信道的数据帧进行解码。因而, 解码资源可共同用于所有信道, 以便能高效使用解码硬件。为了允许对解码硬件的这一高效利用, 所有信道的数据帧都以相对公共同步时钟的良好定义的方式来提供。

参考图 5、6 一般解释的接收机的时间对齐装置可视为由对三个帧存储器分别的特定安排以及相对公共同步时钟 (这里由解码器单元 DEC 的帧结构提供) 对三个帧存储器进行读和写控制来组成。本发明涉及相对公共同步时钟对三个帧存储器的特别的读和写。在下面将参考图 1-3 解释本发明的时间对齐装置和方法的实施方案 (如图 5 和图 6 示意的解码器单元 DEC 中包含的那些)。

从图 6 可以理解, 按照本发明的这种时间对齐装置进行的特别的时间对齐和解交织独立于解码器单元⑤使用的特定解码规程。唯一的要求是用来以时间对齐方式向解码器⑤提供多个数据帧的公共同步时钟。因此, 下面描述为本发明优选实施方案的时间对齐装置和方法并不局限于图 5、6 的 CDMA 接收机的特别的实施方案。

时间对齐规程的原理

图 1-1 示意了电信系统的接收机 RX 中的时间对齐装置的框图。为了示意的目的,参考数字①-⑤概念上与图 6 示意的解码器实现范例中的单元安排一致。

- 5 图 1-1 中,多个信道 CH1, ..., CH_n 中每个信道上的连续数据帧到达①。本发明中,每个信道都有固定和不变的数据速率。另一方面,用户可以使用有不同数据速率的几个应用。因而一个用户信道包含一个或多个有不变数据速率的单个信道。

- 10 图 1-2 示意了 8 个信道 CH1, ..., CH8 是如何在 10ms 的一个帧周期内到达①的一个例子。各个信道的数据比如以 320 个连续到达的数据分组形式到达。8 个信道的数据分组可以时间共享方式到达,即时间复用或并行地到达。每个数据分组包含比如作为净荷的 2 个软比特。这些软比特可序列地在一条 4 比特宽的总线上传送。因此,这种情况下总线包含 4 线用于 8 个信道 CH1, ..., CH8 的所有数据分组。信道 CH9, ...,
15 CH16 或 CH17, ..., CH24 等任何其他组(图 1-2 中未示出)将需要另外的有 4 线的总线。可替代地,若比如软比特的所有比特成分被序列传送,则仅包含单线的一条总线就足够了。

- 20 虽然本发明中各个数据分组是以时间复用方式到达信道还是以并行方式到达提供的总线是很不相关的,但值得注意,所有信道(示意的情况是 8 个信道)的所有数据分组都在比如 10ms 长的单帧周期内到达。

- 25 单个信道的一个数据帧由比如 320 个数据分组的连续序列组成,与它们是以并行或时间复用的方式到达无关。一个数据帧的开始定时总是在相应的信道收到(第一)数据分组 1 的定时而结束时刻是比如 10ms 的一个帧周期后,即在接收到第 320 个数据分组时。图 1-2 中,信道 CH1 是时间对齐的,因为第一数据分组 1 的开始定时与公共同步时钟一致。图 1-2 中考虑数据时间复用到达的例子,则信道 CH2 误对齐(延迟)至时间段 $16 \times 10\text{ms}/320$, 因为信道 CH2 的第一数据分组将在信道 CH1 的第一数据分组后立即到达,如果 CH2 的图向右移动这样一个时间段的话。

- 30 按照本发明示意于图 1-1 的时间对齐装置重新安排信道中的数据分组以便可得到图 1-3 示意的连续的数据分组。首先,提供属于信道 CH1 的一个数据帧的所有数据分组,接着提供属于信道 CH2 的数据帧的所有数据分组等等。因此,与公共同步时钟的时间对齐并不意味着各个信

道的数据帧都与各自帧周期的开始定时 T_0 、 T_1 对齐。恰恰相反，与公共同步时钟的对齐意味着从其各自的第一数据分组开始的数据帧允许按时间段 $T_0 \rightarrow T_1$ 内一个固定时间模式（即序列地）相互跟随。在此固定时间模式中相继到达的（和在此时间模式中对齐于 T_0 的）所有八个数据帧现在就可以通过单个维特比解码单元序列地（即串行地）处理，比如这是通过图 6 中 ⑤ 处的卷积解码器的相加-比较-选择单元 ACS1（本身是为

5 人熟知的）处理的。卷积解码器中的其他 ACS 单元 ACS2、ACS3 和 ACS4 同时地即并行地处理其他信道 CH9...16、CH17...24 等等。这意味着每 ACS 单元的处理对于各个信道组都是串行的，而合起来看 4 个 ACS 单元是并行操作的。

10

来自各自信道并可在从公共同步时钟开始的一个比如 10ms 时间段内读出和处理的数据帧的数目取决于各自解码单元对各自数据帧进行解码所需要的时间。此外，虽然优选地，处理的进行是使数据帧被逐个处理以最优地使用 10ms 的时间段，但当然序列地读出和处理也可以进行以使得在两个数据帧读操作之间有一个较短时间延迟。因而，解码器

15 中的处理时间将决定在固定的 10ms 的时间段内可序列地读出和处理多少数据帧。

即，仅当考虑一个单独信道时，（此信道的）所有数据帧才真正是序列地到达的。若考虑所有信道，数据帧则并行到达，然而，是带有对公共时钟的各自时间偏差到达。数据帧的读出也并不是真正同时发生的，至少对所考虑的信道 CH1, ..., CH8 的读出而言是序列进行的。另一方面，由第二 ACS 单元 ACS2 处理的下一组信道中信道 CH9 的数据帧与来自信道 CH1 的相应数据帧同时地读出。

20

如上面解释的那样，按照本发明的时间对齐装置将包含连续数据分组的数据帧按照相对公共同步时钟 T_0 的预定时间模式对齐。就考虑时间对齐规程而言，连续数据分组实际是否在相互间存在时间延迟（如图 1-2 所示）是不相关的（因为这取决于它们出现在时间对齐装置输入处的方式，如时间复用或并行）。因而，数据分组可能已经以没有时延地连续提供的形式出现。时间对齐规程的重要之处在于各自数据帧的开始定

25 时，即第一数据分组的开始定时，并不按预置的时间模式发生，即下一信道的第一数据分组并非正好在上一信道最后一个分组结束时开始以至在一个单帧周期内填入所有信道的一个数据帧。

30

图 2-2 和图 2-3 示意了存在于按照本发明的时间对齐装置的输入和输出处的一般时间关系，即分别是在①处进入的数据帧和在③处读出的时间对齐的数据帧。正如下面将详细解释的那样，图 2-2 中信道 CH2, CH3 和 CH_n 中各自的数据帧与帧周期的起始处即同步时钟 T₀ 有偏差，并且只有信道 CH1 的数据帧与之对齐。图 2-3 中，在每个帧周期内所有信道的所有数据帧一个接着一个并且因而所有信道的单个数据帧填入一个帧周期。

第一实施方案（使用三个存储器的时间对齐）

图 1-1 中示意了本发明的一个实施方案，参考数字① - ⑥代表图 6 中相应部分。

如上面解释的那样，在多个信道 CH1, ..., CH_n 中每个信道上，连续的数据帧到达①，其中所述信道上各自的数据帧相互间存在时间偏差。另一方面，在时间对齐装置的输出处（见参考数字③），时间对齐的帧被输出到解码器单元⑤而已解码的数据从解码器单元⑤输出用于多个信道。一个控制单元 CU 包含可提供公共同步时钟（对应于解码器单元 DEC 的内部帧结构）以及一些控制信号 CTRL 的一个定时装置 TM。至少要提供分别用于存储所述信道的那些数据帧的一个第一、一个第二和一个第三读/写帧存储器 RAM1、RAM2、RAM3。每个帧存储器都具有数据可写入该帧存储器的写状态 WR，以及数据可从该帧存储器读出的读状态 RD。每个存储器的读/写状态可通过控制单元 CU 输出各自的 R/W 控制信号到各个帧存储器来控制，如图 1-1 所示。

如上面所解释的那样，信道中的数据帧可按串行（时间复用）和/或并行格式到达①。输入复用器（下面也指输入装置 IM）从输入处①的数据帧中选择数据并将其提供给帧存储器 RAM1...RAM3，以响应控制单元 CU 提供的 CTRL 信号。控制单元 CU 规定数据存于帧存储器中的地址 ADR。因而，对于每个信道来说输入装置 IM 连续地提供数据而控制单元 CU（通过读/写信号 R/W）控制三个帧存储器的读/写状态以及 CTRL 信号，以便数据帧总能写入处于写状态的两个帧存储器之一而数据也可从处于读状态的一个帧存储器中同步于公共同步时钟地读出。比如，若图 1-1 中帧存储器 RAM3 处于读状态，数据帧只能从 RAM3 中读出而数据只能写入另外两个帧存储器 RAM1, RAM2 之一。每个帧存储器的读/写状态由控制装置发布的读/写信号 R/W 来控制。

因而，输出复用器（下面也指输出装置 OM）③只从处于读状态的帧存储器分别读出数据帧。为此，通过同步于公共同步时钟的控制单元 CU 将一个控制信号 CTRL 应用于输出装置 OM。即，每次公共同步时钟发生时，存于处在读状态的一个帧存储器中的所有数据帧都被读出。

5 然后将这些时间对齐的数据帧提供给解码器单元⑤。

此外，控制单元 CU 实现每个数据帧的解交织，这是通过按不同于为输入装置 IM 的写地址的顺序来为输出装置 OM 设置帧存储器的读地址来进行的。在图 1-1 中这通过一个解交织装置 DILM 示意并且下面在第二实施方案中将作更加详细的描述。

10 虽然图 1-1 只示意了有关数据帧是如何提供给三个帧存储器以及数据帧从这三个帧存储器中是如何读出的一种可能的配置，但可以理解输入装置 IM、输出装置 OM 和控制单元 CU 的其他配置也是可以想象到的，而且本发明的重要之处在于关于其相对公共同步时钟的读和写状态，单个存储器是如何被使用的，下面将参考图 2-1、图 2-2、图 2-3 和

15 图 3 进行解释。

图 2-1a、图 2-1b 和图 2-1c 分别示意了在公共同步时钟的 T_0 、 T_1 、...、 T_4 发生时两个信道 CH1, CH2 的三个帧存储器 RAM1, RAM2, RAM3 的项目。第一、第二和第三帧存储器 RAM1, RAM2, RAM3 分别存储信道 CH1, CH2 的数据帧而且每个帧存储器都具有数据可写入其中的写状态 WR 以及数据帧可从中读出的读状态 RD，这里当前状态

20 (WR/RD) 标注于图 2-1a、b 和 c。

图 2-1d 示意了信道 CH1 中多个连续到达的数据帧 CH10、CH11、CH12、CH13、CH14。图 2-1d 的水平轴上示意了一条时序线以及公共同步时钟的 T_0 、 T_1 、 T_2 、 T_3 、 T_4 的发生。这里为示意起见假定第一信道 CH1 的连续数据帧与公共同步时钟的发生很好地对齐。即帧 CH11 从比如公共同步时钟的 T_0 发生开始，而结束于公共同步时钟的下一发生 T_1 。当然，一般情况下（见图 2-1e 中信道 CH2 的数据帧）数据帧并不能与公共同步时钟很好地对齐。然而，在大量信道当中，实际上其中有一个可与公共同步时钟很好地对齐。

30 对于公共同步时钟发生间地所有周期，图 2-1f 示意了所谓的对齐模式。可分辨三种对齐模式，即：

-模式“M1”：1WR, 2WR, 3RD；第一帧存储器处于写状态 WR，

第二帧存储器也处于写状态 WR，而第三帧存储器处于读状态 RD；

-模式“M2”：2WR，3WR，1RD；第二帧存储器处于写状态 WR，第三帧存储器也处于写状态 WR，而第一帧存储器处于读状态 RD；以及

- 5 -模式“M3”：3WR，1WR，2RD；第三帧存储器处于写状态 WR，第一帧存储器也处于写状态 WR，而第二帧存储器处于读状态 RD。

10 对齐模式 M1-M3 在从 T_0 到时刻 T_1 、 T_1 到 T_2 和 T_2 到 T_3 的各个同步时钟周期期间分别保持。在时刻 T_3 后，对齐模式以相同顺序重复。因而，图 2-1d 示意了三种对齐模式 M1，M2，M3 间的循环切换。即，随着每个公共同步时钟的发生，三个帧存储器预定的读/写状态都进行切换。因此，对齐模式的切换实际上是同步于公共同步时钟 T_0 - T_4 ，而作为范例假设只有第一信道 CH1 的数据帧也同步于公共同步时钟。

15 这里应该强调处于读状态 RD 的每个帧存储器总是在公共同步时钟的下一发生开始读出而处于写状态 WR 的帧存储器在数据到达时写入。

20 图 2-1e 示意了信道 CH2 的数据帧 CH20、CH21、CH22、CH23、CH24。尽管单个数据帧是连续地到达且与第一信道 CH1 数据帧长度相同（如 10ms），但从图 2-1e 中可以看出相对公共同步时钟还是存在时间偏差。作为范例这里假设相对公共同步时钟（以及在图 2-1d 的特别范例中还相对第一信道 CH1 的数据帧）存在的时间偏差正好是半个数据帧周期。这意味着，在公共同步时钟的 T_0 、 T_1 、...、 T_4 发生时只有半个数据帧（如数据帧 CH20 的前半段）已写入在时间段 t_0 - T_0 内处于写状态 WR 的帧存储器。实际上，各个数据帧总是写入相同帧存储器中相应的存储位置。不同信道间不同的只是写过程的时间段。比如通过考虑第一

25 对齐模式 M1 中的帧存储器 RAM1（图 2-1a）可以看出，实际上数据帧 CH20 在时刻 T_1 时已完全写入帧存储器 RAM1，然而，因为存在时间偏差，对帧存储器 RAM1 的写入并非同步于同步时钟发生 T_0 、 T_1 地开始和结束。因此，当对齐模式 M3 被激活时，CH20 的前一半在时间段 t_0 - T_0 （ t_0 ：数据帧 CH20 的到达时间或开始时刻）写入帧存储器 RAM1，

30 而 CH20 的后一半在 T_0 - t_1 之间（ t_1 ：CH20 的结束时刻和 CH21 的开始时刻）写入帧存储器 RAM1。然而，在时刻 T_0 前的帧周期中，（同步于同步时钟的）数据帧 CH10 已经在模式 M3 下写入帧存储器 RAM1 了。

当然，在同步时钟的 T_0 发生时进行模式切换。然而，因为在同步时钟的 T_0 发生时数据帧 CH20 还未完全写入帧存储器 RAM1，所以帧存储器 RAM1 在 $T_0 < t < T_1$ 的时间内都保持在写状态。因此，直到终止定时 t_1 数据帧 CH20 才能完全写入帧存储器 RAM1。

5 当 $t > t_1$ 时下一时间偏差数据帧 CH21 必须写入帧存储器。因为数据帧 CH20 已经写入帧存储器 RAM1，所以应继续写入在 $t_1 - T_1$ 时间段也处于写状态的帧存储器 RAM2。这在图 2-1a, b, e 中用箭头 c1 表示。

随着下一同步时钟 T_1 发生，进行模式切换。第二对齐模式 M2 中，在 $T_1 - T_2$ 时间段内，帧存储器 RAM1 假定为读状态 RD，帧存储器保持其写状态 WR 而第三帧存储器 RAM3 切换为写状态 WR。在帧 CH21 的终止定时 t_2 ，第二帧存储器 RAM2 已完全填满而第二信道 CH2 新到达的数据帧 CH22 于是写入前一对齐模式 M1 中处于读状态的帧存储器 RAM3。这在图 2-1b, c, e 中用 c2 表示。

15 当然，就信道 CH1 而言，这里并非一定需要相对公共同步时钟的部分时间重叠的写操作，因为数据帧已经同步于同步时钟地到达。因此，在 T_0 发生时数据帧 CH10 已完全存于帧存储器 RAM1 中并且在 T_1 发生时信道 CH11 已完全写入第二帧存储器 RAM2 中（如图中箭头 d1 所示）。

20 从 M1 → M2 的模式切换的实现如下。在时钟同步周期 $T_1 - T_2$ 内目前处于读状态 RD 的第一帧存储器可经过公共同步时钟同步地读出，因为第一帧存储器 RAM1 在同步时钟的 T_1 发生时已完全存储两个信道的数据帧 CH10, CH20，尽管它们到达时存在时间偏差。因而，时间对齐是对两个信道 CH1, CH2 的两个数据帧进行的。

25 该过程将继续，下一同步时钟 T_2 发生时将进行另一次切换。虽然帧 CH22 的前半部分在 $t_2 - T_2$ 时间段内已写入接着处于写状态 WR 的第三帧存储器 RAM3，还是要执行到下一对齐模式的切换，以便第三帧存储器 RAM3 保持其写状态 WR，第二帧存储器 RAM2 进入读状态而第一帧存储器 RAM1 进入写状态。因而，数据帧 CH22 的后半部分在时刻 T_2 切换之后的 $T_2 - t_3$ 的时间段内写入第三帧存储器 RAM3。包含了数据帧 CH11 和 CH21 的第二帧存储器 RAM2 同步于时钟时刻 T_2 被读出。当然
30 随着数据帧 CH22 的终止定时 t_3 的发生（那时 CH22 已完全写入第三帧存储器 RAM3 中），新到达的数据帧 CH23 写入在对齐模式 M2 中处于

读状态 RD 的第一帧存储器 RAM1。下一数据帧 CH23 写入前面处于读状态的帧存储器，这在图 2-1a, c, e 中用 c3 表示。

随着同步时钟 T_3 的发生，对齐模式再次从 M3 切换到 M1。然而，第一帧存储器 RAM1 保持其写状态 WR。已完全存储了数据帧 CH22 的
5 第三帧存储器 RAM3 就切换到读状态 RD 并从同步时钟 T_3 开始读出。第二帧存储器 RAM2 被设置为写状态 WR。因为第一帧存储器 RAM1 保持其写状态 WR，所以数据帧 CH23 的后半部分就在 T_3-t_4 时间段内写入第一帧存储器 RAM1。当下一数据帧 CH24 在开始定时 t_4 到达时，该
10 数据帧写入前面处于读状态的帧存储器 RAM2，如图 2-1a, b, e 中箭头 c4 所示。当在帧间隔 T_3-T_4 内将 CH23 的后半部分和 CH24 的前半部分写入时，完全包含了数据帧 CH12 和 CH22 的第三帧存储器 RAM3 被读出。

时间对齐模式 M1, M2, M3, M1...因而循环进行切换并且每次切换后新到达的数据帧都写入切换前处于读状态的帧存储器。

15 应该注意到图 2-1 只给出了有关信道 CH2 的半帧相对公共同步时钟的时间偏差的一个范例。然而，切换对齐模式和读写的通用规程一般可应用于任何种类的时间偏差，并且当然不仅可处理两个信道 CH1, CH2 还可处理大量的信道（如多达 300 个信道），以便它们相对公共同步时钟的各自时间偏差能被对齐。在 n 个信道的情况下，每个帧存储器都必须能同时存储 n 个数据帧。
20

图 2-2 是不同的时序图，它示意了图 2-1 的规程。这里再次假定信道 CH1 的数据帧没有时间偏差而信道 CH2 的数据帧有半个数据帧周期的时间偏差。其他信道被假定有任意的时间偏差（CH3...CH n ）。图 2-2 的时序图举例示意，在同步时钟的 T_1 发生时信道 CH3 的数据帧 CH35 的一部分已写入处于写状态的帧存储器，而在时刻 T_1 后到达的剩余数据
25 CH35 在下一周期 T_1-T_2 内将写入相同的帧存储器。对于具有不同帧偏差（帧偏差 CH n ）的信道 CH n 也是如此。数据帧 CH20 的前半部分在时刻 T_1 前写入处于写状态的帧存储器而后半部分在 T_1 后写入相同的存储器。从图中时钟发生 T_2 那里可看到，在 T_2 之后从处于读状态的帧存储器中可读出所有的数据帧 CH10, CH20, CH35, ..., CH n x, 其中每个
30 信道在其数据读出的 10ms 帧内有其自己专用的时隙。

如示意了读出的数据帧 CH10, CH20, CH35, ..., CH n x 的安排的

图 2-3 中所示, 这些数据帧在 T_2 后读出并分配到 10ms 时间段内其关联的时隙 (参见有关联的上述图 1-3) 直至下一同步时钟 T_3 发生为止。

图 3 示意了用于多个连续帧的对齐模式间的切换。序号 0, 1, 2, 3, 4, 5, 6 表示一个单个信道如信道 CH1 的连续数据帧。关于帧存储器的读和写状态, 第一到第三对齐模式 M1, M2, M3 与图 2-1 中的描述相同。当然, 尽管比如从模式 M1 看起来数据帧 0, 1, 2 同时都在三个帧存储器 RAM1, RAM2, RAM3 中, 但对于非零时间偏差在实际中绝不会这样。即, 在数据帧 0 已读出的同步周期末尾, 当然此时数据帧 2 可能还没有完全写入其相应的写状态帧存储器, 但帧 1 已完全写入 RAM2。因而, 图 3 中假设读写的进行一般都象图 2-1、图 2-2 示意的那样。

然而, 图 3 示意本发明的另一方面, 即关于新数据帧写入写状态存储器的规程很重要的方面 (‘入’表示新到达数据帧, 而‘出’则表示从读状态帧存储器中读出数据帧)。

正如一般由图 3 可看出的, 新到达数据帧 2, 3, 4, 5, 6 优选地应该写入各自的帧存储器 RAM1, RAM2, RAM3, RAM1, 它们在前一对齐模式中分别处于读状态。从图 3 也可以看出数据帧的读出的结果是序列提供数据帧 0, 1, 2, 3, 4。

因而, 上述时间对齐装置和时间对齐方法可通过图 1 示意的输出装置 OM 以时间对齐方式提供多个信道的数据帧给解码资源。因而, 与公共同步时钟分别存在时间偏差的数据帧可以被时间对齐并因此解码器资源可成功用于大量信道的几个数据帧。因而, 每个单独信道各自的数据帧不需要一个自己专用的解码器单元。即如图 2-3 所示以及联系图 1-2、1-3 的上述讨论, 在每个如 10ms 的时间段内, 通过一个解码单元序列地处理预定数目信道 CH1, CH2, CH3, ..., CHn 的一个数据帧 CH10, CH20, CH35, ..., CHnx, 并且几个解码单元中每个用于预定数目的其他信道, 它们在相同的 10ms 时间段内并行操作。

第二实施方案 (时间对齐/解交织)

每个帧存储器 RAM1, RAM2, RAM3 可由图 4-1、4-2 中的矩阵组成。即帧存储器 (矩阵) 有 N_w-1 列和 N_r-1 行用于存储该数据帧。每个帧存储器包含来自所有信道的一个数据帧。该数据帧按行方向写入 (图 4-1、4-2 中的“写入”) 且在同步时钟发生时数据帧可再次以相同方向即

行方向读出。

然而，很多传输系统中为了减少脉冲串中经常出现的、均衡器造成的判决差错的影响而要在发射机中对每个数据帧进行比特交织。众所周知，比特交织实质上是把判决差错分散到相应数据帧的整个时间段内。

5 为此，帧存储器也在发射机处对每个信道必须包含按照图 4-1、4-2 的一个矩阵。为了在发射机处进行交织，每个矩阵都按垂直（或列）方向填入各个数据帧而在传输当中该相应的矩阵按水平（或行）方向读出。

接收机处的比特解交织按相反顺序进行。接收到的数据帧按水平方向写入相应矩阵，而在解码器（如通过卷积解码器）进行最终信道解码前按列方向从其中读出（见图 4-1；列和行数目的安排决定期望的交织深度）。

若已编码和比特交织的数据出现在三个帧存储器 RAM1，RAM2，RAM3 中，时间对齐规程可按如下内容很容易地与比特解交织结合。

15 假设每个帧存储器 RAM1，RAM2，RAM3 包含每个信道一个矩阵（按照图 4-1、4-2），其中该矩阵按行方向填入一个相应的数据帧，图 1-1 中的控制单元 CU（即它的解交织单元 DILM）从公共同步时钟开始按列读出每个矩阵。即，图 1-1 中的输入装置 IM 将每个信道的一个数据帧按时间对齐模式和参考图 2-1 描述的写入技术以行方向写入帧存储器的一个对应矩阵（图 4-1、4-2 中的“写入”）。

20 另一方面，只要是在从处于读状态的帧存储器读的时候，为了进行比特解交织要按列方向读出相应矩阵。通过执行按行写和按列读，时间对齐可与比特解交织同时进行。

因而，不需要额外电路来进行比特解交织，而只需要对帧存储器的矩阵切换读和写方向。因此，处理每个数据帧的时间可减少而硬件复杂度也可最小化。

第三实施方案（按符号存储）

不仅在上述的图 5、6 的 CDMA 系统的基站收发信机 BTS 中，在很多传输系统中，都要进行时间对齐以及信道解码。比如，发射机中的卷积信道编码器输出几个比特作为一个符号传送到接收机（对每个未编码的输入比特）。

30 若接收机使用软输出均衡器，数据帧中到达的数据是图 5 的 BBRX 单元中检测到的软判决符号。解码器 DEC 于是进行卷积解码以在大量

连续比特时刻上基于软判决符号来判决发出的是“0”还是“1”。

然而，为此必须对软符号而非比特进行解交织，即并不是必须对硬比特进行交织而是对软符号进行交织。因而，按照本发明的另一方面，包含几个比特的软符号总是存储于矩阵的每个存储位置，如图 4-2 所示。按符号存储可同上述的时间对齐一起使用。此外，应该指出本发明是相对独立于 DEC 单元的实现的，即与是通过 DSP（数字信号处理器）还是 FPGA（现场可编程门阵列）或是 ASIC（特定用途集成电路）来实现 DEC 单元无关。

工业实用性

上述的时间对齐装置和时间对齐方法使用三个帧存储器作为主要组件以及这些存储器的读写状态的循环切换。因而，来自多个信道的、每个都带有相对公共同步时钟（可能由解码器提供）的时间偏差的任何类型的数据帧都能实现时间对齐。

若电信系统进行卷积信道编码和比特交织，按照本发明的时间对齐装置和时间对齐方法可有利地得到应用。使用这种信道编码和解码以及比特交织和解交织的电信系统是 CDMA 电信系统的基站收发信机，如图 5、6 一般示意的。此外，应该指出关于交织过程，不失一般性，也可以交换行与列方向。

此外，应该理解本发明并不局限于目前被视为本发明最好模式的上述实施方案和范例。而是，在上述示教基础上技术人员可得到本发明的其他变化和修改。然而，所有的修改和变化都处于独立权利要求的范围之内。此外，本发明可包含由在上述说明书中已分别描述和/或在权利要求中已分别要求的特征组成的实施方案。

此外，权利要求中的参考数字只是出于清楚的目的而并不限制本发明的范围。

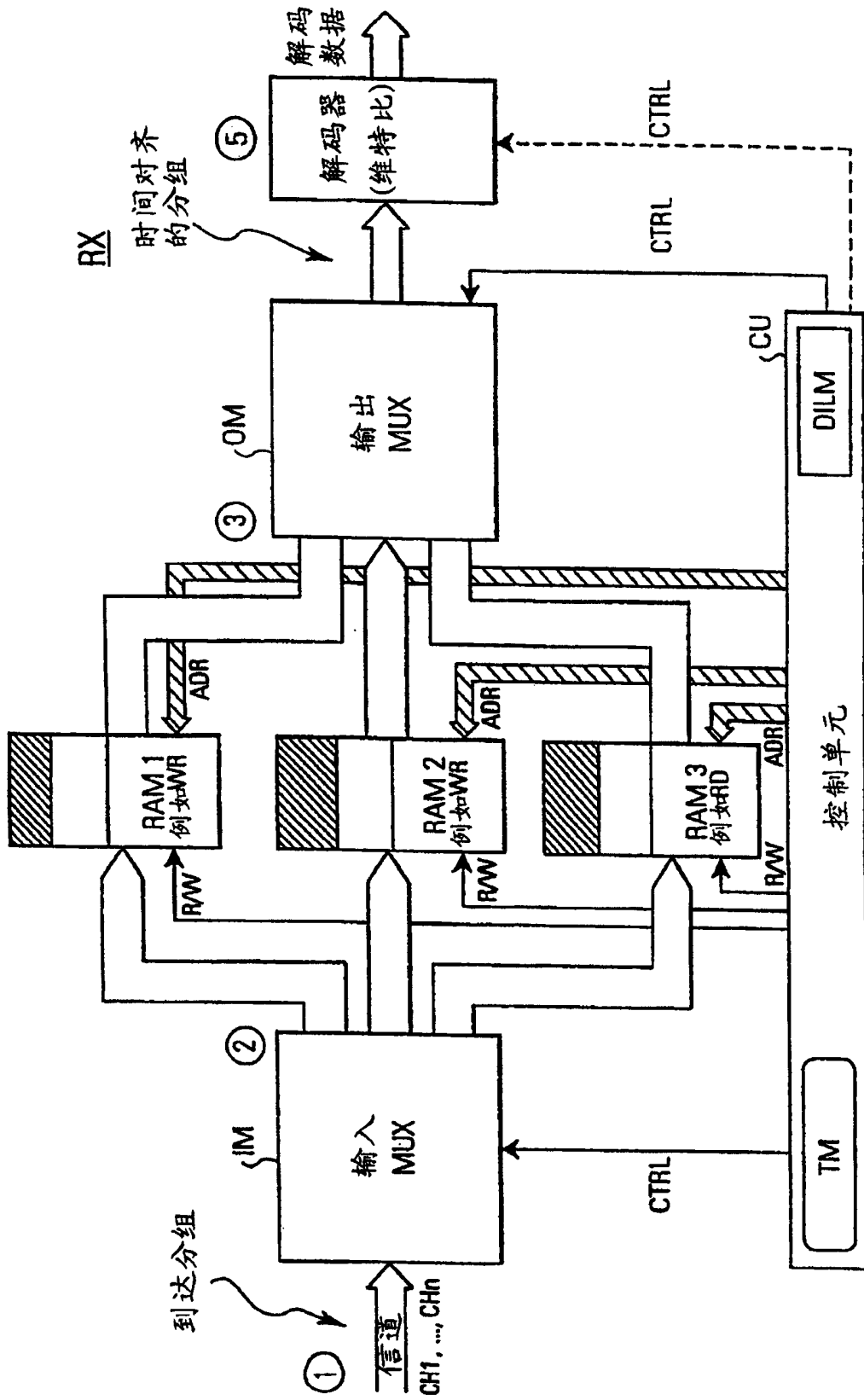


图 1-1

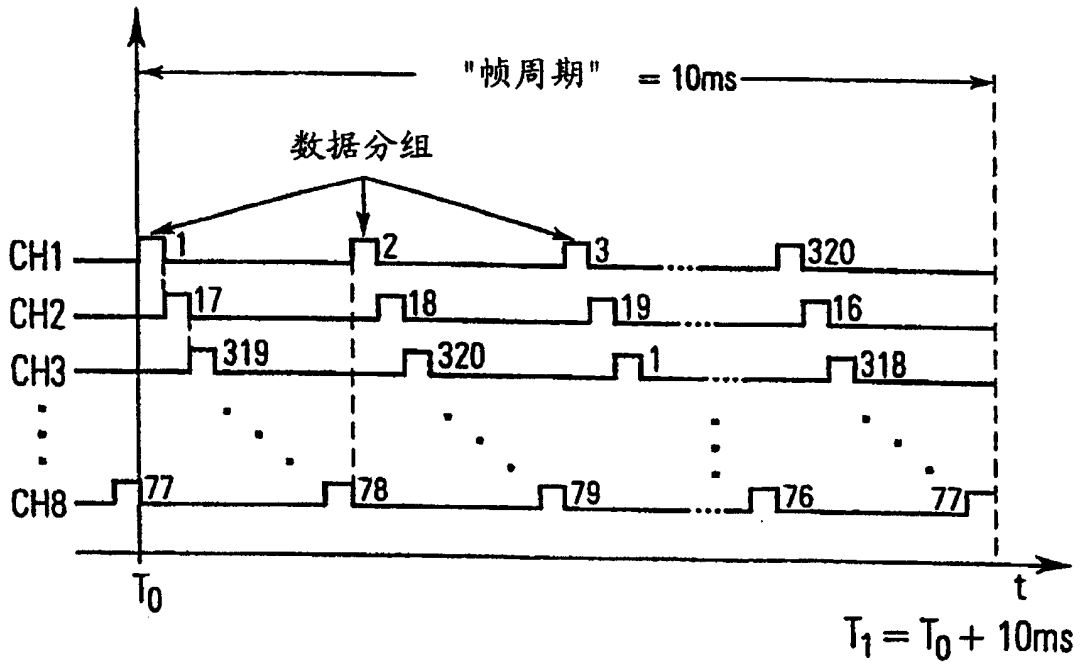


图 1-2

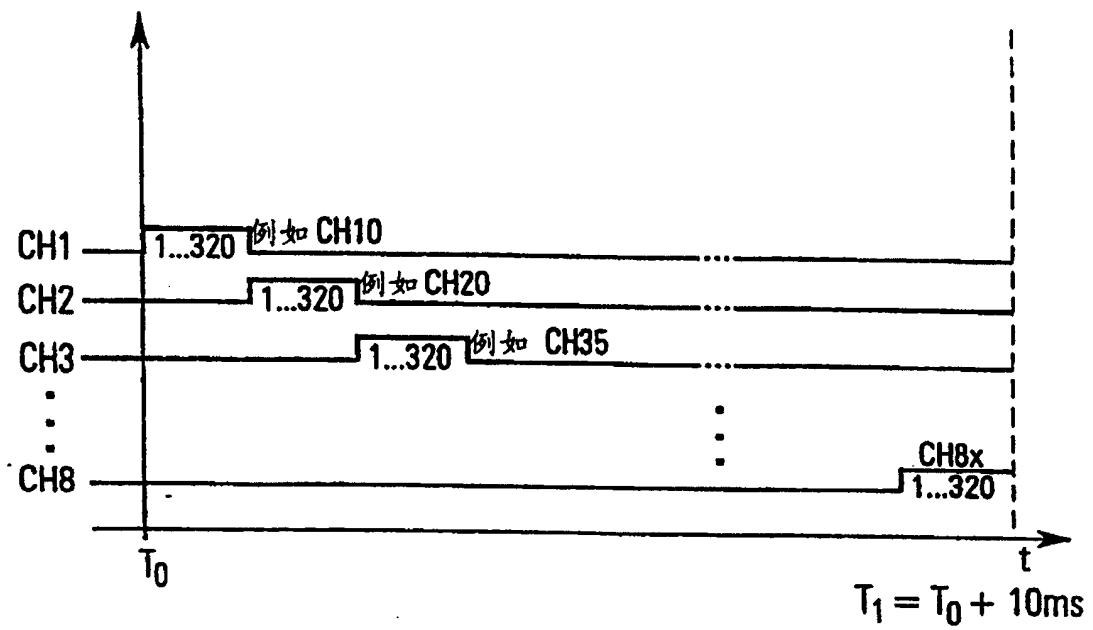


图 1-3

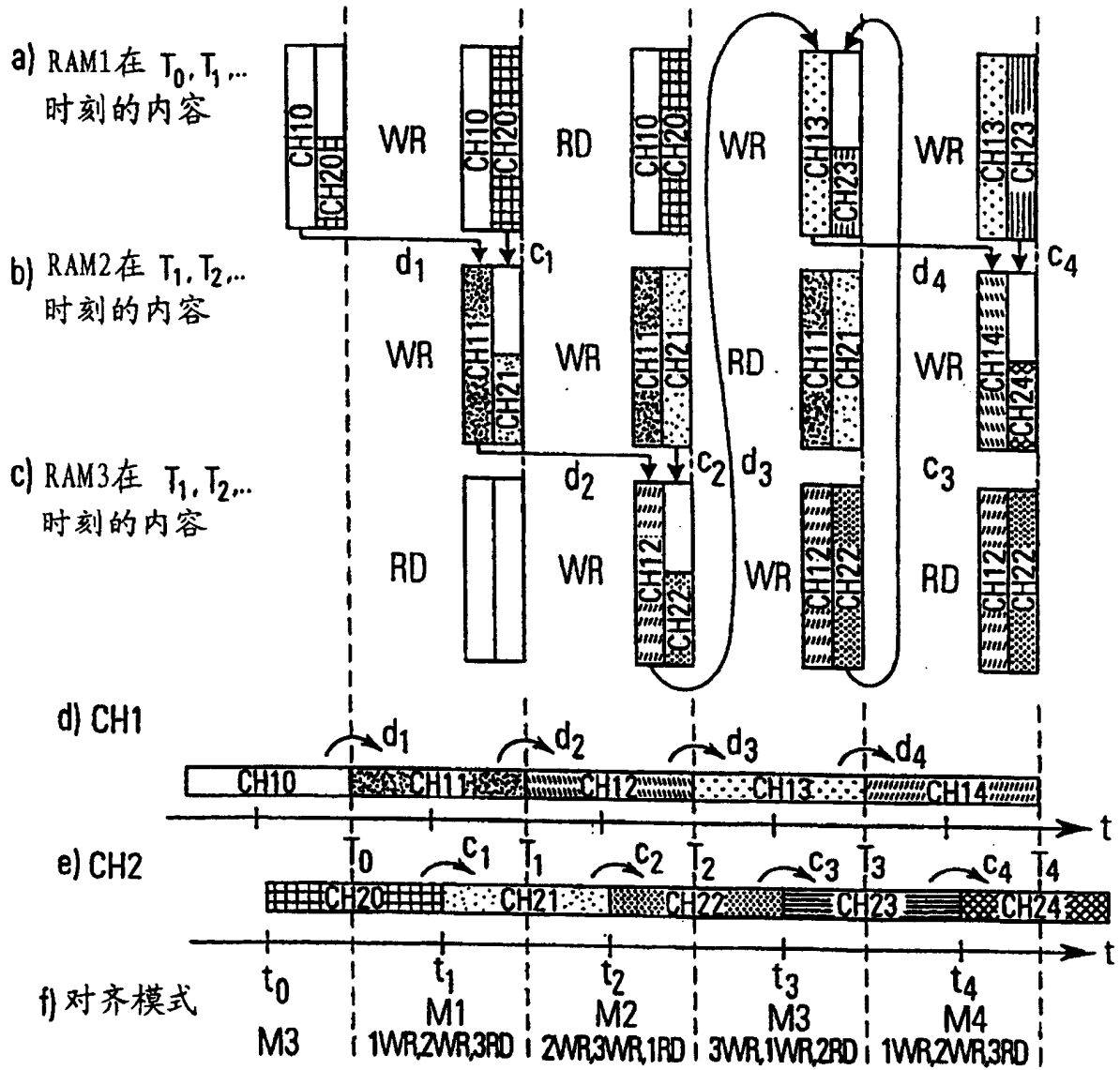


图 2-1

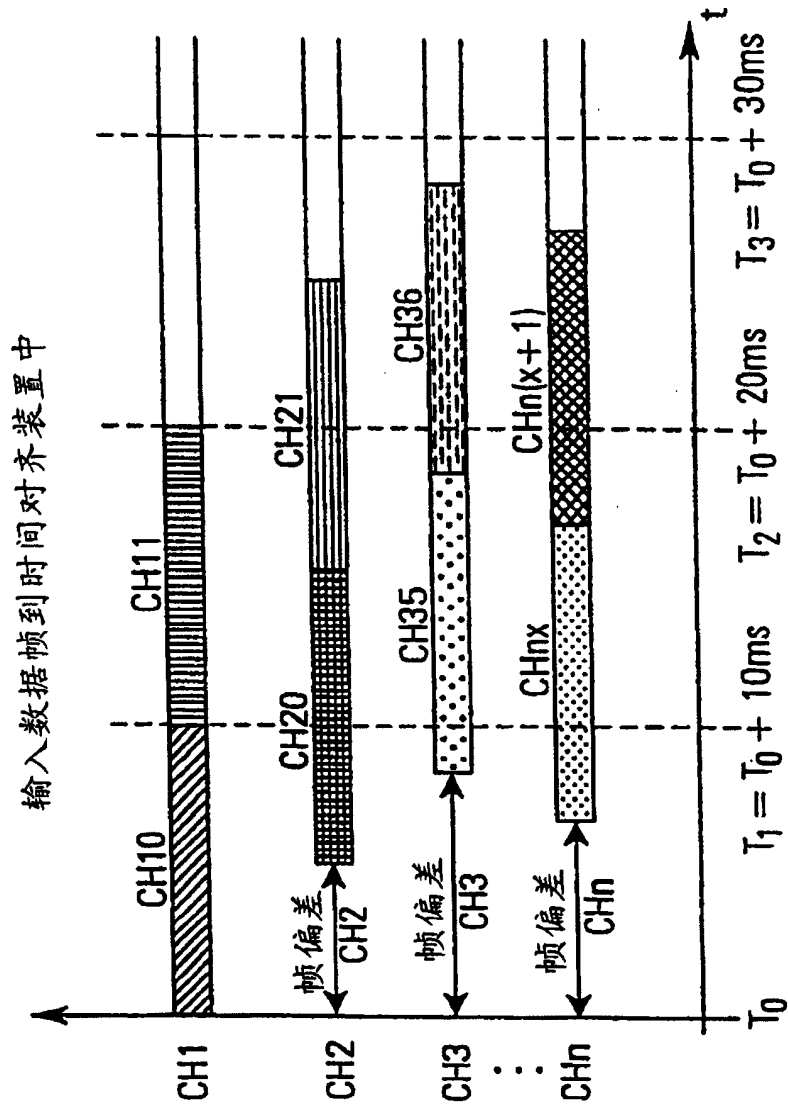


图 2-2

从时间对齐装置中输出数据帧

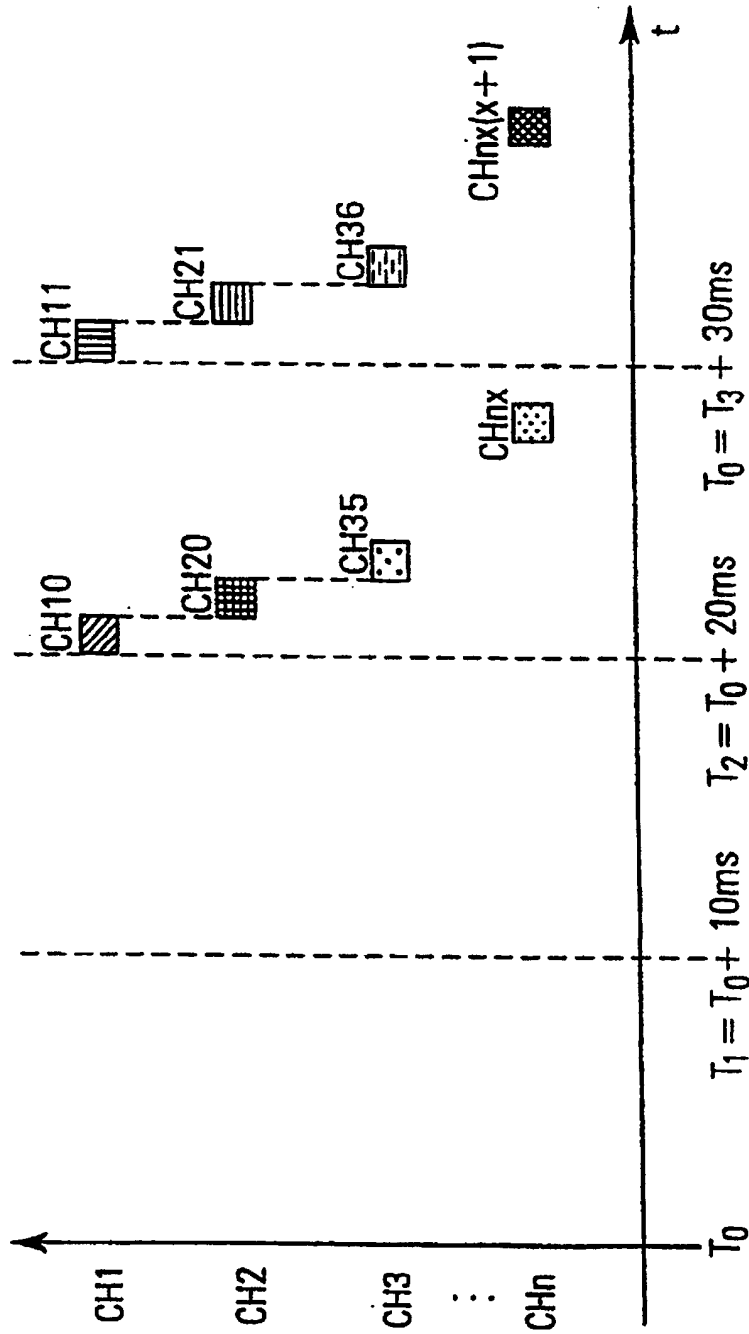


图 2-3

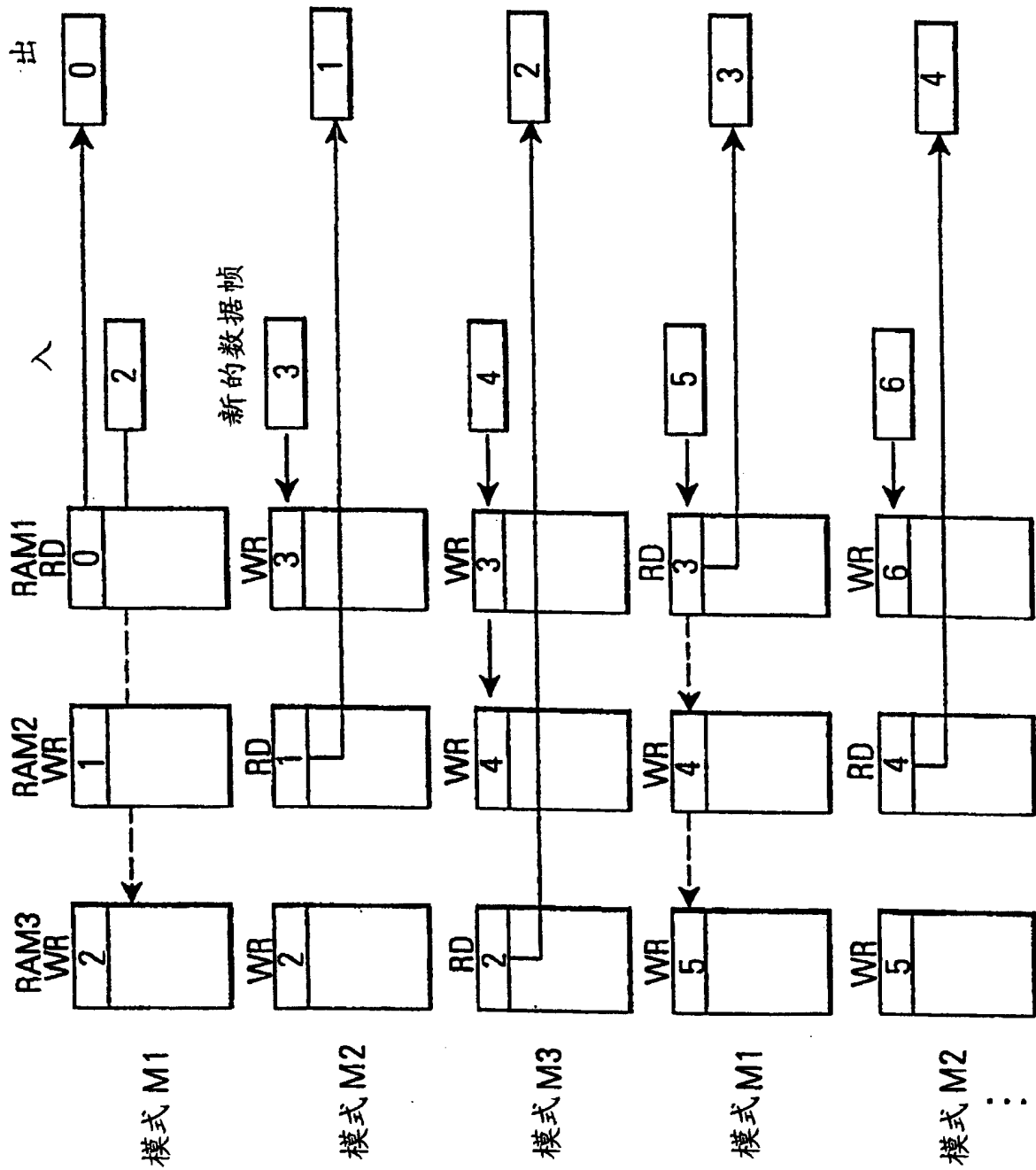


图 3

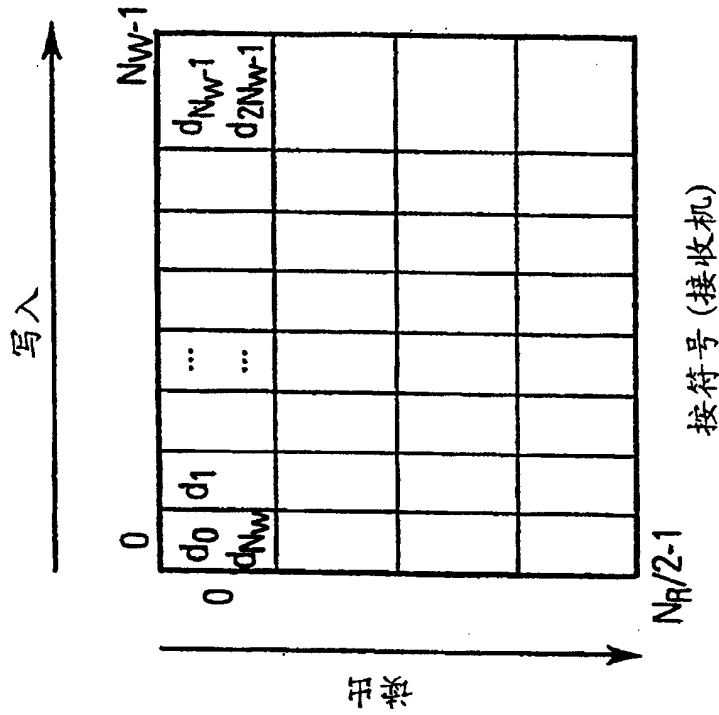


图 4-1

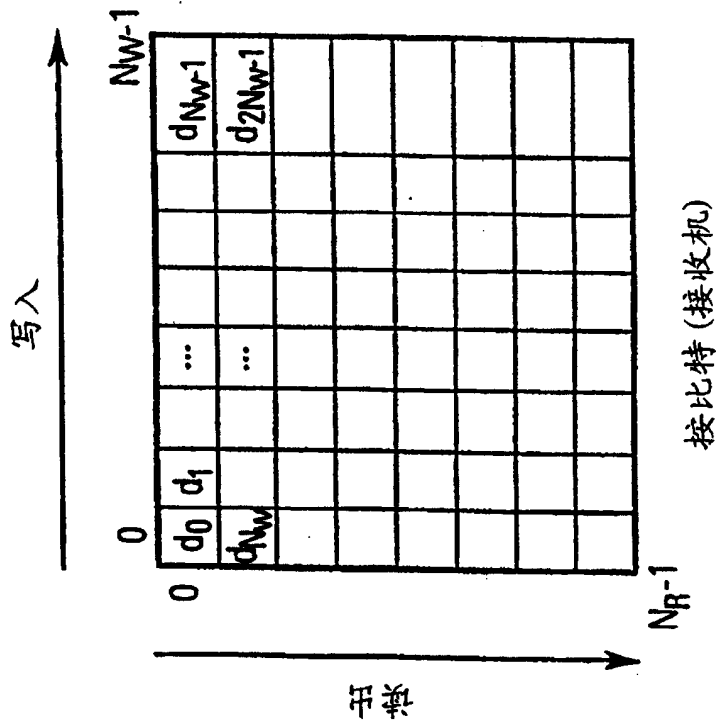


图 4-2

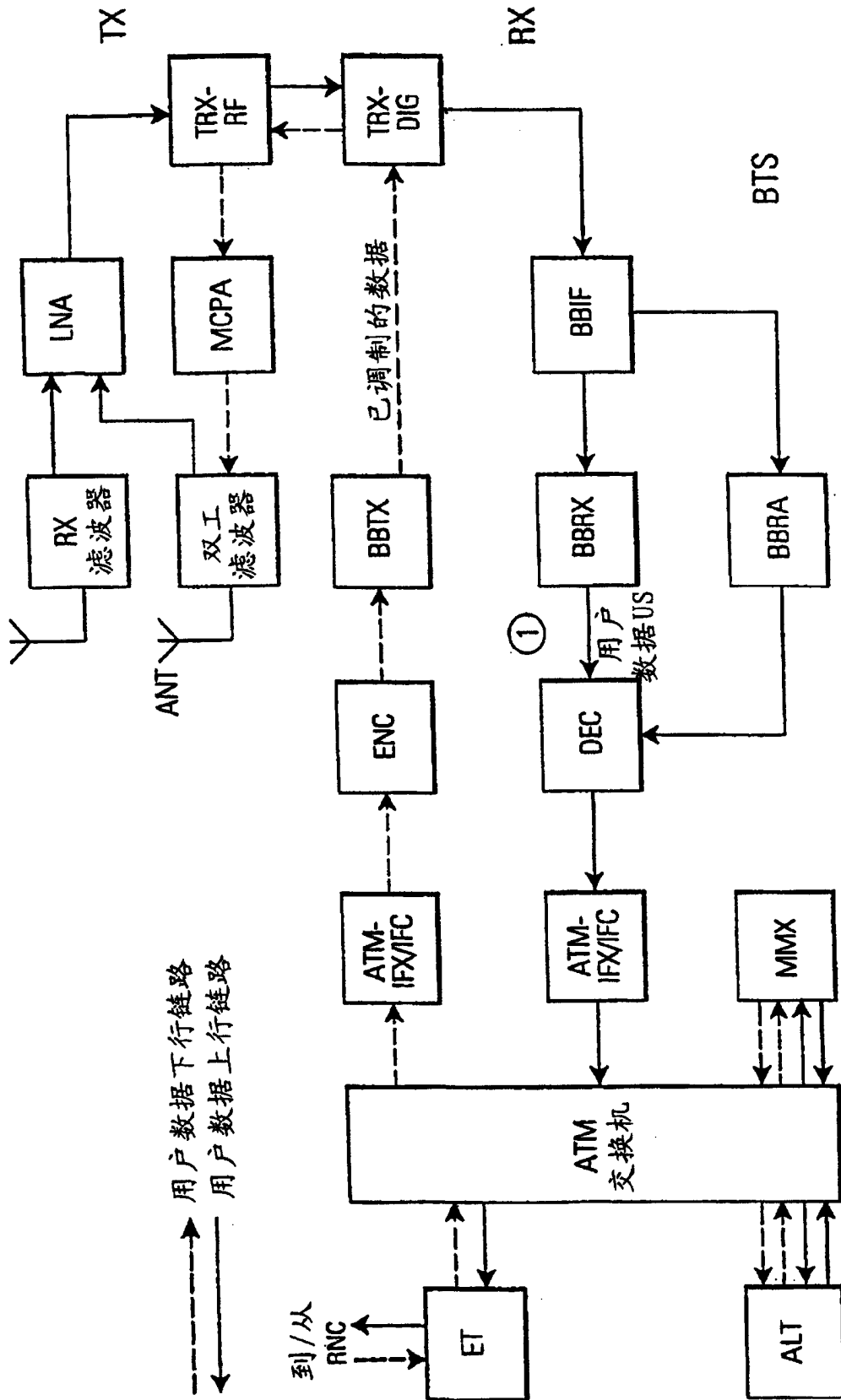


图 5

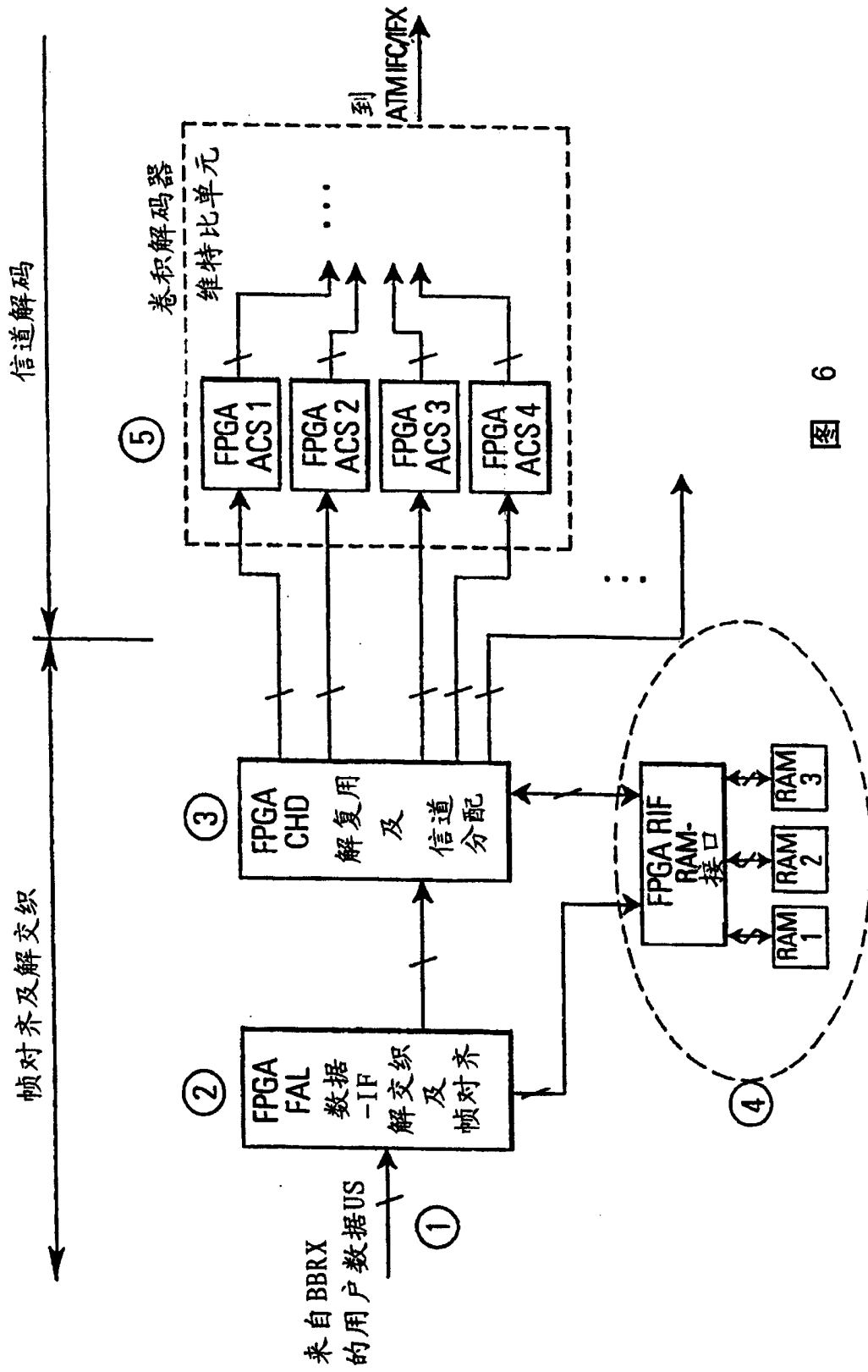


图 6