



(21) 申請案號：110145178 (22) 申請日：中華民國 110 (2021) 年 12 月 03 日
 (51) Int. Cl. : **H01L21/3065(2006.01)** **G03F7/20 (2006.01)**
 (30) 優先權：2020/12/04 美國 17/111,652
 (71) 申請人：日商東京威力科創股份有限公司 (日本) TOKYO ELECTRON LIMITED (JP)
 日本
 (72) 發明人：韓 蘊 HAN, YUN (US)；凡特薩克 彼得 VENTZEK, PETER (US)；蘭傑 艾洛
 克 RANJAN, ALOK (US)
 (74) 代理人：周良謀；周良吉
 申請實體審查：無 申請專利範圍項數：41 項 圖式數：5 共 38 頁

(54) 名稱

金屬光阻上的缺陷校正

(57) 摘要

半導體元件之形成方法包括：沉積金屬光阻層在待圖案化的層上方，該待圖案化的層係形成在基板上方；使用微影處理而圖案化該金屬光阻層，以形成已圖案化的金屬光阻層並且暴露該待圖案化的層之複數部分；藉由使該基板暴露至氣體混合物，以選擇性地沉積含矽層在該已圖案化的光阻層上方，該氣體混合物包括矽前驅物，該含矽層係優先地沉積在該金屬光阻層之頂表面上方；及藉由使該待圖案化的層及被該含矽層所覆蓋之該已圖案化的金屬光阻層暴露至具有蝕刻化學品之電漿處理，以實施表面清潔處理，該蝕刻化學品包括鹵素或氫。

A method for forming a semiconductor device includes depositing a metal resist layer over a layer to be patterned that is formed over a substrate; patterning the metal resist layer using a lithography process to form a patterned metal resist layer and expose portions of the layer to be patterned; selectively depositing a silicon containing layer over the patterned resist layer by exposing the substrate to a gas mixture comprising a silicon precursor, the silicon containing layer being preferentially deposited over a top surface of the metal resist layer; and performing a surface cleaning process by exposing the layer to be patterned and the patterned metal resist layer covered with the silicon containing layer to a plasma process with an etch chemistry comprising a halogen or hydrogen.

指定代表圖：

符號簡單說明：

202-210:方塊

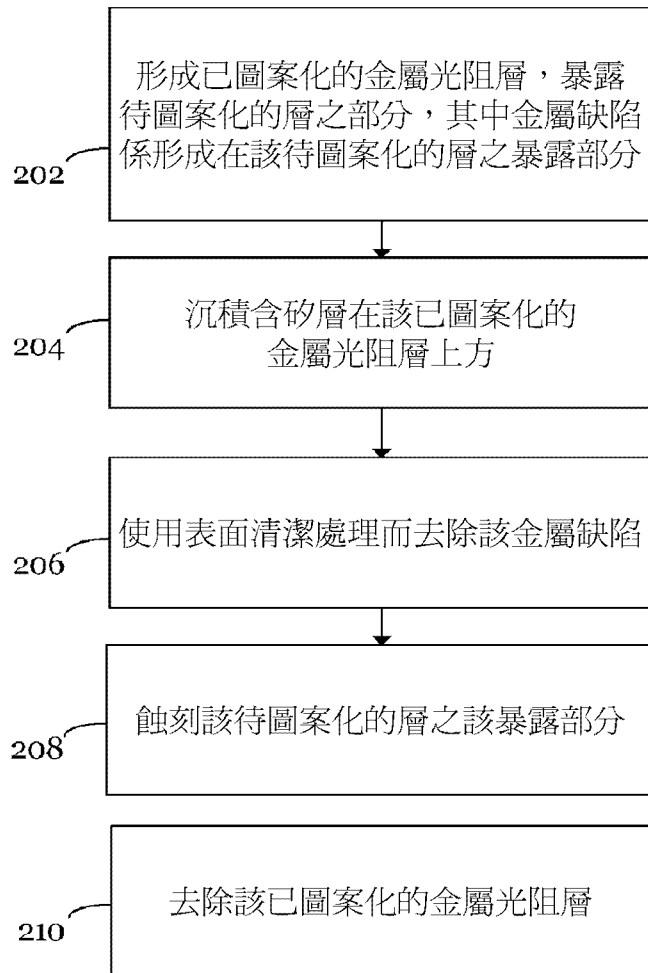


圖 2

【發明摘要】

【中文發明名稱】金屬光阻上的缺陷校正

【英文發明名稱】DEFECT CORRECTION ON METAL RESISTS

【中文】

半導體元件之形成方法包括：沉積金屬光阻層在待圖案化的層上方，該待圖案化的層係形成在基板上方；使用微影處理而圖案化該金屬光阻層，以形成已圖案化的金屬光阻層並且暴露該待圖案化的層之複數部分；藉由使該基板暴露至氣體混合物，以選擇性地沉積含矽層在該已圖案化的光阻層上方，該氣體混合物包括矽前驅物，該含矽層係優先地沉積在該金屬光阻層之頂表面上方；及藉由使該待圖案化的層及被該含矽層所覆蓋之該已圖案化的金屬光阻層暴露至具有蝕刻化學品之電漿處理，以實施表面清潔處理，該蝕刻化學品包括鹵素或氫。

【英文】

A method for forming a semiconductor device includes depositing a metal resist layer over a layer to be patterned that is formed over a substrate; patterning the metal resist layer using a lithography process to form a patterned metal resist layer and expose portions of the layer to be patterned; selectively depositing a silicon containing layer over the patterned resist layer by exposing the substrate to a gas mixture comprising a silicon precursor, the silicon containing layer being preferentially deposited over a top surface of the metal resist layer; and performing a surface cleaning process by exposing the layer to be patterned and the patterned metal resist layer

covered with the silicon containing layer to a plasma process with an etch chemistry comprising a halogen or hydrogen.

【指定代表圖】：圖 2

【代表圖之符號簡單說明】

202-210:方塊

【發明說明書】

【中文發明名稱】 金屬光阻上的缺陷校正

【英文發明名稱】 DEFECT CORRECTION ON METAL RESISTS

【技術領域】

【0001】 本發明大致關於半導體製造，具體而言，關於金屬光阻上之缺陷校正。

[相關申請案之交互參照]

【0002】 本申請案主張 2020 年 12 月 4 日提出申請之美國專利申請案第 17/111,652 號之優先權，其完整內容係併入本申請案中之參考資料。

【先前技術】

【0003】 通常，藉由使用微影及蝕刻在半導體基板上順序沉積及圖案化介電層、導電層及半導體材料層來製造例如積體電路（IC）之半導體裝置，以形成用於電路構件及內連線元件（例如，電晶體、電阻器、電容器、金屬線、接觸窗及介層窗）之結構。在各連續技術節點上，特徵部尺寸會微縮以大約使構件堆積密度加倍。印製更高解析度圖案之直接方法是縮小光源之波長。用於在 250 nm 及 130 nm 節點曝光關鍵圖案之 248 nm 深紫外線（DUV）輻射源（KrF 雷射）被 193 nm ArF 雷射所取代。使用多重圖案化技術將 193 nm 光學元件進一步擴展到 14 nm 甚至 10 nm 節點，但具有與額外遮罩有關之更高的成本及處理複雜性。在次 10 nm 範圍中，DUV 可能被更短的 13.5 nm 波長極紫外線（EUV）技術所取代。雖然 EUV 可能使用較少的遮罩來實現高解析度，但它必須將微影系統之所

有構件（輻射源、掃描機、遮罩及光阻）結合在一起，克服各構件之工程障礙。一主要問題是，用於 DUV 之傳統化學放大（CA）光阻可能無法達到 10 奈米節點所需之解析度及敏感度。金屬光阻已被建議做為對 CA 光阻之改良。雖然金屬光阻可達到所需的解析度，但金屬光阻帶來了一系列獨特的挑戰。

【發明內容】

【0004】 根據一實施例，半導體元件之形成方法包括：沉積一金屬光阻層在一待圖案化的層上方，該待圖案化的層係形成在一基板上方；使用一微影處理而圖案化該金屬光阻層，以形成一已圖案化的金屬光阻層並且暴露該待圖案化的層之複數部分；藉由使該基板暴露至一氣體混合物，以選擇性地沉積一含矽層在該已圖案化的光阻層上方，該氣體混合物包括一矽前驅物，該含矽層係優先地沉積在該金屬光阻層之頂表面上方；及藉由使該待圖案化的層及被該含矽層所覆蓋之該已圖案化的金屬光阻層暴露至具有一蝕刻化學品之一電漿處理，以實施一表面清潔處理，該蝕刻化學品包括一鹵素或氫。

【0005】 根據一實施例，半導體元件之形成方法包括：沉積一金屬光阻層在一待圖案化的層上方，該待圖案化的層係設置在一基板上方；使用一極紫外線（EUV）微影處理而圖案化該金屬光阻層，以形成一已圖案化的光阻層並且暴露該待圖案化的層之複數部分，其中該圖案化係留下一金屬殘留物在該待圖案化的層之該等暴露部分其中一者上方；使用一含矽材料而覆蓋該已圖案化的金屬光阻層之一頂表面；在以該含矽材料而覆蓋該已圖案化的金屬光阻層之該頂表面時，使用包括一鹵素之一電漿處理而選擇性地去除該金屬殘留物；及使用一指向性電漿蝕刻處理而圖案化該待圖案化的層。

【0006】 根據一實施例，半導體元件之形成方法包括：沉積一金屬光阻層在一待圖案化的層上方，該待圖案化的層係設置在一基板上方；使用一極紫外線

(EUV) 微影處理而圖案化該金屬光阻層，以形成一已圖案化的金屬光阻層，以便暴露該待圖案化的層之一第一組區域；沉積一第一材料在該第一組區域上方；選擇性地去除該已圖案化的金屬光阻層，以暴露該待圖案化的層之一第二組區域；沉積一第二材料而覆蓋該待圖案化的層之該第二組區域，該第二材料係不同於該第一材料；選擇性地去除該第一材料，以重新暴露該待圖案化的層之該第一組區域；藉由使該待圖案化的層之該第一組區域暴露至一電漿處理，以實施一表面清潔處理；及蝕刻該待圖案化的層之該第一組區域，以在該待圖案化的層中形成一圖案。

【圖式簡單說明】

【0007】 為了更完整地理解本發明及其優點，現在參照下方的實施方式並結合隨附圖式，其中：

【0008】 圖 1A-1E 繪示根據本案之實施例之在不同製造階段期間之半導體裝置之橫剖面圖，其中圖 1A 繪示在形成已圖案化的金屬光阻層之後之裝置之橫剖面圖及俯視圖，圖 1B 繪示在沉積保護性含矽層於形成蝕刻遮罩之已圖案化的金屬光阻層上之後之裝置之橫剖面圖，圖 1C 繪示在表面清潔處理之後之裝置之橫剖面圖，圖 1D 繪示在形成裝置元件圖案於待圖案化的層中之後之裝置之橫剖面圖，圖 1E 繪示在去除蝕刻遮罩之後之裝置之橫剖面圖；

【0009】 圖 2 係流程圖，繪示根據本案之實施例之表面清潔處理之示例性處理流程，用於去除來自蝕刻遮罩之殘留光阻；

【0010】 圖 3A-3H 繪示根據本案之實施例在不同製造階段期間之半導體裝置之橫剖面圖，其中圖 3A 繪示在形成已圖案化的金屬光阻層之後之裝置，圖 3B 繪示在沉積第一材料於待圖案化的層之暴露部分上之後之裝置，圖 3C 繪示在選擇性地去除已圖案化的金屬光阻層之後之裝置，圖 3D 繪示在使用第二材料來替

換已圖案化的光阻層之後之裝置，圖 3E 繪示在選擇性去除第一材料並形成蝕刻遮罩之後之裝置，圖 3F 繪示在表面清潔處理之後之裝置，圖 3G 繪示在形成裝置元件圖案於待圖案化的層中之後之裝置，圖 3H 繪示在去除蝕刻遮罩之後之裝置；

【0011】圖 4 係圖表，繪示一組處理參數，用於使用單一共同蝕刻處理以形成裝置元件之圖案於待圖案化的層中及實施表面清潔處理；及

【0012】圖 5 係流程圖，繪示根據本案之替代實施例之待圖案化的層之表面清潔處理之示例性處理流程，以便去除來自蝕刻遮罩之殘留光阻。

【實施方式】

【0013】本案大致上關於形成已圖案化的蝕刻遮罩之方法，在特定實施例中，關於從用於形成奈米級圖案之蝕刻遮罩去除缺陷之方法。

【0014】如上所述，化學放大（CA）光阻不能滿足較低技術節點之較高解析度。CA 光阻之一問題為，它們容易受到與由較短的極紫外線（EUV）波長所產生之較高能量光子有關之已知隨機效應之影響。例如，EUV 光子之能量為 193 nm 深紫外線（DUV）光子之 14.3 倍，其導致在固定曝光中定義曝光區域之邊緣之光子數量較少。例如，對於 15 mJ/cm² 之 EUV 曝光，面積 1 nm² 之光阻係暴露於平均僅 10 個光子，而在相同劑量之 193 nm DUV 曝光下為 143 個光子。此外，某些區域會隨機地接收比平均光子數更多或更少的光子。此外，當掃描機在整個晶圓之各晶粒進行時，每一晶粒上之相同區域可能隨機地接收不同的曝光。這被稱為散粒雜訊。散粒雜訊係遵循卜瓦松分佈，導致曝光波動比 DUV 中之曝光波動大許多倍。此外，隨著特徵部尺寸變小，曝光波動之影響會增加。光子與光阻相互作用之位置之隨機性導致曝光區域之邊緣模糊。因此，EUV 光阻必須設計成具有高敏感度以防止隨機曝光。即使 CA 光阻可設計成具有良好的敏感度

(S)，但隨著 CA 光阻敏感度之提高，其解析度 (R) 及線邊緣粗糙度會劣化，並且無法滿足 10 nm 節點之要求。這被稱為 RLS 權衡。

【0015】 CA 光阻之另一問題為在 EUV 中之光-物質相互作用。EUV 使用高能光子，高能光子會產生光電子，然後當它們與光阻材料相互作用時產生二次電子。與 DUV 不同，EUV 光子不會藉由在光阻中引起化學反應來使光阻曝光，EUV 光子與光阻相互作用所形成之二次電子係使光阻曝光。由於較短的 EUV 波長所產生之光子數量較少，光阻在 EUV 期間形成二次電子之效率係取決於光阻吸收光子之能力。

【0016】 如本技術領域中具有通常知識者所能理解，金屬光阻能夠克服 CA 光阻之缺點並且能夠在減輕隨機性的同時提供改善的 EUV 光子吸收，導致比 CA 光阻更好的 RLS 權衡。

【0017】 金屬光阻之一缺點為，在顯影步驟之後由於光阻之曝光不足或顯影不足而易於在裝置元件之間留下殘留的金屬光阻顆粒。例如，用於製造半導體裝置之典型處理流程包括多個例子，其中已圖案化的光阻層被形成並且使用做為蝕刻遮罩，以通過蝕刻遮罩對暴露的下方層進行選擇性蝕刻而將圖案轉移至下方層。殘留的光阻是有問題的，因為它會扭曲蝕刻遮罩之已圖案化的光阻之輪廓，導致缺陷。例如，殘留的光阻可能覆蓋著應當暴露在已圖案化的光阻層中之目標層之一部分，其可能導致二或更多緊鄰的裝置元件之非期望連接以及其它可能的缺陷。這被稱為橋接缺陷。

【0018】 本揭示內容中所述之實施例係藉由在金屬光阻層之圖案化之後使用表面清潔處理以去除任何殘留的金屬顆粒，以克服使用金屬光阻之缺點。因此，將使用橫剖面圖 1A-1F 連同圖 2 之流程圖來描述一或更多實施例。將使用橫剖面圖 3A-3H 連同圖 5 之流程圖來描述替代實施例。

【0019】圖 1A-1E 繪示根據本案之實施例之在不同製造階段期間之半導體裝置之視圖。圖 1A 繪示在形成已圖案化的金屬光阻層之後之裝置之橫剖面圖及俯視圖，圖 1B 繪示在沉積含矽層於形成蝕刻遮罩之已圖案化的金屬光阻層上之後之裝置之橫剖面圖，圖 1C 繪示在表面清潔處理之後之裝置之橫剖面圖，圖 1D 繪示在形成裝置元件圖案於待圖案化的層中之後之裝置之橫剖面圖，圖 1E 繪示在去除蝕刻遮罩之後之裝置之橫剖面圖。

【0020】參考圖 1A，已圖案化的金屬光阻層 106 係形成在待圖案化的層 104 上方，待圖案化的層 104 係形成在半導體基板 102 上方。已圖案化的金屬光阻層 106 可為本技術領域中具有通常知識者已知之用於裝置元件之圖案。已圖案化的金屬光阻層 106 使待圖案化的層 104 之部分暴露。

【0021】待圖案化的層 104 可為形成裝置元件之層，或者其可為隨後用於形成裝置元件之中間層。這種中間層之範例可為硬遮罩層，其隨後用於圖案化下方層中之元件。在各種實施例中，待圖案化的層 104 可為絕緣層、導電層或半導體層，取決於在該製造階段正在製造之特徵部。待圖案化的層 104 可包括介電及 / 或導電材料（例如，矽氧化物、矽氮化物、矽氮氧化物、矽碳化物、鈦氮化物、鉭氮化物、它們的合金以及其組合）之膜。在一些實施例中，待圖案化的層 104 可為犧牲層，其在使用做為後續蝕刻步驟中之硬遮罩之後被去除。

【0022】半導體基板 102 包括半導體本體，用於支撐其上形成有已圖案化的金屬光阻層 106 之待圖案化的層 104。半導體本體可為主體基板，例如主體矽基板、絕緣體上矽基板、矽碳化物基板、砷化鎵基板、或混合基板（例如，矽上氮化鎵及其它異質磊晶基板）、或任何其它本技術領域中具有通常知識者已知之材料及配置。半導體基板 102 可包括額外層，例如金屬間介電質（IMD），包括低 k 介電材料、氧化物、氮化物等。例如，半導體基板 102 可包括多個內連線層，

內連線層包括具有嵌入的導電內連線元件之介電膜，該嵌入的導電內連線元件係形成在可製造各種主動元件之單晶主體半導體或絕緣體上半導體(SOI)晶圓上。

【0023】 在各種實施例中，已圖案化的金屬光阻層 106 可為金屬氧化物光阻膜之犧牲層，其對 10 nm 至約 14 nm (通常為 13.5 nm) 之波長範圍內之 EUV 輻射是敏感的。在一實施例中，已圖案化的金屬光阻層 106 包括有機金屬氧化物光阻，有機金屬氧化物光阻包括有機金屬化合物，例如錫、鉛或鋅。有機金屬氧化物光阻可為正型光阻或負型光阻。

【0024】 為了形成已圖案化的金屬光阻層 106，將金屬光阻層塗覆在待圖案化的層 104 上、透過微影遮罩而暴露於 EUV 輻射、並且進行顯影，以使用例如本技術領域中具有通常知識者已知之 13.5 nm 波長 EUV 微影處理步驟而將裝置元件之圖案從微影遮罩轉移至金屬光阻層。在有機金屬光阻之例子中，如此形成之已圖案化的金屬光阻層 106 為金屬氧化物圖案。

【0025】 該處理階段可在裝置製造之任何階段實施，例如鰭形成、閘極形成、金屬線、接觸插塞、介層窗等。儘管參照 EUV 微影而描述此處理，但是可使用波長更長的微影方法，例如在 100 nm 至 200 nm 範圍內之真空紫外線(VUV) 輻射。

【0026】 如本技術領域中具有通常知識者所知，本發明之實施例考慮其它中間層之存在。例如，在形成已圖案化的金屬光阻層 106 之前，可在已圖案化的金屬光阻層 106 與待圖案化的層 104 之間形成抗反射塗層。在一實施例中，抗反射塗層(ARC)膜可包括矽抗反射塗層。在某些實施例中，抗反射塗層可包括有機 ARC 層、金屬 ARC 層、金屬氧化物 ARC 層、鈦氮化物 ARC 層或旋塗玻璃(SOG)層。抗反射塗層之材料係選擇以避免在已圖案化的金屬光阻層 106 與待圖案化的下方層 104 之間之相互作用。

【0027】 在此實施例中，由於金屬光阻之顯影不足或曝光不足，顯影後金屬缺陷 108（例如，橋接缺陷）係形成在待圖案化的層 104 之上表面之一部分上，如本技術領域中具有通常知識者所理解。金屬缺陷 108 可能形成在應當暴露在已圖案化的金屬光阻層 106 中之待圖案化的層 104 之一部分上，導致具有扭曲輪廓之有缺陷的蝕刻遮罩。金屬缺陷 108 可包括殘留金屬光阻或殘留金屬光阻與用於光阻顯影之溶劑以及其它雜質。金屬缺陷 108 可能隨機地形成在待圖案化的層 104 上方之多個位置上。

【0028】 此外，如頁面右側之相關俯視圖所示，金屬缺陷 108 之形狀亦可能為任意的，例如，金屬缺陷 108 可能不完全沿著已圖案化的金屬光阻層 106 而延伸。線 1-1' 係對應於頁面左側所示之橫剖面圖。

【0029】 參考圖 1B，含矽層 110 係選擇性地沉積在已圖案化的金屬光阻層 106 上，在已圖案化的金屬光阻層 106 上形成保護蓋，而不覆蓋金屬缺陷 108。含矽層 110 可完全或部分覆蓋已圖案化的金屬光阻層 106 之所有側壁。藉由將已圖案化的金屬光阻層 106 暴露於包含矽前驅物及一或更多惰性氣體（例如，氬、氫及氮）之氣體混合物（通過專用沉積工具或電漿蝕刻腔室中之噴淋頭），含矽層 110 可選擇性地沉積在已圖案化的金屬光阻層 106 上，如本技術領域中具有通常知識者所理解。

【0030】 含矽層 110 之厚度係選擇以便，在隨後用於去除金屬缺陷 108 之表面清潔處理期間，能夠保護下方的已圖案化的金屬光阻層 106。如本技術領域中具有通常知識者所理解，在隨後的表面清潔處理中，保護已圖案化的金屬光阻層 106 之頂表面及側壁之含矽層 110 之部分可能由於離子濺射而被（部分地）消耗掉。有利地，含矽層 110 之厚度係選擇以在已圖案化的金屬光阻層 106 之頂表面上沉積在 2-5 nm 範圍內之厚度、以及在已圖案化的金屬光阻層 106 之側壁上

沉積在 1-2 nm 範圍內之厚度，以確保在表面清潔處理之後含矽層 110 留存在已圖案化的金屬光阻層 106 上。

【0031】 本案之實施例包括使用循環處理以形成含矽層 110。有利地，此可用於調整含矽層 110 沉積在已圖案化的金屬光阻層 106 上之厚度分佈。例如，可執行沉積及修整處理之循環，以形成含矽層 110。在一範例中，在沉積含矽層 110 之一或更多層之後，可使用例如等向性電漿蝕刻處理、氣相蝕刻或濕式蝕刻來修整含矽層 110。修整可去除沉積在介於相鄰的已圖案化金屬光阻層 106 之間（在金屬缺陷 108 上）之溝槽中之含矽層 110 之任何材料。或者，可在形成含矽層 110 之沉積處理結束時實施可選的修整處理，以去除覆蓋金屬缺陷 108 之任何含矽層 110。如果金屬缺陷 108 保持被覆蓋，則後續的表面清潔處理將難以去除金屬缺陷 108，除非其亦蝕刻含矽層 110 之部分。

【0032】 在一實施例中，含矽層 110 包括，例如，使用化學氣相沉積(CVD)所沉積之矽氧化物層，其中氣體混合物可包括矽前驅物，例如四氯化矽、氧、及一或更多載氣。矽前驅物（例如，四氯化矽）沿著已圖案化的金屬光阻層 106 之表面而選擇性地與氧反應並且形成矽氧化物，於是矽氧化物選擇性地沉積在已圖案化的金屬光阻層 106 之暴露的頂表面及側壁上。

【0033】 在另一實施例中，含矽層 110 包括，例如，使用電漿處理（例如，電漿增強化學氣相沉積（PECVD））所沉積之矽，其中氣體混合物可包括矽前驅物（例如，二氯矽烷（ SiCl_2H_2 ）、矽烷、或四乙氧基矽烷（TEOS））、添加氣體（例如， O_2 或 H_2 ）、以及一或更多載氣。或者，氣體混合物可包含四氯化矽及氫。亦可使用其它含矽氣體，例如四氟化矽。類似於前述實施例，對於已圖案化的金屬光阻層 106 之暴露表面而言，反應是選擇性的，且矽層係沉積在已圖案化的金屬光阻層 106 之暴露頂表面及側壁上。該矽層係基本上由矽所製成之材料，俾使含矽層 110 之至少 90% 是矽。在一實施例中，矽層可為元素矽層。在不

同實施例中，矽層可為非晶矽或多晶矽。儘管所沉積的材料基本上是矽，但其一部分可能透過暴露於氧（例如，暴露於空氣）而被氧化成二氧化矽。

【0034】有利地，如圖 1B 所示，含矽層 110 選擇性地沉積在已圖案化的金屬光阻層 106 之頂表面及側壁上。選擇性地沉積含矽層 110 在已圖案化的金屬光阻層 106 之頂表面及側壁上之一優點為，在隨後的表面清潔處理期間，含矽層 110 提供保護蓋於已圖案化的金屬光阻層 106 上，而不覆蓋金屬缺陷 108。

【0035】參考圖 1C，使用表面清潔處理、透過將待圖案化的層 104 及覆蓋有含矽層 110 之已圖案化的金屬光阻層 106 暴露於電漿處理，以去除金屬缺陷 108，從而形成無缺陷的蝕刻遮罩。表面清潔電漿處理氣體係選擇為還原性的，並且可包括，例如，鹵素或氫化學品。在一實施例中，表面清潔電漿處理氣體可包括氯或溴、及氫以及惰性氣體（例如，氫）。這是因為氯及溴可選擇性地去除金屬顆粒而不蝕刻含矽層 110。在沒有含矽層 110 之情況下，氯 / 溴亦將蝕刻下方的已圖案化金屬光阻層 106。

【0036】在一實施例中，選擇一鹵素或氫化學品以去除所有金屬缺陷 108 而不蝕刻待圖案化的下方層 104。例如，氫或鹵素化學品可包括，例如 BCl_3 、 HBr 、 CH_4 或 H_2 。在一些實施例中，表面清潔電漿處理氣體亦可包括稀釋氣體，例如 Ar、Kr 或 He。

【0037】在一實施例中，表面清潔處理氣體之流率可為約 10 sccm 至約 300 sccm。在其它實施例中，稀釋氣體流率可為約 500 sccm 至約 1000 sccm。在一實施例中，表面清潔處理壓力可為約 10 mT 至 100 mT。電漿源功率之範圍可從約 50 W 至約 500 W，且偏壓功率之範圍可從約 0 W 至 100 W。實施例考慮了不同方式來確定表面清潔處理是否在目標製程容許範圍（process window）內。這些包括在表面清潔處理之後或在後續步驟中蝕刻待圖案化的層 104 之後使用缺陷

檢查處理來確認橋接缺陷之減少、或者在隨後的裝置製造中進行電參數測試以確認良率之改善。

【0038】 在各種實施例中，表面清潔電漿處理可在用於形成圖 1B 中所述之含矽層 110 之相同工具中實施。

【0039】 如本技術領域中具有通常知識者所理解，氣相鹵素電漿對於矽氧化物具有高選擇性。因此，在含矽層 110 包含矽氧化物之實施例中，在表面清潔處理之後，大部分含矽層 110 係保留在已圖案化的金屬光阻層 106 上，含矽層 110 由於離子濺射而具有零至最小的損失，如上所述。

【0040】 在其它實施例中，例如，當含矽層 110 基本上由矽（例如，元素矽）所製成時，表面清潔處理對於含矽層 110 可能沒有選擇性，因此含矽層 110 可為犧牲層，使得隨後的蝕刻主要使用已圖案化的金屬光阻層 106 來進行。

【0041】 有利地，在一實施例中，在形成已圖案化的金屬光阻層 106 及含矽層 110 之後，立即使用表面清潔處理而去除金屬缺陷 108。在形成已圖案化的金屬光阻層 106 及含矽層 110 之後立即使用表面清潔處理而去除金屬缺陷 108 之一優點為，其可減少半導體製造所需之下方層之數量，從而減少處理時間及降低處理成本。

【0042】 參考圖 1D，使用被含矽層 110 所覆蓋之已圖案化的金屬光阻層 106 做為蝕刻遮罩，藉由使待圖案化的層 104 暴露至通過蝕刻遮罩之指向性蝕刻處理，以形成裝置元件之圖案在待圖案化的層 104 中。

【0043】 如圖 1D 所示，指向性蝕刻處理對於含矽層 110 可能沒有選擇性，因此可在蝕刻期間被去除。在含矽層 110 包括矽氧化物之實施例中，指向性蝕刻處理可在本技術領域中具有通常知識者已知之感應耦合電漿（ICP）處理系統或電容耦合電漿（CCP）處理系統中實施。

【0044】 在含矽層 110 包括基本上由矽所製成之材料之另一實施例中，電漿蝕刻處理可在本技術領域中具有通常知識者已知之 CCP 處理系統中實施。

【0045】 參考圖 1E，已圖案化的金屬光阻層 106 及任何剩餘的含矽層 110 被選擇性地去除。一旦去除剩餘的含矽層 110，就可使用，例如，包括鹵素或氫化學品（與表面清潔處理中所使用之鹵素或氫化學品類似）之電漿蝕刻處理以去除已圖案化的金屬光阻層 106，如圖 1D 中所述。

【0046】 圖 2 係流程圖，繪示根據本案之實施例之表面清潔處理之示例性處理流程，用於去除來自蝕刻遮罩之殘留光阻。

【0047】 如方塊 202 所示並參考圖 1A 所述，已圖案化的金屬光阻層 106 係形成在待圖案化的層 104 上方，待圖案化的層 104 係形成在半導體基板 102 上方。如上所述，金屬缺陷 108 係形成在介於已圖案化的金屬光阻層 106 之已圖案化部分之間之待圖案化的層 104 之上表面上，覆蓋著應當透過已圖案化的金屬光阻層 106 而暴露之待圖案化的層 104 之一部分。

【0048】 如接下來在方塊 204 中所示並參考圖 1B 所述，含矽層 110 係藉由使用選擇性沉積處理而選擇性地沉積包含矽之材料而形成。選擇性沉積處理可包括 CVD 處理或電漿沉積處理。含矽層 110 可包括矽氧化物層或基本上由矽原子所製成之層，並且可以圖 1B 中所述及所示之相同方式而形成。

【0049】 如上所述，含矽層 110 有利地形成保護蓋在已圖案化的金屬光阻層 106 上方，以在用以去除金屬缺陷 108 之後續表面清潔步驟期間提供保護。

【0050】 如接下來在方塊 206 中所示並參考圖 1C 所述，藉由使待圖案化的層 104 以及覆蓋有含矽層 110 之已圖案化的金屬光阻層 106 暴露至電漿處理，使用表面清潔處理以去除金屬缺陷 108。表面清潔電漿可以圖 1C 中所述之相同方式而形成並且可包括相同的材料。

【0051】 如上所述，表面清潔處理係去除金屬缺陷 108，同時含矽層 110 係保護已圖案化的金屬光阻層 106，從而形成具有改善的水平輪廓之無缺陷的蝕刻遮罩。在此實施例中，以與圖 1C 中所述及所示之相同方式，表面清潔處理對含矽層 110 具有高選擇性，且無缺陷的蝕刻遮罩包括由含矽層 110 所覆蓋之已圖案化的金屬光阻層 106。在其它實施例中，表面清潔處理對含矽層 110 可能沒有選擇性，因此含矽層 110 為犧牲層，且無缺陷的蝕刻遮罩僅包括已圖案化的金屬光阻層 106。

【0052】 如上所述，在形成已圖案化的金屬光阻層 106 及含矽層 110 之後立即使用表面清潔處理而去除金屬缺陷 108 之一優點為，其可減少半導體製造所需之下方層之數量，從而減少處理時間及降低處理成本。

【0053】 如接下來在方塊 208 中所示並參考圖 1D 所述，使用被含矽層 110 所覆蓋之已圖案化的金屬光阻層 106 做為蝕刻遮罩，使用指向性蝕刻處理以圖案化待圖案化的層 104。如上所述，因為指向性蝕刻處理對含矽層 110 可能沒有選擇性，所以指向性蝕刻處理亦可去除含矽層 110。指向性蝕刻處理可包括感應耦合電漿或電容耦合電漿，以圖 1D 中所述之相同方式。在含矽層 110 為犧牲層之其它實施例中，使用電容耦合電漿，透過僅包括已圖案化的金屬光阻層 106 之蝕刻遮罩而將待圖案化的層 104 暴露於指向性蝕刻，以圖案化待圖案化的層 104。

【0054】 如接下來在方塊 210 中所示並參考圖 1E 所述，使用具有與方塊 206 中使用之類似蝕刻化學品之電漿蝕刻處理，去除已圖案化的金屬光阻層 106。

【0055】 圖 3A-3H 繪示根據本案之實施例在不同製造階段期間之半導體裝置之橫剖面圖，其中圖 3A 繪示在形成已圖案化的金屬光阻層之後之裝置，圖 3B 繪示在沉積第一材料於待圖案化的層之暴露部分上之後之裝置，圖 3C 繪示在選擇性地去除已圖案化的金屬光阻層之後之裝置，圖 3D 繪示在使用第二材料來替換已圖案化的光阻層之後之裝置，圖 3E 繪示在選擇性去除第一材料並形成蝕刻

遮罩之後之裝置，圖 3F 繪示在表面清潔處理之後之裝置，圖 3G 繪示在形成裝置元件圖案於待圖案化的層中之後之裝置，圖 3H 繪示在去除蝕刻遮罩之後之裝置。

【0056】 參考圖 3A，已圖案化的金屬光阻層 106 係形成在待圖案化的層 104 上方，該待圖案化的層 104 係形成在半導體基板 102 上方。已圖案化的金屬光阻層 106 可以圖 1A 中所述之相同方式而形成並且可包括相同的材料，其中已圖案化的金屬光阻層 106 包括裝置元件圖案，該裝置元件具有透過已圖案化的金屬光阻層 106 而暴露之待圖案化的層 104 之第一組區域 107。類似地，待圖案化的層 104 與半導體基板 102 可以圖 1A 中所述之相同方式而形成並且可包括相同的材料。

【0057】 如上所述，以圖 1A 中所述相同的方式，本發明之實施例考慮本技術領域中具有通常知識者所知之其它中間層之存在。

【0058】 在本實施例中，在已圖案化的金屬光阻層 106 之顯影之後，包括殘留有機金屬之金屬缺陷 108（例如，橋接缺陷）係形成在待圖案化的層 104 之第一組區域 107 之區域上方，導致具有扭曲輪廓之有缺陷的蝕刻遮罩，如圖 1A 中所示。金屬缺陷 108 可以圖 1A 中所述及所示之相同方式而形成並且可包括相同的材料。

【0059】 參考圖 3B，第一材料 114 係選擇性地沉積在待圖案化的層 104 之第一組區域 107 上方，覆蓋著第一組區域。例如，第一材料 114 可包括基於矽的材料（例如，矽氧化物）。

【0060】 在各種實施例中，打算將已圖案化的金屬光阻層 106 去除並且用不同材料來代替，形成在後續步驟中之已圖案化的蝕刻遮罩。有利地，第一材料 114 係選擇以，對於所使用之蝕刻處理，具有比已圖案化的金屬光阻層 106 更高

的蝕刻選擇性，確保已圖案化的金屬光阻層 106 被去除，而第一材料保持在原位，從而保留裝置元件之原始圖案。

【0061】 在一實施例中，藉由使待圖案化的層 104 暴露於包含矽前驅物及一或更多惰性載氣（例如，氮、氬及氫）之氣體混合物，第一材料 114 可沉積在待圖案化的層 104 之第一組區域 107 上。含矽層 110 可在專用沉積工具或電漿蝕刻腔室中形成。在一實施例中，第一材料 114 包括，例如，使用化學氣相沉積（CVD）所沉積之矽氧化物，其中氣體混合物可包括矽前驅物，例如四氯化矽、氧及一或更多載氣。亦可使用其它矽前驅物氣體，例如四氟化矽。在其它實施例中，例如，可使用電漿沉積處理（例如，PECVD）來沉積第一材料 114。沉積處理通常會過度填充在相鄰的已圖案化金屬光阻層 106 之間之溝槽。

【0062】 在沉積之後，例如，使用化學機械平坦化來去除過度填充物，以平坦化第一材料 114。在各種實施例中，如本技術領域中具有通常知識者所理解，在沉積第一材料 114 之後，可使用化學機械拋光（CMP）處理，以確保已圖案化的金屬光阻層 106 及第一材料 114 在待圖案化的層 104 上具有一致的膜厚度（差異最小）。

【0063】 參考圖 3C，已圖案化的金屬光阻層 106 被選擇性去除，使待圖案化的層 104 之第二組區域 109 暴露。已圖案化的金屬光阻層 106 可被選擇性地去除，其係使用包括氣相蝕刻劑（例如 BCl_3 、 HBr 或氬）之乾式電漿蝕刻處理。在各種實施例中，乾式蝕刻電漿可在如圖 3B 中所述之第一材料 114 之相同工具中而形成。

【0064】 參考圖 3D，待圖案化的層 104 之新暴露的第二組區域 109 係被第二材料 116 所覆蓋，使得已圖案化的金屬光阻層 106 被第二材料 116 所取代。第二材料 116 可包括矽，並且是與第一材料 114 不同的材料。在此實施例中，第二材料 116 可包括，例如，矽氮化物、矽氮氧化物。可使用電漿沉積處理（例如，

PECVD 處理) 以沉積第二材料 116，其中處理氣體混合物可包括矽前驅物，例如矽烷及氨或氫。在各種實施例中，第二材料可在如圖 3B 中所述之第一材料 114 之相同沉積工具中而形成及沉積。在各種實施例中，如本技術領域中具有通常知識者所理解，在沉積第二材料 116 之後，可使用 CMP 處理，以確保第一材料 114 及第二材料 116 在待圖案化的層 104 上具有一致的膜厚度（差異最小）。

【0065】 如上所述，打算將形成為第二材料 116 之裝置元件之圖案使用做為蝕刻遮罩，以在後續步驟中將裝置元件之圖案轉移至待圖案化的層 104。

【0066】 有利地，以與上述相同的方式，第二材料 116 係選擇以，對於所使用之蝕刻處理，具有比第一材料更高的蝕刻選擇性。第二材料 116 對於蝕刻處理具有比第一材料 114 更高的蝕刻選擇性之一優點為，其確保第一材料 114 被選擇性地去除，從而形成包括先前形成在已圖案化的金屬光阻層 106 中之裝置元件之相同圖案之蝕刻遮罩。

【0067】 參考圖 3E，藉由將基板暴露至第一電漿，第一材料 114 被選擇性地蝕刻，重新暴露待圖案化的層 104 之第一組區域 107 及金屬缺陷 108。第一電漿可在具有處理氣體之電漿處理中產生，處理氣體可包括碳氟化物（例如 C_4F_8 ）、氧、及一或更多載氣（包括氦、氬及氖）。在其它實施例中，亦可使用例如 C_3F_8 或 C_4F_6 之碳氟化合物。

【0068】 如上所述，當暴露於第一電漿時，第二材料 116 係以比第一材料 114 明顯更慢的速率被蝕刻，允許第一材料 114 被選擇性地去除，形成包括第二材料 116 之蝕刻遮罩。

【0069】 參考圖 3F，藉由將待圖案化的層 104 之重新暴露的第一組區域 107 暴露至第二電漿而使用表面清潔處理以選擇性地去除金屬缺陷 108，形成無缺陷的蝕刻遮罩（亦即，沒有金屬缺陷 108 之蝕刻遮罩）。例如，第二電漿可在具有處理氣體（例如， BCl_3 、 HBr 或 H_2 ）之電漿處理中產生。

【0070】 參考圖 3G，使用包括第二材料 116 之蝕刻遮罩，藉由使用第三電漿而使待圖案化的層 104 透過第二材料 116 而暴露，待圖案化的層 104 之第一組區域 107（亦即，裝置元件之圖案）被蝕刻至待圖案化的層 104 中。第三電漿可在具有處理氣體之電漿處理中產生，處理氣體可包括碳氟化物（例如 C_4F_8 ）、氧、及一或更多載氣（包括氦、氬及氮）。亦可使用例如 C_3F_8 或 C_4F_6 之其它碳氟化合物。在各種實施例中，第一電漿、第二電漿及第三電漿全部可在同一電漿處理工具中形成。

【0071】 在各種實施例中，選擇性地去除第一材料 114、表面清潔處理以及蝕刻待圖案化的層 104 中之第一組區域皆在單一專用工具或單一電漿蝕刻腔室中之單一共同蝕刻處理中依序地執行。

【0072】 圖 4 繪示圖表 118，說明這樣的單一共同蝕刻處理配方之處理流程及參數。參考圖 4 且如圖 3D-3E 之橫剖面圖所示，第一電漿由第一組處理氣體 120 所產生，第一組處理氣體 120 包括碳氟化合物（例如 C_4F_8 ）、氧及載氣（例如氬）以去除第一材料 114。圖 3D 之半導體基板 102 係暴露至第一流率之第一組處理氣體 120、第一 RF 來源功率及第一偏壓功率而持續第一預定時間量。第一預定時間量可選擇自介於 10 與 60 秒之間之時間範圍，第一流率可選擇自介於 100 與 500 sccm 之間之流率範圍，第一 RF 來源功率可選擇自 100 至 800 W 之範圍，且第一偏壓功率可選擇自 100 至 500 W 之範圍。在其它實施例中，可使用使用單獨的蝕刻腔室之化學氧化物去除（COR）處理，以去除第一材料 114。

【0073】 在暴露於第一組處理氣體 120 之後，如圖 3E-3F 之橫剖面圖所示，第二電漿由第二組處理氣體 122 所產生，第二組處理氣體 122 包括蝕刻氣體（例如 BCl_3 、或 H_2 、或 CH_4 、或 HBr ）以及載氣（例如氬），以便去除金屬缺陷 108。圖 3E 之半導體基板 102 係暴露至第二流率之第二組處理氣體 122 而持續第二預定時間量。在一些實施例中，第二預定時間量及第二流率可小於第一預

定時間量及第一流率。第二預定時間量可選擇自介於 2 與 10 秒之間之時間範圍，用於蝕刻氣體之第二流率可選擇自介於 10 與 200 sccm 之間之流率範圍，用於載氣之第二流率可選擇自介於 200 與 1000 sccm 之間之流率範圍。

【0074】在暴露至第二組處理氣體 122 之後，如圖 3F-3G 之橫剖面圖所示，半導體基板 102 再次暴露至第一組處理氣體 120，以便將第一組區域 107 蝕刻至待圖案化的層 104 中。半導體基板 102 再次暴露至第一組處理氣體 120 以蝕刻穿過待圖案化的層 104。蝕刻處理時間可基於待圖案化的層 104 之厚度而選擇。例如，若待圖案化的層 104 具有 20 nm 之厚度，則可使用選擇自介於 10 與 60 秒之間之範圍之蝕刻處理時間。

【0075】參考圖 3H，包括第二材料 116 之蝕刻遮罩被選擇性地去除。如本技術領域中具有通常知識者所知，例如，電漿蝕刻處理可用於去除蝕刻遮罩。

【0076】圖 5 係流程圖，繪示根據本案之替代實施例之待圖案化的層之表面清潔處理之示例性處理流程，以便去除來自蝕刻遮罩之殘留光阻。

【0077】如方塊 212 所示及參考圖 3A 所述，已圖案化的金屬光阻層 106 係形成在待圖案化的層 104 上方，該待圖案化的層 104 係形成在半導體基板 102 上方。如上所述，包含殘留光阻之金屬缺陷 108（例如，橋接缺陷）係形成在待圖案化的層 104 之第一組區域 107 之區域上方，導致具有扭曲輪廓之有缺陷的蝕刻遮罩。金屬缺陷 108、已圖案化的金屬光阻層 106、待圖案化的層 104 及半導體基板 102 可包括與前述實施例中所描述及繪示之相同材料並且可以相同方式形成。

【0078】如接著在方塊 214 中所示並參考圖 3B 所述，第一材料 114 係選擇性地沉積在待圖案化的層 104 之第一組區域 107 上方。

【0079】如接著在方塊 216 中所示並參考圖 3C 所述，已圖案化的金屬光阻層 106 被選擇性地去除，暴露待圖案化的層 104 之第二組區域 109。可使用乾式

電漿蝕刻處理而選擇性地去除已圖案化的金屬光阻層 106。乾式電漿蝕刻處理可以圖 3C 中所述之相同方式而形成。

【0080】如接著在方塊 218 中所示並參考圖 3D 所述，第二材料 116 係選擇性地沉積在待圖案化的層 104 之第二組區域 109 上方。

【0081】如接著在方塊 220 中所示並參考圖 3E 所述，使用第一電漿以選擇性地去除第一材料 114，重新暴露待圖案化的層 104 之第一組區域 107。第一電漿可以圖 3E 中所述之相同方式而形成。

【0082】如接著在方塊 222 中所示並參考圖 3F 所述，使用第二電漿以選擇性地去除金屬缺陷 108，形成具有改善的水平輪廓之無缺陷蝕刻遮罩。第二電漿可以圖 3F 中所述之相同方式而形成。

【0083】如接著在方塊 224 中所示並參考圖 3G 所述，使用第二材料 116 做為蝕刻遮罩，待圖案化的層 104 之重新暴露的第一組區域 107（亦即，裝置元件之圖案）透過第三電漿被蝕刻至待圖案化的層 104 中。第三電漿可以圖 3G 中所述之相同方式而形成。

【0084】如上所述，方塊 220、222 及 224 中所述之步驟可在同一工具中形成，並且可以圖 4 中所述之相同方式使用單一蝕刻配方而依序地執行。

【0085】如接著在方塊 226 中所示並參考圖 3H 所述，使用本技術領域中具有通常知識者已知之電漿蝕刻處理以去除第二材料 116。

【0086】雖然本發明已經參考示例性的實施例而加以描述，但此描述不應被解釋為限制性的。對於熟悉此項技藝者而言，在參考此描述之後，示例性實施例之各種修改及組合以及本發明之其它實施例將是顯而易見的。因此，所附申請專利範圍應當包括任何這樣的修改或實施例。

【符號說明】

【0087】

102:半導體基板

104:待圖案化的層

106:圖案化的金屬光阻層

107:第一組區域

108:金屬缺陷

109:第二組區域

110:含矽層

114:第一材料

116:第二材料

118:圖表

120:第一組處理氣體

122:第二組處理氣體

202-210:方塊

212-226:方塊

【發明申請專利範圍】

【請求項1】 一種半導體元件之形成方法，包括：

沉積一金屬光阻層在一待圖案化的層上方，該待圖案化的層係形成在一基板上方；

使用一微影處理而圖案化該金屬光阻層，以形成一已圖案化的金屬光阻層並且暴露該待圖案化的層之複數部分；

藉由使該基板暴露至一氣體混合物，以選擇性地沉積一含矽層在該已圖案化的金屬光阻層上方，該氣體混合物包括一矽前驅物，該含矽層係優先地沉積在該金屬光阻層之頂表面上方；及

藉由使該待圖案化的層及被該含矽層所覆蓋之該已圖案化的金屬光阻層暴露至具有一蝕刻化學品之一電漿處理，以實施一表面清潔處理，該蝕刻化學品包括一鹵素或氫。

【請求項2】 如請求項 1 之半導體元件之形成方法，更包括：藉由使該待圖案化的層暴露至一指向性蝕刻處理、利用一蝕刻遮罩以圖案化該待圖案化的層，該蝕刻遮罩包括被該含矽層所覆蓋之該已圖案化的金屬光阻層。

【請求項3】 如請求項 1 之半導體元件之形成方法，其中圖案化該金屬光阻層包括：形成一金屬缺陷在該待圖案化的層之該等暴露部分其中一者上方，及其中該表面清潔處理係去除該金屬缺陷。

【請求項4】 如請求項 1 之半導體元件之形成方法，其中該氣體混合物包括氧且該矽前驅物包括四氯化矽，及其中該含矽層包括矽氧化物。

【請求項5】 如請求項 4 之半導體元件之形成方法，更包括：藉由使被一蝕刻遮罩所覆蓋之該待圖案化的層暴露至一感應耦合電漿或一電容耦合電漿，以圖案化該待圖案化的層，該蝕刻遮罩包括被該含矽層所覆蓋之該已圖案化的金屬光阻層。

【請求項6】 如請求項 1 之半導體元件之形成方法，其中該矽前驅物包括二氯矽烷，及其中該含矽層包括一矽層。

【請求項7】 如請求項 6 之半導體元件之形成方法，更包括：藉由使被該蝕刻遮罩所覆蓋之該待圖案化的層暴露至一電容耦合電漿，以圖案化該待圖案化的層，該蝕刻遮罩包括被該含矽層所覆蓋之該已圖案化的金屬光阻層。

【請求項8】 如請求項 1 之半導體元件之形成方法，其中該金屬光阻層更包括一金屬氧化物極紫外線（EUV）光阻，及其中形成該已圖案化的金屬光阻層更包括：

使該金屬光阻層暴露至一 EUV 光束；及

在暴露以形成該已圖案化的金屬光阻層之後，使該金屬光阻層顯影。

【請求項9】 如請求項 1 之半導體元件之形成方法，其中該含矽層係選擇性地沉積在該已圖案化的光阻層之該頂表面及側壁上。

【請求項10】 如請求項 1 之半導體元件之形成方法，其中包括該鹵素或氫之該蝕刻化學品係包括 BCl_3 或 HBr 。

【請求項11】 一種半導體元件之形成方法，包括：

沉積一金屬光阻層在一待圖案化的層上方，該待圖案化的層係設置在一基板上方；

使用一極紫外線（EUV）微影處理而圖案化該金屬光阻層，以形成一已圖案化的金屬光阻層並且暴露該待圖案化的層之複數部分，其中該圖案化係留下一金屬殘留物在該待圖案化的層之該等暴露部分其中一者上方；

使用一含矽材料而覆蓋該已圖案化的金屬光阻層之一頂表面；

在以該含矽材料而覆蓋該已圖案化的金屬光阻層之該頂表面時，使用包括一鹵素之一電漿處理而選擇性地去除該金屬殘留物；及

使用一指向性電漿蝕刻處理而圖案化該待圖案化的層。

【請求項12】 如請求項 11 之半導體元件之形成方法，其中該含矽材料係選擇性地沉積在該已圖案化的金屬光阻層之該頂表面及側壁上。

【請求項13】 如請求項 11 之半導體元件之形成方法，其中使用該含矽材料而覆蓋該已圖案化的金屬光阻層之該頂表面係包括：實施一化學氣相沉積處理以沉積一矽氧化物層。

【請求項14】 如請求項 13 之半導體元件之形成方法，其中實施該化學氣相沉積處理包括：使四氯化矽及氧流動至一沉積腔室中，以選擇性地沉積該矽氧化物層在該已圖案化的金屬光阻層上。

【請求項15】 如請求項 11 之半導體元件之形成方法，其中使用該含矽材料而覆蓋該已圖案化的金屬光阻層之該頂表面包括：實施一電漿沉積處理以沉積一矽層，其中實施該電漿沉積處理包括：由包括二氯矽烷之一氣體混合物而產生一電漿。

【請求項16】 一種半導體元件之形成方法，包括：

沉積一金屬光阻層在一待圖案化的層上方，該待圖案化的層係設置在一基板上方；

使用一極紫外線（EUV）微影處理而圖案化該金屬光阻層，以形成一已圖案化的金屬光阻層，以便暴露該待圖案化的層之一第一組區域；

沉積一第一材料在該第一組區域上方；

選擇性地去除該已圖案化的金屬光阻層，以暴露該待圖案化的層之一第二組區域；

沉積一第二材料而覆蓋該待圖案化的層之該第二組區域，該第二材料係不同於該第一材料；

選擇性地去除該第一材料，以重新暴露該待圖案化的層之該第一組區域；

藉由使該待圖案化的層之該第一組區域暴露至一電漿處理，以實施一表面清潔處理；及

蝕刻該待圖案化的層之該第一組區域，以在該待圖案化的層中形成一圖案。

【請求項17】 如請求項 16 之半導體元件之形成方法，其中該第一材料包括矽氧化物，且該第二材料包括矽氮化物。

【請求項18】 如請求項 16 之半導體元件之形成方法，其中該去除該第一材料、該實施該表面清潔處理及該蝕刻該第一組區域係以一共同蝕刻處理而依序實施。

【請求項19】 如請求項 16 之半導體元件之形成方法，其中該去除該第一材料包括：暴露至由包括氟碳化物及氧之一氣體所產生之一第一電漿，其中實施該表

面清潔處理包括：暴露至由鹵素、 H_2 或 CH_4 所產生之一第二電漿，及其中蝕刻該第一組區域包括：暴露至由包括氟碳化物及氧之一氣體所產生之一第三電漿。

【請求項20】 如請求項 16 之半導體元件之形成方法，其中在圖案化該金屬光阻層時，一橋接缺陷係形成在該待圖案化的層之該第一組區域之一區域之一主表面上。

【請求項21】 如請求項 1 之半導體元件之形成方法，其中包括該鹵素或氫之該蝕刻化學品係包括 H_2 或 CH_4 。

【請求項22】 一種半導體元件之形成方法，包括：

沉積一金屬光阻層在一待圖案化的層上方，該待圖案化的層係形成在一基板上方；

使用一微影處理而圖案化該金屬光阻層，以形成一已圖案化的金屬光阻層並且暴露該待圖案化的層之複數部分；

藉由使該基板暴露至一氣體混合物，以選擇性地沉積一遮罩層在該已圖案化的金屬光阻層上方；及

藉由使該待圖案化的層及被該遮罩層所覆蓋之該已圖案化的金屬光阻層暴露至一電漿處理，以實施一表面清潔處理。

【請求項23】 如請求項 22 之半導體元件之形成方法，更包括：藉由使該待圖案化的層暴露至一指向性蝕刻處理、利用一蝕刻遮罩以圖案化該待圖案化的層，該蝕刻遮罩包括被該遮罩層所覆蓋之該已圖案化的金屬光阻層。

【請求項24】 如請求項 22 之半導體元件之形成方法，其中圖案化該金屬光阻層包括：形成一金屬缺陷在該待圖案化的層之該等暴露部分其中一者上方，及其中該表面清潔處理係去除該金屬缺陷。

【請求項25】 如請求項 22 之半導體元件之形成方法，其中該氣體混合物包括矽前驅物，該矽前驅物包括四氯化矽，及其中該遮罩層包括矽氧化物。

【請求項26】 如請求項 25 之半導體元件之形成方法，更包括：藉由使被一蝕刻遮罩所覆蓋之該待圖案化的層暴露至一感應耦合電漿或一電容耦合電漿，以圖案化該待圖案化的層，該蝕刻遮罩包括被該遮罩層所覆蓋之該已圖案化的金屬光阻層。

【請求項27】 如請求項 25 之半導體元件之形成方法，其中該矽前驅物包括二氯矽烷，及其中該遮罩層包括一矽層。

【請求項28】 如請求項 27 之半導體元件之形成方法，更包括：藉由使被一蝕刻遮罩所覆蓋之該待圖案化的層暴露至一電容耦合電漿，以圖案化該待圖案化的層，該蝕刻遮罩包括被該遮罩層所覆蓋之該已圖案化的金屬光阻層。

【請求項29】 如請求項 22 之半導體元件之形成方法，其中該金屬光阻層更包括一金屬氧化物極紫外線（EUV）光阻，及其中形成該已圖案化的金屬光阻層更包括：

使該金屬光阻層暴露至一 EUV 光束；及

在暴露以形成該已圖案化的金屬光阻層之後，使該金屬光阻層顯影。

【請求項30】 如請求項 22 之半導體元件之形成方法，其中該遮罩層係選擇性地沉積在該已圖案化的金屬光阻層之一頂表面及側壁上。

【請求項31】 如請求項 22 之半導體元件之形成方法，其中該電漿處理包括一蝕刻化學品，該蝕刻化學品包括 BCl_3 、 HBr 、 H_2 或 CH_4 。

【請求項32】 一種半導體元件之形成方法，包括：

沉積一金屬光阻層在一待圖案化的層上方，該待圖案化的層係設置在一基板上方；

使用一極紫外線（EUV）微影處理而圖案化該金屬光阻層，以形成一已圖案化的金屬光阻層並且暴露該待圖案化的層之複數部分，其中該圖案化係留下一金屬殘留物在該待圖案化的層之該等暴露部分其中一者上方；

使用一遮罩材料而覆蓋該已圖案化的金屬光阻層之一頂表面；

在以該遮罩材料而覆蓋該已圖案化的金屬光阻層之該頂表面時，使用一電漿處理而選擇性地去除該金屬殘留物；及

使用一指向性電漿蝕刻處理而圖案化該待圖案化的層。

【請求項33】 如請求項 32 之半導體元件之形成方法，其中該遮罩材料係選擇性地沉積在該已圖案化的金屬光阻層之該頂表面及側壁上。

【請求項34】 如請求項 32 之半導體元件之形成方法，其中使用該遮罩材料而覆蓋該已圖案化的金屬光阻層之該頂表面係包括：實施一化學氣相沉積處理以沉積一矽氧化物層。

【請求項35】 如請求項 34 之半導體元件之形成方法，其中實施該化學氣相沉積處理包括：使四氯化矽及氧流動至一沉積腔室中，以選擇性地沉積該矽氧化物層在該已圖案化的金屬光阻層上。

【請求項36】 如請求項 32 之半導體元件之形成方法，其中使用該遮罩材料而覆蓋該已圖案化的金屬光阻層之該頂表面包括：實施一電漿沉積處理以沉積一矽層，其中實施該電漿沉積處理包括：由包括二氯矽烷之一氣體混合物而產生一電漿。

【請求項37】 一種半導體元件之形成方法，包括：

實施一極紫外線（EUV）微影處理，以形成一已圖案化的金屬光阻層在一待圖案化的層上方並且暴露該待圖案化的層之複數部分，其中該圖案化係留下一含金屬缺陷在該待圖案化的層之該等暴露部分其中一者上方；

實施一沉積處理，以形成一遮罩材料在該已圖案化的金屬光阻層及該待圖案化的層上方；

實施一修整處理，以暴露該含金屬缺陷；

選擇性蝕刻該含金屬缺陷，以暴露該待圖案化的層之該等部分之全部；及

使用該已圖案化的金屬光阻層做為一蝕刻遮罩而圖案化該待圖案化的層。

【請求項38】 如請求項 37 之半導體元件之形成方法，更包括：重複該沉積處理及該修整處理，其中該沉積處理及該修整處理係一循環處理之部分。

【請求項39】 如請求項 37 之半導體元件之形成方法，其中實施該沉積處理包括：實施一化學氣相沉積處理，以沉積一矽氧化物層。

【請求項40】 如請求項 39 之半導體元件之形成方法，其中實施該化學氣相沉積處理包括：使四氯化矽及氧流動至一沉積腔室中，以選擇性地沉積該矽氧化物層在該已圖案化的金屬光阻層上。

【請求項41】 如請求項 37 之半導體元件之形成方法，其中實施該沉積處理包括：實施一電漿沉積處理以沉積一矽層，其中實施該電漿沉積處理包括：由包括二氯矽烷之一氣體混合物而產生一電漿。

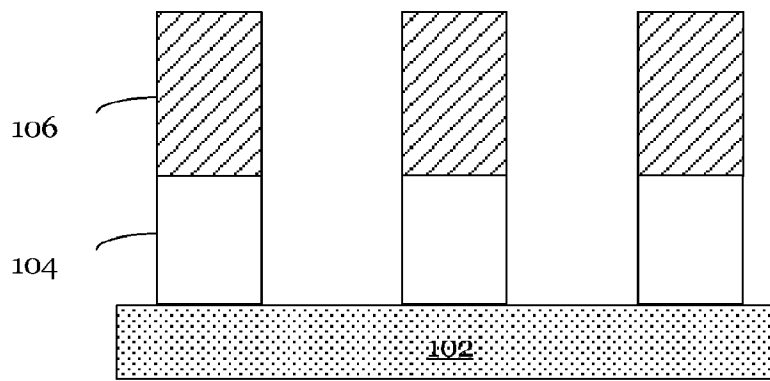


圖 1D

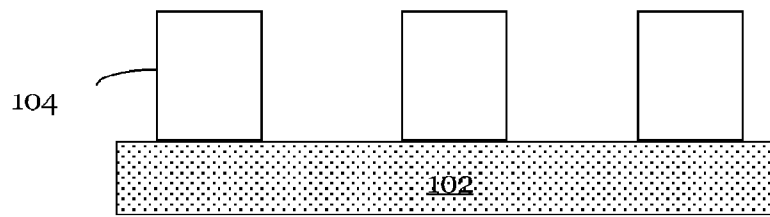


圖 1E

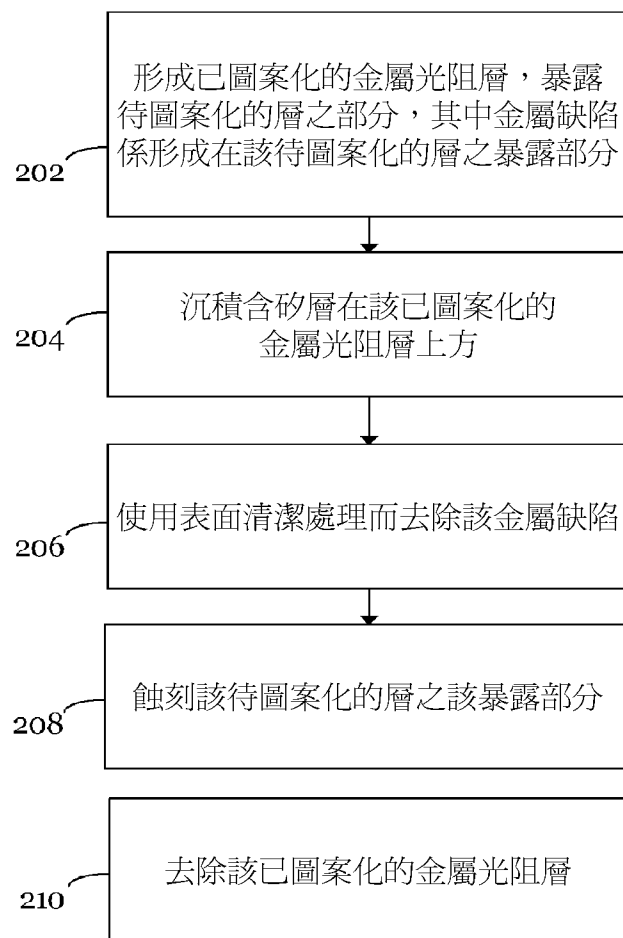


圖 2

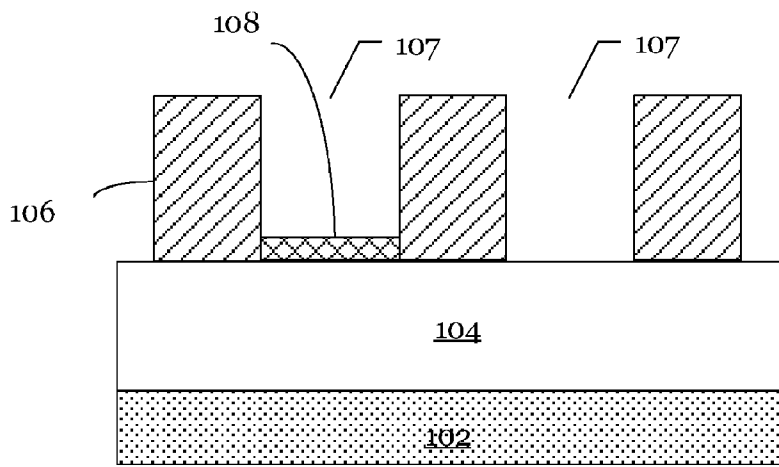


圖 3A

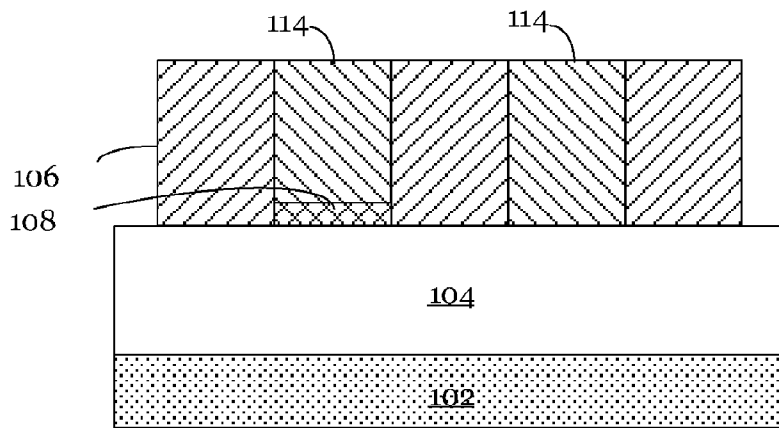


圖 3B

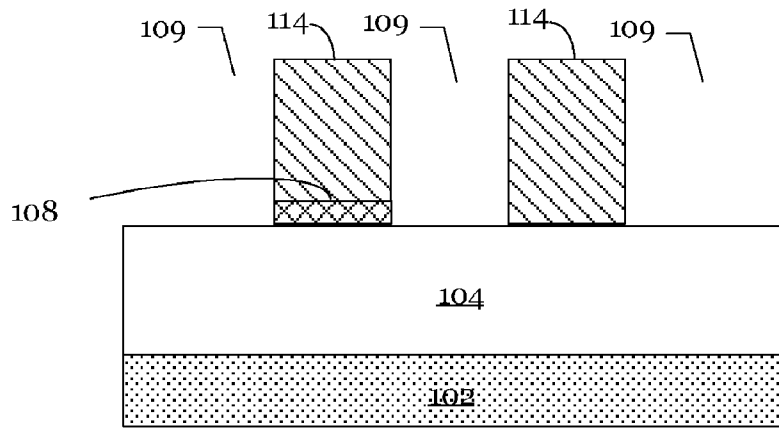


圖 3C

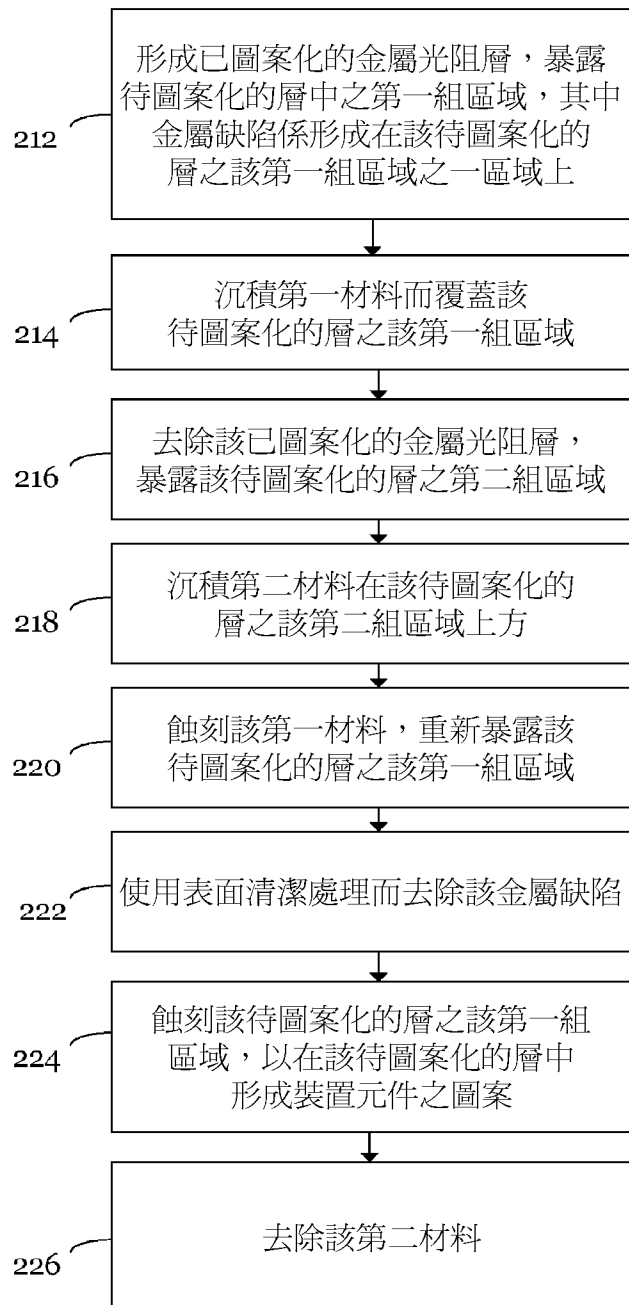


圖 5