

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 21/28

(11) 공개번호 특2000-0043901
(43) 공개일자 2000년07월 15일

(21) 출원번호	10-1998-0060339
(22) 출원일자	1998년12월29일
(71) 출원인	현대전자산업 주식회사 김영환
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 정명준
(74) 대리인	경기도 성남시 분당구 야탑동 장미마을 동부아파트 136-803 신영무, 최승민

심사청구 : 없음

(54) 반도체 소자의 콘택홀 형성 방법

요약

본 발명은 반도체 소자의 콘택홀 형성 방법에 관한 것으로, 게이트 스페이서막을 일정한 두께의 게이트 측벽 식각 장벽막과 일정한 두께의 LDD 스페이서막으로 이루어진 이중 스페이서막으로 만들어 주변 지역의 LDD 구조를 형성하기 위하여 필요한 게이트 스페이서막의 두께를 확보하면서 셀 지역의 콘택홀 형성시 LDD 스페이서막을 제거하여 게이트 측벽 식각 장벽막을 이용한 자기정렬콘택 공정으로 콘택홀을 형성하므로, 셀 지역의 콘택홀을 필요 이상 작아지게 되는 것을 방지하여 셀 지역의 콘택 저항을 감소시킬 수 있어, 반도체 소자의 신뢰성 및 수율을 향상시킬 수 있는 반도체 소자의 콘택홀 형성 방법에 관하여 기술된다.

대표도

도1

명세서

도면의 간단한 설명

도 1a 및 도 1b는 본 발명의 제 1 실시예에 따른 반도체 소자의 콘택홀 형성 방법을 설명하기 위한 소자의 단면도.

도 2a 및 도 2b는 본 발명의 제 2 실시예에 따른 반도체 소자의 콘택홀 형성 방법을 설명하기 위한 소자의 단면도.

도 3a 및 도 3b는 본 발명의 제 3 실시예에 따른 반도체 소자의 콘택홀 형성 방법을 설명하기 위한 소자의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

100: 반도체 기판	11: 소자 분리막
21: 게이트 절연막	22: 게이트 전극
23: 게이트 상부 식각 장벽막	25: 게이트 측벽 식각 장벽막
26: LDD 스페이서막	31: 저농도 불순물 영역
32: 고농도 불순물 영역	41: 층간 절연막
42: 비트 라인 콘택홀	43: 전하저장전극 콘택홀
C: 셀 지역	P: 주변 지역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 소자의 콘택홀 형성 방법에 관한 것으로, 특히 셀 지역 및 주변 지역에서 게이트 스페이서막으로 게이트 측벽 식각 장벽막 및 LDD(lightly doped drain) 스페이서막의 이중 막 구조로 형성하고, 셀 지역의 콘택홀을 형성시 LDD 스페이서막을 제거하여 게이트 측벽 식각 장벽막을 이용한 자기정렬콘

택 공정으로 콘택홀을 형성하므로 콘택 저항을 감소시킬 수 있는 반도체 소자의 콘택홀 형성 방법에 관한 것이다.

일반적으로, 반도체 소자의 집적도가 증가함에 따라 상하의 배선이나 캐패시터 등을 연결하는 콘택 자체의 크기와 주변 배선과의 간격이 감소된다. 따라서, 다층의 도전성을 구비하는 반도체 소자에서 콘택을 형성하기 위해서는 제조 공정에서의 정확하고 엄격한 정렬이 요구되어 공정 여유도가 감소된다. 또한, 콘택홀 크기의 감소는 반도체 제조 장비의 고정밀성을 요구하게 되며, 현재의 장비로는 어느 정도 이하 크기 예를 들어, 0.1 μm 의 미세 패턴 형성이 매우 어렵다. 상기와 같은 여러 가지 사항들을 고려하면 콘택홀 자체의 크기 및 간격이 넓어져 소자의 고집적화가 어려워진다. 이를 해결하기 위한 방법중의 하나가 자기정렬콘택(SAC) 방법으로, 이 방법의 특징은 층간 절연막과 식각 선택비가 있는 식각 장벽막을 게이트 전극의 상부(게이트 상부 식각 장벽막)와 게이트 전극의 측벽(게이트 측벽 식각 장벽막; 일반적으로 게이트 스페이서막)에 형성하고, 층간 절연막을 식각 하여 콘택홀을 만드는 것으로, 현재의 장비로서도 공정 여유도가 있는 콘택홀을 만들 수 있어, 셀 지역의 크기를 축소시킬 수 있는 장점이 있다. 하지만, 일반적으로 게이트 측벽 식각 장벽막은 주변 지역의 트랜지스터 형성시 LDD 구조를 만들기 위한 LDD 스페이서막과 동시에 만들어지는데, LDD 스페이서막에 필요한 두께는 게이트 측벽 식각 장벽막에 필요한 두께보다 더 커서 셀 지역의 콘택홀 크기를 필요 이상으로 작게 만들어 콘택 저항이 증가하는 문제점이 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 셀 지역 및 주변 지역에서 게이트 스페이서막으로 게이트 측벽 식각 장벽막 및 LDD 스페이서막의 이중 막 구조로 형성하고, 셀 지역의 콘택홀 형성시 LDD 스페이서막을 제거하여 게이트 측벽 식각 장벽막을 이용한 자기정렬콘택 공정으로 콘택홀을 형성하므로 콘택 저항을 감소시킬 수 있는 반도체 소자의 콘택홀 형성 방법을 제공함에 그 목적이 있다.

이러한 목적을 달성하기 위한 본 발명의 제 1 실시예에 의한 반도체 소자의 콘택홀 형성 방법은 게이트 절연막, 게이트 전극, 게이트 상부 식각 장벽막으로 이루어진 게이트 구조가 셀 지역 및 주변 지역 각각에 형성된 반도체 기판이 제공되는 단계; 상기 셀 지역 및 주변 지역의 게이트 구조 양측의 반도체 기판 내에 저농도 불순물 영역을 형성하는 단계; 상기 게이트 구조의 측벽에 게이트 측벽 식각 장벽막 및 LDD 스페이서막으로 된 이중 스페이서막을 형성한 후, 상기 주변 지역에만 고농도 불순물 영역을 형성하는 단계; 및 층간 절연막을 형성한 후, 자기정렬콘택 공정으로 상기 셀 지역에 비트 라인 콘택홀과 전하저장전극 콘택홀을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

또한, 상기한 목적을 달성하기 위한 본 발명의 제 2 실시예에 의한 반도체 소자의 콘택홀 형성 방법은 게이트 절연막, 게이트 전극, 게이트 상부 식각 장벽막으로 이루어진 게이트 구조가 셀 지역 및 주변 지역 각각에 형성된 반도체 기판이 제공되는 단계; 상기 셀 지역 및 주변 지역의 게이트 구조 양측의 반도체 기판 내에 저농도 불순물 영역을 형성하는 단계; 상기 게이트 구조의 측벽에 게이트 측벽 식각 장벽막으로 된 단일 스페이서막을 형성하는 단계; 상기 단일 스페이서막 상에 LDD 스페이서막으로 된 스페이서막을 형성하여 이중 스페이서막을 형성한 후, 상기 주변 지역에만 고농도 불순물 영역을 형성하는 단계; 및 층간 절연막을 형성한 후, 자기정렬콘택 공정으로 상기 셀 지역에 비트 라인 콘택홀과 전하저장전극 콘택홀을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

발명의 구성 및 작용

이하, 본 발명을 첨부된 도면을 참조하여 상세히 설명하기로 한다.

도 1a 및 도 1b는 본 발명의 제 1 실시예에 따른 반도체 소자의 콘택홀 형성 방법을 설명하기 위한 소자의 단면도이다.

도 1a를 참조하면, 반도체 기판(100)에 소자 분리막(11)을 형성하고, 게이트 절연막(21), 게이트 전극(22), 게이트 상부 식각 장벽막(23)으로 이루어진 게이트 구조를 셀 지역(C) 및 주변 지역(P) 각각에 형성한다. 저농도 불순물 이온을 주입하여 셀 지역(C) 및 주변 지역(P)의 게이트 구조 양측의 반도체 기판(100) 내에 저농도 불순물 영역(31)을 형성한다. 저농도 불순물 영역(31)은 셀 지역에서는 소오스/드레인 역할을 하게 된다. 게이트 구조를 포함한 전체 상부에 게이트 측벽 식각 장벽막(25) 및 LDD 스페이서막(26)을 순차적으로 형성한다.

상기에서, 게이트 측벽 식각 장벽막(25)은 실리콘 질화물을 200 내지 500Å의 두께로 증착하여 형성되며, LDD 스페이서막(26)은 실리콘 산화물로 형성된다.

도 1b를 참조하면, LDD 스페이서막(26) 및 게이트 측벽 식각 장벽막(25)을 전면 식각 공정으로 반도체 기판(100)이 드러날 때까지 순차적으로 식각한 후, 주변 지역(P)에만 고농도 불순물 이온을 주입하여 고농도 불순물 영역(32)을 형성하고, 이로 인하여 주변 지역(P)에는 저농도 불순물 영역(31)과 함께 LDD 구조의 접합부가 형성된다. 전체 구조상에 층간 절연막(41)을 형성한 후, 비트 라인 콘택홀과 전하저장전극 콘택홀이 형성될 부분이 개방(open)되고 나머지 부분은 덮여진(close)진 감광막 패턴(도시 안됨)과 게이트 상부 식각 장벽막(23)과 게이트 측벽 식각 장벽막(25)을 식각 마스크로 한 자기정렬콘택 공정으로 층간 절연막(41)과 LDD 스페이서막(26)을 반도체 기판(100)이 드러날 때까지 식각 하여 비트 라인 콘택홀(42)과 전하저장전극 콘택홀(43)을 형성한다.

상기한 본 발명의 제 1 실시예는 셀 지역(C)의 콘택홀(42 및 43) 형성시 게이트 상부 식각 장벽막(23) 및 게이트 측벽 식각 장벽막(25)을 이용한 자기정렬콘택 공정으로 층간 절연막(41)과 함께 필요 없는 두께의 LDD 스페이서막(26)을 제거하여 콘택홀(42 및 43)을 형성하므로, 셀 지역(C)의 콘택홀(42 및 43)을 필요 이상 작아지게 되는 것을 방지하여 셀 지역(C)의 콘택 저항을 개선할 수 있다.

도 2a 및 도 2b는 본 발명의 제 2 실시예에 따른 반도체 소자의 콘택홀 형성 방법을 설명하기 위한 소자의 단면도이다.

도 2a를 참조하면, 반도체 기판(100)에 소자 분리막(11)을 형성하고, 게이트 절연막(21), 게이트 전극

(22), 게이트 상부 식각 장벽막(23)으로 이루어진 게이트 구조를 셀 지역(C) 및 주변 지역(P) 각각에 형성한다. 저농도 불순물 이온을 주입하여 셀 지역(C) 및 주변 지역(P)의 게이트 구조 양측의 반도체 기판(100) 내에 저농도 불순물 영역(31)을 형성한다. 저농도 불순물 영역(31)은 셀 지역에서는 소오스/드레인 역할을 하게 된다. 게이트 구조를 포함한 전체 상부에 게이트 측벽 식각 장벽막(25) 및 LDD 스페이서막(26)을 순차적으로 형성한다.

상기에서, 게이트 측벽 식각 장벽막(25)은 실리콘 질화물을 200 내지 500 Å의 두께로 증착하여 형성되며, LDD 스페이서막(26)은 실리콘 산화물로 형성된다.

도 2b를 참조하면, LDD 스페이서막(26) 및 게이트 측벽 식각 장벽막(25)을 전면 식각 공정으로 반도체 기판(100)이 드러날 때까지 순차적으로 식각한 후, 주변 지역(P)에만 고농도 불순물 이온을 주입하여 고농도 불순물 영역(32)을 형성하고, 이로 인하여 주변 지역(P)에는 저농도 불순물 영역(31)과 함께 LDD 구조의 접합부가 형성된다. 전체 구조상에 층간 절연막(41)을 형성한 후, 비트 라인 콘택홀과 전하저장전극 콘택홀이 형성될 부분이 개방(open)되고 나머지 부분은 덮여진(close)진 감광막 패턴(도시 안됨)과 게이트 상부 식각 장벽막(23)과 게이트 측벽 식각 장벽막(25)을 식각 마스크로 한 자기정렬콘택 공정으로 층간 절연막(41)과 LDD 스페이서막(26)을 반도체 기판(100)이 드러날 때까지 식각한 다음, 이어서 반도체 기판(100)과 접촉된 부분의 게이트 측벽 식각 장벽막(25)의 돌출 부분을 완전히 제거하여 비트 라인 콘택홀(42)과 전하저장전극 콘택홀(43)을 형성한다.

상기한 본 발명의 제 2 실시예는 셀 지역(C)의 콘택홀(42 및 43) 형성시 게이트 상부 식각 장벽막(23) 및 게이트 측벽 식각 장벽막(25)을 이용한 자기정렬콘택 공정으로 층간 절연막(41)과 함께 필요 없는 두께의 LDD 스페이서막(26)을 제거함은 물론 콘택홀(42 및 43) 바닥에 돌출 되어 존재하는 측벽 식각 장벽막(43)의 일부분을 제거하여 콘택홀(42 및 43)을 형성하므로, 셀 지역(C)의 콘택홀(42 및 43)을 필요 이상 작아지게 되는 것을 방지하여 셀 지역(C)의 콘택 저항을 개선할 수 있다.

도 3a 및 도 3b는 본 발명의 제 3 실시예에 따른 반도체 소자의 콘택홀 형성 방법을 설명하기 위한 소자의 단면도이다.

도 3a를 참조하면, 반도체 기판(100)에 소자 분리막(11)을 형성하고, 게이트 절연막(21), 게이트 전극(22), 게이트 상부 식각 장벽막(23)으로 이루어진 게이트 구조를 셀 지역(C) 및 주변 지역(P) 각각에 형성한다. 저농도 불순물 이온을 주입하여 셀 지역(C) 및 주변 지역(P)의 게이트 구조 양측의 반도체 기판(100) 내에 저농도 불순물 영역(31)을 형성한다. 저농도 불순물 영역(31)은 셀 지역에서는 소오스/드레인 역할을 하게 된다. 게이트 구조를 포함한 전체 상부에 게이트 측벽 식각 장벽막(25)을 형성한 후, 전면 식각 공정으로 게이트 측벽 식각 장벽막(25)을 반도체 기판(100)이 드러날 때까지 식각 한다. 이후, LDD 스페이서막(26)을 전체 구조상에 형성한다.

상기에서, 게이트 측벽 식각 장벽막(25)은 실리콘 질화물을 200 내지 500 Å의 두께로 증착하여 형성되며, LDD 스페이서막(26)은 실리콘 산화물로 형성된다.

도 3b를 참조하면, LDD 스페이서막(26)을 전면 식각 공정으로 반도체 기판(100)이 드러날 때까지 순차적으로 식각한 후, 주변 지역(P)에만 고농도 불순물 이온을 주입하여 고농도 불순물 영역(32)을 형성하고, 이로 인하여 주변 지역(P)에는 저농도 불순물 영역(31)과 함께 LDD 구조의 접합부가 형성된다. 전체 구조상에 층간 절연막(41)을 형성한 후, 비트 라인 콘택홀과 전하저장전극 콘택홀이 형성될 부분이 개방(open)되고 나머지 부분은 덮여진(close)진 감광막 패턴(도시 안됨)과 게이트 상부 식각 장벽막(23)과 게이트 측벽 식각 장벽막(25)을 식각 마스크로 한 자기정렬콘택 공정으로 층간 절연막(41)과 LDD 스페이서막(26)을 반도체 기판(100)이 드러날 때까지 식각 하여 비트 라인 콘택홀(42)과 전하저장전극 콘택홀(43)을 형성한다.

상기한 본 발명의 제 3 실시예는 제 2 실시예와 공정 순서를 변경시킴에 의해 제 2 실시예와 동일한 효과를 얻을 수 있다.

발명의 효과

상술한 바와 같이, 본 발명은 게이트 스페이서막을 일정한 두께의 게이트 측벽 식각 장벽막과 일정한 두께의 LDD 스페이서막으로 이루어진 이중 스페이서막으로 만들어 주변 지역의 LDD 구조를 형성하기 위하여 필요한 게이트 스페이서막의 두께를 확보하면서 셀 지역의 콘택홀 형성시 LDD 스페이서막을 제거하여 게이트 측벽 식각 장벽막을 이용한 자기정렬콘택 공정으로 콘택홀을 형성하므로, 셀 지역의 콘택홀을 필요 이상 작아지게 되는 것을 방지하여 셀 지역의 콘택 저항을 감소시킬 수 있어, 반도체 소자의 신뢰성 및 수율을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1

게이트 절연막, 게이트 전극, 게이트 상부 식각 장벽막으로 이루어진 게이트 구조가 셀 지역 및 주변 지역 각각에 형성된 반도체 기판이 제공되는 단계;

상기 셀 지역 및 주변 지역의 게이트 구조 양측의 반도체 기판 내에 저농도 불순물 영역을 형성하는 단계;

상기 게이트 구조의 측벽에 게이트 측벽 식각 장벽막 및 LDD 스페이서막으로 된 이중 스페이서막을 형성한 후, 상기 주변 지역에만 고농도 불순물 영역을 형성하는 단계; 및

층간 절연막을 형성한 후, 자기정렬콘택 공정으로 상기 셀 지역에 비트 라인 콘택홀과 전하저장전극 콘택홀을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 콘택홀 형성 방법.

청구항 2

제 1 항에 있어서,

상기 게이트 측벽 식각 장벽막은 실리콘 질화물을 200 내지 500Å의 두께로 증착하여 형성되는 것을 특징으로 하는 반도체 소자의 콘택홀 형성 방법.

청구항 3

제 1 항에 있어서,

상기 LDD 스페이서막은 실리콘 산화물로 형성되는 것을 특징으로 하는 반도체 소자의 콘택홀 형성 방법.

청구항 4

제 1 항에 있어서,

상기 자기정렬콘택 공정은 상기 게이트 상부 식각 장벽막 및 상기 게이트 측벽 식각 장벽막과 함께 감광막 패턴을 식각 마스크로 하여 상기 층간 절연막과 상기 LDD 스페이서막을 반도체 기판이 드러날 때까지 식각 하는 것을 특징으로 하는 반도체 소자의 콘택홀 형성 방법.

청구항 5

제 1 항에 있어서,

상기 자기정렬콘택 공정은 상기 게이트 상부 식각 장벽막 및 상기 게이트 측벽 식각 장벽막과 함께 감광막 패턴을 식각 마스크로 하여 상기 층간 절연막과 상기 LDD 스페이서막을 반도체 기판이 드러날 때까지 식각 하되, 상기 콘택홀 바닥에 돌출 되어 존재하는 상기 게이트 측벽 식각 장벽막의 일부분을 제거하는 것을 특징으로 하는 반도체 소자의 콘택홀 형성 방법.

청구항 6

게이트 절연막, 게이트 전극, 게이트 상부 식각 장벽막으로 이루어진 게이트 구조가 셀 지역 및 주변 지역 각각에 형성된 반도체 기판이 제공되는 단계;

상기 셀 지역 및 주변 지역의 게이트 구조 양측의 반도체 기판 내에 저농도 불순물 영역을 형성하는 단계;

상기 게이트 구조의 측벽에 게이트 측벽 식각 장벽막으로 된 단일 스페이서막을 형성하는 단계;

상기 단일 스페이서막 상에 LDD 스페이서막으로 된 스페이서막을 형성하여 이중 스페이서막을 형성한 후, 상기 주변 지역에만 고농도 불순물 영역을 형성하는 단계; 및

층간 절연막을 형성한 후, 자기정렬콘택 공정으로 상기 셀 지역에 비트 라인 콘택홀과 전하저장전극 콘택홀을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 콘택홀 형성 방법.

청구항 7

제 6 항에 있어서,

상기 게이트 측벽 식각 장벽막은 실리콘 질화물을 200 내지 500Å의 두께로 증착하여 형성되는 것을 특징으로 하는 반도체 소자의 콘택홀 형성 방법.

청구항 8

제 6 항에 있어서,

상기 LDD 스페이서막은 실리콘 산화물로 형성되는 것을 특징으로 하는 반도체 소자의 콘택홀 형성 방법.

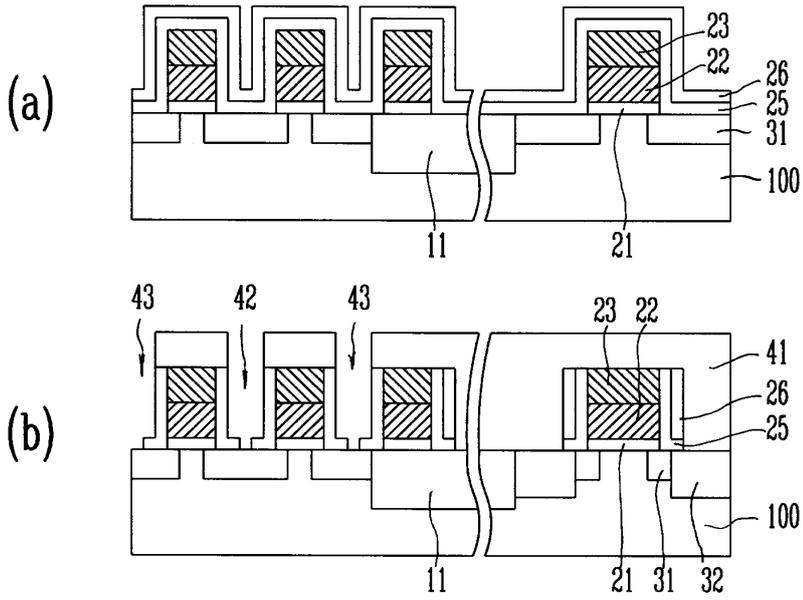
청구항 9

제 6 항에 있어서,

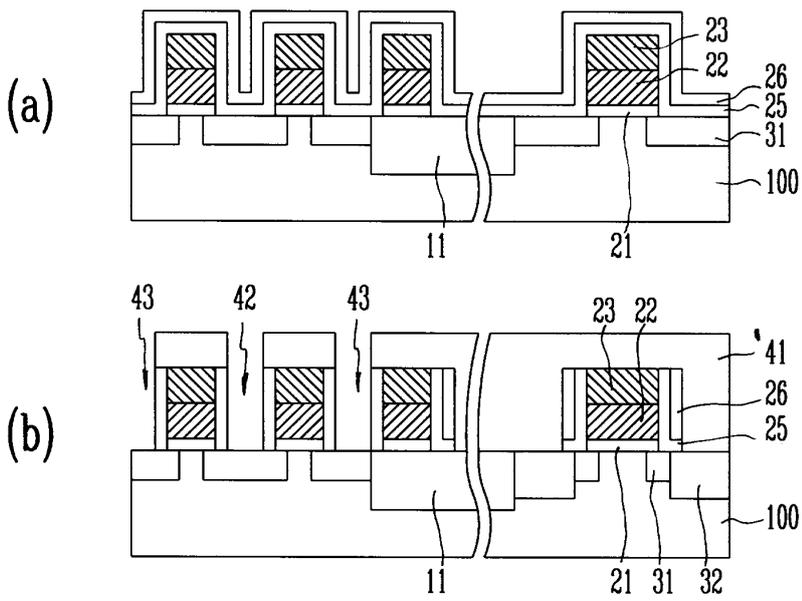
상기 자기정렬콘택 공정은 상기 게이트 상부 식각 장벽막 및 상기 게이트 측벽 식각 장벽막과 함께 감광막 패턴을 식각 마스크로 하여 상기 층간 절연막과 상기 LDD 스페이서막을 반도체 기판이 드러날 때까지 식각 하는 것을 특징으로 하는 반도체 소자의 콘택홀 형성 방법.

도면

도면1



도면2



도면3

