



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I527007 B

(45) 公告日：中華民國 105 (2016) 年 03 月 21 日

(21) 申請案號：100143406

(22) 申請日：中華民國 100 (2011) 年 11 月 25 日

(51) Int. Cl. : G09G3/20 (2006.01)

(71) 申請人：元太科技工業股份有限公司 (中華民國) E INK HOLDINGS INC. (TW)

新竹市科學工業園區力行一路 3 號

(72) 發明人：林柏辛 LIN, POHSIN (TW)；吳紀良 WU, CHILIANG (TW)；林欽雯 LIN, CHINWEN (TW)；辛哲宏 SHINN, TEDHONG (TW)

(74) 代理人：蔡坤財；李世章

(56) 參考文獻：

TW 201040929A

US 2007/0217564A1

US 2007/0248204A1

US 2008/0101529A1

審查人員：廖家成

申請專利範圍項數：5 項 圖式數：3 共 24 頁

(54) 名稱

驅動電路

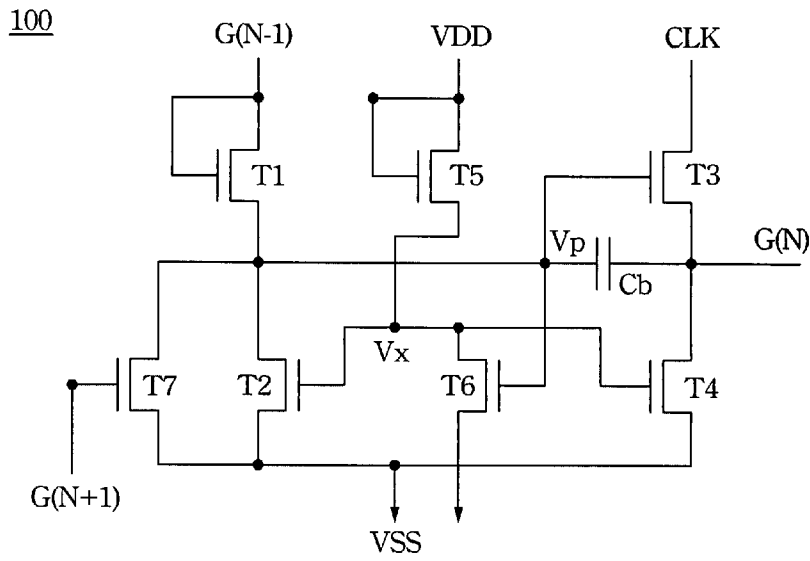
DRIVER CIRCUIT

(57) 摘要

本發明之驅動電路包含：第一電晶體開關，根據一前級閘極訊號產生第一控制信號，第二電晶體開關，根據一第二控制信號拉低第一控制信號位階，第三電晶體開關，根據第一控制信號輸出一時脈訊號，第四電晶體開關，根據第二控制信號拉低該時脈訊號位階，第五電晶體開關，耦接一高電壓源來輸出第二控制信號，第六電晶體開關，根據第一控制信號拉低該第二控制信號位階，第七電晶體開關，根據一後級閘極訊號，拉低該第一控制信號位階，一電容，其中前級閘極訊號對電容充電以產生第一控制信號。

A driving circuit includes a first transistor generating a first control signal based on a gate signal from a (N-1)<sup>th</sup> gate, a second transistor pulling down the voltage level of the first control signal based on a second control signal, a third transistor outputting a clock signal based on the first control signal, a fourth transistor pulling down the voltage level of the clock signal based on the second control signal, a fifth transistor coupling a high voltage to output the second control signal, a sixth transistor pulling down the voltage level of the second control signal based on the first control signal, a seventh transistor pulling down the voltage level of the first control signal based on a gate signal from a (N+1)<sup>th</sup> gate, and a capacitor charged by the gate signal from a (N-1)<sup>th</sup> gate to generate the first control signal.

指定代表圖：



第 1A 圖

符號簡單說明：

100 . . . 驅動電路

T1 . . . 第一電晶體  
開關

T2 . . . 第二電晶體  
開關

T3 . . . 第三電晶體  
開關

T4 . . . 第四電晶體  
開關

T5 . . . 第五電晶體  
開關

T6 . . . 第六電晶體  
開關

T7 . . . 第七電晶體  
開關

Cb . . . 電容器

G(N-1)、G(N)、G(N+1) . . . 閘極訊號

Vp . . . 控制信號

Vx . . . 控制信號

VSS . . . 低電壓源

VDD . . . 高電壓源

CLK . . . 時脈訊號

# 公告本

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：(00143406)

※申請日：100.11.25 ※IPC 分類：G09G3/50 (2006.01)

### 一、發明名稱：(中文/英文)

(中文)驅動電路

(英文) Driver Circuit

### 二、中文發明摘要：

本發明之驅動電路包含：第一電晶體開關，根據一前級閘極訊號產生第一控制信號，第二電晶體開關，根據一第二控制信號拉低第一控制信號位階，第三電晶體開關，根據第一控制信號輸出一時脈訊號，第四電晶體開關，根據第二控制信號拉低該時脈訊號位階，第五電晶體開關，耦接一高電壓源來輸出第二控制信號，第六電晶體開關，根據第一控制信號拉低該第二控制信號位階，第七電晶體開關，根據一後級閘極訊號，拉低該第一控制信號位階，一電容，其中前級閘極訊號對電容充電以產生第一控制信號。

### 三、英文發明摘要：

A driving circuit includes a first transistor generating a first control signal based on a gate signal from a (N-1)<sup>th</sup> gate,

a second transistor pulling down the voltage level of the first control signal based on a second control signal, a third transistor outputting a clock signal based on the first control signal, a fourth transistor pulling down the voltage level of the clock signal based on the second control signal, a fifth transistor coupling a high voltage to output the second control signal, a sixth transistor pulling down the voltage level of the second control signal based on the first control signal, a seventh transistor pulling down the voltage level of the first control signal based on a gate signal from a  $(N+1)^{\text{th}}$  gate, and a capacitor charged by the gate signal from a  $(N-1)^{\text{th}}$  gate to generate the first control signal.

四、指定代表圖：

(一)本案指定代表圖為：第(1A)圖。

(二)本代表圖之元件符號簡單說明：

100 驅動電路

T1 第一電晶體開關

T2 第二電晶體開關

T3 第三電晶體開關

T4 第四電晶體開關

T5 第五電晶體開關

T6 第六電晶體開關

T7 第七電晶體開關

Cb 電容器

G(N-1)、G(N)、G(N+1) 閘極訊號

Vp 控制信號

Vx 控制信號

VSS 低電壓源

VDD 高電壓源

CLK 時脈訊號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種顯示面板的驅動電路，且特別是有關於一種直接製作於顯示面板的閘極驅動電路。

### 【先前技術】

近年來，隨著半導體科技蓬勃發展，攜帶型電子產品及平面顯示器產品也隨之興起。而在眾多平面顯示器的類型當中，電泳顯示技術(Electro-Phoretic Display, EPD)基於其低電壓操作、無輻射線散射、重量輕以及體積小等優點，隨即已成為顯示器產品之主流。

為了要將顯示器的製作成本壓低，將閘極驅動電路結構直接製作於顯示面板上的作法已逐漸取代傳統利用外部閘極驅動晶片驅動畫素的作法，藉此可省下閘極驅動晶片的零件成本而降低整體製造成本。然而，由於一基板上同時形成有為數眾多之閘極線、資料線以及畫素單元，可供形成閘極驅動電路之空間有限，因此該閘極驅動電路之結構須盡可能簡化，藉以提高生產良率。

### 【發明內容】

有鑑於此，本發明提供一種驅動電路，其可大幅降低電路結構複雜度、減少製作空間及降低成本。

本發明之一目的在於提供一種驅動電路，其中使用串接之兩電晶體開關來控制控制信號之輸出電壓位階，進而

控制輸出之閘極訊號，因而具有較簡單之電路結構、較低之製作成本及較少之電路空間。

本發明之一態樣在提供一種驅動電路，至少包含：一第一電晶體開關，耦接一前級閘極訊號來產生一第一控制信號；一第二電晶體開關，根據一第二控制信號拉低該第一控制信號之位階；一第三電晶體開關，接收一時脈訊號，並根據第一控制信號輸出時脈訊號；一第四電晶體開關，根據第二控制信號拉低時脈訊號之位階；一第五電晶體開關，耦接一高電壓源來輸出第二控制信號；一第六電晶體開關，根據該第一控制信號拉低該第二控制信號之位階；一第七電晶體開關，根據一後級閘極訊號，拉低第一控制信號之位階使得第六電晶體開關關閉以拉高第二控制信號之位階；以及一電容，其中前級閘極訊號對電容充電以產生第一控制信號。

本發明之驅動電路使用較少之電子元件及串接之兩電晶體開關來控制控制信號之輸出電壓位階，進而控制輸出之閘極訊號。在電路架構上相當簡化，因此驅動電路之體積可大幅縮減，進而縮小整體平面顯示器之尺寸。

### 【實施方式】

以下為本發明較佳具體實施例以所附圖示加以詳細說明，下列之說明及圖示使用相同之參考數字以表示相同或類似元件，並且在重複描述相同或類似元件時則予省略。

第 1A 圖所示為依據本發明一較佳具體實施例之驅動電路概略圖示。如第 1A 圖所示，本發明之實施例之驅動

電路 100 包括七個電晶體開關 T1、T2、T3、T4、T5、T6 和 T7，以及一個電容器 Cb。此七個電晶體開關可為薄膜電晶體(Thin Film Transistor)、金氧半場效電晶體(Metal Oxide Semiconductor Field Effect Transistor)或接面場效電晶體(Junction Field Effect Transistor)。本實施例的驅動電路可例如為應用於顯示面板上之閘極驅動電路。

第一電晶體開關 T1 包含第一端、第二端及閘極端，其中第一端用來接收前級閘極驅動電路所輸出之閘極訊號 G(N-1)，閘極端耦接於第一端，第二端耦接於電容 Cb。因此，電容 Cb 即根據第一電晶體開關 T1 所接收之閘極訊號 G(N-1)，執行充電程序以產生控制信號 Vp(亦即驅動控制電壓 Vp)。第二電晶體開關 T2 包含第一端、第二端及閘極端，其中第一端耦接於第一電晶體開關 T1 之第二端，閘極端用來接收控制信號 Vx，第二端耦接於一低電壓源 VSS，用以穩定/拉低控制信號 Vp 位階。第三電晶體開關 T3 包含第一端、第二端及閘極端，其中第一端用以接收一時脈訊號 CLK，閘極端用以接收控制信號 Vp，第二端用以輸出閘極訊號 G(N)，電容 Cb 耦接於第三電晶體開關 T3 之閘極端與第二端之間。第四電晶體開關 T4 包含第一端、第二端及閘極端，其中第一端耦接於第三電晶體開關 T3 之第二端，閘極端用來接收控制信號 Vx，第二端耦接於一低電壓源 VSS。第五電晶體開關 T5 包含第一端、第二端及閘極端，其中第一端用來接收高電壓源 VDD，閘極端耦接於第一端，第二端用以根據高電壓源 VDD 輸出控制信號 Vx。第六電晶體開關 T6 包含第一端、第二端及閘極端，其中第一



端用來接收控制信號  $V_x$ ，閘極端耦接於電容  $C_b$  並接收控制信號  $V_p$ ，第二端耦接於低電壓源  $V_{SS}$ 。第七電晶體開關  $T_7$  包含第一端、第二端及閘極端，其中第一端耦接於第一電晶體開關  $T_1$  之第二端，閘極端用來接收後級閘極驅動電路所輸出之閘極訊號  $G(N+1)$ ，第二端耦接於低電壓源  $V_{SS}$ 。

當前級閘極驅動電路所輸出之閘極訊號  $G(N-1)$  經由第一電晶體開關  $T_1$  之第一端輸入驅動電路 100 時，若閘極訊號  $G(N-1)$  為高電壓準位，由於第一電晶體開關  $T_1$  閘極端耦接於第一端，因此第一電晶體開關  $T_1$  被啟動，同時電容  $C_b$  即根據第一電晶體開關  $T_1$  所接收之閘極訊號  $G(N-1)$ ，執行充電程序以產生控制信號  $V_p$ ，藉以啟動第三電晶體開關  $T_3$  以及第六電晶體開關  $T_6$ 。其中第五電晶體開關  $T_5$ ，因為其第一端接收高電壓源  $V_{DD}$  而閘極端耦接於第一端，因此第二端輸出之控制信號  $V_x$  為高電壓準位，但當第六電晶體開關  $T_6$  被啟動後，原本高電壓準位之控制信號  $V_x$  會被反轉成低電壓準位。此低電壓準位之控制信號  $V_x$  會讓第四電晶體開關  $T_4$  和第二電晶體開關  $T_2$  關閉，而讓第三電晶體開關  $T_3$  之第二端輸出時脈訊號  $CLK$ 。

而當後級閘極驅動電路所輸出之閘極訊號  $G(N+1)$  傳送至第七電晶體開關  $T_7$  之閘極端，第七電晶體開關  $T_7$  會被啟動，導致高電壓準位之控制信號  $V_p$  轉變成低電壓準位，而將第三電晶體開關  $T_3$  以及第六電晶體開關  $T_6$  關閉，其中第五電晶體開關  $T_5$  因為第六電晶體開關  $T_6$  被關閉，因此第五電晶體開關  $T_5$  之第二端將輸出一高電壓準位

之控制信號  $V_x$  來啟動第四電晶體開關 T4 以及第二電晶體開關 T2，而讓第三電晶體開關 T3 之第二端輸出低電壓準位信號。

於本實施例中，高電壓源 VDD 僅透過第五電晶體開關 T5 來維持控制信號  $V_x$  在一高位階，並使用串接之第五電晶體開關 T5 和第六電晶體開關 T6 來控制控制信號  $V_x$  之輸出電壓位階。其中，在前級閘極驅動電路輸出閘極訊號  $G(N-1)$  時，第六電晶體開關 T6 被啟動，控制信號  $V_x$  才由高電壓準位轉換成一低電壓準位，來輸出本級之閘極訊號  $G(N)$ 。並於後級閘極驅動電路輸出閘極訊號  $G(N+1)$  時，第六電晶體開關 T6 被關閉，控制信號  $V_x$  由低電壓準位回復成高電壓準位，終止輸出本級之閘極訊號  $G(N)$ 。因此，在電路結構上相當簡化，且可藉由調整第五電晶體開關 T5 的尺寸，以及第六電晶體開關 T6 的尺寸來改變控制信號  $V_x$  於高低電壓準位間之轉換時間。亦即第五電晶體開關 T5 與第六電晶體開關 T6 的尺寸比例可決定控制信號  $V_x$  之位階的準位。

第 1B 圖所示為用以操作第 1A 圖閘極驅動電路之時序圖。其中在 P1 期間，第一電晶體開關 T1 會接收前級閘極驅動電路輸出之閘極訊號  $G(N-1)$  而變成導通狀態，當閘極訊號  $G(N-1)$  通過第一電晶體開關 T1 後，使得控制信號  $V_p$  處在一高電壓準位狀態進而將第六電晶體開關 T6 切換為導通狀態，使得控制信號  $V_x$  被反轉成低電壓準位。其中控制信號  $V_p$  是處在浮動狀態，透過耦合通過第三電晶體開關 T3 內寄生靜電容量，控制信號  $V_p$  的電壓準位受到時

脈訊號 CLK 的電壓準位影響。因此，當在 P2 期間時，時脈訊號 CLK 為高準位狀態，造成控制信號  $V_p$  的電壓準位會增加，且由於第六電晶體開關 T6 仍為導通狀態，控制信號  $V_x$  仍為低電壓準位，使得第四電晶體開關 T4 在非導通狀態，且因為第三電晶體開關 T3 在第一電晶體開關 T1 接收閘極訊號  $G(N-1)$  後會處在導通狀態，所以當第四電晶體開關 T4 在非導通狀態時，本級之閘極訊號  $G(N)$  輸出會與在閘極訊號  $G(N-1)$  之後的時脈脈衝 CLK 同步，因此閘極訊號  $G(N)$  發生在 P2 期間。直到 P3 期間，時脈訊號 CLK 為低準位狀態，且第七電晶體開關 T7 接收後級閘極驅動電路輸出閘極訊號  $G(N+1)$  而變成導通狀態，重設控制信號  $V_p$  為止。

第 2A 圖所示為依據本發明另一較佳具體實施例之驅動電路概略圖示。如第 2A 圖所示，本發明之驅動電路 200 包括八個電晶體開關 T1、T2、T3、T4、T5、T6、T7 和 T8，以及一個電容器  $C_b$ 。此八個電晶體開關可為薄膜電晶體 (Thin Film Transistor)、金氧半場效電晶體 (Metal Oxide Semiconductor Field Effect Transistor)、或接面場效電晶體 (Junction Field Effect Transistor)。

第一電晶體開關 T1 包含第一端、第二端及閘極端，其中第一端用來接收前級閘極驅動電路所輸出之閘極訊號  $G(N-1)$ ，閘極端耦接於第一端，第二端耦接於電容  $C_b$ 。因此，電容  $C_b$  即根據第一電晶體開關 T1 所接收之閘極訊號  $G(N-1)$ ，執行充電程序以產生控制信號  $V_p$  (亦即驅動控制電壓  $V_p$ )。第二電晶體開關 T2 包含第一端、第二端及閘極

端，其中第一端耦接於第一電晶體開關 T1 之第二端，閘極端用來接收控制信號  $V_x$ ，第二端耦接於一低電壓源 VSS。第三電晶體開關 T3 包含第一端、第二端及閘極端，其中第一端用以接收一時脈訊號 CLK，閘極端用以接收控制信號  $V_p$ ，第二端用以輸出閘極訊號  $G(N)$ ，電容  $C_b$  耦接於第三電晶體開關 T3 之閘極端與第二端之間。第四電晶體開關 T4 包含第一端、第二端及閘極端，其中第一端耦接於第三電晶體開關 T3 之第二端，閘極端用來接收控制信號  $V_x$ ，第二端耦接於一低電壓源 VSS。第五電晶體開關 T5 包含第一端、第二端及閘極端，其中第一端用來接收高電壓源 VDD，閘極端耦接於第一選擇信號 A，第二端用一輸出控制信號  $V_x$ 。第六電晶體開關 T6 包含第一端、第二端及閘極端，其中第一端用來接收控制信號  $V_x$ ，閘極端耦接於電容  $C_b$  並接收控制信號  $V_p$ ，第二端耦接於一低電壓源 VSS。第七電晶體開關 T7 包含第一端、第二端及閘極端，其中第一端耦接於第一電晶體開關 T1 之第二端，閘極端用來接收後級閘極驅動電路所輸出之閘極訊號  $G(N+1)$ ，第二端耦接於一低電壓源 VSS。第八電晶體開關 T8 包含第一端、第二端及閘極端，其中第一端用來接收高電壓源 VDD，閘極端耦接於第二選擇信號 B，第二端用一輸出控制信號  $V_x$ ，其中如第 3A 和 3B 圖所示，第一選擇信號 A 與第二選擇信號 B 為互補信號。

本實施例與第一實施例最大不同處在於，為避免第一實施例中之第五電晶體開關 T5 因為長時間受高電壓源 VDD 驅動，造成啟始電壓偏移，進而影響第四電晶體開關

T4 之啟動時間，使得輸出之閘極訊號  $G(N)$  準位失真。因此於本實施例中，使用一第八電晶體開關 T8 來與第五電晶體開關 T5 並連，並藉由互補之第一選擇信號 A 與第二選擇信號 B 間隔開啟第八電晶體開關 T8 與第五電晶體開關 T5，來輸出控制信號  $V_x$ ，提高閘極驅動電路之可靠度。

第 2B 圖所示為用以操作第 2A 圖閘極驅動電路之時序圖。其中在 P1 期間，第二選擇信號 B 開啟第五電晶體開關 T5，第一電晶體開關 T1 會接收前級閘極驅動電路輸出之閘極訊號  $G(N-1)$  而變成導通狀態，當閘極訊號  $G(N-1)$  通過第一電晶體開關 T1 後，使得控制信號  $V_p$  處在一高電壓準位狀態進而將第六電晶體開關 T6 切換為導通狀態，從而使得控制信號  $V_x$  被反轉成低電壓準位。其中控制信號  $V_p$  是處在浮動狀態，透過耦合通過第三電晶體開關 T3 內寄生靜電容量，控制信號  $V_p$  的電壓準位受到時脈訊號 CLK 的電壓準位影響。因此，當在 P2 期間時，第一選擇信號 A 開啟第八電晶體開關 T8，同時時脈訊號 CLK 為高準位狀態，造成控制信號  $V_p$  的電壓準位會增加，且由於第六電晶體開關 T6 仍為導通狀態，控制信號  $V_x$  仍為低電壓準位，使得第四電晶體開關 T4 在非導通狀態，且因為第三電晶體開關 T3 在第一電晶體開關 T1 接收閘極訊號  $G(N-1)$  後會處在導通狀態，所以當第四電晶體開關 T4 在非導通狀態時，本級之閘極訊號  $G(N)$  輸出會與在閘極訊號  $G(N-1)$  之後的時脈脈衝 CLK 同步，因此閘極訊號  $G(N)$  發生在 P2 期間。直到 P3 期間，時脈訊號 CLK 為低準位狀態，且第七電晶體開關 T7 接收後級閘極驅動電路輸出閘極訊號

G(N+1)而變成導通狀態，重設控制信號  $V_p$  為止。

綜合上述所言，本發明之閘極驅動電路使用串接之兩電晶體開關來控制控制信號之輸出電壓位階，進而控制輸出之閘極訊號。在電路架構上相當簡化，因此閘極驅動電路之體積可大幅縮減，進而縮小整體平面顯示器之尺寸。

雖然本發明已以實施方式揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

#### 【圖式簡單說明】

為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之說明如下：

第 1A 圖所示為依據本發明一較佳具體實施例之驅動電路概略圖示。

第 1B 圖所示為用以操作第 1A 圖驅動電路之時序圖。

第 2A 圖所示為依據本發明另一較佳具體實施例之驅動電路概略圖示。

第 2B 圖所示為用以操作第 2A 圖驅動電路之時序圖。

第 3A 圖和第 3B 圖所示為本發明第一選擇信號 A 與第二選擇信號 B 之互補關係圖。

#### 【主要元件符號說明】

100 和 200 驅動電路

T1 第一電晶體開關

T2 第二電晶體開關

T3 第三電晶體開關

T4 第四電晶體開關

T5 第五電晶體開關

T6 第六電晶體開關

T7 第七電晶體開關

T8 第八電晶體開關

Cb 電容器

G(N-1)、G(N)、G(N+1) 閘極訊號

Vp 控制信號

Vx 控制信號

VSS 低電壓源

VDD 高電壓源

CLK 時脈訊號

## 七、申請專利範圍：

1. 一種驅動電路，至少包含：

一第一電晶體開關，接收一前級閘極訊號來產生一第一控制信號；

一第二電晶體開關，根據一第二控制信號拉低該第一控制信號之位階；

一第三電晶體開關，接收一時脈訊號，並根據該第一控制信號輸出該時脈訊號；

一第四電晶體開關，根據該第二控制信號拉低該時脈訊號之位階；

一第五電晶體開關，耦接一高電壓源來輸出該第二控制信號；

一第六電晶體開關，根據該第一控制信號拉低該第二控制信號之位階；

一第七電晶體開關，根據一後級閘極訊號，拉低該第一控制信號之該位階使得該第六電晶體開關閉以拉高該第二控制信號之該位階；

一電容，其中該前級閘極訊號對該電容充電以產生該第一控制信號；以及

一第八電晶體開關，耦接該高電壓源並與該第五電晶體開關並連，該第五電晶體開關與該第八電晶體開關設置以降低該第四電晶體開關之啟動時間的變異，其中該第五電晶體開關根據一第一選擇信號來輸出該第二控制信號，該第八電晶體開關根據一第二選擇信號來輸出該第二



控制信號，其中該第一選擇信號與該第二選擇信號互補。

2. 如請求項 1 所述之驅動電路，其中該第一電晶體開關、該第二電晶體開關、該第三電晶體開關、該第四電晶體開關、該第五電晶體開關、該第六電晶體開關、該第七電晶體開關以及該第八電晶體開關為一薄膜電晶體、金氧半場效電晶體、或接面場效電晶體。

3. 如請求項 1 所述之驅動電路，其中該第六電晶體開關與該第五電晶體開關之尺寸比例可決定該第二控制信號之位階的準位。

4. 如請求項 1 所述之驅動電路，其中該高電壓源僅透過該第五電晶體開關來維持該第二控制信號在一高位階。

5. 如請求項 1 所述之驅動電路，其中：

該第一電晶體開關包含一第一端、一第二端及一閘極端，其中該第一電晶體開關之該第一端用來接收該前級閘極訊號，該閘極端耦接於該第一電晶體開關之該第一端，該第一電晶體開關之該第二端用以根據該前級閘極訊號輸出該第一控制信號；

該第二電晶體開關包含一第一端、一第二端及一閘極端，其中該第二電晶體開關之該第一端耦接於該第一電晶體開關之第二端，該第二電晶體開關之該閘極端接收該第

二控制信號，該第二電晶體開關之該第二端耦接於一低電壓源；

該第三電晶體開關包含一第一端、一第二端及一閘極端，其中該第三電晶體開關之該第一端接收該時脈訊號，該第三電晶體開關之該閘極端用以接收該第一控制信號，該第三電晶體開關之該第二端用以根據該第一控制信號輸出該時脈訊號；

該第四電晶體開關包含一第一端、一第二端及一閘極端，其中該第四電晶體開關之該第一端耦接於該第三電晶體開關之該第二端，該第四電晶體開關之該閘極端接收該第二控制信號，該第四電晶體開關之該第二端耦接於該低電壓源；

該第五電晶體開關包含一第一端、一第二端及一閘極端，其中該第五電晶體開關之該第一端接收該高電壓源，該第五電晶體開關之該閘極端接收該第一選擇信號，該第五電晶體開關之該第二端根據該第一選擇信號輸出該第二控制信號；

該第六電晶體開關包含一第一端、一第二端及一閘極端，其中該第六電晶體開關之該第一端接收該第二控制信號，該第六電晶體開關之該閘極端接收該第一控制信號，該第六電晶體開關之該第二端耦接於該低電壓源；

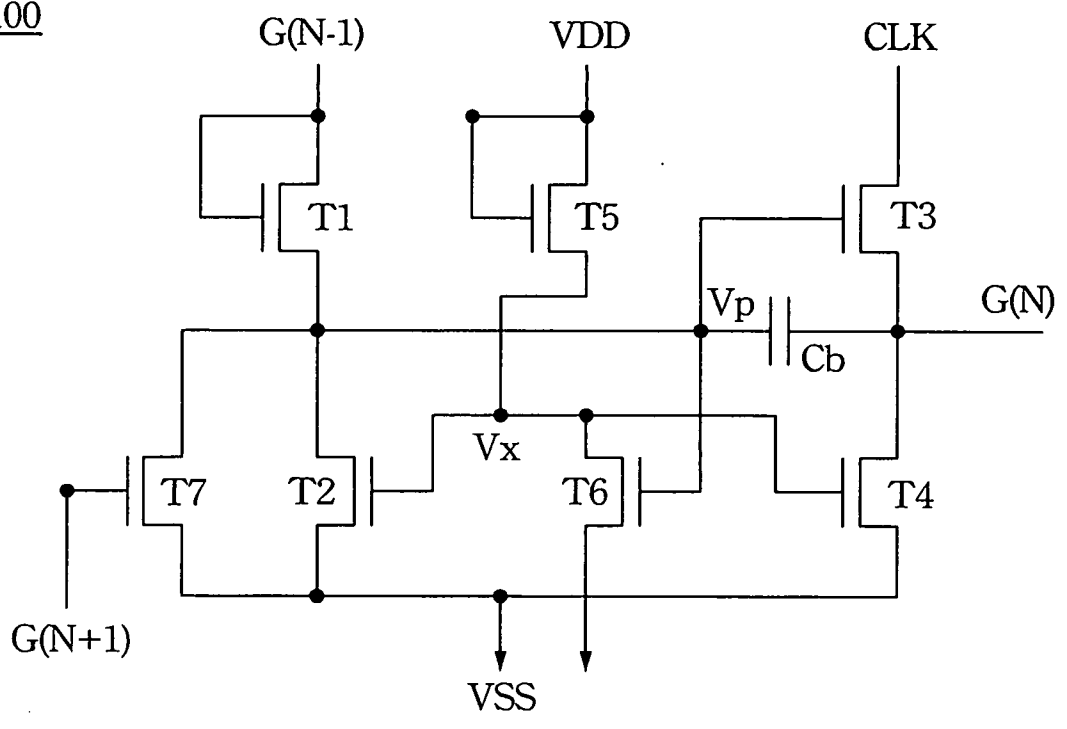
該第七電晶體開關包含一第一端、一第二端及一閘極端，其中該第七電晶體開關之該第一端耦接於該第一電晶體開關之第二端，該第七電晶體開關之該閘極端接收該後級閘極訊號，該第七電晶體開關之該第二端耦接於該低電

壓源；

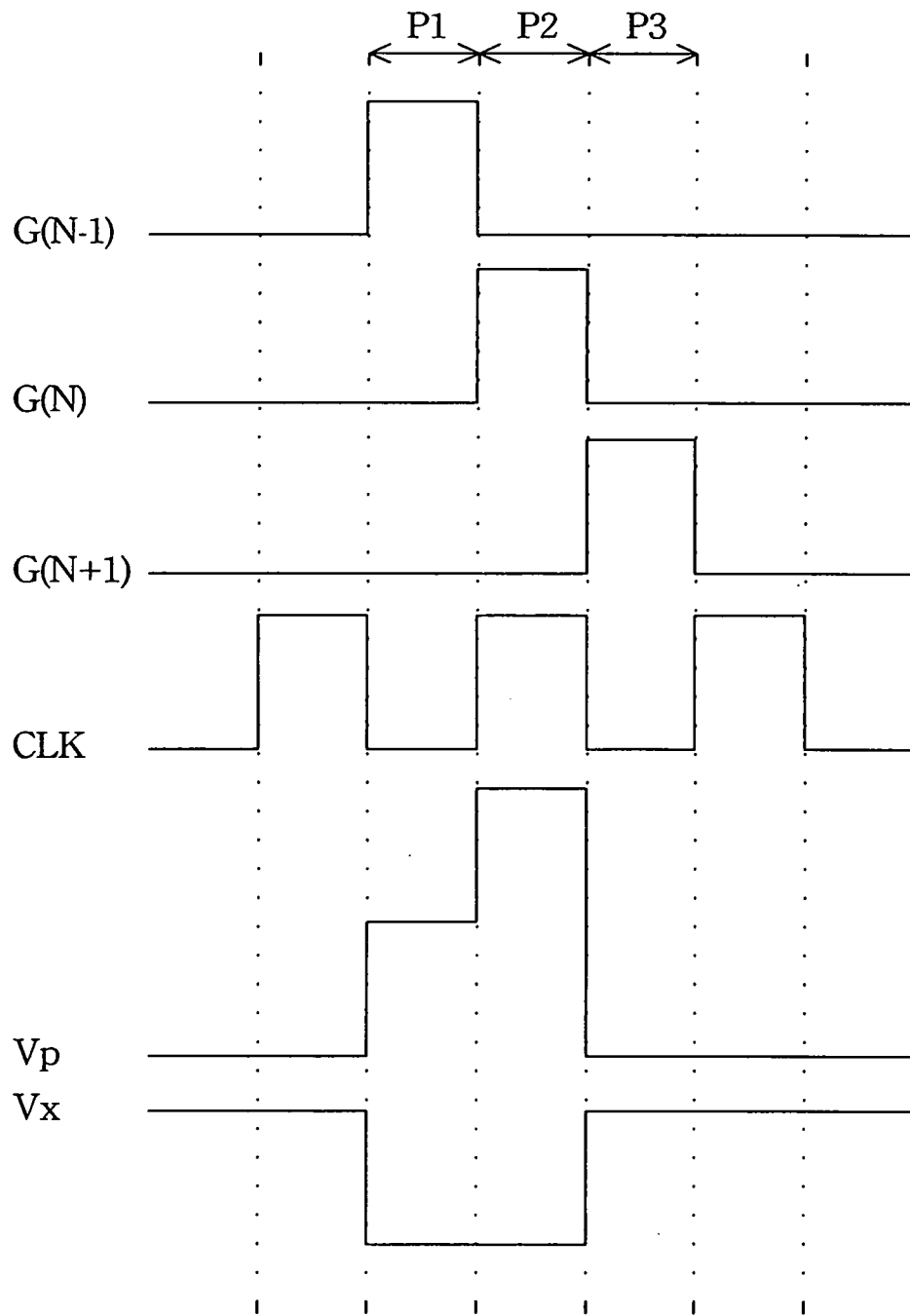
該第八電晶體開關包含一第一端、一第二端及一閘極端，其中該第八電晶體開關之該第一端接收該高電壓源，該第八電晶體開關之該閘極端接收該第二選擇信號，該第八電晶體開關之該第二端根據該第二選擇信號輸出該第二控制信號；以及

該電容耦接該第三電晶體開關之該第二端以及該閘極端。

100

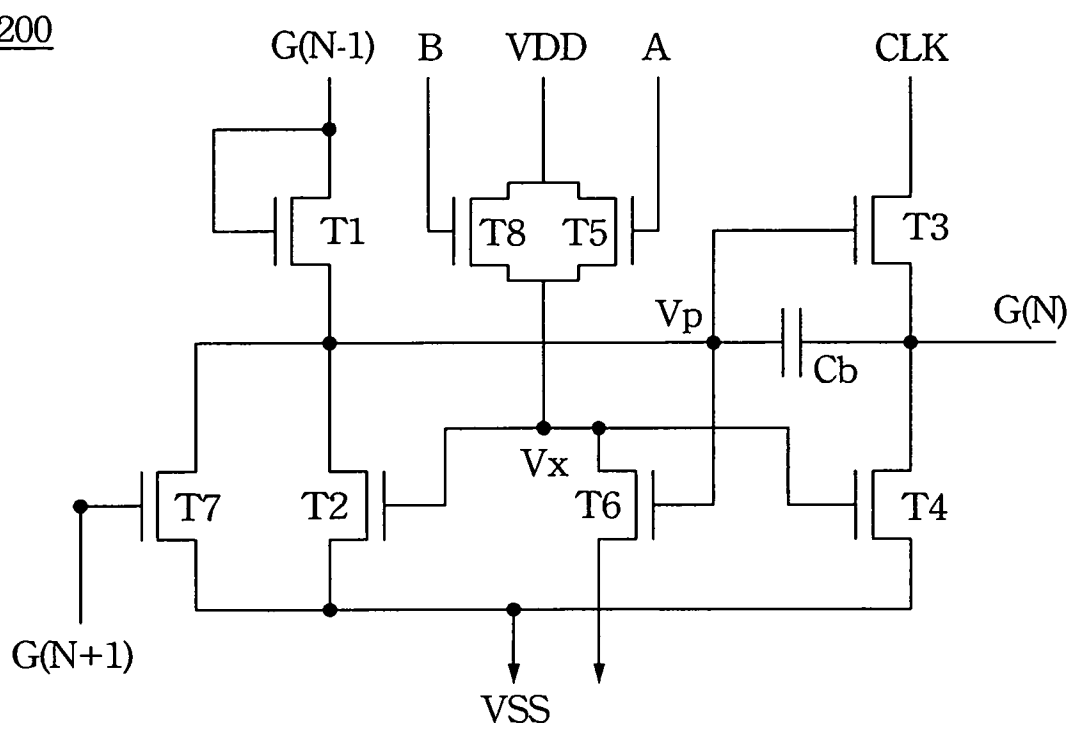


第 1A 圖

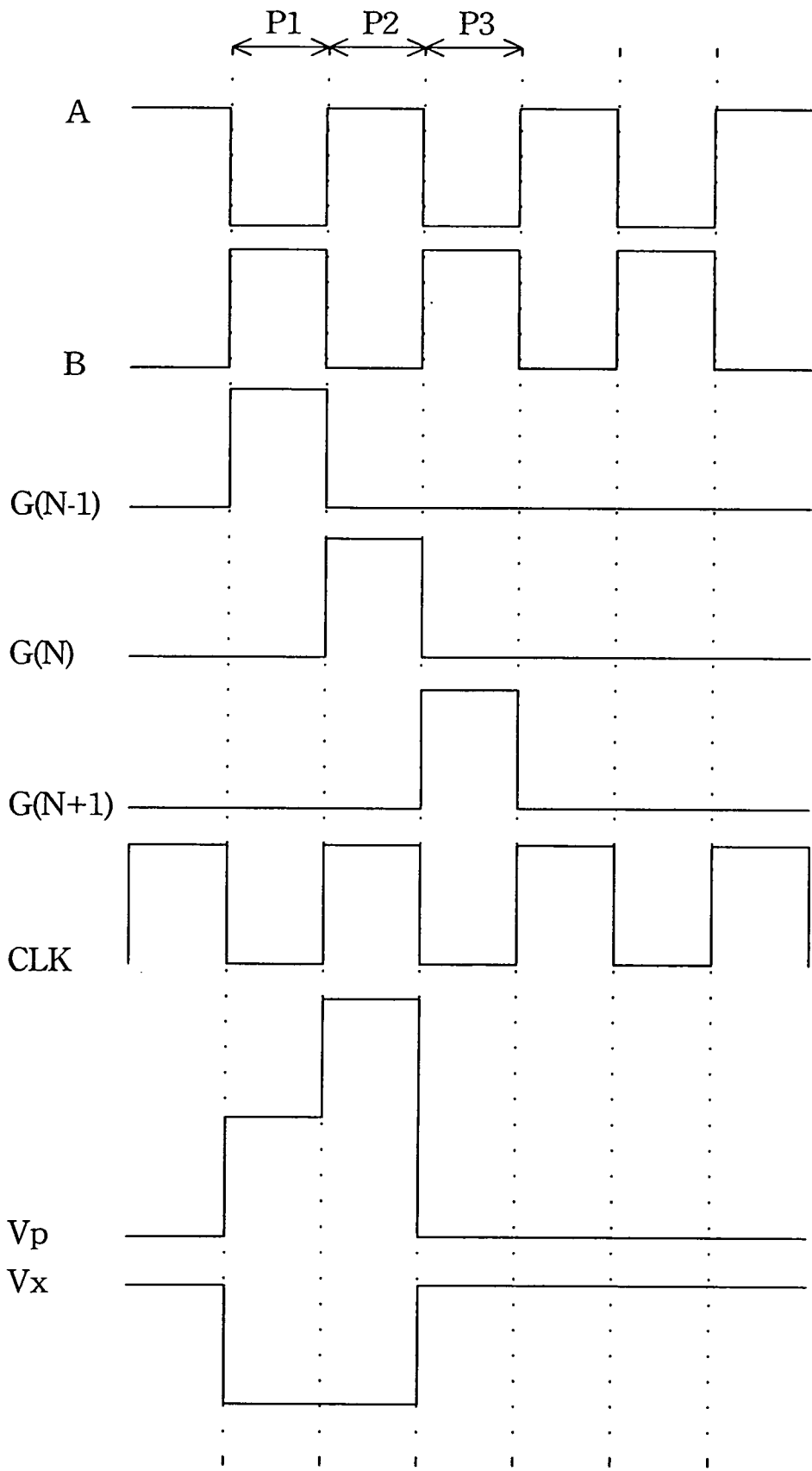


第 1B 圖

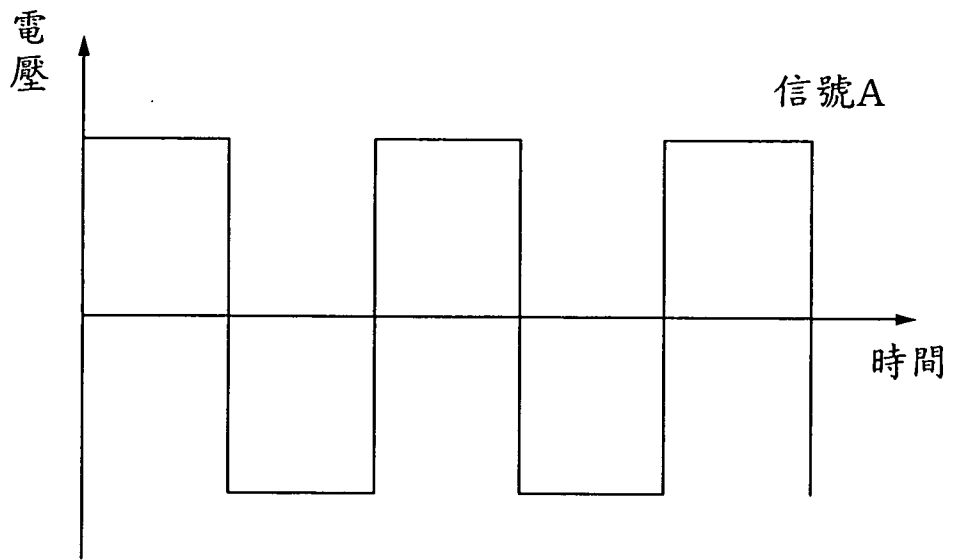
200



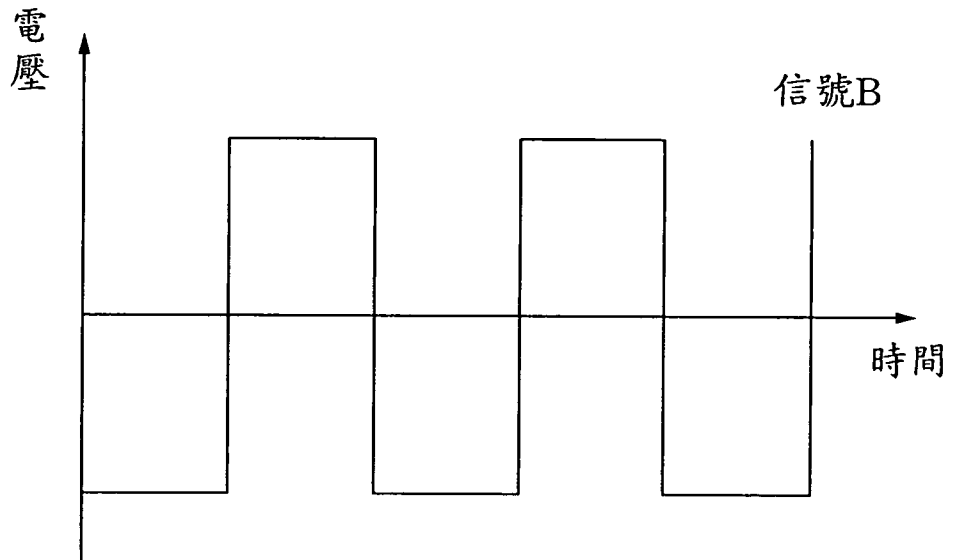
第 2A 圖



第 2B 圖



第 3A 圖



第 3B 圖