



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I688059 B

(45) 公告日：中華民國 109 (2020) 年 03 月 11 日

(21) 申請案號：108108725

(22) 申請日：中華民國 108 (2019) 年 03 月 14 日

(51) Int. Cl. : H01L23/31 (2006.01)

H01L21/56 (2006.01)

(71) 申請人：力成科技股份有限公司 (中華民國) POWERTECH TECHNOLOGY INC. (TW)
 新竹縣湖口鄉新竹工業區大同路 26 號

(72) 發明人：林漢文 LIN, HAN-WEN (TW)；徐宏欣 HSU, HUNG-HSIN (TW)；張簡上煜
 CHANG CHIEN, SHANG-YU (TW)；林南君 LIN, NAN-CHUN (TW)

(74) 代理人：葉璟宗；詹東穎；劉亞君

(56) 參考文獻：

TW 201423924A

TW 201628147A

TW 201739032A

EP 3125292A1

EP 3157056A2

US 2016/0218089A1

審查人員：修宇鋒

申請專利範圍項數：7 項 圖式數：4 共 33 頁

(54) 名稱

半導體封裝結構及其製造方法

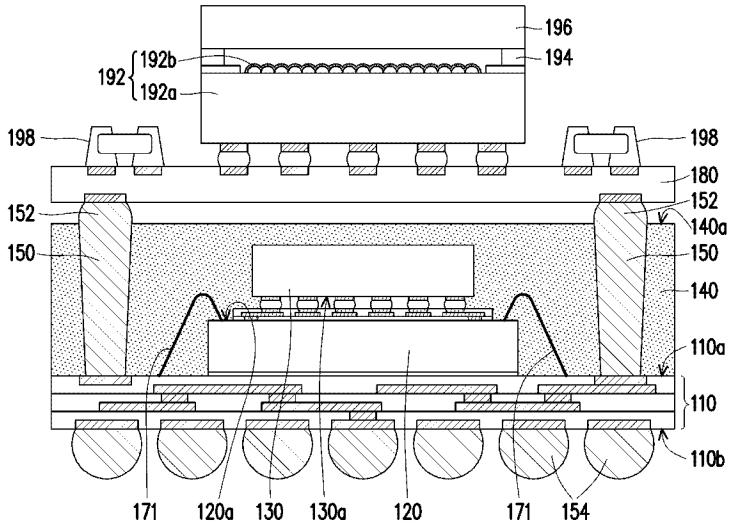
(57) 摘要

一種半導體封裝結構，其包括線路基板、第一晶片、第二晶片、密封體、多個導電連接件以及影像感測封裝件。第一晶片配置於線路基板上且電性連接線路基板。第二晶片堆疊於第一晶片上且電性連接線路基板或第一晶片。密封體包封第一晶片及第二晶片。導電連接件貫穿密封體且電性連接線路基板。影像感測封裝件配置於密封體上且電性連接導電連接件。亦提供一種半導體封裝結構的製造方法。

A semiconductor package structure including a circuit substrate, a first chip, a second chip, an encapsulant, a plurality of conductive connectors, and an image sensing package is provided. The first chip is disposed on the circuit substrate and electrically connected to the circuit substrate. The second chip is stacked on the first chip and electrically connected to the circuit substrate or the first chip. The encapsulant encapsulates the first chip and the second chip. The conductive connectors penetrate the encapsulant and are electrically connected to the circuit substrate. The image sensing package is disposed on the encapsulant and electrically connected to the conductive connectors. A manufacturing method of a semiconductor package is also provided.

指定代表圖：

190 { 192
194
196



【圖11】

100

符號簡單說明：

- 100: 半導體封裝結構
- 110: 線路基板
- 110a: 第一表面
- 110b: 第二表面
- 120: 第一晶片
- 120a: 第一主動面
- 130: 第二晶片
- 130a: 第二主動面
- 140: 密封體
- 140a: 外表面
- 150: 導電連接件
- 152: 導電端子
- 154: 焊球
- 171: 引線
- 180: 中介板
- 190: 影像感測封裝件
- 192: 晶片
- 192a: 基底
- 192b: 感光部
- 194: 阻擋結構
- 196: 濾光層
- 198: 被動元件

【發明說明書】

【中文發明名稱】半導體封裝結構及其製造方法

【英文發明名稱】SEMICONDUCTOR PACKAGE STRUCTURE
AND MANUFACTURING METHOD THEREOF

【技術領域】

【0001】本發明是有關於一種半導體封裝結構及其製造方法，且特別是有關於一種具有高密度封裝的半導體封裝結構及其製造方法。

【先前技術】

【0002】為了使得電子產品能達到輕薄短小的設計，半導體封裝技術亦跟著日益進展，以發展出符合小體積、重量輕、高密度以及在市場上具有高競爭力等要求的產品。

【發明內容】

【0003】本發明提供一種半導體封裝結構及其製造方法，其具有高密度封裝（high density packaging, HDP）的結構。

【0004】本發明提供一種半導體封裝結構，其包括線路基板、第一晶片、第二晶片、密封體、多個導電連接件以及影像感測封裝件。第一晶片配置於線路基板上且電性連接線路基板。第二晶片堆疊於第一晶片上且電性連接線路基板或第一晶片。密封體包封

第一晶片及第二晶片。導電連接件貫穿密封體且電性連接線路基板。影像感測封裝件配置於密封體上且電性連接導電連接件。

【0005】 在本發明提供一種半導體封裝結構的製造方法，其包括以下步驟。提供線路基板。配置第一晶片於線路基板上。配置第二晶片於第一晶片上。形成密封體以包封第一晶片及第二晶片。形成多個導電連接件貫穿密封體。配置影像感測封裝件於密封體上。

【0006】 基於上述，半導體封裝結構可為具有高密度封裝的結構。

【0007】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0008】

圖 1A 至圖 1I 是依據本發明第一實施例的半導體封裝結構的製造方法的剖面示意圖。

圖 2 是依據本發明的第二實施例的一種半導體封裝結構的剖面示意圖。

圖 3 是依據本發明的第三實施例的一種半導體封裝結構的剖面示意圖。

圖 4 是依據本發明的第四實施例的一種半導體封裝結構的剖面示意圖。

【實施方式】

【0009】 本文所使用之方向用語（例如，上、下、右、左、前、後、頂部、底部）僅作為參看所繪圖式使用且不意欲暗示絕對定向。

【0010】 除非另有明確說明，否則本文所述任何方法絕不意欲被解釋為要求按特定順序執行其步驟。

【0011】 參照本實施例之圖式以更全面地闡述本發明。然而，本發明亦可以各種不同的形式體現，而不應限於本文中所述之實施例。圖式中的層或區域的厚度、尺寸或大小會為了清楚起見而放大。相同或相似之參考號碼表示相同或相似之元件，以下段落將不再一一贅述。

【0012】 圖 1A 至圖 1I 是依據本發明第一實施例的半導體封裝結構的製造方法的剖面示意圖。

【0013】 請參照圖 1A，提供線路基板 110。線路基板 110 具有第一表面 110a 以及相對於第一表面 110a 的第二表面 110b。線路基板 110 可以具有導電圖案 112，而可將位於第一表面 110a 上的電子元件與位於第二表面 110b 上的電子元件電性連接。

【0014】 在本實施例中，線路基板 110 可以是印刷電路板，但本發明不限於此。只要所述線路基板 110 能夠承載在其之上所形成的構件且能夠承受後續的製程即可。

【0015】 請參照圖 1B，於線路基板 110 的第一表面 110a 上配置第一晶片 120。

【0016】 在本實施例中，第一晶片 120 是以其背面 120b 面向線路基板 110 的第一表面 110a 的方式配置於線路基板 110 的第一表面 110a 上。在一些實施例中，第一晶片 120 的背面 120b 與線路基板 110 的第一表面 110a 之間可以具有黏著層 161，以使第一晶片 120 可以貼附於線路基板 110 上。黏著層 161 例如可以包括晶片黏著膜（Die Attach Film, DAF），但本發明不限於此。

【0017】 在本實施例中，第一晶片 120 的第一主動面 120a 上可以具有重佈線路結構 185，但本發明不限於此。重佈線路結構 185 可以是在第一晶片 120 的製程中，藉由類似於晶粒尺寸封裝（chip scale package-like, CSP-like）的製程形成於包括多個晶片（如：第一晶片 120）的晶圓（wafer）的晶圓主動面上。之後，再將前述的晶圓切割，以形成多個具有重佈線路結構 185 的第一晶片 120。

【0018】 重佈線路結構 185 不屬於前段的積體電路製程（IC foundry process），而是在不屬於原積體電路製造廠的外部封裝測試（outsourced assembly and test, OSAT）廠所形成的重佈線路結構，因此可以依據後續的封裝測試需求進行設計變更。也就是說，重佈線路結構 185 可以不為第一晶片 120 在初始的線路設計（layout design）中的一部分。換句話說，就結構上而言，重佈線路結構 185 可以不為第一晶片 120 的後段製程線路（back-end of line, BEOL）中所形成的線路。因此，可以依據後續電性連接的需求，將重佈線路結構 185 的線路進行調整或設計，以使第一晶片 120 在應用上可以具有較多的彈性。另外，重佈線路結構 185 可以

包括藉由一般半導體製程所形成的至少一個導電層及至少一個絕緣層。換句話說，相較於中介板（interposer）、電路板或其他類似的板狀結構，重佈線路結構 185 的厚度可以較薄。

【0019】 在本實施例中，重佈線路結構 185 可以覆蓋第一晶片 120 的部分第一主動面 120a（如：第一主動面 120a 的第一部分 120a1），但本發明不限於此。舉例而言，第一晶片 120 的第一主動面 120a 包括第一部分 120a1 及第二部分 120a2，第一部分 120a1 與重佈線路結構 185 相重疊，第二部分 120a2 與重佈線路結構 185 不重疊。在一實施例中，不與重佈線路結構 185 相重疊的第二部分 120a2 可作為其他的方式的電性連接。

【0020】 在一些實施例中，第一晶片 120 可以是電力管理晶片（power management integrated circuit, PMIC）、微機電系統晶片（micro-electro-mechanical-system, MEMS）、特殊應用積體電路晶片（Application-specific integrated circuit, ASIC）、動態隨機存取記憶體晶片（dynamic random access memory, DRAM）、靜態隨機存取記憶體晶片（static random access memory, SRAM）、系統晶片（system on chip, SoC）或其他類似的高效能運算（High Performance Computing, HPC）晶片。

【0021】 請參照圖 1C，形成多條引線 171，以將第一晶片 120 電性連接至線路基板 110。引線 171 的材料可以包括金、銅、鋁或其他適宜的導電材料。引線 171 與第一晶片 120 的連接端點（如：鋁墊或其他適宜的接墊；未直接繪示）可以位於第一主動面 120a

的第二部分 120a2 上。如此一來，可以降低以打線接合來形成引線 171 的過程中，可能對重佈線路結構 185 所造成的損傷。

【0022】請參照圖 1D，於第一晶片 120 上配置第二晶片 130。第二晶片 130 堆疊於第一晶片 120 上且電性連接第一晶片 120 或線路基板 110。第二晶片 130 例如是邏輯晶片 (logic chip)。在一些實施例中，第一晶片 120 可用以執行第二晶片 130 的邏輯應用 (logic applications)，然而，本發明並不限於此。其他適宜的主動裝置皆可以用作第一晶片 120 與第二晶片 130。

【0023】在本實施例中，第二晶片 130 是以其第二主動面 130a 面向第一晶片 120 的第一主動面 120a 的方式配置於第一晶片 120 的第一主動面 120a 上。在一些實施例中，第二晶片 130 例如是以覆晶接合 (flip-chip bonding) 的方式配置於第一晶片 120 的第一主動面 120a 上，使第二晶片 130 電性連接第一晶片 120。舉例而言，第二晶片 130 例如是藉由接墊 132、導電凸塊 124 及重佈線路結構 185 而與第一晶片 120 電性連接。

【0024】在本實施例中，由於第一晶片 120 的第一主動面 120a 與第二晶片 130 的第二主動面 130a 彼此面對面 (face to face)，因此可以使第一晶片 120 與第二晶片 130 之間的信號路徑 (signal path) 較為縮短，而可以提升第一晶片 120 與第二晶片 130 彼此之間的通訊速率及傳輸品質。並且，由於第一晶片 120 與第二晶片 130 之間具有重佈線路結構 185。因此，可以藉由重佈線路結構 185 的線路設計來調整或最佳化 (optimized) 第一晶片 120 與第二晶

片 130 之間的信號路徑。舉例而言，可以藉由重佈線路結構 185 來調整第一晶片 120 與第二晶片 130 之間的信號時間延遲 (signal time-delay)，而不會受限於第一晶片 120 及/或第二晶片 130 的初始線路設計，而使第一晶片 120 及/或第二晶片 130 在應用上可以具有較多的彈性。另外，可以藉由重佈線路結構 185 的線路設計 (layout design) 而使第一晶片 120 與第二晶片 130 之間具有適宜的覆晶接合間距 (flip chip bonding pitch)，且第一晶片 120 也可以藉由引線 171 而不需經由重佈線路結構 185 電性連接至線路基板 110。

【0025】 請參照圖 1E，在線路基板 110 的第一表面 110a 上形成密封體 140，以包封第一晶片 120 與第二晶片 130。密封體 140 的材料可以包括環氧樹脂、模塑化合物或其他適宜的絕緣材料。可以藉由壓縮成型 (compression molding)、轉注成型 (transfer molding) 或其他適宜的密封製程形成密封體 140。

【0026】 請參照圖 1F，在密封體 140 中形成多個通孔 142。通孔 142 貫穿密封體 140。通孔 142 可以藉由鑽孔 (drilling) 製程形成。舉例來說，可以依據密封體 140 的材質，而以雷射鑽孔 (laser drilling)、機械鑽孔 (mechanical drilling) 或蝕刻的方式於密封體 140 中形成通孔 142。

【0027】 請參照圖 1G，在多個通孔 142 (繪示於圖 1F) 中填入導電材料以形成多個導電連接件 150。導電連接件 150 貫穿密封體 140，且電性連接線路基板 110。導電連接件 150 可以由銅、鋁、

鎳、金、銀、錫、上述之組合、銅/鎳/金之複合結構，或其他適宜的導電材料所組成。可以藉由濺鍍、蒸鍍、化學鍍（electro-less plating）或電鍍來形成導電連接件 150。

【0028】 在本實施例中，導電連接件 150 可以是藉由在通孔 142 中填入導電材料所形成。換句話說，導電連接件 150 可以是藉由模塑通孔（through molding via, TMV）的技術所形成。

【0029】 在本實施例中，用於填入通孔 142 中的導電材料可以進一步地更覆蓋於密封體 140 的外表面 140a 上，以構成導電端子 152。導電連接件 150 藉由對應的導電端子 152 而與其他電子元件進行電性連接。

【0030】 在一些可行的實施例中，導電連接件 150 與導電端子 152 可以藉由不同的步驟所形成。舉例而言，導電端子 152 例如可以藉由植球製程（ball placement process）以及/或回焊製程（reflow process）所形成的焊球，但本發明不限於此。

【0031】 請參照圖 1H，可以在線路基板 110 的第二表面 110b 上形成多個焊球 154。舉例而言，可以將如圖 1I 中所示的結構上下翻轉（flip upside down）。之後，可以藉由植球製程（ball placement process）以及/或回焊製程（reflow process）以於線路基板 110 的第二表面 110b 上形成電性連接於線路基板 110 的焊球 154。然而，本發明並不限制焊球 154 的形成順序，可視製程需求而定。

【0032】 請參照圖 1I，在形成多個導電連接件 150 的步驟之後，於線路基板 110 的第一表面 110a 上配置影像感測封裝件 190。影

像感測封裝件 190 電性連接線路基板 110。

【0033】 在本實施例中，影像感測封裝件 190 可以配置於中介板 180 上，且可以藉由中介板 180 以使位於中介板 180 相對兩側的影像感測封裝件 190 與導電連接件 150 彼此電性連接。

【0034】 在本實施例中，由於在形成多個導電連接件 150 的步驟之後才形成影像感測封裝件 190，因此可以增強形成影像感測封裝件 190 時的支撐能力。然而，本發明並不限制影像感測封裝件 190 的形成順序，可視製程需求而定。

【0035】 經過上述製程後即可大致上完成本實施例之半導體封裝結構 100 的製作。半導體封裝結構 100 包括線路基板 110、第一晶片 120、第二晶片 130、密封體 140、多個導電連接件 150 以及影像感測封裝件 190。第一晶片 120 配置於線路基板 110 上且電性連接線路基板 110。第二晶片 130 堆疊於第一晶片 120 上且電性連接線路基板 110 或第一晶片 120。密封體 140 包封第一晶片 120 及第二晶片 130。導電連接件 150 貫穿密封體 140 且電性連接線路基板 110。影像感測封裝件 190 配置於密封體 140 上且電性連接導電連接件 150。

【0036】 在半導體封裝結構 100 中，於線路基板 110 的第一表面 110a 上配置第一晶片 120 與第二晶片 130，且於密封體 140 的外表面 140a 上配置影像感測封裝件 190，使半導體封裝結構 100 可為具有高密度封裝的結構。再者，在第一晶片 120 及第二晶片 130 可用於處理影像感測封裝件 190 的電子訊號，且第一晶片 120 的

第一主動面 120a 與第二晶片 130 的第二主動面 130a 可以是以彼此面對面 (face to face) 的方式配置，因此第一晶片 120 與第二晶片 130 之間的信號路徑 (signal path) 較為縮短，以提升第一晶片 120 與第二晶片 130 彼此之間的通訊速率及傳輸品質，也以可縮短影像感測封裝件 190、第一晶片 120 及/或第二晶片 130 之間訊號傳遞的距離，進而提升半導體封裝結構 100 的電性能力及/或效能。

【0037】 在一些實施例中，影像感測封裝件 190 包括具有基底 192a 與感光部 192b 的晶片 192、阻擋結構 194 以及濾光層 196。基底 192a 可包括多個電子元件 (未繪示)，其可以形成於基底 192a 上或是嵌入基底 192a 中。電子元件可以是電荷耦合元件 (Charge-coupled Device, CCD)、互補式金屬氧化物半導體 (CMOS) 電晶體、光電二極管或其組合。舉例來說，在電子元件為 CMOS 電晶體的情況下，晶片 192 可被視為 CMOS 影像感測器晶片。阻擋結構 194 環繞感光部 192b，且阻擋結構 194 暴露出感光部 192b。阻擋結構 194 的材料可以是環氧樹脂、聚甲基丙烯酸甲酯、矽氧樹脂、矽氧烷、聚醯亞胺、苯並環丁烯 (BCB) 或其組合。濾光層 196 貼合於阻擋結構 194 上，以覆蓋相對應的阻擋結構 194 以及感光部 192b，使得濾光層 196、阻擋結構 194 與晶片 192 之間形成一密閉空間。濾光層 196 可以是紅外線截止濾光片 (IR cut filter, IRCF)，其可阻擋波長大於 700 nm 的光線 (例如紅外線)，而只讓波長小於 700 nm 的光線 (例如藍光) 穿過濾光層 196，適合應用於一般光線下之影像擷取，例如攝影或錄影。

【0038】 在本實施例中，影像感測封裝件 190、第一晶片 120 以及第二晶片 130 於線路基板 110 上投影相互重疊。舉例而言，第一晶片 120 於線路基板 110 上的投影部分重疊於影像感測封裝件 190 於線路基板 110 上的投影。第二晶片 130 於線路基板 110 上的投影部分重疊於第一晶片 120 於線路基板 110 上的投影。第二晶片 130 於線路基板 110 上的投影部分重疊於影像感測封裝件 190 於線路基板 110 上的投影。換句話說，影像感測封裝件 190 於線路基板 110 上的投影重疊於第一晶片 120 與第二晶片 130 於線路基板 110 上的投影。由於影像感測封裝件 190、第一晶片 120 以及第二晶片 130 於線路基板 110 上投影相互重疊，也就是說，影像感測封裝件 190、第一晶片 120 以及第二晶片 130 位於同一垂直區域內，因此可減少半導體封裝結構 100 的尺寸。

【0039】 在本實施例中，半導體封裝結構 100 更包括配置於中介板 180 上的至少一被動元件 198。且被動元件 198 可以藉由中介板 180 電性連接至影像感測封裝件 190 及/或導電連接件 150。被動元件 198 例如是電阻器、電感器或積層陶瓷電容器（Multi-Layer Ceramic Capacitor, MLCC）。因此可進一步提升半導體封裝結構 100 的元件密度。

【0040】 圖 2 是依據本發明的第二實施例的一種半導體封裝結構的剖面示意圖。在本實施例中，半導體封裝結構 200 與第一實施例的半導體封裝結構 100 相似，其類似的構件以相同的標號表示，且具有類似的功能、材質或形成方式，並省略描述。

【0041】 在本實施例中，第一晶片 120 是以其第一主動面 120a 向線路基板 110 的第一表面 110a 的方式配置於線路基板 110 的第一表面 110a 上。在一些實施例中，第一晶片 120 例如是以覆晶接合（flip-chip bonding）的方式配置於線路基板 110 的第一表面 110a 上，使第一晶片 120 電性連接線路基板 110。舉例而言，第一晶片 120 例如是藉由接墊（未繪示）及導電凸塊（未繪示）與線路基板 110 電性連接。

【0042】 在本實施例中，第二晶片 130 可以是以其背面 130b 面向第一晶片 120 的背面 120b 的方式堆疊於第一晶片 120 上。在一些實施例中，第一晶片 120 的背面 120b 與第二晶片 130 的背面 130b 之間可以具有黏著層 262，以使第二晶片 130 可以貼附於第一晶片 120 上。黏著層 262 例如可以包括晶片黏著膜，但本發明不限於此。

【0043】 在本實施例中，第二晶片 130 可以藉由多條引線 272 以將第二晶片 130 電性連接至線路基板 110。引線 272 的材料可以包括金、銅、鋁或其他適宜的導電材料。

【0044】 一般而言，高效能運算晶片在運作時常會產生大量的熱。因此，在本實施例中，由於第一晶片 120 的第一主動面 120a 面向線路基板 110 的第一表面 110a，因此可以藉由線路基板 110 來散熱，以提升第一晶片 120 運作時的散熱效率，而可以提升第一晶片 120 的可靠度及性能。

【0045】 圖 3 是依據本發明的第三實施例的一種半導體封裝結構的剖面示意圖。在本實施例中，半導體封裝結構 300 與第二實施

例的半導體封裝結構 200 相似，其類似的構件以相同的標號表示，且具有類似的功能、材質或形成方式，並省略描述。

【0046】 在本實施例中，線路基板 310 與前述實施例的線路基板 110 類似，但線路基板 310 可以更具有貫穿第一表面 310a 及第二表面 310b 的開口 310c。並且，第一晶片 120 可以藉由穿過開口 310c 的多條引線 371 以將第一晶片 120 的第一主動面 120a 與線路基板 310 的第二表面 310b 電性連接。引線 371 的材料可以包括金、銅、鋁或其他適宜的導電材料。

【0047】 在本實施例中，半導體封裝結構 300 可以更包括保護層 345。保護層 345 可以填入線路基板 310 的開口 310c 內，且覆蓋第一晶片 120 的第一主動面 120a、線路基板 310 的第二表面 310b 與穿過開口 310c 的多條引線 371。保護層 345 的材質可以相同或相似於密封體 140 的材質，但本發明不限於此。

【0048】 圖 4 是依據本發明的第四實施例的一種半導體封裝結構的剖面示意圖。在本實施例中，半導體封裝結構 400 與第一實施例的半導體封裝結構 100 相似，其類似的構件以相同的標號表示，且具有類似的功能、材質或形成方式，並省略描述。

【0049】 在本實施例中，在形成電性連接於第一晶片 420 的第一主動面 420a 與線路基板 110 的多條引線 471 之後，可以形成包封於多條引線 471 與第一晶片 420 的密封體 441。接著，在密封體 441 上配置堆疊於第一晶片 420 上的第二晶片 430，且第二晶片 430 的第二主動面 430a 可以藉由多條引線 472 與線路基板 110 電性連

接。之後，形成密封體 442 以包封第二晶片 430、多條引線 472 以及包封有第一晶片 420 與多條引線 471 的密封體 441。密封體 441 及/或密封體 442 的材質或形成方式可以類似於前述的密封體 140 的材質或形成方式，故於此不加以贅述。

【0050】 在本實施例中，第一晶片 420 例如是邏輯晶片（logic chip）。第二晶片 430 可以是電力管理晶片、微機電系統晶片、特殊應用積體電路晶片、動態隨機存取記憶體晶片、靜態隨機存取記憶體晶片、系統晶片或其他類似的高效能運算晶片。在一些實施例中，第二晶片 430 可用以執行第一晶片 420 的邏輯應用，然而，本發明並不限於此。

【0051】 綜上所述，本發明半導體封裝結構可為具有高密度封裝的結構。

【0052】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0053】

100、200、300、400：半導體封裝結構

110、310：線路基板

110a、310a：第一表面

110b、310b：第二表面

310c：開口

112：導電圖案

120、420：第一晶片

120a、420a：第一主動面

120a1：第一部分

120a2：第二部分

120b：背面

124：導電凸塊

130、430：第二晶片

130a、430a：第二主動面

130b：背面

132：接墊

140、345、441、442：密封體

140a：外表面

142：通孔

150：導電連接件

152：導電端子

154：焊球

161、262：黏著層

171、272、371、471、472：引線

180：中介板

- 185：重佈線路結構
- 190：影像感測封裝件
- 192：晶片
- 192a：基底
- 192b：感光部
- 194：阻擋結構
- 196：濾光層
- 198：被動元件



I688059

【發明摘要】

【中文發明名稱】半導體封裝結構及其製造方法

【英文發明名稱】 SEMICONDUCTOR PACKAGE STRUCTURE
AND MANUFACTURING METHOD THEREOF

【中文】一種半導體封裝結構，其包括線路基板、第一晶片、第二晶片、密封體、多個導電連接件以及影像感測封裝件。第一晶片配置於線路基板上且電性連接線路基板。第二晶片堆疊於第一晶片上且電性連接線路基板或第一晶片。密封體包封第一晶片及第二晶片。導電連接件貫穿密封體且電性連接線路基板。影像感測封裝件配置於密封體上且電性連接導電連接件。亦提供一種半導體封裝結構的製造方法。

【英文】 A semiconductor package structure including a circuit substrate, a first chip, a second chip, an encapsulant, a plurality of conductive connectors, and an image sensing package is provided. The first chip is disposed on the circuit substrate and electrically connected to the circuit substrate. The second chip is stacked on the first chip and electrically connected to the circuit substrate or the first chip. The encapsulant encapsulates the first chip and the second chip. The conductive connectors penetrate the encapsulant and are electrically connected to the circuit substrate. The image sensing package is disposed on the encapsulant and electrically

connected to the conductive connectors. A manufacturing method of a semiconductor package is also provided.

【指定代表圖】圖 11。

【代表圖之符號簡單說明】

100：半導體封裝結構

110：線路基板

110a：第一表面

110b：第二表面

120：第一晶片

120a：第一主動面

130：第二晶片

130a：第二主動面

140：密封體

140a：外表面

150：導電連接件

152：導電端子

154：焊球

171：引線

180：中介板

190：影像感測封裝件

192：晶片

192a：基底

192b：感光部

194：阻擋結構

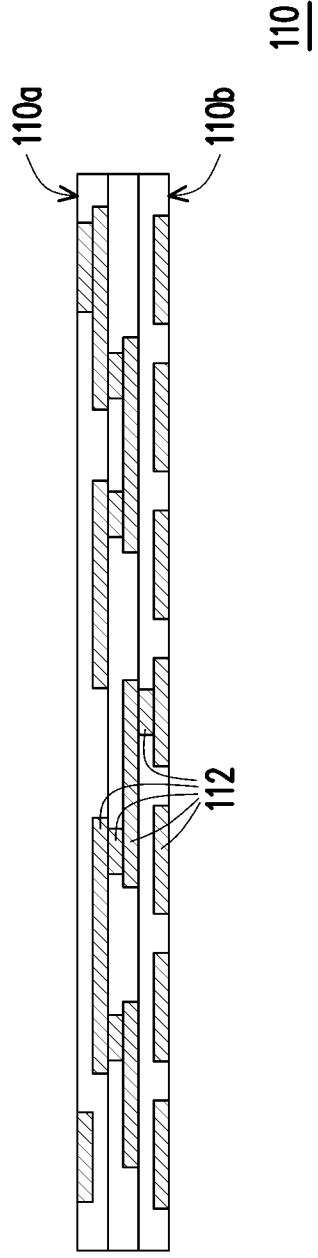
196：濾光層

198：被動元件

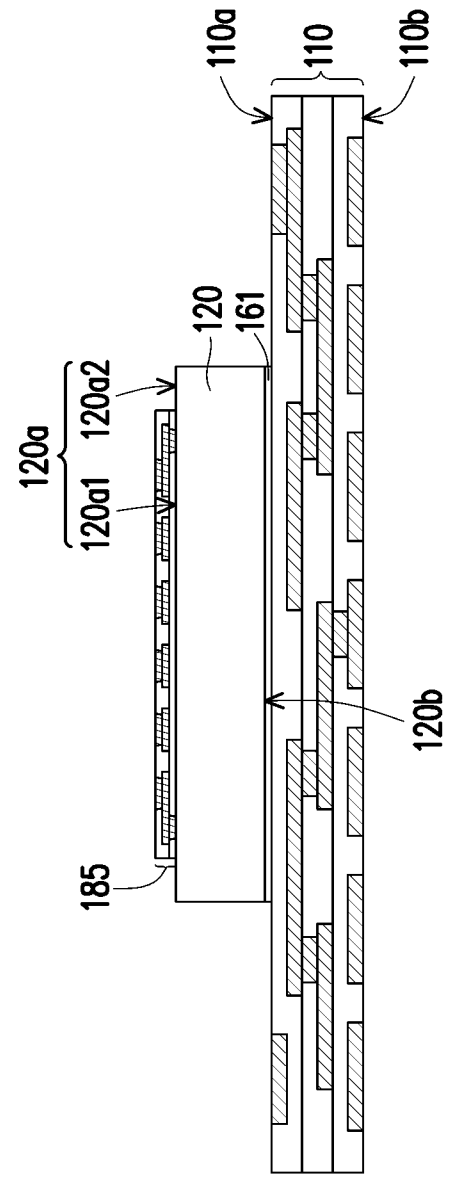
【特徵化學式】

無

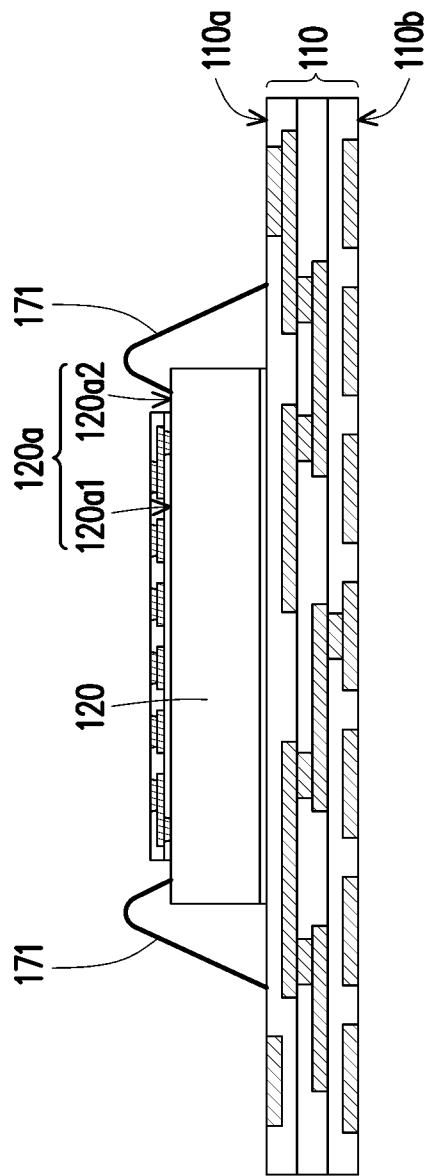
【發明圖式】



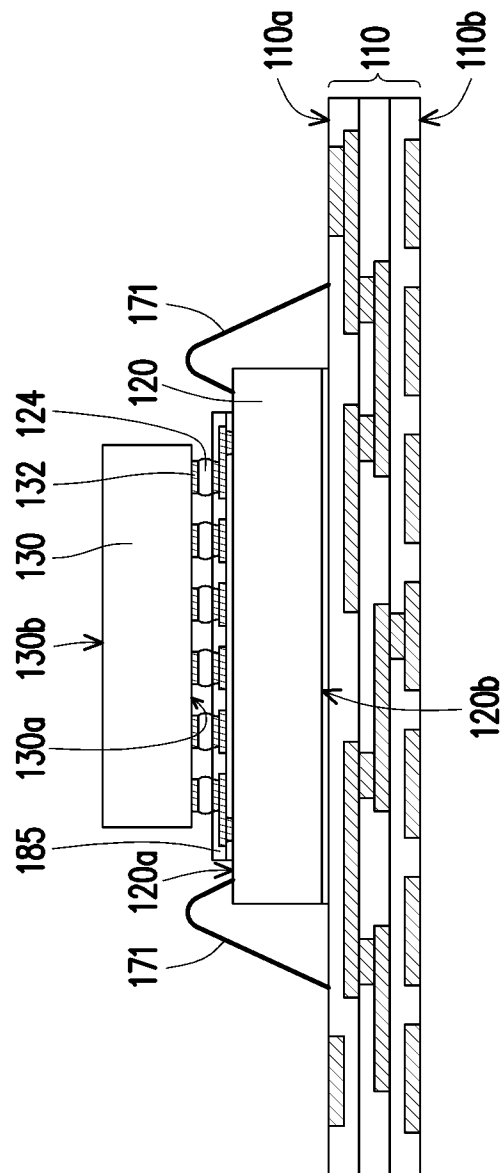
【圖1A】



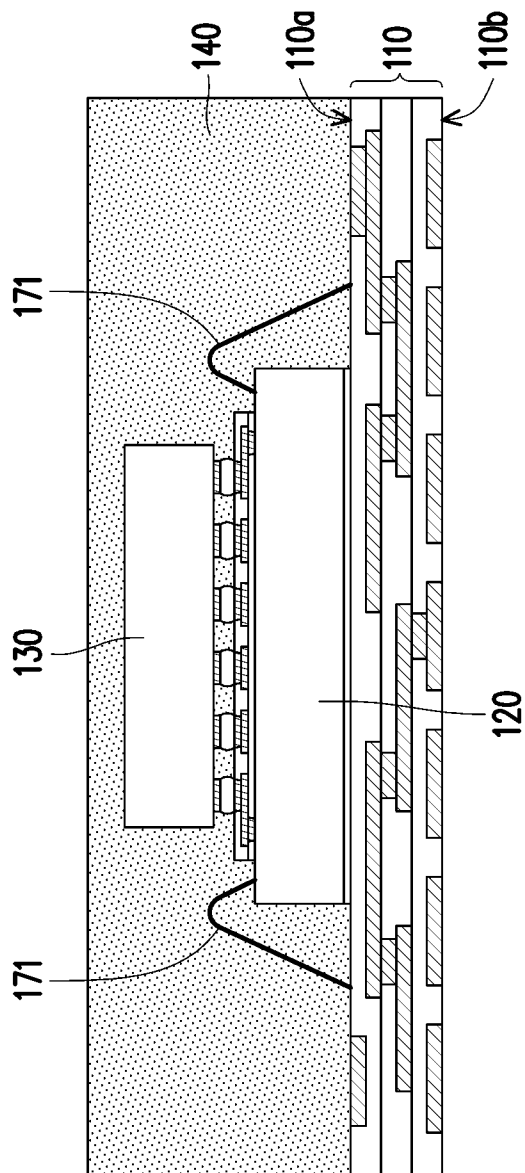
【圖1B】



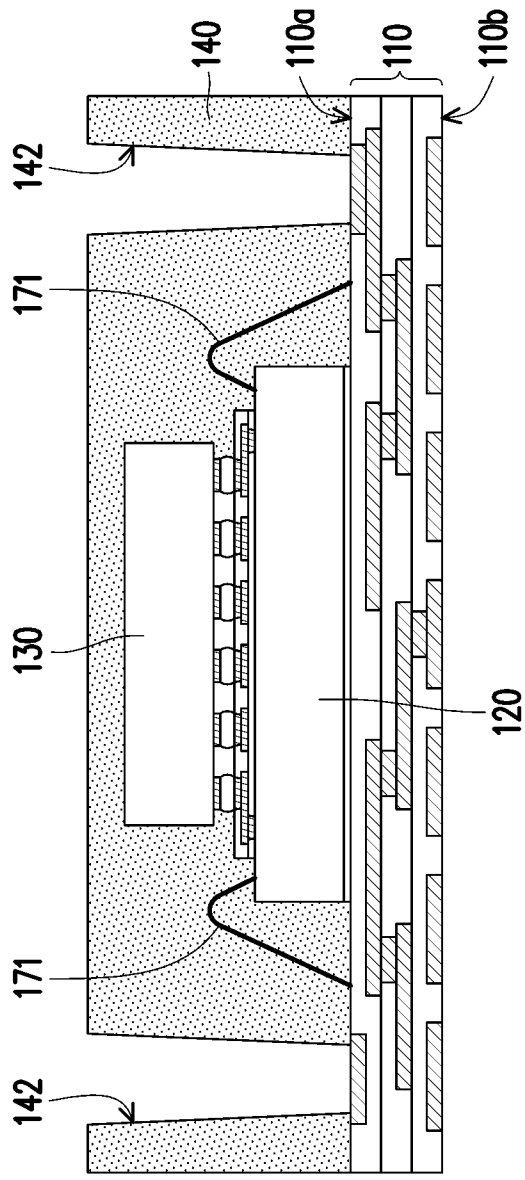
【圖1C】



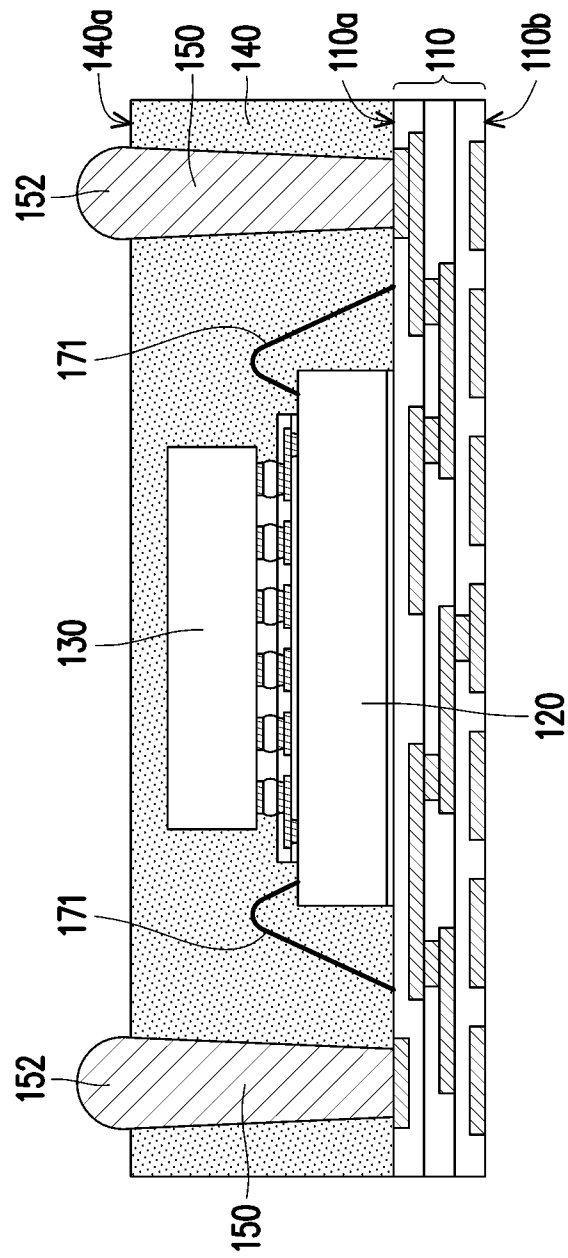
【圖1D】



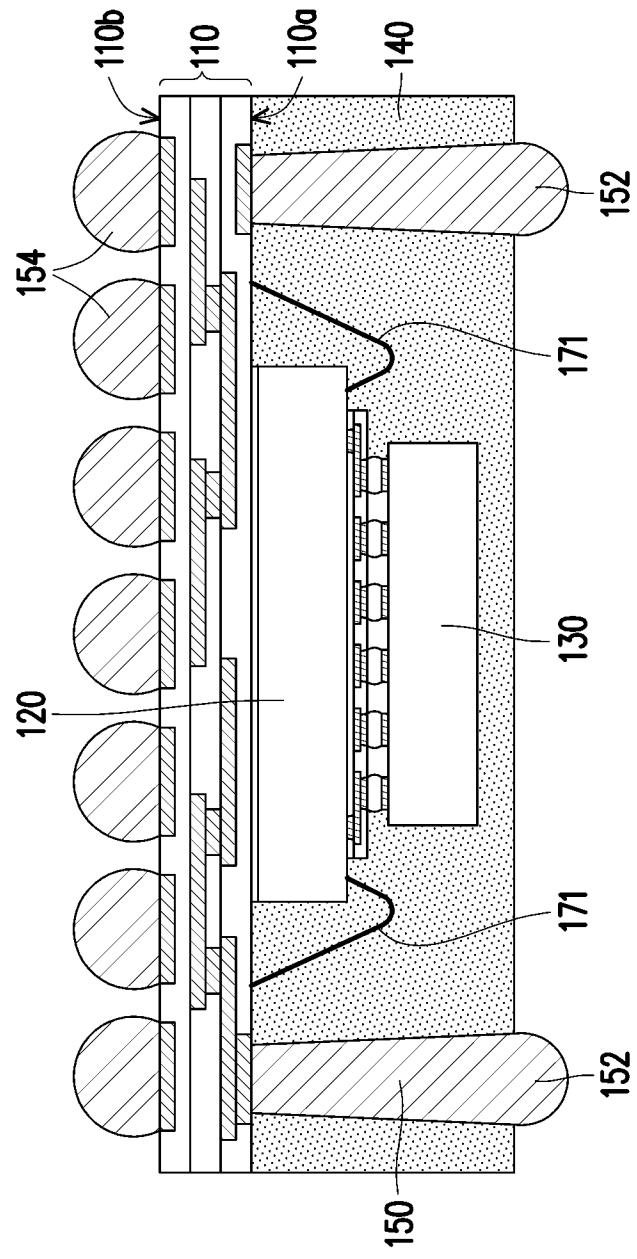
【圖1E】



【圖1F】

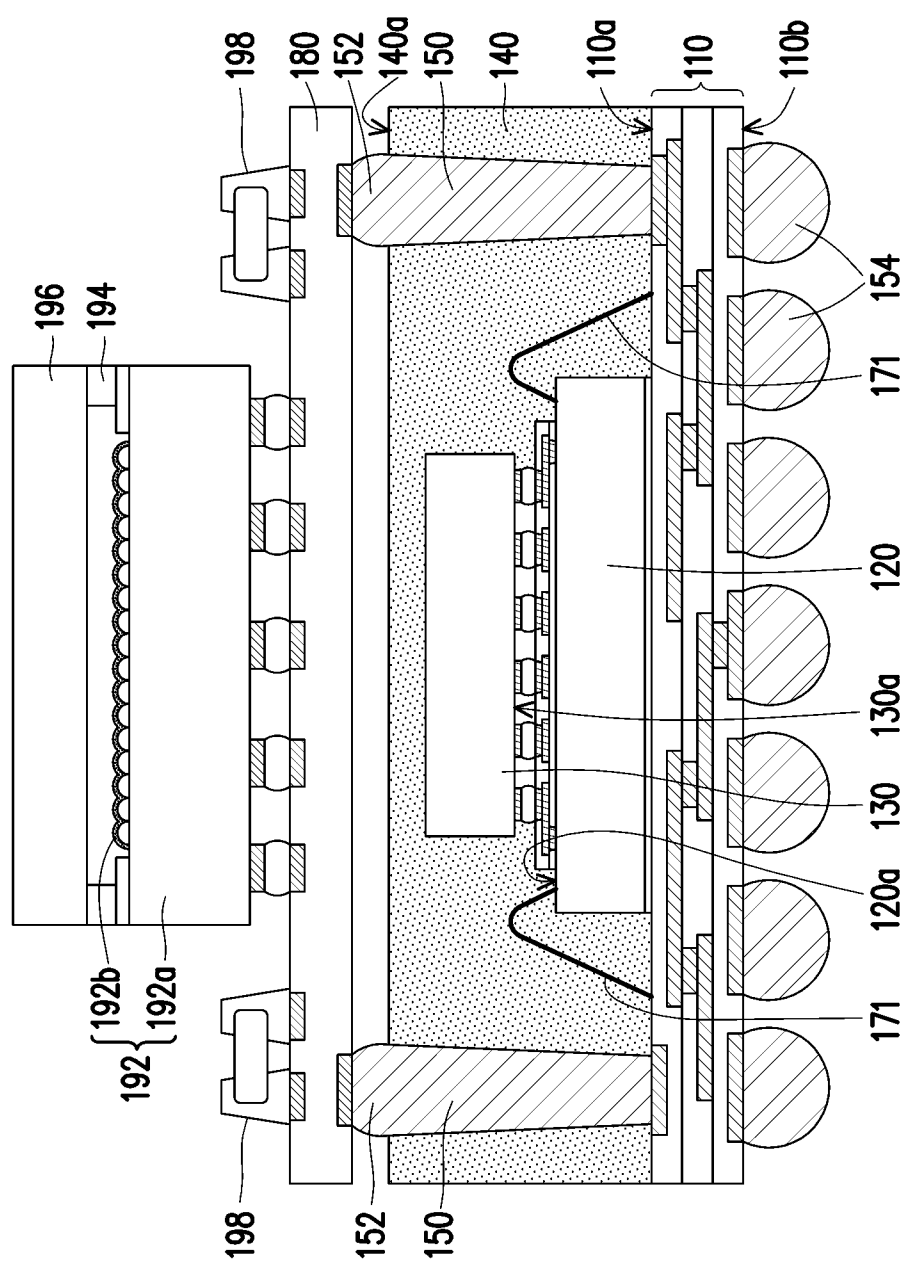


【圖1G】



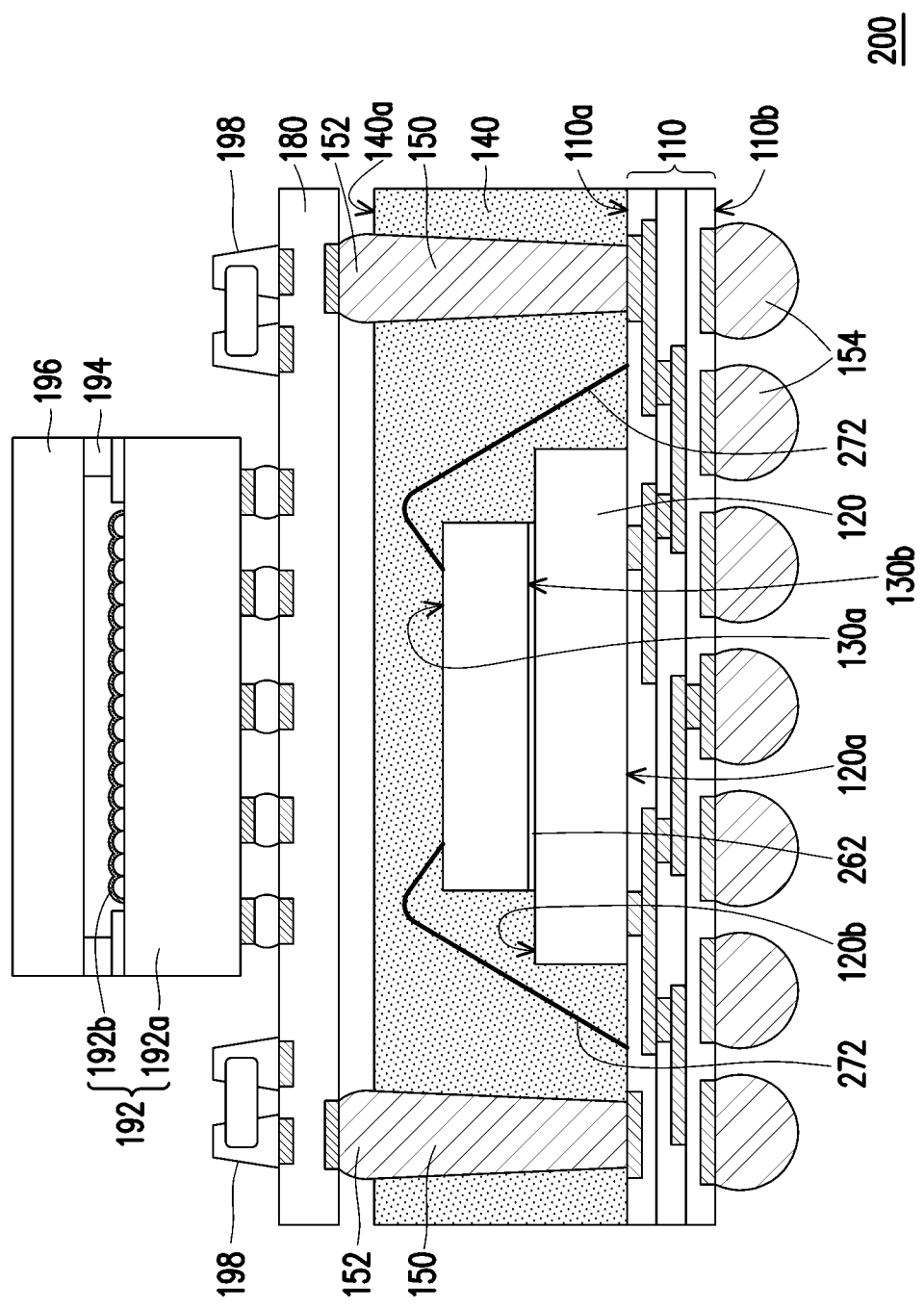
【圖1H】

190 { 192
194
196



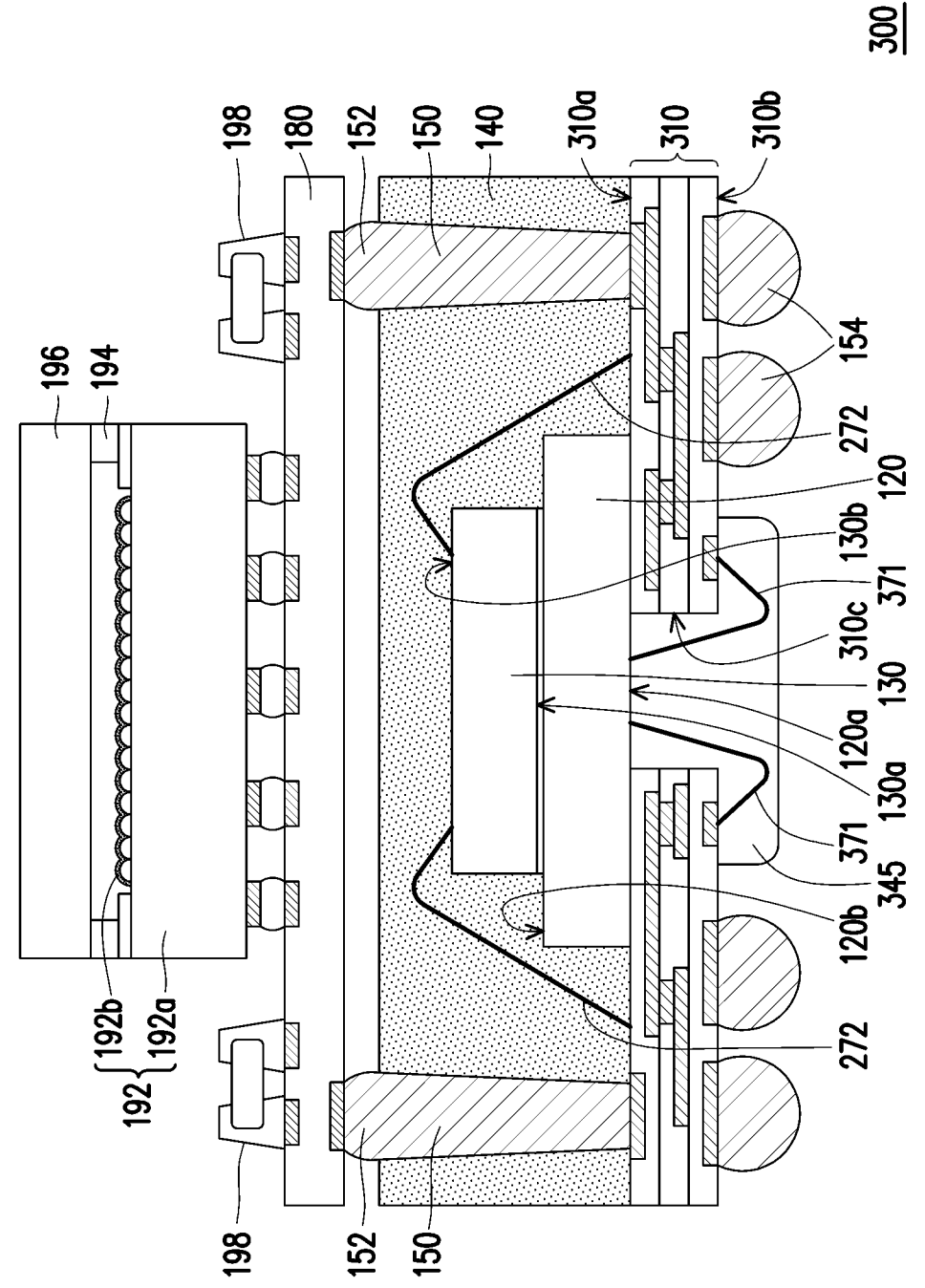
【圖11】

{192
190 {194
196



【圖2】

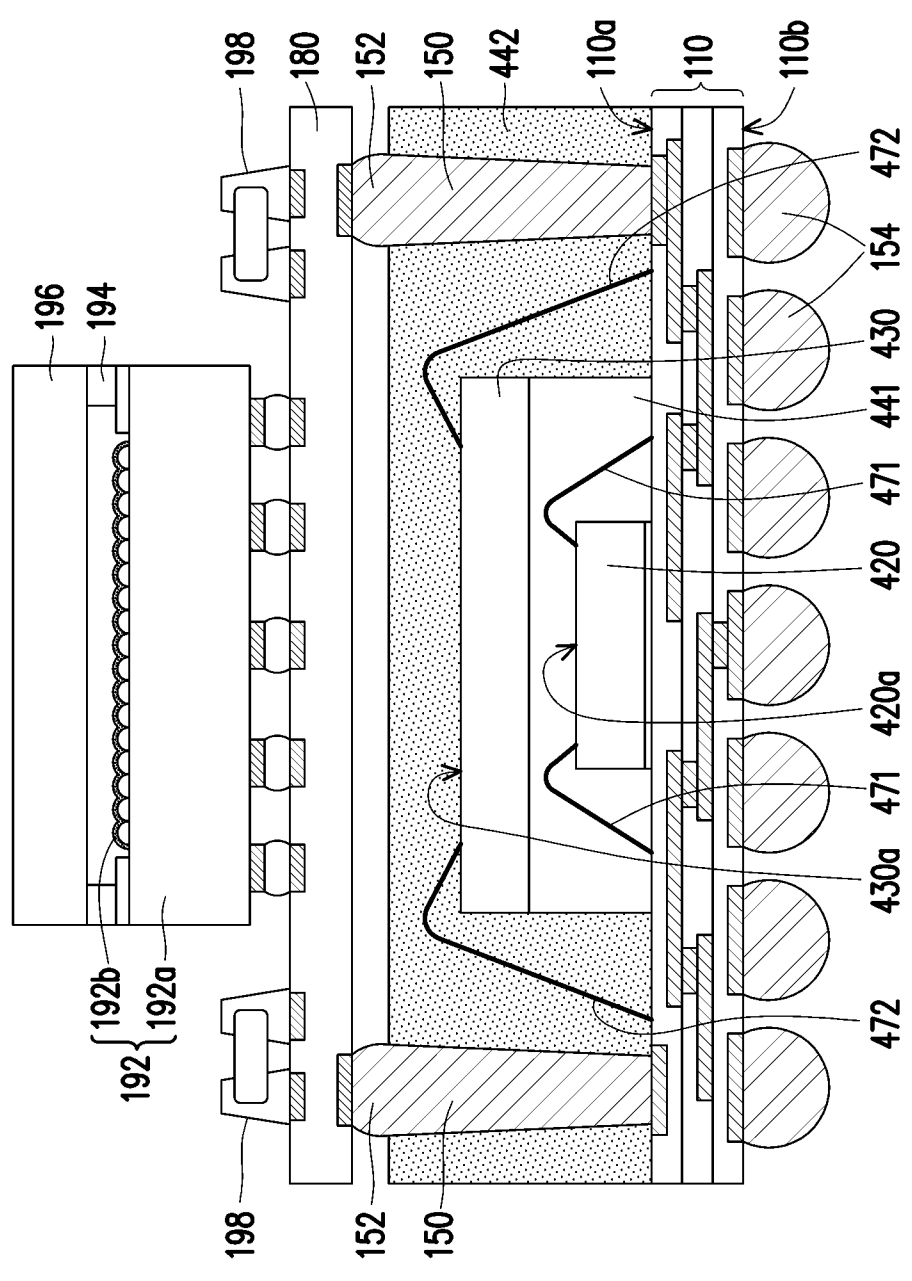
{192
190 {194
196



【圖3】

300

{192
190 {194
196



400

【圖4】

【發明申請專利範圍】

【第1項】 一種半導體封裝結構，包括：

線路基板；

第一晶片，配置於所述線路基板上且電性連接所述線路基板；

第二晶片，堆疊於所述第一晶片上且電性連接所述線路基板或所述第一晶片，且所述第一晶片的第一主動面面向所述第二晶片；

重佈線路結構，位於所述第一晶片的所述第一主動面與所述第二晶片的第二主動面之間，且電性連接於所述第一晶片與所述第二晶片，其中所述重佈線路結構部分覆蓋所述第一晶片的所述第一主動面；

多條引線，所述多條引線的相對兩端分別電性連接於所述線路基板與未被所述重佈線路結構覆蓋的部分所述第一主動面；

密封體，包封所述第一晶片、所述第二晶片、所述重佈線結構及所述多條引線；

多個導電連接件，貫穿所述密封體且電性連接所述線路基板；以及

影像感測封裝件，配置於所述密封體上且電性連接所述多個導電連接件。

【第2項】 如申請專利範圍第1項所述的半導體封裝結構，更包括：

多條引線，其中所述第一晶片或所述第二晶片藉由所述多條

引線電性連接至所述線路基板。

【第3項】如申請專利範圍第1項所述的半導體封裝結構，其中所述影像感測封裝件、所述第一晶片以及所述第二晶片於所述線路基板上投影相互重疊。

【第4項】如申請專利範圍第1項所述的半導體封裝結構，其中所述第一晶片的第一主動面面向所述線路基板。

【第5項】如申請專利範圍第4項所述的半導體封裝結構，更包括多條引線，其中：

所述線路基板具有第一表面、相對於所述第一表面的第二表面及貫穿所述第一表面及所述第二表面的開口；

所述第一晶片配置於所述線路基板的所述第一表面上；

所述多條引線穿過所述開口；

所述第一晶片至少藉由所述多條引線電性連接至所述線路基板的所述第二表面。

【第6項】如申請專利範圍第1項所述的半導體封裝結構，更包括：

中介板，配置於所述影像感測封裝件與所述密封體之間，且所述影像感測封裝件藉由所述中介板電性連接至所述多個導電連接件；以及

至少一被動元件，配置於所述中介板上。

【第7項】一種半導體封裝結構的製造方法，包括：

提供線路基板；

配置具有重佈線結構的第一晶片於所述線路基板上；

配置第二晶片於所述第一晶片上，所述第一晶片的第一主動面面向所述第二晶片，所述重佈線路結構，位於所述第一晶片的所述第一主動面與所述第二晶片的第二主動面之間，且電性連接於所述第一晶片與所述第二晶片，其中所述重佈線路結構部分覆蓋所述第一晶片的所述第一主動面；

形成多條引線，且所述多條引線的相對兩端分別電性連接於所述線路基板與未被所述重佈線路結構覆蓋的部分所述第一主動面；

形成密封體，以包封所述第一晶片、所述第二晶片、所述重佈線結構及所述多條引線；

形成多個導電連接件，貫穿所述密封體；以及

配置影像感測封裝件於所述密封體上。