



(12) 发明专利

(10) 授权公告号 CN 112291493 B

(45) 授权公告日 2023.10.03

(21) 申请号 202010684908.4

(22) 申请日 2020.07.16

(65) 同一申请的已公布的文献号
申请公布号 CN 112291493 A

(43) 申请公布日 2021.01.29

(30) 优先权数据
62/876,931 2019.07.22 US
16/860,327 2020.04.28 US

(73) 专利权人 半导体元件工业有限责任公司
地址 美国亚利桑那

(72) 发明人 T·吉尔茨 M·H·因诺森特
R·M·奎达什 G·查皮纳尔

(74) 专利代理机构 中国贸促会专利商标事务所
有限公司 11038
专利代理师 刘侗

(51) Int. Cl.
H04N 25/78 (2023.01)
H04N 25/70 (2023.01)
H04N 25/57 (2023.01)
H04N 25/11 (2023.01)

(56) 对比文件

CN 102752559 A, 2012.10.24
CN 206302500 U, 2017.07.04
CN 206759610 U, 2017.12.15
CN 208174816 U, 2018.11.30
JP 2013225774 A, 2013.10.31
JP 2017200129 A, 2017.11.02
KR 20120122627 A, 2012.11.07
US 2015201140 A1, 2015.07.16
US 2016150174 A1, 2016.05.26
US 2017150017 A1, 2017.05.25
US 2017366764 A1, 2017.12.21
US 2019215471 A1, 2019.07.11
US 2020260026 A1, 2020.08.13
WO 2016089548 A1, 2016.06.09
隋晓红等.“用于视觉假体的新型高动态范围图像传感器像素单元电路设计”.《电子学报》.2011,第39卷(第08期),全文. (续)

审查员 岳虹

权利要求书2页 说明书10页 附图7页

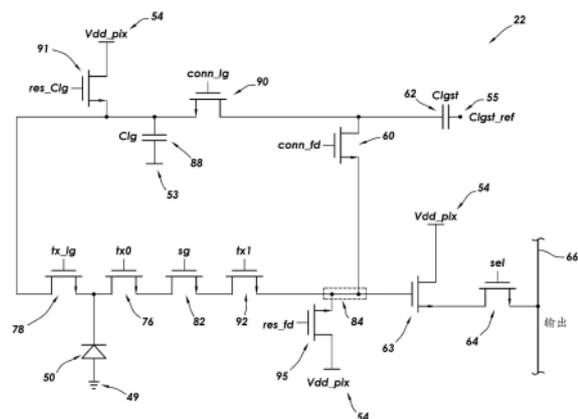
(54) 发明名称

用于生成高动态范围图像的成像系统和方
法

(57) 摘要

本发明题为“用于生成高动态范围图像的成像系统和方法”。一种成像系统可包括具有图像传感器的图像传感器。图像传感器可包括图像传感器像素阵列,图像传感器像素阵列耦接至行控制电路和列读出电路。图像传感器像素阵列可包括多个图像传感器像素。每个图像传感器像素可包括:光敏元件,光敏元件被配置为响应于入射光而生成电荷;第一电荷存储结构,第一电荷存储结构被配置为针对低增益信号聚积生成电荷的溢出部分;以及第二电荷存储结构,第二电荷存储结构被配置为针对高增益信号存储生成电荷的剩余部分。每个图像传感器像素还可包括专

用溢出电荷存储结构,专用溢出电荷存储结构插
置在第一电荷存储结构与浮动扩散区之间。



CN 112291493 B

[接上页]

(56) 对比文件

Gaurav Musalgaonkar et al..“STI based trench capacitor for high sensitivity and high dynamic range in CMOS image sensor”.《2017 International Conference on

Electron Devices and Solid-State Circuits (EDSSC)》.2017,全文.

童建平;杨建武;郑文强;汪飞;杨浩.阵列光电传感器的非线性校正.计量学报.2019,(第03期),全文.

1. 一种图像传感器像素,包括:

光敏元件;

浮动扩散区;

第一路径和第二路径,平行地耦接在所述光敏元件和所述浮动扩散区之间;

第一电荷存储结构,所述第一电荷存储结构沿着所述第一路径耦接在所述光敏元件与
所述浮动扩散区之间;

第二电荷存储结构,所述第二电荷存储结构沿着所述第二路径耦接在所述光敏元件与
所述浮动扩散区之间;和

第三电荷存储结构,所述第三电荷存储结构沿着所述第二路径耦接在所述第二电荷存
储结构与所述浮动扩散区之间。

2. 根据权利要求1所述的图像传感器像素,还包括:

晶体管,所述晶体管耦接在所述第三电荷存储结构与所述浮动扩散区之间,其中所述
第二电荷存储结构被配置为接收与低增益信号相关联的电荷,并且所述第一电荷存储结构
被配置为接收与高增益信号相关联的另外的电荷。

3. 根据权利要求2所述的图像传感器像素,其中所述第三电荷存储结构被配置为接收
与所述低增益信号相关联的电荷,以及利用与所述低增益信号相关联的电荷执行与所述浮
动扩散区的电荷共享操作,所述图像传感器像素还包括:

附加晶体管,所述附加晶体管耦接在所述第二电荷存储结构与所述第三电荷存储结构
之间。

4. 根据权利要求2所述的图像传感器像素,还包括:

附加晶体管,所述附加晶体管耦接在所述光敏元件与所述第二电荷存储结构之间。

5. 根据权利要求1所述的图像传感器像素,其中所述第二电荷存储结构包括第一电容
器,并且所述第三电荷存储结构包括第二电容器,其中所述第一电荷存储结构包括存储门,
所述图像传感器像素还包括:

第一晶体管,所述第一晶体管耦接在所述存储门与所述浮动扩散区之间;

第二晶体管,所述第二晶体管耦接在所述光敏元件与所述第一电容器之间;

第三晶体管,所述第三晶体管耦接在所述第一电容器与所述第二电容器之间;

第四晶体管,所述第四晶体管耦接在所述第二电容器与所述浮动扩散区之间;

源极跟随器晶体管;和

行选择晶体管,所述源极跟随器晶体管和所述行选择晶体管将所述浮动扩散区耦接至
像素输出路径。

6. 根据权利要求1所述的图像传感器像素,其中所述第三电荷存储结构具有在所述第
二路径上的电荷存储端子,并且其中所述第三电荷存储结构的所述电荷存储端子在浮动扩
散区复位路径上。

7. 根据权利要求1所述的图像传感器像素,其中所述第三电荷存储结构具有在所述第
二路径上的电荷存储端子,并且其中所述第三电荷存储结构的所述电荷存储端子与浮动扩
散区复位路径分开。

8. 根据权利要求1所述的图像传感器像素,还包括:

第一晶体管,所述第一晶体管将所述第二电荷存储结构耦接至在所述第二电荷存储结

构和所述浮动扩散区之间的所述第二路径上的节点；

第二晶体管,所述第二晶体管将所述第三电荷存储结构耦接至所述节点;和
第三晶体管,所述第三晶体管将所述浮动扩散区耦接至所述节点。

9. 一种图像传感器,包括:

图像传感器像素阵列,所述阵列中的图像传感器像素包括:

光敏元件;

浮动扩散区;

第一电荷存储结构、第二电荷存储结构和第三电荷存储结构,所述第一电荷存储结构耦接在所述光敏元件和所述浮动扩散区之间;

第一晶体管,所述第一晶体管将所述光敏元件耦接到所述第二电荷存储结构,所述光敏元件耦接在所述第一晶体管和所述第一电荷存储结构之间;

第二晶体管,所述第二晶体管将所述第二电荷存储结构耦接至所述第三电荷存储结构;和

第三晶体管,所述第三晶体管将所述第三电荷存储结构耦接至所述浮动扩散区。

10. 根据权利要求9所述的图像传感器,其中所述阵列中的所述图像传感器像素包括横向溢出漏极,所述横向溢出漏极将所述光敏元件耦接至提供供电电压的电压源。

11. 一种图像传感器像素,包括:

光敏元件;

浮动扩散区;

第一电荷存储结构,所述第一电荷存储结构耦接在所述光敏元件和所述浮动扩散区之间;

第二电荷存储结构,所述光敏元件耦接在所述第一电荷存储结构和第二电荷存储结构之间;

第三电荷存储结构;

第一晶体管,所述第一晶体管将所述第二电荷存储结构耦接至所述第三电荷存储结构;和

第二晶体管,所述第二晶体管将所述第三电荷存储结构耦接至所述浮动扩散区。

12. 根据权利要求11所述的图像传感器像素,还包括:

第三晶体管,所述第三晶体管直接耦接至所述浮动扩散区并且形成用于所述浮动扩散区的复位路径;和

第四晶体管,所述第四晶体管直接耦接至所述第二电荷存储结构并且形成用于所述第二电荷存储结构的复位路径。

用于生成高动态范围图像的成像系统和方法

技术领域

[0001] 本发明整体涉及成像设备,并且更具体地讲,涉及具有带高动态范围功能的图像传感器像素的成像设备。

背景技术

[0002] 图像传感器常常在电子设备诸如移动电话、相机和计算机中用来捕获图像。在典型布置方式中,图像传感器包括被布置成像素行和像素列的图像像素阵列。可将电路耦接到每个像素列以从图像像素读出图像信号。

[0003] 典型图像像素包含用于响应于入射光而生成电荷的光电二极管。图像像素还可包括用于存储在光电二极管处生成的电荷的电荷存储区。图像传感器可配备有多曝光高动态范围(HDR)功能,其中图像传感器在不同的曝光时间捕获多个帧并且使用该多个帧生成单个HDR图像。然而,这种方法需要多次曝光和附加的帧存储。图像传感器还可以其他方式实现HDR功能,诸如基于单个积聚时间生成可用于生成HDR图像的多个图像信号。然而,根据所生成的图像信号的存储方式,泄漏和噪声可能被放大并且可能使图像信号劣化。

[0004] 因此,可能期望能够提供具有解决这些问题的改进的图像传感器像素的成像设备。

附图说明

[0005] 图1是根据一些实施方案的具有用于捕获图像的图像传感器和处理电路的例示性电子设备的示意图。

[0006] 图2是根据一些实施方案的例示性像素阵列以及用于从该像素阵列读出图像信号的相关联读出电路的示意图。

[0007] 图3是根据一些实施方案的具有用于聚积的溢出电荷的专用存储结构的例示性像素的电路图。

[0008] 图4是根据一些实施方案的具有用于聚积的溢出电荷的专用存储结构和单独的光敏元件光晕路径的例示性像素的电路图。

[0009] 图5是根据一些实施方案的具有用于聚积的溢出电荷的专用存储结构和单独的浮动扩散区复位路径的例示性像素的电路图。

[0010] 图6是根据一些实施方案的具有用于聚积的溢出电荷的专用存储结构和紧凑的浮动扩散区复位路径的例示性像素的电路图。

[0011] 图7A和图7B是根据一些实施方案的用于操作具有用于聚积溢出电荷的专用存储结构的例示性像素的例示性时序图。

具体实施方式

[0012] 电子设备诸如数字相机、计算机、移动电话和其他电子设备可包括图像传感器,该图像传感器收集入射光以捕获图像。图像传感器可包括图像像素阵列。图像传感器中的像

素可包括光敏元件,诸如将入射光转换成图像信号的光电二极管。图像传感器可具有任何数量(例如,数百或数千或更多)的像素。典型图像传感器可例如具有数十万或数百万像素(例如,数兆像素)。图像传感器可包括控制电路(诸如,用于操作图像像素的电路)和用于读出图像信号的读出电路,该图像信号与光敏元件所生成的电荷相对应。

[0013] 图1为示例性成像系统(诸如,电子设备)的示意图,该成像系统使用图像传感器捕获图像。图1的电子设备10可为便捷式电子设备,诸如相机、蜂窝电话、平板计算机、网络相机、摄像机、视频监控系统、机动车成像系统、具有成像能力的视频游戏系统或者捕获数字图像数据的任何其他所需的成像系统或设备。相机模块12可用于将入射光转换成数字图像数据。相机模块12可包括一个或多个透镜14以及一个或多个对应图像传感器16。透镜14可包括固定透镜和/或可调透镜,并且可包括形成于图像传感器16的成像表面上的微透镜。在图像捕获操作期间,可通过透镜14将来自场景的光聚焦到图像传感器16上。图像传感器16可包括用于将模拟像素数据转换成要提供给存储和处理电路18的对应的数字图像数据的电路。如果需要,相机模块12可设置有透镜14的阵列和对应图像传感器16的阵列。

[0014] 存储和处理电路18可包括一个或多个集成电路(例如,图像处理电路、微处理器、诸如随机存取存储器和非易失性存储器的存储设备等),并且可使用与相机模块12分开和/或形成相机模块12的一部分的部件(例如,形成包括图像传感器16的集成电路或者与图像传感器16相关的模块12内的集成电路的一部分的电路)来实施。可使用处理电路18处理和存储已被相机模块12捕获的图像数据(例如,使用处理电路18上的图像处理引擎、使用处理电路18上的成像模式选择引擎等)。可根据需要使用耦接到处理电路18的有线通信路径和/或无线通信路径将处理后的图像数据提供给外部设备(例如,计算机、外部显示器或其他设备)。

[0015] 如图2所示,图像传感器16可包括含有成行和列布置的图像传感器像素22(有时在本文称为图像像素或像素)的像素阵列20以及控制和处理电路24。阵列20可包含例如数百或数千行以及数百或数千列的图像传感器像素22。控制电路24可耦接到行控制电路26和图像读出电路28(有时称为列控制电路、读出电路、处理电路或列解码器电路)。行控制电路26可从控制电路24接收行地址,并且通过行控制路径30将对应的行控制信号,诸如复位控制信号、行选择控制信号、电荷转移控制信号、双转换增益控制信号和读出控制信号提供给像素22。可将一根或多根导线(诸如,列线32)耦接到阵列20中的像素22的每一列。列线32可用于从像素22读出图像信号以及用于将偏置信号(例如,偏置电流或偏置电压)提供给像素22。如果需要,在像素读出操作期间,可使用行控制电路26选择阵列20中的像素行,并且可沿列线32读出由该像素行中的图像像素22生成的图像信号。

[0016] 图像读出电路28可通过列线32接收图像信号(例如,由像素22生成的模拟像素值)。图像读出电路28可包括用于对从阵列20读出的图像信号进行采样和暂时存储的采样保持电路、放大器电路、模拟-数字转换(ADC)电路、偏置电路、列存储器、用于选择性启用或禁用列电路的锁存电路、或者耦接到阵列20中的一个或多个像素列以用于操作像素22和用于从像素22读出图像信号的其他电路。读出电路28中的ADC电路可将从阵列20所接收的模拟像素值转换成对应数字像素值(有时称为数字图像数据或数字像素数据)。图像读出电路28可针对一个或多个像素列中的像素通过路径25将数字像素数据提供给控制和处理电路24和/或处理器18(图1)。

[0017] 图像像素22内的光敏元件可成行和列地布置在阵列20上。图像阵列20可设置有滤色器阵列,该滤色器阵列具有多个滤色器元件以允许单个图像传感器对不同颜色的光进行采样。例如,诸如阵列20中的图像像素的图像传感器像素可设置有滤色器阵列,该滤色器阵列允许单个图像传感器使用对应的被布置成拜耳马赛克图案的红色、绿色和蓝色图像传感器像素对红光、绿光和蓝光(RGB)进行采样。拜耳马赛克图案由 2×2 个图像像素的重复单元格组成,其中两个绿色图像像素沿对角线彼此相对,并且邻近与蓝色图像像素沿对角线相对的红色图像像素。在另一个合适示例中,拜耳图案中的绿色像素被替换为具有宽带滤色器元件(例如,透明滤色器元件、黄色滤色器元件等)的宽带图像像素。这些示例仅仅是例示性的,并且一般来讲,可在任何期望数量的图像像素22上方形成任何期望颜色和任何期望图案的滤色器元件。

[0018] 图3示出了可在图2中的像素阵列20中实现的例示性图像传感器像素。图3中的像素22可包括光敏元件,诸如光电二极管50。光电二极管50可在一定时间段(例如,曝光时间段)内接收入射光并且可生成对应于在曝光时间内的入射光的图像电荷(即,电荷)。光电二极管50可耦接至提供接地电压(在本文有时称为第一供电电压)的电压源49。电压源在本文有时可被称为电源。

[0019] 光电二极管50可经由晶体管76耦接至诸如存储门82的电荷存储结构。存储门82可经由晶体管92耦接至诸如浮动扩散区84的电荷存储结构。另外,光电二极管50可经由晶体管78耦接至诸如电容器88的电荷存储结构。电容器88可至少经由晶体管90耦接至浮动扩散区84。具体地,电容器88可具有耦接至电压源52的第一端子和电连接至晶体管90的第二端子。浮动扩散区84可具有相关联的电荷存储容量或电容(图3中未明确示出)。

[0020] 例如,电压源52可以是与耦接至光电二极管50的电压源相同的电压源,提供接地电压的电压源,提供不同供电电压(例如,参考供电电压)的不同电压源。如果需要,电压源52可提供脉冲电压信号(例如,保持在第一电压电平并且可周期性地脉冲到第二电压电平的电压信号)而不是固定的电压电平(例如,固定的接地供电电压或固定的参考供电电压)。

[0021] 电容器88可聚积(例如,存储)由光电二极管50在其第二端子处生成的溢出电荷。具体地,晶体管78可设置溢出电荷势垒(例如,势垒、电压势垒等),该溢出电荷势垒确定从光电二极管50转移至电容器88的溢出电荷量。具体地,溢出电荷势垒可确定在单个曝光时间段期间由光电二极管50生成的总电荷的溢出部分(例如,对于给定图像帧)。换句话说,由光电二极管50生成的电荷的溢出部分可穿过晶体管78到达电容器88。例如,晶体管78可周期性地部分地生效以周期性地提供溢出电荷势垒、可连续地部分地生效以连续地提供溢出电荷势垒、可利用固有地提供溢出电荷势垒的结构来实现或者可以任何期望的方式提供溢出电荷势垒。

[0022] 存储门82可存储由光电二极管50生成的第二电荷量。具体地,晶体管76可将在单个曝光时间段期间(例如,针对相同给定图像帧)由光电二极管50生成的总电荷的剩余部分转移到存储门82。换句话说讲,在曝光时间段内由光电二极管50生成的电荷的总量可以是溢出电荷部分和剩余电荷部分的总和。总电荷的溢出部分可形成低增益图像信号,并且总电荷的剩余部分可形成高增益图像信号。换句话说讲,溢出部分可在相对强光环境中使用,并且剩余部分可在相对弱光环境中使用(例如,相对于强光环境)。HDR图像可基于低增益和高增益图像信号(例如,基于低增益和高增益图像信号的线性组合)来构造。

[0023] 在低增益电容器(诸如图3中的电容器88)处的聚积或积聚电荷在读出期间与浮动扩散区(在图3中未示出的配置中)直接共享的配置中可能会出现。在此类配置中,在全局快门操作模式下的读出操作期间,电容器88处存储的(低增益信号)电压可与浮动扩散区共享。随后可在读出操作期间对浮动扩散区处的电荷进行采样。然而,在该电荷共享和存储时间期间,浮动扩散区处的暗电流噪声和热(kTC)噪声可相对于图像信号不期望地放大,因为低增益电容器电容可比浮动扩散区电容显著更大(例如,约更大十倍)。

[0024] 具体地,在电荷共享操作期间,根据低增益电容器电容与浮动扩散区电容的比率,存储在浮动扩散区处的有效电荷仅为溢出电荷的一部分。由于与图像信号相关联的电荷在该电荷共享操作期间衰减,因此噪声效应变得更显著。换句话说讲,当对存储在浮动扩散区处(与溢出电荷的仅一部分相关联)的图像信号进行采样和放大时,噪声分量被类似地放大。

[0025] 为了减轻这些问题,图3中的像素22可包括诸如电容器62的电荷存储结构(有时被描述为用于溢出电荷的专用电荷存储结构)。电容器62可接收并存储来自电容器88的聚积的溢出电荷。随后,电容器62可在信号采样或读出操作期间向浮动扩散区84提供所存储的溢出电荷(例如,可执行与浮动扩散区84的电荷共享)。由于电容器88的电容可类似于电容器62的电容(例如,均具有相同的电容,具有在彼此的10%内的电容,具有在彼此的20%内的电容,在彼此的50%内的电容,在彼此的70%内的电容等),因此当将电荷从电容器88转移到电容器62时,相对于(低增益)图像信号存在相对低的噪声放大。随后可对(低增益)图像信号进行采样并从电容器62和浮动扩散区84读出。

[0026] 具体地,电容器62可耦接在电容器88与浮动扩散区84之间。更具体地,电容器62可具有耦接至电压源52(例如,提供与提供给光电二极管50的电压相同的第一供电电压,提供接地电压,提供任何其他合适的供电电压,提供可变供电电压等)的第一端子以及耦接在晶体管58与晶体管60之间的第二端子。如果需要,耦接至电容器62的电压源52可提供脉冲电压信号(例如,在两个不同的电压电平之间表现出周期性脉冲的信号)。电容器88可通过晶体管90和58电连接至电容器62的第二端子。电容器62的第二端子可通过晶体管60电连接至浮动扩散区84。

[0027] 电容器88可通过晶体管90和68耦接至电压源54(例如,提供不同于第一供电电压或接地电压的第二供电电压)。电容器62的第二端子可通过晶体管58和68耦接至电压源54。浮动扩散区84可通过晶体管60、58和68耦接至电压源54。将浮动扩散区84连接至电压源54的此路径在本文有时可被称为浮动扩散区复位路径。光电二极管50可通过晶体管78、90和68耦接至电压源54。将光电二极管50连接至电压源54的此路径在本文有时可被称为光电二极管50的光晕路径(例如,可在其上去除来自光电二极管50的不期望的过量电荷的路径)。

[0028] 另外,像素22可包括诸如源极跟随器晶体管63和行选择晶体管64的读出电路。具体地,浮动扩散区84可耦接至晶体管63的栅极端子。晶体管63可具有耦接至电压源54(或提供任何合适的参考电压的任何其他合适的电压源)的第一源极-漏极端子(即,晶体管的源极端子或漏极端子中的一者)和耦接至晶体管64的第二源极-漏极端子(即,晶体管的源极端子或漏极端子中的另一者)。晶体管64可将晶体管63耦接至诸如列线66(例如,图2中的列线32)的像素输出路径。具体地,当晶体管64被激活时,晶体管63可将对应于存储在浮动扩散区84处的电荷的图像信号传递至像素输出路径。例如,存储在浮动扩散区84处的电荷和传递至像素输出路径的对应的图像信号可与低增益图像信号、高增益图像信号、用于低增

益信号或高增益信号的一个或多个复位电平信号、参考电平信号等中的一者相关联。

[0029] 在一些情况下,可能期望从图3中的像素22中消除一个或多个晶体管以形成更紧凑的像素实施方式(或产生其他期望的像素特性)。例如,图2中的阵列20可包括图4中的像素22。图4中的像素22可具有以与图3中的像素22相同(或类似)的配置实现的相同(或类似)的元件中的一些元件。为了避免不必要地模糊图4的实施方式,省略了对这些类似元件及其类似配置的描述。如先前(例如,结合图3)所述,这些类似元件可具有类似的功能、配置、操作模式等,除非另外指明。

[0030] 具体地,相对于图3中的像素22,图4中的像素22可省略晶体管58。如图4所示,电容器62可具有耦接至电压源53(提供电压 V_{ref})的第一端子。例如,电压 V_{ref} 可以是接地电压、供电电压、任何其他参考电压,或者可以是可变/可调电压。如果需要,耦接至电容器62的电压源53可提供脉冲电压信号(例如,在两个不同的电压电平之间表现出周期性脉冲的信号)。电容器62可具有插置在晶体管68与晶体管60之间的第二端子。电容器88可具有耦接至电压源53(提供电压 V_{ref})的第一端子和电连接至晶体管90的第二端子。晶体管90(无任何其他居间晶体管)可将电容器88的第二端子耦接至电容器62的第二端子。如果需要,耦接至电容器88的电压源53可提供脉冲电压信号(例如,在两个不同的电压电平之间表现出周期性脉冲的信号)。

[0031] 通过从图4中的像素22中去除晶体管58,光电二极管50的光晕路径(通过晶体管90和68)(如结合图3所述)可能不期望地跨过电容器62的电荷存储端子。因此,图4中的像素22可包括光电二极管50的单独光晕路径。具体地,晶体管78和虚拟栅极横向溢出漏极(vglod)95可将光电二极管50连接至电压源57(例如,可插置在光电二极管50与电压源57之间)。电压源57可提供可变/可调电压,可提供时变电压,可与电压源54相同,可提供任何合适的电压。如果需要,可将结构95实现为(抗光晕)晶体管或任何其他合适的结构。

[0032] 另外,在图4中,晶体管76和82(在图3中单独地示出)在单个晶体管结构81中共同示出。晶体管结构81可起到与图3中的晶体管76和/或81相同的功能(例如,针对高增益电荷的电荷转移和电荷存储功能)。如果需要,可将晶体管结构81实现为单个存储门(例如,可省略图3中的晶体管76)。虽然在图4中针对像素22示出,但晶体管76的省略也可在图3中的像素22中实现。

[0033] 重新参考图3,图3中的电容器62可沿着浮动扩散区复位路径(例如,晶体管60、58和68的耦接所沿着的路径)耦接。电容器62耦接至浮动扩散区复位路径不期望地限制了用于复位电容器62和浮动扩散区84的时序(例如,限制到复位电平电压或由电压源54提供的供电电压)。更具体地,在此类配置中,无论何时要复位浮动扩散区84,也必须复位电容器62(的存储端子)。这与图4中的像素22的情况类似。这些像素配置的不灵活性可能会在一些应用中导致不期望的限制。

[0034] 因此,可能期望提供具有单独的浮动扩散区复位路径的像素(例如,以将电容器62与浮动扩散区复位路径分开或解耦)。例如,图2中的阵列20可包括图5中的像素22。图5中的像素22可具有以与图3(以及其他附图)中的像素22相同(或类似)的配置实现的相同(或类似)的元件中的一些元件。为了避免不必要地模糊图5的实施方式,省略了对这些类似元件及其类似配置的描述。这些类似元件可具有类似的功能、配置、操作模式等,如先前(例如,结合图3和图4)所述,除非另外指明。

[0035] 如图5所示,相对于图3中的像素22,图5中的像素22可省略晶体管58。具体地,电容器62的第一端子可耦接至电压源55(提供电压Clgst_ref)。电压Clgst_ref可以是与图4中的电压Vref相同的电压,或者可以是任何合适的电压(例如,可以是脉冲电压信号,可以是固定的参考供电电压等)。电容器62的第二端子可经由晶体管90耦接至(例如,电连接至)电容器88并且经由晶体管60耦接至(例如,电连接至)浮动扩散区84。换句话说讲,电容器62(例如,电容器62的第二端子)可插置在电容器88与浮动扩散区84之间。

[0036] 晶体管95可将浮动扩散区84直接耦接至电压源54。换句话说讲,在图5的像素配置中,电容器62不沿着浮动扩散区复位路径耦接。另外,电容器88的第一端子可耦接至电压源53。电容器88的第二端子可经由晶体管91连接至电压源54(被配置为在有源时将电容器88的第二端子复位为由电压源54提供的参考电压)。光电二极管50可经由晶体管78和91耦接至电压源54,从而形成与电容器62分开的光晕路径(例如,电容器62的存储端子并不沿着光晕路径)。

[0037] 电压源49、53、54和55可各自提供任何合适的供电电压。每个供电电压可彼此不同,或者这些供电电压中的两个或更多个可相同。如果需要,这些供电电压中的一个或多个可处于固定的电压电平,而这些供电电压中的一个或多个可为可变的(例如,可在两个或更多个供电电压电平之间施以脉冲)。作为特定示例,电压源可提供接地供电电压,电压源54可提供电源电压,并且电压源53和55可提供相同的(固定的)参考供电电压(例如,电源电压和/或接地供电电压中的一者)。另选地,电压源53和55可提供不同的(固定的)参考电压。对像素22中的供电电压的这些描述一般可适用于图3至图6中的像素22中的任一个像素。

[0038] 在图5的配置中,浮动扩散区84可包括三个单独的连接(不包括与源极跟随器晶体管63的连接):与晶体管60的连接、与晶体管92的连接和与晶体管95的连接。由于与图5中的浮动扩散区84的连接的数量相对于图3和图4增加,因此图5中的浮动扩散区84可被实现为具有增大的尺寸和/或电容以适应额外的连接。这可导致图5中的浮动扩散区84处的泄漏和噪声增加,并且还可导致转换增益或转换因子减小,从而不利地影响弱光性能。在一些应用中,可能期望减轻这些问题,同时仍提供与电容器62分开的浮动扩散区复位路径。

[0039] 例如,图2中的阵列20可包括图6中的像素22。图6中的像素22可具有与图3(以及其他附图)中的像素22相同(或类似)的配置实现的相同(或类似)的元件中的一些元件。为了避免不必要地模糊图6的实施方案,省略了对这些类似元件及其类似配置的描述。这些类似元件可具有相同或类似的功能、配置、操作模式等,如先前(例如,结合图3、图4和图5)所述,除非另外指明。

[0040] 如图6所示,晶体管60可直接耦接至晶体管68(例如,与图4中的像素22的配置类似)。换句话说讲,晶体管60的源极-漏极(即,源极或漏极)端子可与晶体管68的源极-漏极端子共享共同节点。还可与晶体管90的源极-漏极端子和晶体管58的源极-漏极端子共享共同节点。

[0041] 以这种方式配置的情况下,图6中的像素22可具有浮动扩散区复位路径(例如,晶体管60和68沿着其耦接),该浮动扩散区复位路径通过晶体管58与电容器62分开。图6中的像素22还可具有用于光电二极管50的光晕路径(例如,晶体管78、90和68沿着其耦接),该光晕路径通过晶体管58与电容器62分开。电容器88仍可通过激活晶体管90和58来首先将积聚的溢出电荷输送(例如,转移)至电容器62。随后,可通过激活晶体管58和60(同时去激活晶

晶体管90和68)来将溢出电荷输送至浮动扩散区84(例如,与其共享),并且可通过读出电路经由浮动扩散区84来对溢出电荷进行采样。

[0042] 图7A和图7B示出了用于操作具有专用溢出电荷存储结构的例示性像素的例示性时序图。例如,图7A和图7B的时序图可用于操作具有图5所示类型的图像像素22的图像传感器阵列。控制电路诸如图2中的行控制电路26、控制和处理电路24和/或列控制电路28可基于这些时序图来操作图像像素22(例如,使图7A和图7B中所示的控制信号生效和失效)。这些时序图仅仅是例示性的。如果需要,可做出任何合适的修改以适应附加功能、时序要求、像素22的配置的变化(诸如图5中的像素22的变化),以实现图3、图4和图6所示的像素22等。

[0043] 如图7A所示,(行)控制电路可分别针对图5中的晶体管91、78和95使控制信号res_Clg、tx_lg和res_fd生效(如生效A、B和C所指示),以将图5中的电容器88、光电二极管50和浮动扩散区84复位为一个或多个参考电压(例如,电源电压、接地电压或任何其他参考电压)。控制信号res_fd可在图7A中的整个时序图中保持生效。

[0044] 另选地,如果需要,可在此“复位PD/Clg”时间段(有时称为复位时间段)期间使控制信号res_fd失效。在这种情况下,可在积聚时间段之后,在“清除SG/Clgst”时间段(有时称为附加复位时间段)期间以及在采样时段之前使控制信号res_fd生效(如生效C'所指示)。换言之,生效C'可以是信号res_fd的连续生效C的替代方案。另外,如果需要,生效A可持续更长时间并且可与生效B完全重叠。

[0045] 在与生效A、B和C相关联的复位时段之后,光电二极管50可在积聚时间段期间响应于入射光而开始生成电荷(在这种情况下,与上述曝光时间段类似)。在积聚时间段期间,晶体管78可提供如结合图5所述的溢出势垒,以在电容器88处存储和聚积(或积聚)溢出电荷(如果有的话)。

[0046] 在积聚时间段之后,控制电路可分别针对图5中的晶体管95、60和92使控制信号res_fd、conn_fd和tx1生效(如生效C或C'、D和E所指示),以将图5中的浮动扩散区84、电容器62和存储门82复位为一个或多个参考电压(例如,电源电压)。

[0047] 如果需要,如果使用生效C'而不是生效C,则生效C'可比生效E持续更长时间。如果需要,控制信号conn_fd可在附加复位时段之后以及在采样时间段期间保持生效(如生效D'所指示)。换言之,生效D'可以是生效D的扩展(而不是替代)。

[0048] 在与生效C或C'、D和E相关联的附加复位时段之后,控制电路可分别针对图5中的存储门82以及晶体管76和90使控制信号sg、tx0、conn_lg生效(如生效F、G和H所指示),以提供(例如,输送)从电容器88到电容器62的溢出电荷并且提供(例如,输送)从光电二极管50到图5中的存储门82的剩余电荷。这可被称为采样或采样时间段。

[0049] 如果需要,可在采样时间段期间使控制信号tx1部分地生效(例如,在生效电压电平与失效电压电平之间的电压电平下)(如由作为生效E的扩展的生效E'所指示)。如果需要,生效E'可比生效F持续更长时间,生效F可比生效G持续更长时间。如果需要,控制电路可在采样时间段期间使控制信号tx_lg生效(如生效B'所指示,生效B'是对生效B的补充)。在这种情况下,可在生效E'、F和G之后发生生效B'。如果需要,控制信号conn_lg可在生效B'期间保持生效(如作为生效H的扩展的生效H'所指示),并且生效D'也可与生效B'重叠。如果需要,生效H'的下降沿可以是缓慢向下斜坡,并且可在生效D'的下降沿之前。

[0050] 图7A中的时序图可用于在全局快门操作中操作像素22,其中可基于图7A的时序图

同时控制所有有源像素22。在全局快门操作之后,控制电路可使用图7B的时序图而按行执行读出操作(例如,作为逐行读出)。

[0051] 如图7B所示,(行)控制电路可针对图5中的晶体管64使控制信号sel生效(如生效I所指示),以选择要针对其执行读出操作的像素行。该行的控制信号sel可在图7B的整个时序图中保持生效。

[0052] 首先,控制电路可使控制信号conn_fd生效(如生效J所指示)以将电容器62连接至图5中的浮动扩散区84。浮动扩散区84在生效J之前已被复位。控制电路可(使用控制信号SH)控制采样保持电路以存储与溢出电荷部分相关联的(低增益)图像信号(如生效K所指示)。

[0053] 第二,控制电路可使控制信号res_fd生效(如生效L所指示)以复位图5中的浮动扩散区84。随后,控制电路可控制采样保持电路以存储与低增益图像信号相关联的复位电平信号(如生效M所指示)。控制信号conn_fd可从生效K至生效M保持生效。

[0054] 第三,控制电路可控制采样保持电路以存储与高增益图像信号相关联的另一个复位电平信号(如生效N所指示)。如果需要,在生效N之前以及在生效M之后,控制电路可再次使控制信号res_fd生效(如作为对生效L的补充的生效L'所指示)。

[0055] 第四,控制电路可使控制信号tx1生效(如生效O所指示)以将剩余电荷部分从存储门82转移到图5中的浮动扩散区84。随后,控制电路可控制采样保持电路以存储与剩余电荷部分相关联的附加(高增益)图像信号(如生效P所指示)。

[0056] 已经描述了各种实施方案,这些实施方案示出了用于改善高动态范围功能的成像系统和方法。

[0057] 例如,一种图像传感器像素可包括:光敏元件;浮动扩散区,该浮动扩散区耦接至光敏元件;第一电荷存储结构,该第一电荷存储结构沿着第一路径插置在光敏元件与浮动扩散区之间;第二电荷存储结构,该第二电荷存储结构沿着与第一路径分开的第二路径插置在光敏元件与所述浮动扩散区之间;以及第三电荷存储结构,该第三电荷存储结构耦接至沿着第二路径在第二电荷存储结构与浮动扩散区之间的节点。如果需要,第二电荷存储结构可以是第一电容器,第三电荷存储结构可以是电容在第一电容器的电容的20%内的第二电容器,并且第一存储结构可以是存储门。

[0058] 根据需要,该图像传感器像素还可包括:第一晶体管,该第一晶体管插置在存储门与浮动扩散区之间;第二晶体管,该第二晶体管插置在光敏元件与第一电容器之间;第三晶体管,该第三晶体管插置在第一电容器与第二电容器之间;第四晶体管,该第四晶体管插置在第二电容器与浮动扩散区之间;源极跟随器晶体管;以及行选择晶体管,该源极跟随器晶体管和该行选择晶体管将浮动扩散区耦接至像素输出路径。如果需要,第三晶体管可将第二电荷存储结构耦接至节点,第四晶体管可将浮动扩散区耦接至节点,并且附加晶体管可将第三电荷存储结构耦接至节点。

[0059] 如果需要,第二电荷存储结构可被配置为聚积针对低增益信号的生成电荷的第一部分,第一电荷存储结构可被配置为存储针对高增益信号的生成电荷的第二部分,并且第三电荷存储结构可被配置为存储针对低增益信号的生成电荷的所述第一部分。如果需要,在对生成电荷的第一部分的读出操作期间,第四晶体管可被配置为被激活,并且第三晶体管可被配置为被去激活。如果需要,第二晶体管可被配置为提供势垒,该势垒确定针对低增

益信号的生成电荷的第一部分。

[0060] 如果需要,第三电荷存储结构的电荷存储端子可沿着第二路径位于第二电荷存储结构与浮动扩散结构之间的节点处。如果需要,第三电荷存储结构的电荷存储端子可沿着浮动扩散区复位路径插置。另选地,如果需要,第三电荷存储结构的电荷存储端子可与浮动扩散区复位路径分开。

[0061] 又如,一种图像传感器可包括图像传感器像素阵列。该阵列中的每个图像传感器像素可包括:光敏元件;浮动扩散区,该浮动扩散区耦接至光敏元件;第一电荷存储结构、第二电荷存储结构和第三电荷存储结构;第一晶体管,该第一晶体管将第一电荷存储结构耦接至浮动扩散区;第二晶体管,该第二晶体管将第二电荷存储结构耦接至第三电荷存储结构;以及第三晶体管,该第三晶体管将第三电荷存储结构耦接至浮动扩散区。如果需要,该阵列中的每个图像传感器像素可包括横向溢出漏极,该横向溢出漏极将光敏元件耦接至提供供电电压的电压源。

[0062] 再如,一种图像传感器像素可包括:光敏元件;浮动扩散区,该浮动扩散区耦接至光敏元件;第一电荷存储区、第二电荷存储区和第三电荷存储区;第一晶体管,该第一晶体管将第二电荷存储结构耦接至第三电荷存储结构;以及第二晶体管,该第二晶体管将第三电荷存储结构耦接至浮动扩散区。如果需要,该图像传感器像素可包括第三晶体管,该第三晶体管直接耦接至浮动扩散区并且形成浮动扩散区的复位路径、第一电荷存储结构的复位路径和第三电荷存储结构的复位路径。如果需要,该图像传感器像素可包括第四晶体管,该第四晶体管直接耦接至第二电荷存储结构并且形成光敏元件的复位路径和第二电荷存储结构的复位路径。

[0063] 根据一个实施方案,一种图像传感器像素可包括:光敏元件,该光敏元件被配置为响应于入射光而生成电荷;浮动扩散区;第一电荷存储结构,该第一电荷存储结构沿着第一路径插置在光敏元件与浮动扩散区之间;第二电荷存储结构,该第二电荷存储结构沿着与第一路径分开的第二路径插置在光敏元件与所述浮动扩散区之间;以及第三电荷存储结构,该第三电荷存储结构沿着第二路径耦接至第二电荷存储结构与浮动扩散区之间的节点。

[0064] 根据另一个实施方案,该图像传感器像素还可包括插置在第三电荷存储结构与浮动扩散区之间的晶体管。

[0065] 根据另一个实施方案,第二电荷存储结构可被配置为针对低增益信号聚积生成电荷的第一部分,并且第一电荷存储结构可被配置为针对高增益信号存储生成电荷的第二部分。

[0066] 根据另一个实施方案,第三电荷存储结构可被配置为针对低增益信号存储生成电荷的第一部分。

[0067] 根据另一个实施方案,该图像传感器像素还可包括插置在第二电荷存储结构与第三电荷存储结构之间的附加晶体管。

[0068] 根据另一个实施方案,在对生成电荷的第一部分的读出操作期间,晶体管可被配置为被激活,并且附加晶体管可被配置为被去激活。

[0069] 根据另一个实施方案,该图像传感器像素还可包括插置在光敏元件与第二电荷存储结构之间的附加晶体管。附加晶体管可被配置为提供势垒,该势垒确定针对低增益信号

的生成电荷的第一部分。

[0070] 根据另一个实施方案,第二电荷存储结构可包括第一电容器,并且第三电荷存储结构可包括第二电容器。

[0071] 根据另一个实施方案,第一电容器和第二电容器可各自具有耦接至第二路径的第一端子和耦接至参考电压源的第二端子。

[0072] 根据另一个实施方案,第一电荷存储结构可包括存储门。

[0073] 根据另一个实施方案,该图像传感器像素还可包括:第一晶体管,该第一晶体管插置在存储门与浮动扩散区之间;第二晶体管,该第二晶体管插置在光敏元件与第一电容器之间;第三晶体管,该第三晶体管插置在第一电容器与第二电容器之间;以及第四晶体管,该第四晶体管插置在第二电容器与浮动扩散区之间。

[0074] 根据另一个实施方案,该图像传感器像素还可包括源极跟随器晶体管和行选择晶体管。该源极跟随器晶体管和该行选择晶体管可将浮动扩散区耦接至像素输出路径。

[0075] 根据另一个实施方案,第三电荷存储结构的电荷存储端子可沿着第二路径位于第二电荷存储结构与浮动扩散结构之间的节点处。

[0076] 根据另一个实施方案,第三电荷存储结构的电荷存储端子可沿着浮动扩散区复位路径插置。

[0077] 根据另一个实施方案,第三电荷存储结构的电荷存储端子可与浮动扩散区复位路径分开。

[0078] 根据另一个实施方案,该图像传感器像素还可包括:第一晶体管,该第一晶体管将第二电荷存储结构耦接至节点;第二晶体管,该第二晶体管将第三电荷存储结构耦接至节点;以及第三晶体管,该第三晶体管将浮动扩散区耦接至节点。

[0079] 根据实施方案,一种图像传感器可包括图像传感器像素阵列。该阵列中的每个图像传感器像素可包括:光敏元件;浮动扩散区,该浮动扩散区耦接至光敏元件;第一电荷存储结构、第二电荷存储结构和第三电荷存储结构;第一晶体管,该第一晶体管将第一电荷存储结构耦接至浮动扩散区;第二晶体管,该第二晶体管将第二电荷存储结构耦接至第三电荷存储结构;以及第三晶体管,该第三晶体管将第三电荷存储结构耦接至浮动扩散区。

[0080] 根据另一个实施方案,该阵列中的每个图像传感器像素可包括横向溢出漏极,该横向溢出漏极将光敏元件耦接至提供供电电压的电压源。

[0081] 根据一个实施方案,一种图像传感器像素可包括:光敏元件;浮动扩散区,该浮动扩散区耦接至光敏元件;第一电荷存储结构、第二电荷存储结构和第三电荷存储结构;第一晶体管,该第一晶体管将第二电荷存储结构耦接至第三电荷存储结构;以及第二晶体管,该第二晶体管将第三电荷存储结构耦接至浮动扩散区。

[0082] 根据另一个实施方案,该图像传感器像素还可包括:第三晶体管,该第三晶体管直接耦接至浮动扩散区并且形成浮动扩散区的复位路径、第一电荷存储结构的复位路径和第三电荷存储结构的复位路径;以及第四晶体管,该第四晶体管直接耦接至第二电荷存储结构并且形成光敏元件的复位路径和第二电荷存储结构的复位路径。

[0083] 前述内容仅仅是对本发明原理的例示性说明,本领域技术人员可以在不脱离本发明的范围和实质的前提下进行多种修改。上述实施方案可单个实施或以任意组合方式实施。

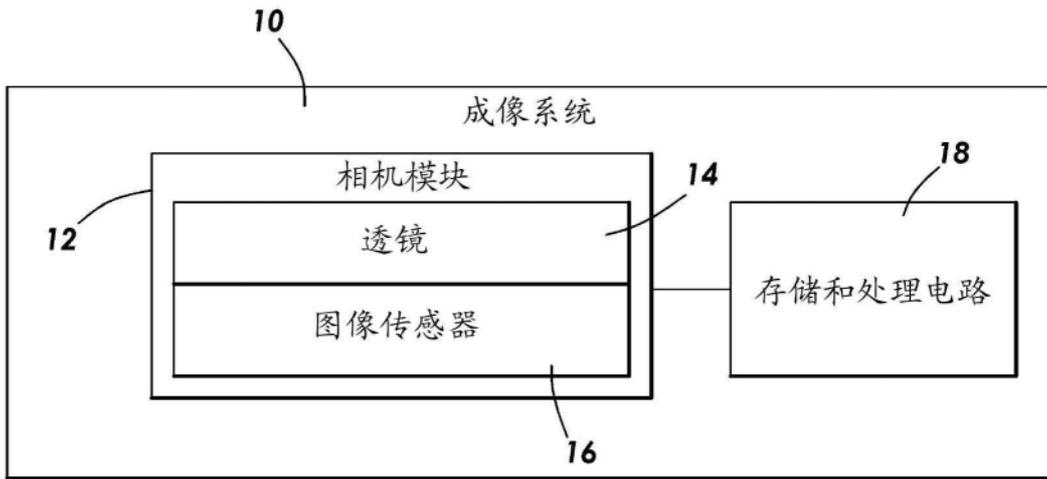


图1

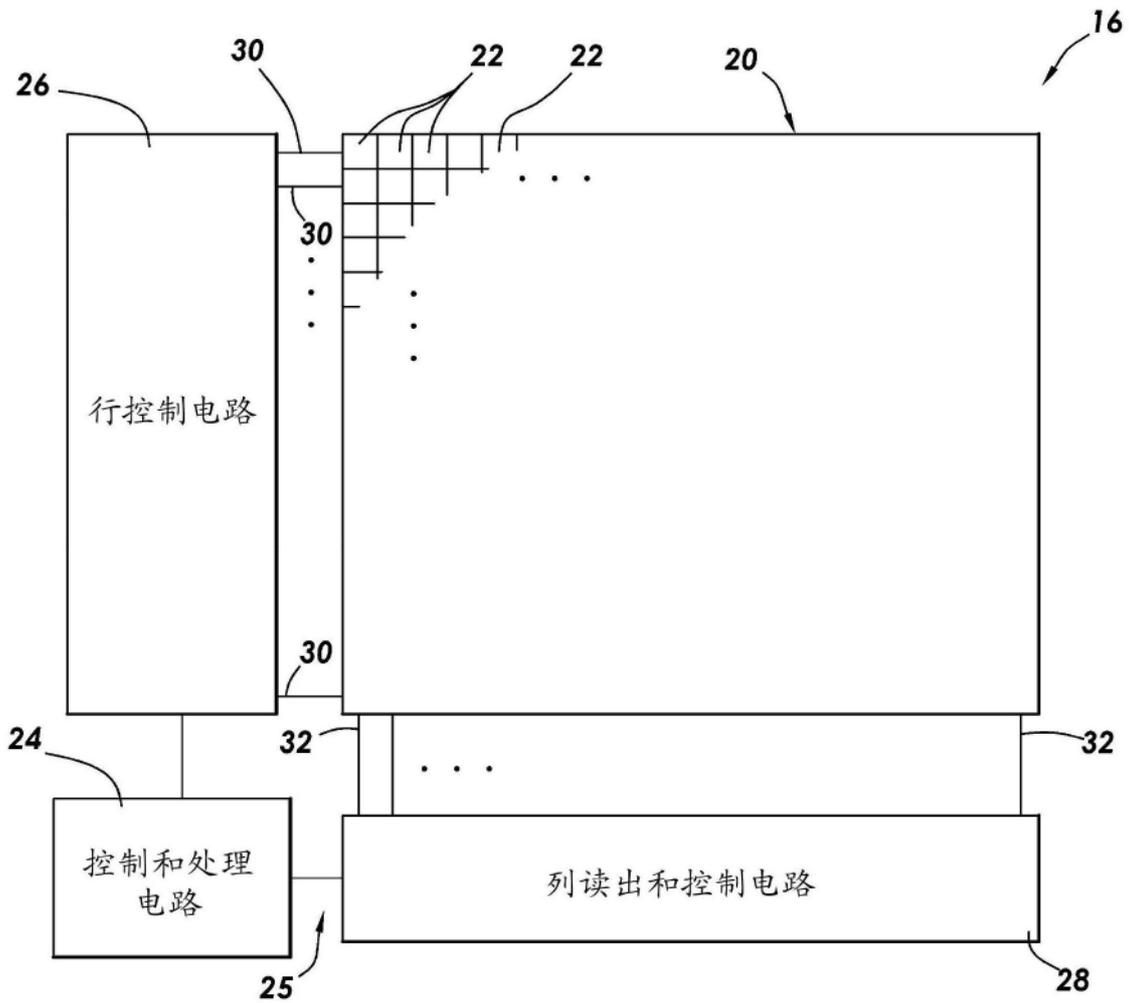


图2

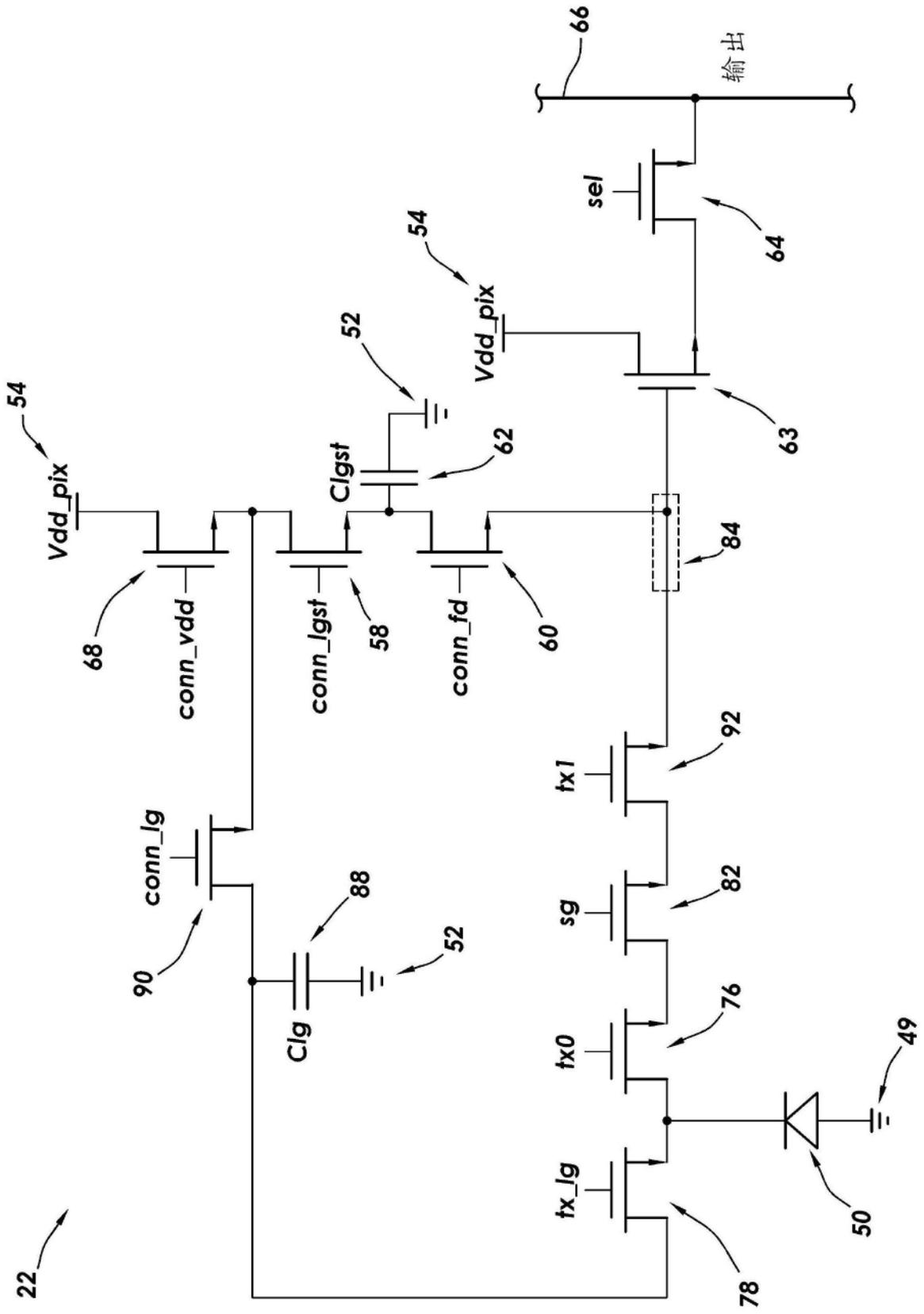


图3

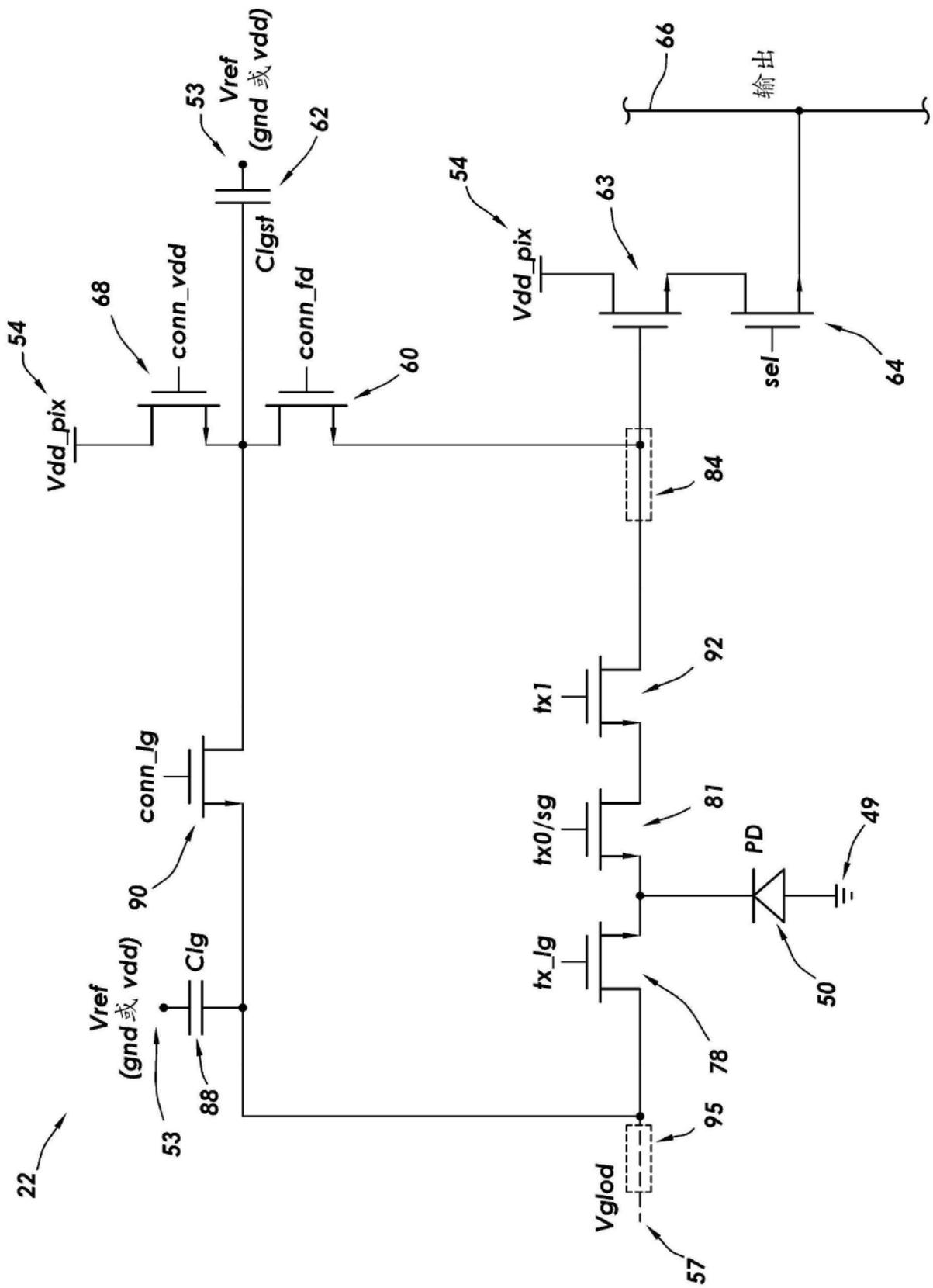


图4

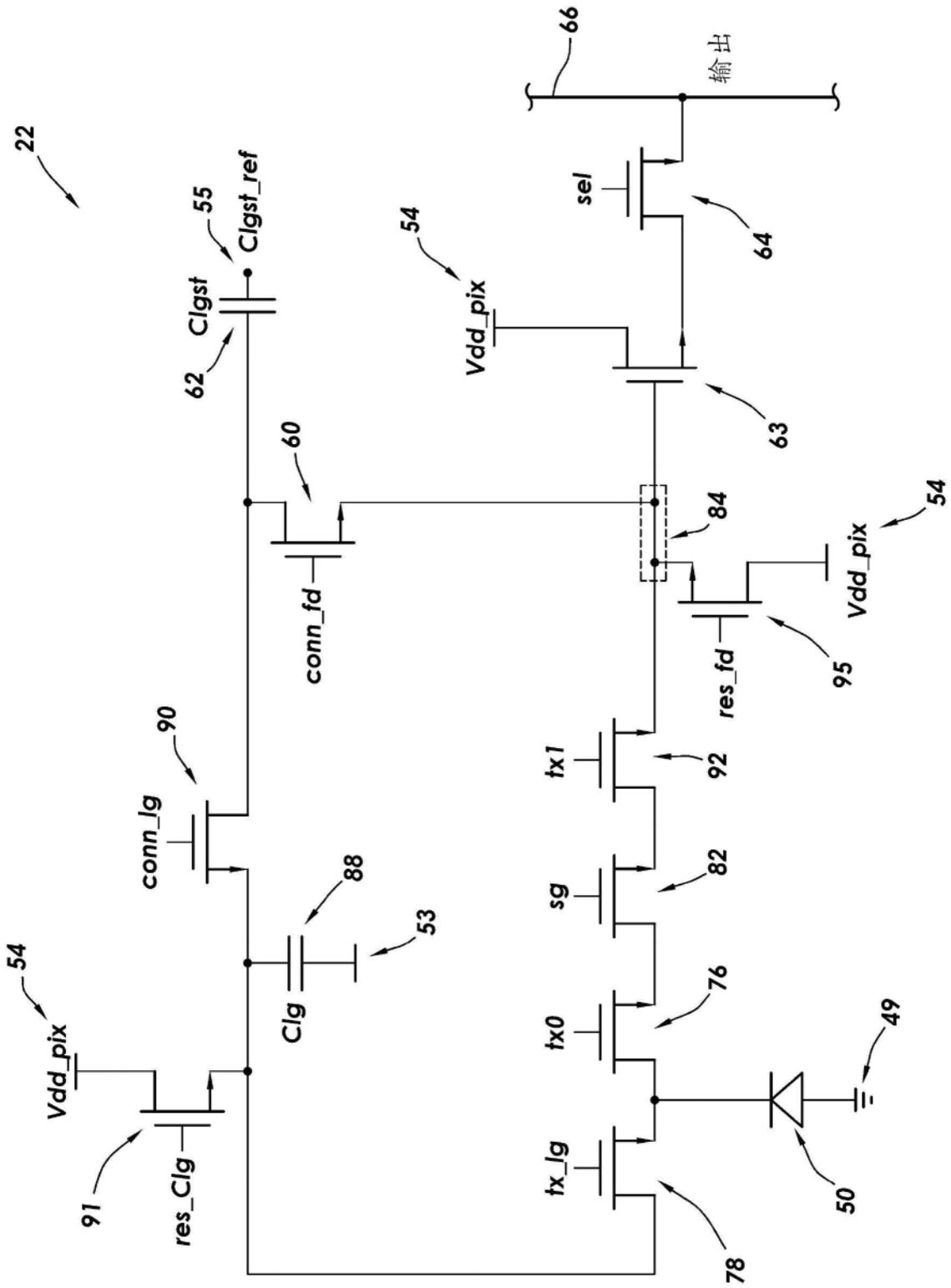


图5

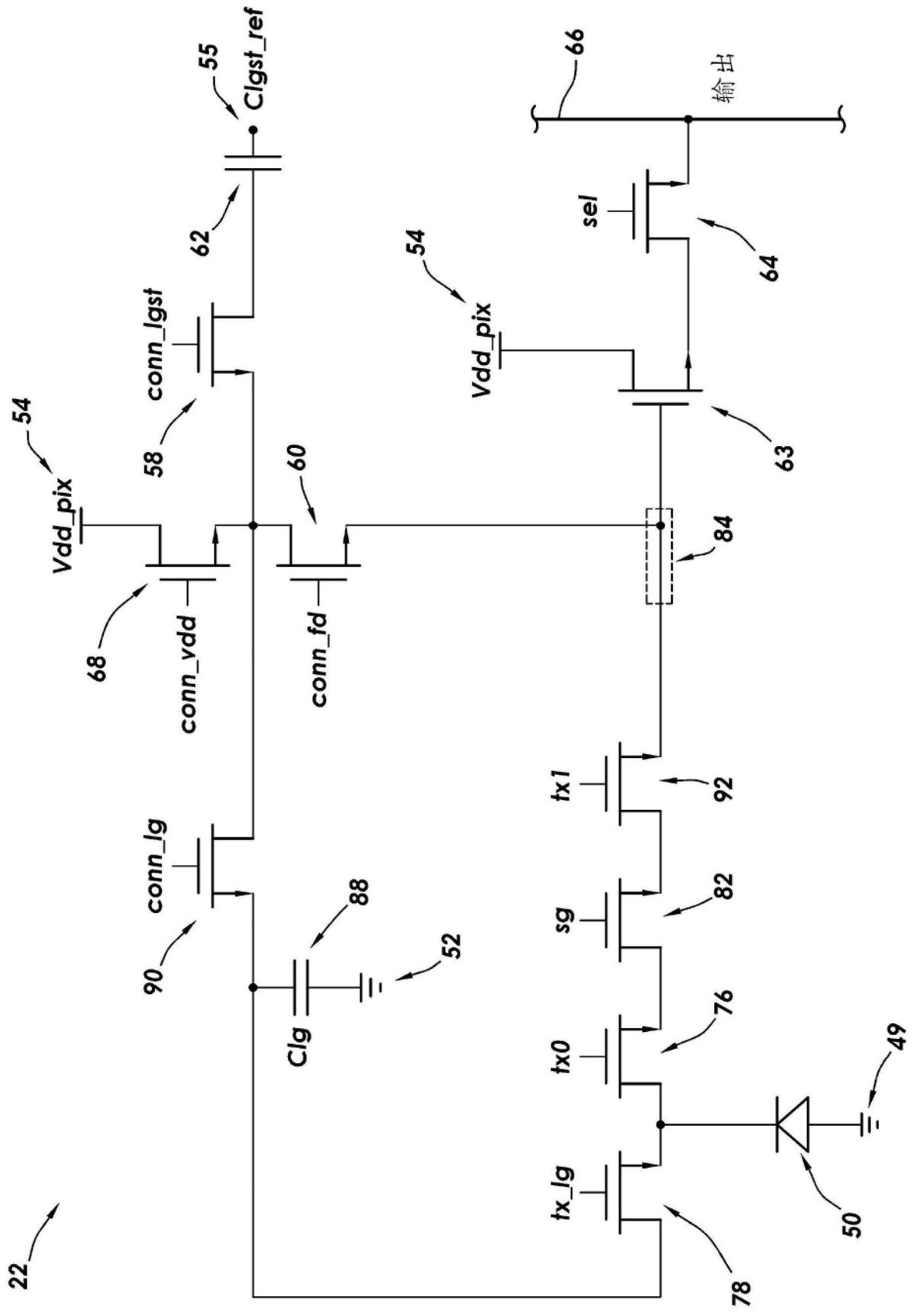


图6

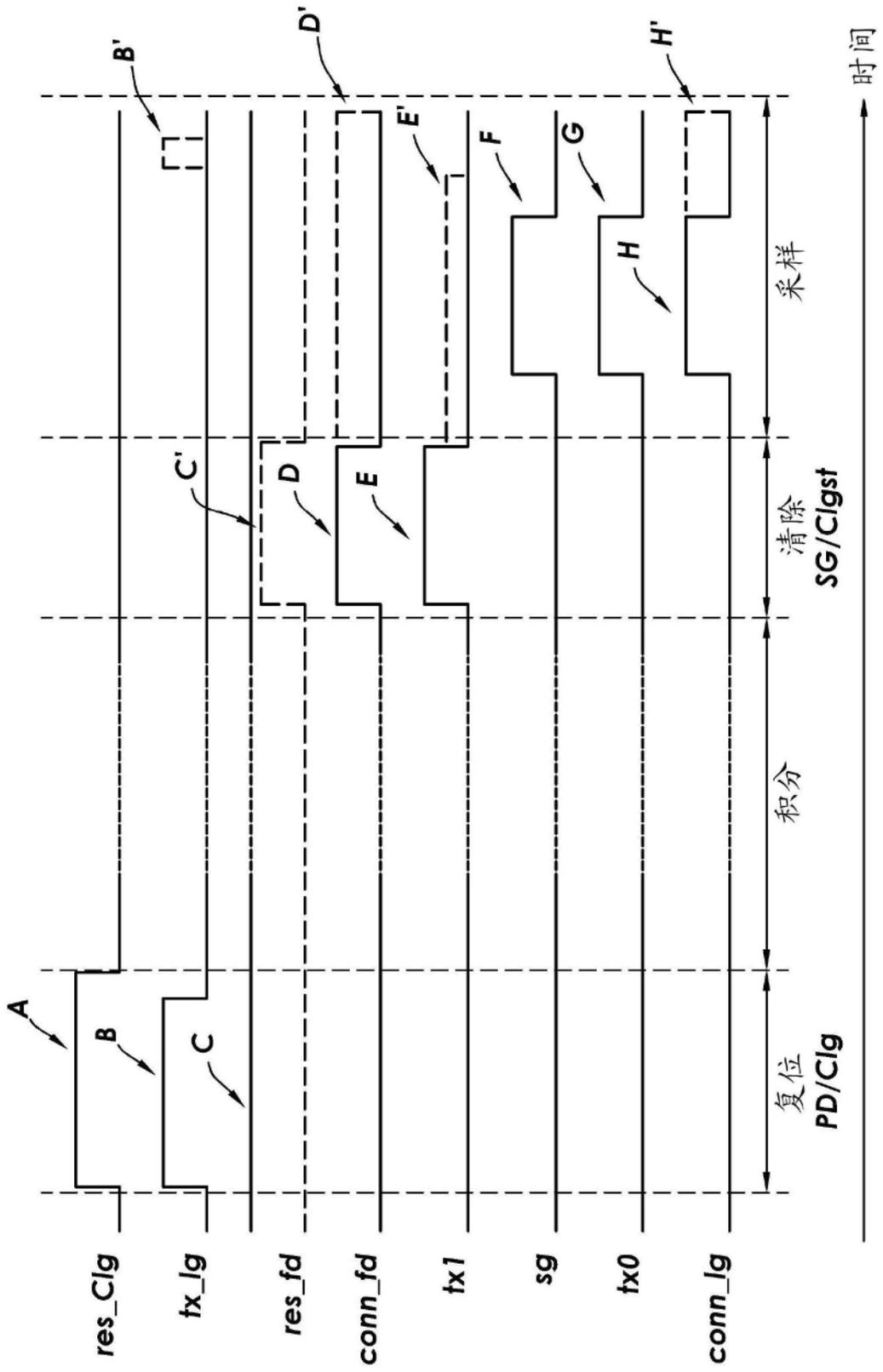


图7A

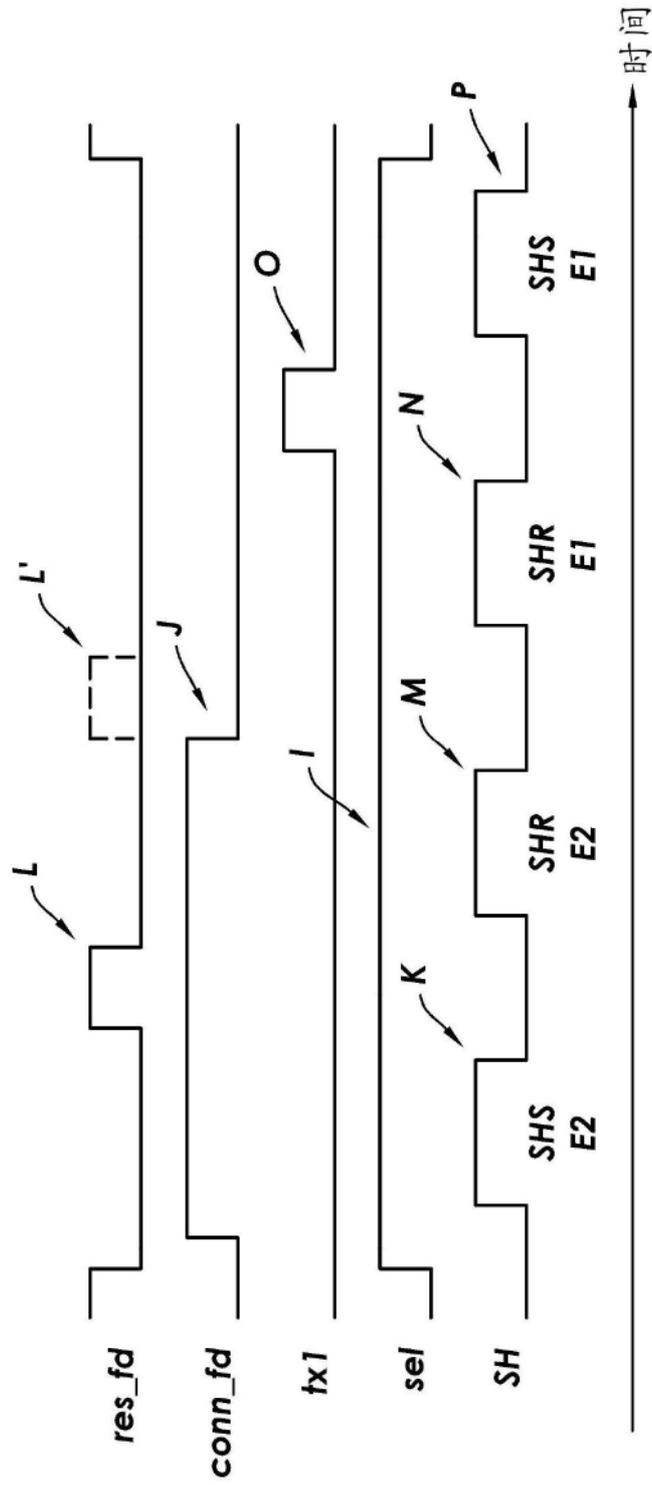


图7B