



(12)发明专利

(10)授权公告号 CN 105224249 B

(45)授权公告日 2018.12.18

(21)申请号 201510625071.5

(22)申请日 2015.09.25

(65)同一申请的已公布的文献号
申请公布号 CN 105224249 A

(43)申请公布日 2016.01.06

(73)专利权人 北京兆易创新科技股份有限公司
地址 100083 北京市海淀区学院路30号科
大天工大厦A座12层

(72)发明人 苏志强 丁冲 陈立刚 谢瑞杰

(74)专利代理机构 北京润泽恒知识产权代理有
限公司 11319

代理人 苏培华

(51)Int.Cl.
G06F 3/06(2006.01)

(56)对比文件

CN 103309981 A,2013.09.18,
CN 103886916 A,2014.06.25,
US 2006/0230241 A1,2006.10.12,

审查员 徐菲

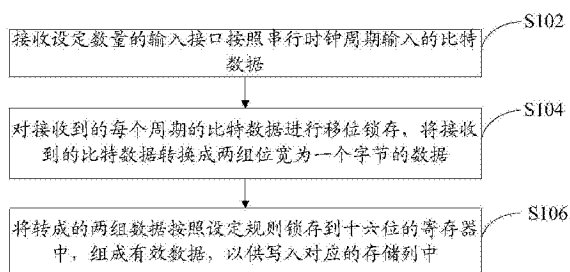
权利要求书2页 说明书6页 附图2页

(54)发明名称

一种写操作方法和装置

(57)摘要

本发明提供了一种写操作方法和装置,其中,所述方法包括:接收设定数量的输入接口按照串行时钟周期输入的比特数据;对接收到的每个周期的比特数据进行移位锁存,将接收到的所述比特数据转换成两组位宽为一个字节的数据;将转成的所述两组数据按照设定规则锁存到十六位的寄存器中,组成有效数据,以供写入对应的存储列中。



1. 一种写操作方法,其特征在于,包括:

接收设定数量的输入接口按照串行时钟周期输入的比特数据;

对接收到的每个周期的比特数据进行移位锁存,将接收到的所述比特数据转换成两组位宽为一个字节的数据;

将转成的所述两组数据按照设定规则锁存到十六位的寄存器中,组成有效数据,以供写入对应的存储列中,其中包括:将经移位锁存后的前一组数据写入所述十六位的锁存器的低八位锁存中,将经移位锁存后的后一组数据写入所述十六位的锁存器的高八位锁存中。

2. 根据权利要求1所述的方法,其特征在于,设定数据量的输入接口为以下任意一种:四个输入接口、双输入接口以及单输入接口。

3. 根据权利要求1所述的方法,其特征在于,在所述将转成的所述两组数据按照设定规则锁存到十六位的寄存器中,组成有效数据的步骤之后,所述方法还包括:

产生触发向存储列中写入有效数字的控制信号,以指示可向所述有效数据对应的存储列中写入数据。

4. 根据权利要求3所述的方法,其特征在于,在所述产生触发向存储列中写入所述有效数字的控制信号的步骤之后,所述方法还包括:

判断所述有效数字对应的存储列是否为坏列;

若是,则确定所述坏列对应的修复存储列地址,并将所述有效数字写入所述修复存储列地址、对应的存储列的数据寄存器中;

若否,则直接将所述有效数字写入所述有效数字对应的所述存储列的数据寄存器中。

5. 一种写操作装置,其特征在于,包括:

接收模块,用于接收设定数量的输入接口按照串行时钟周期输入的比特数据;

移位锁存模块,用于对接收到的每个周期的比特数据进行移位锁存,将接收到的所述比特数据转换成两组位宽为一个字节的数据;

组成模块,用于将转成的所述两组数据按照设定规则锁存到十六位的寄存器中,组成有效数据,以供写入对应的存储列中,其中包括:将经移位锁存后的前一组数据写入所述十六位的锁存器的低八位锁存中,将经移位锁存后的后一组数据写入所述十六位的锁存器的高八位锁存中。

6. 根据权利要求5所述的装置,其特征在于,设定数据量的输入接口为以下任意一种:四个输入接口、双输入接口以及单输入接口。

7. 根据权利要求5所述的装置,其特征在于,所述写操作装置还包括:

信号生成模块,用于在所述组成模块将转成的所述两组数据按照设定规则锁存到十六位的寄存器中,组成有效数据之后,产生触发向存储列中写入有效数字的控制信号,以指示可向所述有效数据对应的存储列中写入数据。

8. 根据权利要求7所述的装置,其特征在于,所述写操作装置还包括:

判断模块,用于在所述信号生成模块产生触发向存储列中写入所述有效数字的控制信号之后,判断所述有效数字对应的存储列是否为坏列;

执行模块,用于若所述判断模块的判断结果为是,则确定所述坏列对应的修复存储列地址,并将所述有效数字写入所述修复存储列地址、对应的存储列的数据寄存器中;若所述

判断模块的判断结果否,则直接将所述有效数字对应的所述存储列的数据寄存器中。

一种写操作方法和装置

技术领域

[0001] 本发明涉及芯片存储技术领域,特别是涉及一种芯片中的写操作方法和装置。

背景技术

[0002] 现有的SPI NOR FLASH数据是以Byte(字节)为单位写入存储列中。而每一个Byte写入前,首先需要根据当前地址完成bad column的替换修复,然后再将数据写入存储列的数据寄存器中。

[0003] 若以Byte为单位写入数据,以四接口输入数据时,数据有效时间仅为一个clock,且一次写操作的时间仅为2个clock。而在2个clock内很难完成地址比较、替换修复列的确定以及将数据写入数据寄存器中的操作。而若提升写操作的速度,则还需要进一步缩短每个clock的时间,相应地每次写操作的时间将被缩短,更难完成地址比较、替换修复列的确定以及将数据写入数据寄存器中的操作,进而影响芯片的工作频率。

[0004] 可见,现有的以字节为单位将数据写入存储列中的方案,数据进行写操作的时间不充足。

发明内容

[0005] 本发明提供了一种写操作方法和装置,以解决现有技术方案中存在的数据进行写操作的时间不充足问题。

[0006] 为了解决上述问题,本发明公开了一种写操作方法,包括:接收设定数量的输入接口按照串行时钟周期输入的比特数据;对接收到的每个周期的比特数据进行移位锁存,将接收到的所述比特数据转换成两组位宽为一个字节的数据;将转成的所述两组数据按照设定规则锁存到十六位的寄存器中,组成有效数据,以供写入对应的存储列中。

[0007] 优选地,所述将转成的所述两组数据按照设定规则锁存到十六位的锁存器中的步骤包括:将经移位锁存后的前一组数据写入所述十六位的锁存器的低八位锁存中,将经移位锁存后的后一组数据写入所述十六位的锁存器的高八位锁存中。

[0008] 优选地,所述设定数据量的输入接口为以下任意一种:四个输入接口、双输入接口以及单输入接口。

[0009] 优选地,在所述将转成的所述两组数据按照设定规则锁存到十六位的寄存器中,组成有效数据的步骤之后,所述方法还包括:产生触发向存储列中写入所述有效数字的控制信号,以指示可向所述有效数据对应的存储列中写入数据。

[0010] 优选地,在所述产生触发向存储列中写入所述有效数字的控制信号的步骤之后,所述方法还包括:判断所述有效数字对应的存储列是否为坏列;若是,则确定所述坏列对应的修复存储列地址,并将所述有效数字写入所述修复存储列地址、对应的存储列的数据寄存器中;若否,则直接将所述有效数字写入所述有效数字对应的所述存储列的数据寄存器中。

[0011] 为了解决上述问题,本发明还公开了一种写操作装置,包括:接收模块,用于接收

设定数量的输入接口按照串行时钟周期输入的比特数据；移位锁存模块，用于对接收到的每个周期的比特数据进行移位锁存，将接收到的所述比特数据转换成两组位宽为一个字节的数据；组成模块，用于将转成的所述两组数据按照设定规则锁存到十六位的寄存器中，组成有效数据，以供写入对应的存储列中。

[0012] 优选地，所述组成模块将转成的所述两组数据按照设定规则锁存到十六位的锁存器中时：将经移位锁存后的前一组数据写入所述十六位的锁存器的低八位锁存中，将经移位锁存后的后一组数据写入所述十六位的锁存器的高八位锁存中。

[0013] 优选地，所述设定数据量的输入接口为以下任意一种：四个输入接口、双输入接口以及单输入接口。

[0014] 优选地，所述写操作装置还包括：信号生成模块，用于在所述组成模块将转成的所述两组数据按照设定规则锁存到十六位的寄存器中，组成有效数据之后，产生触发向存储列中写入所述有效数字的控制信号，以指示可向所述有效数据对应的存储列中写入数据。

[0015] 优选地，所述写操作装置还包括：判断模块，用于在所述信号生成模块产生触发向存储列中写入所述有效数字的控制信号之后，判断所述有效数字对应的存储列是否为坏列；执行模块，用于若所述判断模块的判断结果为是，则确定所述坏列对应的修复存储列地址，并将所述有效数字写入所述修复存储列地址、对应的存储列的数据寄存器中；若所述判断模块的判断结果为否，则直接将所述有效数字对应的所述存储列的数据寄存器中。

[0016] 与现有技术相比，本发明具有以下优点：

[0017] 本发明实施例提供的写操作方法与装置，将输入的比特数据经过移位锁存，锁存至十六位的寄存器中组成2Byte及一个字的有效数据。然后以字即Word为单位写入对应的存储列中。采用本发明实施例提供的写操作方案，以四接口输入数据时，一次写操作的时间可达到4个clock，相较于现有的写操作方案同样条件下一次写操作的时间仅为2个clock而言，将写操作的时间扩大了一倍，为每次写操作提供了充足的处理时间。

附图说明

[0018] 图1是根据本发明实施例一的一种写操作方法的步骤流程图；

[0019] 图2是根据本发明实施例二的一种写操作方法的步骤流程图；

[0020] 图3是采用实施例二中所示的写操作方法进行写操作的示意图；

[0021] 图4是根据本发明实施例三的一种写操作装置的结构框图；

[0022] 图5是根据本发明实施例四的一种写操作装置的结构框图。

具体实施方式

[0023] 为使本发明的上述目的、特征和优点能够更加明显易懂，下面结合附图和具体实施方式对本发明作进一步详细的说明。

[0024] 实施例一

[0025] 参照图1，示出了本发明实施例一的一种写操作方法的步骤流程图。

[0026] 本发明实施例的写操作方法包括以下步骤：

[0027] 步骤S102：接收设定数量的输入接口按照串行时钟周期输入的比特数据。

[0028] 其中，输入接口数量的设定可以由本领域技术人员根据实际需求进行设置，本实

施例中对此不作具体限制。例如：可以为双输入接口、单输入接口，也可以为四输入接口。

[0029] 步骤S104：对接收到的每个周期的比特数据进行移位锁存，将接收到的比特数据转换成两组位宽为一个字节的数据。

[0030] 本步骤中目的为将通过输入接口输入的比特数据转换成一个字节的数据。

[0031] 例如：当采用双输入接口输入数据时，则每个周期输入2比特数据，则需要将四个周期接收到的比特数据进行位移锁存，锁存成一字节的数据；将四五个周期至第八个周期接收到的比特数据进行移位锁存，锁存成一个字节的数据。

[0032] 步骤S106：将转成的两组数据按照设定规则锁存到十六位的寄存器中，组成有效数据，以供写入对应的存储列中。

[0033] 一种优选的写入对应的存储列中的方式为：首先判断该组有效数据对应的存储列是否为坏列，若为坏列则确定该坏列对应的修复列，将有效数据写入修复列对应的数据寄存器中。

[0034] 通过本发明实施例提供的写操作方法，将输入的比特数据经过移位锁存，锁存至十六位的寄存器中组成2Byte及一个字的有效数据。然后以字即Word为单位写入对应的存储列中。采用本发明实施例提供的写操作方案，以四接口输入数据时，一次写操作的时间可达到4个clock，相较于现有的写操作方法同样条件下一次写操作的时间仅为2个clock而言，将写操作的时间扩大了一倍，为每次写操作提供了充足的处理时间。

[0035] 实施例二

[0036] 参照图2，示出了本发明实施例二的一种写操作方法的步骤流程图。

[0037] 本发明实施例的写操作方法具体包括以下步骤：

[0038] 步骤S202：芯片主程序接收设定数量的输入接口按照串行时钟周期输入的比特数据。

[0039] 优选地，设定数据量的输入接口为四个输入接口。四个输入接口输入比特数据，相较于两个、或单个输入接口输入比特数据能够提升比特数据的输入效率。

[0040] 对于串行时钟周期的大小可以由本领域技术人员根据实际需求进行设置，本发明实施例中对此不作具体限制。

[0041] 步骤S204：芯片主程序对接收到的每个周期的比特数据进行移位锁存，将接收到的比特数据转换成两组位宽为一个字节的数据。

[0042] 当四个输入接口同时输入数据时，则将前两个周期接收到的八比特的数据组成一组一个字节的数据，将第三个、第四个周期接收到的八比特的数据组成一组一个字节的数据。

[0043] 步骤S206：芯片主程序将经移位锁存后的前一组数据写入十六位的锁存器的低八位锁存中，将经移位锁存后的后一组数据写入十六位的锁存器的高八位锁存中，组成有效数据。

[0044] 通过步骤S206所组成的有效数据即为一个Word即字的数据。后续将执行将组成的有效数据写入其对应的存储列中的相关操作。

[0045] 步骤S208：芯片主程序产生触发向存储列中写入有效数字的控制信号，以指示可向有效数据对应的存储列中写入数据。

[0046] 步骤S210：芯片主程序判断有效数字对应的存储列是否为坏列；若是，则执行步骤

212, 若否, 则执行步骤S214。

[0047] 首先从主存储阵列中确定有效数字对应的存储列, 然后, 判断该存储列是否为坏列, 若为坏列, 则执行步骤S212, 若为正常列, 则执行步骤S214。

[0048] 步骤S212: 当有效数字对应的存储列为坏列时, 芯片主程序确定坏列对应的修复存储列地址, 并将有效数字写入修复存储列地址、对应的存储列的数据寄存器中。

[0049] 当确定有效数字对应的存储列为坏列时, 则需确定在冗余列中该坏列对应的修复存储列, 将有效数据写入修复存储列的数据寄存器中。

[0050] 具体地: 需要将主存储阵列中的该坏列的地址与冗余列中各列的地址修复信息中存储的坏列的地址进行比对; 当主存储阵列中的该坏列的地址与冗余列中某一列的地址修复信息中存储的坏列的地址匹配时, 则确定冗余列中的该列为主存储阵列中的该坏列的修复存储列。

[0051] 步骤S214: 当有效数字对应的存储列为正常列时, 芯片主程序直接将有效数字写入有效数字对应的存储列的数据寄存器中。

[0052] 通过本发明实施例提供的写操作方法, 将输入的比特数据经过移位锁存, 锁存至十六位的寄存器中组成2Byte及一个字的有效数据。然后以字即Word为单位写入对应的存储列中。采用本发明实施例提供的写操作方案, 以四接口输入数据时, 一次写操作的时间可达到4个clock, 相较于现有的写操作方法同样条件下一次写操作的时间仅为2个clock而言, 将写操作的时间扩大了一倍, 为每次写操作提供了充足的处理时间。

[0053] 下面以一具体实例对本发明实施例的写操作方法进行说明。

[0054] 本具体实例中对以Word为单位的SPI NAND FLASH数据的写操作进行了说明, 具体写操作可以参见附图3所示的写操作示意图。

[0055] 本领域技术人员所熟知的, SPI NAND FLASH数据是串行输入和输出的, 数据可单接口输入、双接口输入和四接口输入。本具体实例中以四接口数据输入为例进行说明。图3中, SCLK (串行时钟) 为SPI NAND FLASH的工作时钟, PDIN<3:0>为四输入接口的输入数据, 每个周期内输入4-bit数据, 内部移位寄存器则根据时钟对PDIN<3:0>进行移位锁存, 将通过输入接口输入的比特数据转化成位宽为8的数据DFI<7:0>, 通过CA<0>和SDIN_EN共同作用, 将接收到的数据所存到16位的锁存器中。CA<0>=0时, 数据锁存锁存器的低八位锁存中, CA<0>=1, 数据锁存锁存器的高八位锁存中。当一个word数据锁存完之后, 则组成有效数据LATCH<15:0>。

[0056] 数据有效后, SPI NAND FLASH内会产生QBUF_EN控制信号即触发向存储列中写入有效数字的控制信号, 通过产生该控制信息可指示向有效数据对应的存储列中写入数据。在向存储列中写入数据前, 首先将CA<11:0>锁存比较, 判定访问的column即存储列是否为坏的column, 判定结束后再将LATCH<15:0>写入到相应的Data Register的锁存器中。若为坏的column, 则需要从冗余列中确定对访问列进行修复的存储列, 通过该修复的存储列对应的数据锁存器对有效数据进行存储; 若不为坏的column, 则直接将有效数据写入访问的该column。从冗余列中确定对访问列进行修复的存储列时, 将冗余列中各列的地址修复信息中存储的坏列的地址与访问的该column对应的地址进行比对, 当冗余列中某一列的地址修复信息中存储的坏列的地址与访问的该column对应的地址匹配时, 则确定冗余列中的该列为访问的column的修复存储列。

[0057] 本具体实例中,以word为单位向存储列中写入数据,数据有效时间为两个clock,如图3虚线内所示,且一次写操作的时间有4个clock(QBUF_EN起一次代表一次写Data Register操作);若采用现有的写操作方法,以Byte为单位向存储列中写入数据,则数据有效时间仅为一个clock,且一次写操作的时间有2个clock。本领域技术人员能够明了,随着写入速度的提升,clock周期将变小,所以采用现有的写操作方法在2个clock内很难完成CA<11:0>地址比较和和数据写入Data Register中。而本具体实例提供的写操作方法,将写操作的过程提升至4个clock,即便是写入速度提升、clock周期缩短,依然可以满足CA<11:0>地址比较和和数据写入Data Register中对时间的需求。可见,本具体实例提供的以Word为单位写入数据的方法,在为写操作提供充足处理时间的情况下,可有效地提升写Data Register的速度。

[0058] 本方案中,每一个Word写入前,首先都根据当前地址完成bad column的替换修复,然后再将数据写到column的data register(数据寄存器)中。为提高column替换的时效性和解决因操作速度的提升导致每次写Data Register操作时间的不充足,本具体实例提供的写操作方法在不增加控制逻辑的复杂度和芯片面积的情况下很好地实现了SPI NAND FLASH的写操作功能。

[0059] 实施例三

[0060] 参照图4,示出了本发明实施例三的一种写操作装置的结构框图。

[0061] 本发明实施例三的一种写操作装置包括:接收模块402,用于接收设定数量的输入接口按照串行时钟周期输入的比特数据;移位锁存模块404,用于对接收到的每个周期的比特数据进行移位锁存,将接收到的所述比特数据转换成两组位宽为一个字节的数据;组成模块406,用于将转成的所述两组数据按照设定规则锁存到十六位的寄存器中,组成有效数据,以供写入对应的存储列中。

[0062] 通过本发明实施例提供的写操作装置,将输入的比特数据经过移位锁存,锁存至十六位的寄存器中组成2Byte及一个字的有效数据。然后以字即Word为单位写入对应的存储列中。采用本发明实施例提供的写操作装置,以四接口输入数据时,一次写操作的时间可达到4个clock,相较于现有的写操作装置同样条件下一次写操作的时间仅为2个clock而言,将写操作的时间扩大了一倍,为每次写操作提供了充足的处理时间。

[0063] 实施例四

[0064] 参照图5,示出了本发明实施例四的一种写操作装置的结构框图。

[0065] 本发明实施例的写操作装置是对实施例三中的写操作装置的进一步优化,优化后的写操作装置包括:接收模块502,用于接收设定数量的输入接口按照串行时钟周期输入的比特数据;移位锁存模块504,用于对接收到的每个周期的比特数据进行移位锁存,将接收到的所述比特数据转换成两组位宽为一个字节的数据;组成模块506,用于将转成的所述两组数据按照设定规则锁存到十六位的寄存器中,组成有效数据,以供写入对应的存储列中。

[0066] 优选地,所述组成模块将转成的所述两组数据按照设定规则锁存到十六位的锁存器中时:将经移位锁存后的前一组数据写入所述十六位的锁存器的低八位锁存中,将经移位锁存后的后一组数据写入所述十六位的锁存器的高八位锁存中。

[0067] 优选地,所述设定数据量的输入接口为以下任意一种:四个输入接口、双输入接口以及单输入接口

[0068] 优选地,所述写操作装置还包括:信号生成模块508,用于在所述组成模块506将转成的所述两组数据按照设定规则锁存到十六位的寄存器中,组成有效数据之后,产生触发向存储列中写入所述有效数字的控制信号,以指示可向所述有效数据对应的存储列中写入数据。

[0069] 优选地,所述写操作装置还包括:判断模块510,用于在所述信号生成模块508产生触发向存储列中写入所述有效数字的控制信号之后,判断所述有效数字对应的存储列是否为坏列;执行模块512,用于若所述判断模块510的判断结果为是,则确定所述坏列对应的修复存储列地址,并将所述有效数字写入所述修复存储列地址、对应的存储列的数据寄存器中;若所述判断模块510的判断结果为否,则直接将所述有效数字对应的所述存储列的数据寄存器中。

[0070] 本发明实施例提供的写操作装置用于执行前述实施例一、实施例二中相应的写操作方法,并且具有相应的方法实施例的有益效果,在此不再赘述。

[0071] 本说明书中的各个实施例均采用递进的方式描述,每个实施例重点说明的都是与其他实施例的不同之处,各个实施例之间相同相似的部分互相参见即可。对于系统实施例而言,由于其与方法实施例基本相似,所以描述的比较简单,相关之处参见方法实施例的部分说明即可。

[0072] 以上对本发明所提供的一种写操作方法和装置行了详细介绍,本文中应用了具体个例对本发明的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本发明的方法及其核心思想;同时,对于本领域的一般技术人员,依据本发明的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本发明的限制。

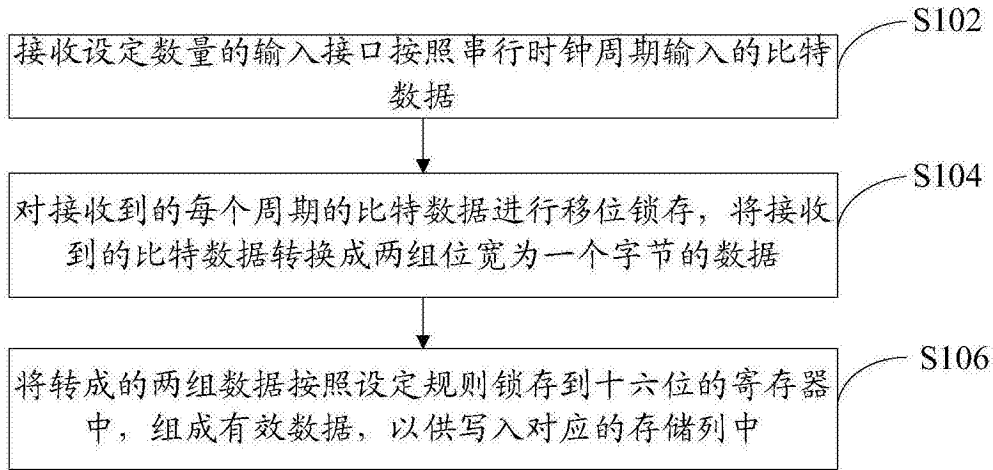


图1

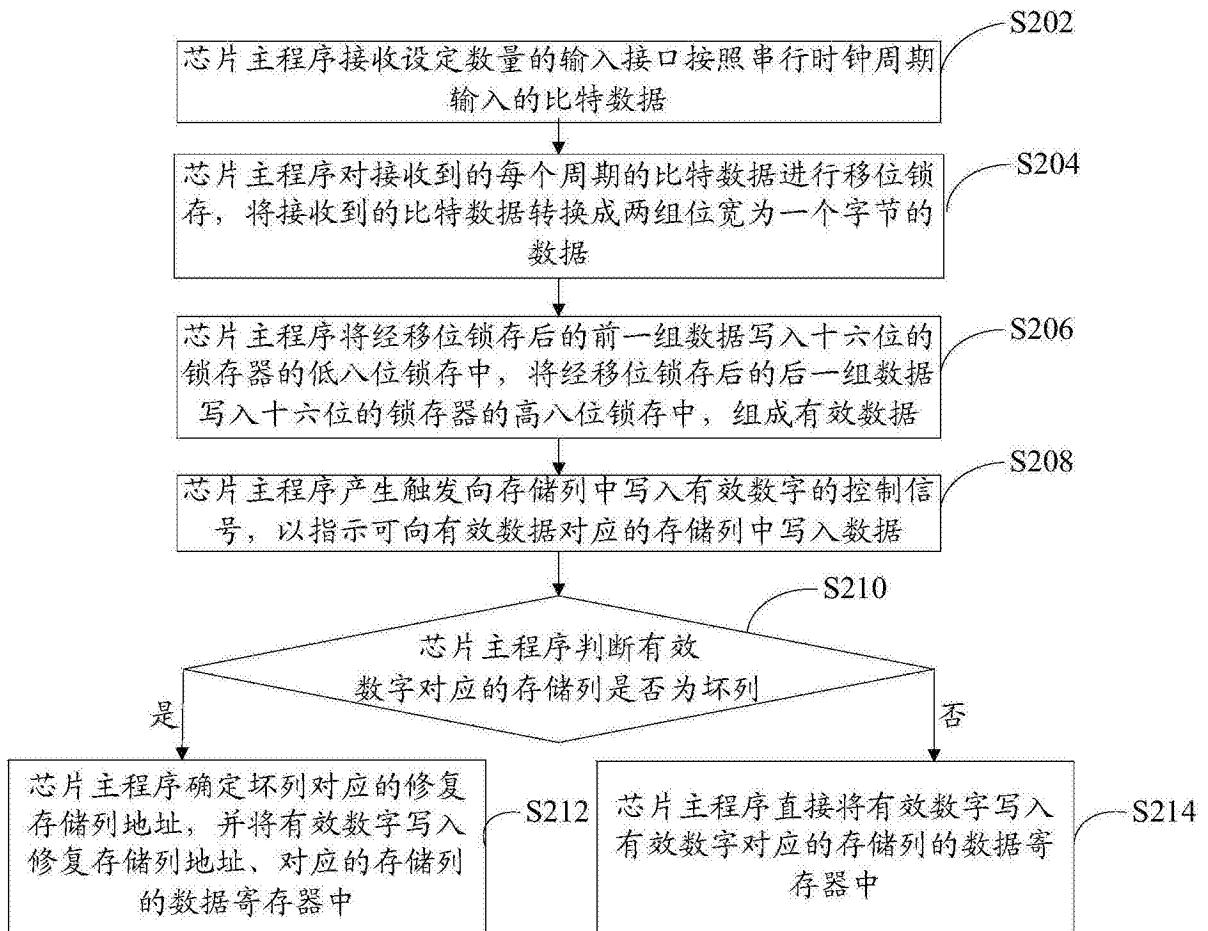


图2

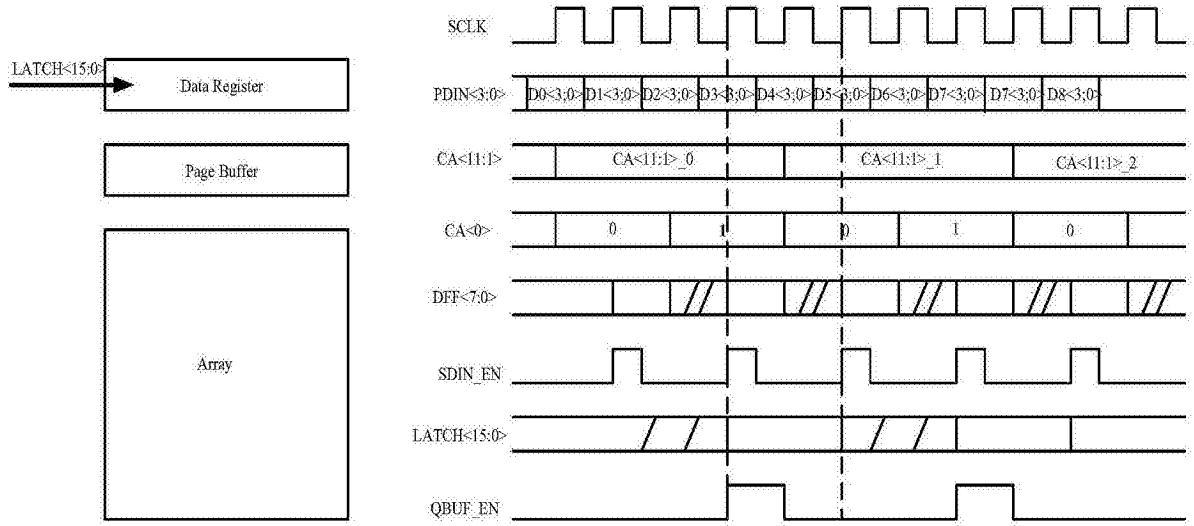


图3



图4

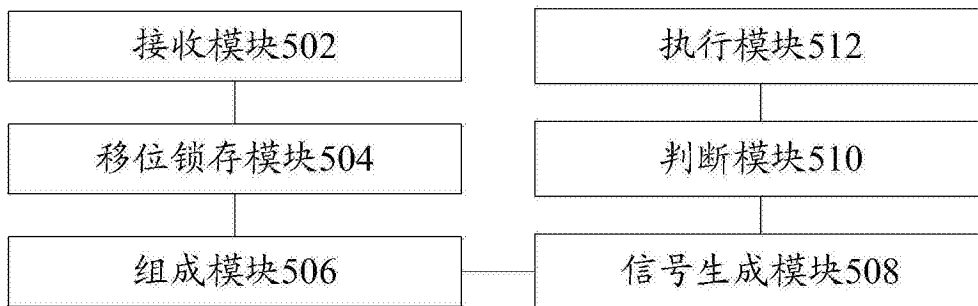


图5