

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5516904号
(P5516904)

(45) 発行日 平成26年6月11日(2014.6.11)

(24) 登録日 平成26年4月11日(2014.4.11)

(51) Int.Cl.	F I				
H03H 9/24 (2006.01)	H03H	9/24	Z		
H03B 5/30 (2006.01)	H03B	5/30	Z		
H03H 3/007 (2006.01)	H03H	3/007	Z		
H03H 9/02 (2006.01)	H03H	9/02	K		
H01L 27/06 (2006.01)	H01L	27/06	1 O 2 A		
請求項の数 6 (全 11 頁) 最終頁に続く					

(21) 出願番号	特願2011-247241 (P2011-247241)	(73) 特許権者	000002369
(22) 出願日	平成23年11月11日(2011.11.11)		セイコーエプソン株式会社
(62) 分割の表示	特願2009-3294 (P2009-3294) の分割		東京都新宿区西新宿2丁目4番1号
原出願日	平成18年12月15日(2006.12.15)	(74) 代理人	100090387 弁理士 布施 行夫
(65) 公開番号	特開2012-70418 (P2012-70418A)	(74) 代理人	100090398 弁理士 大淵 美千栄
(43) 公開日	平成24年4月5日(2012.4.5)	(74) 代理人	100113066 弁理士 永田 美佐
審査請求日	平成23年12月5日(2011.12.5)	(74) 代理人	100095728 弁理士 上柳 雅普
		(74) 代理人	100107261 弁理士 須澤 修
		(74) 代理人	100127661 弁理士 宮坂 一彦
最終頁に続く			

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上に形成されたMEMS構造体部、キャパシタ部およびCMOS回路部を含む半導体装置の製造方法であって、

前記MEMS構造体部は、下部構造体および上部構造体を含み、

前記CMOS回路部は、ゲート電極を含み、

前記キャパシタ部は、上部電極および下部電極を含み、

前記上部構造体および前記ゲート電極は、同一工程で形成され、

前記下部構造体上に、第1サリサイド領域が設けられ、

前記上部電極上に、第2サリサイド領域が設けられ、

前記ゲート電極上に、第3サリサイド領域が設けられ、

前記第1サリサイド領域、前記第2サリサイド領域および前記第3サリサイド領域は、同一工程で形成されることを特徴とする半導体装置の製造方法。

【請求項2】

前記上部構造体および前記ゲート電極は、Poly-Siであることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】

前記上部構造体および前記ゲート電極は、アモルファスSiであることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】

前記下部構造体と前記上部構造体との間には間隙が設けられていることを特徴とする請求項 1 ないし 3 のいずれか一項に記載の半導体装置の製造方法。

【請求項 5】

前記 MEMS 構造体部は、スイッチ、加速度センサまたはアクチュエータであることを特徴とする請求項 1 ないし 4 のいずれか一項に記載の半導体装置の製造方法。

【請求項 6】

前記 MEMS 構造体部は、センサであることを特徴とする請求項 1 ないし 4 のいずれか一項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、MEMS レゾネータ及び MEMS レゾネータの製造方法に関するものである。

【背景技術】

【0002】

近年 MEMS は加速度センサ、映像デバイスなどで順調にその成長を見せている。MEMS は、Micro Electro Mechanical System の略称であり、その包含する概念範囲には種々の解釈があって、マイクロマシン、MST (Micro System Technology) と呼ばれる場合もあるが、通常、「半導体製造技術を用いて作製された微小な機能素子」を意味するものとされる。それらは従来の半導体で培われた微細加工技術をベースとして製造されている。ただ、現在では MEMS 単体での製造であるか又は、IC を製造後に後から作りこむなどのプロセスにより製造されている。それらは電化製品・自動車などに採用され、新たな市場を開拓している。MEMS 製造のプロセスは、従来の半導体微細加工技術をベースに、アレンジされている。例えば、同一の半導体基板上で能動素子のゲートを形成すると同時に形成されたダイアフラムを使用する容量型圧力センサが知られている（例えば、特許文献 1 参照）。また、圧力センサの圧力検知部を電子回路の導電層を用いて形成することにより圧力センサ混載半導体装置の小型化、高機能化、高信頼化を図ることが知られている（例えば、特許文献 2 参照）。

20

【先行技術文献】

【特許文献】

30

【0003】

【特許文献 1】特表 2004 - 526299 号公報

【特許文献 2】特開 2006 - 126182 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献 1 は、静電容量型の MEMS 構造体部と CMOS (Complementary Metal Oxide Semiconductor) 回路部のみの同時形成である。特許文献 2 は、MEMS 構造体部、CMOS 回路部、及び ONO (酸化膜・窒化膜・酸化膜) キャパシタ部を 1 チップに同時形成しているが、MEMS 構造体部は配線層で作成されている。ONO キャパシタ部は下部電極がシリコン基板の拡散層を使用している。つまり、これまでは CMOS 回路部と ONO キャパシタ部や MEMS 構造体部と CMOS 回路部の同時形成は可能であったが、3 つのデバイスの同時形成はなかった。その為、以下の不具合があった。ONO キャパシタ部がない場合は、ONO キャパシタ部が使えないので、CMOS 回路部構成に制限が掛かる（バリエーションが狭い）（例えば、AD 変換回路、他の基板電極でない容量が必要な他の回路など）。また、ONO キャパシタ部が別 chip の SIP (System in Package) 構成となり、プロセスが増える、コストが掛かる、及びワイヤボンディングなどの配線からのノイズがのる。MEMS 構造体部がない場合は、ノイズ増などの上記不具合がでる。また、Pre- / Post- Process などで MEMS を付加的に加工する。これは加工工程を兼用することができないので、プロセス数増、コスト増の問題

40

50

が発生する。

【0005】

本発明は、このような従来の問題点に着目してなされたもので、その目的は、プロセスを簡素化し低コスト化を実現するとともに、さらに、システムを簡素化しノイズ対策を可能にするMEMSレゾネータ及びMEMSレゾネータの製造方法を提供することにある。

【課題を解決するための手段】

【0006】

(1)本発明に係るMEMSレゾネータの製造方法は、基板上に形成された半導体デバイスとMEMS構造体部とを有するMEMSレゾネータの製造方法であって、前記半導体デバイスは、上部電極と下部電極とを有するONOキャパシタ部と、CMOS回路部と、
10
を含み、前記ONOキャパシタ部の前記下部電極を、第1シリコン層を用いて、形成すること、前記MEMS構造体部の下部構造体と前記ONOキャパシタ部の上部電極とを、第2シリコン層を用いて、形成すること、及び、前記MEMS構造体部の上部構造体と前記CMOS回路部のゲート電極とを、第3シリコン層を用いて、形成すること、を含む。

【0007】

本発明によれば、MEMS構造体部とCMOS回路部とONOキャパシタ部とを1チップ化できる。これにより、プロセスを簡素化し低コスト化を実現するとともに、さらに、システムを簡素化しノイズ対策を可能にする。

【0008】

(2)本発明に係るMEMSレゾネータは、基板上に形成された半導体デバイスとMEMS構造体部とを有するMEMSレゾネータであって、前記半導体デバイスは、ONOキャパシタ部とCMOS回路部とを含む。
20

【0009】

本発明によれば、MEMS構造体部とCMOS回路部とONOキャパシタ部とを1チップ化できる。これにより、プロセスを簡素化し低コスト化を実現するとともに、さらに、システムを簡素化しノイズ対策を可能にする。

【0010】

(3)このMEMSレゾネータにおいて、前記MEMS構造体部は、下部構造体と上部構造体とを含み、前記ONOキャパシタ部は、下部電極と上部電極とを含み、前記CMOS回路部は、ゲート電極を含み、前記ONOキャパシタ部の前記下部電極は、第1シリコン層を用いて、形成され、前記MEMS構造体部の前記下部構造体と前記ONOキャパシタ部の前記上部電極とは、第2シリコン層を用いて、形成され、前記MEMS構造体部の前記上部構造体と前記CMOS回路部の前記ゲート電極とは、第3シリコン層を用いて、
30
形成されていてもよい。

【図面の簡単な説明】

【0011】

【図1】本発明を適用した実施の形態に係るMEMSレゾネータを示す概略平面図である。

【図2】本発明を適用した実施の形態に係るMEMSレゾネータの断面図である。

【図3】本発明を適用した実施の形態に係るMEMSレゾネータの製造方法について説明するための図である。
40

【図4】本発明を適用した実施の形態に係るMEMSレゾネータの製造方法について説明するための図である。

【図5】本発明を適用した実施の形態に係るMEMSレゾネータの製造方法について説明するための図である。

【発明を実施するための形態】

【0012】

以下、本発明を適用した実施の形態について図面を参照して説明する。

【0013】

図1は、本発明を適用した実施の形態に係るMEMSレゾネータを示す概略平面図であ
50

る。図2は、本発明を適用した実施の形態に係るMEMSレゾネータの断面図である。本実施の形態に係るMEMSレゾネータ2は、図1に示すように、基板10と、基板10上に形成されたMEMS構造体部4と、半導体デバイスとしてのONOキャパシタ部6及びCMOS回路部8と、によって構成されている。

【0014】

基板10は、単結晶半導体基板、例えば、シリコン(Si)、ガリウム砒素(GaAs)などの基板を用いることができる。特に、単結晶シリコン基板であることが望ましい。基板10の厚さは、100~1000 μm である。

【0015】

基板10の表面上には、図2に示すように、素子分離酸化膜12が形成されている。素子分離酸化膜12は、熱酸化膜である。素子分離酸化膜12は、LOCOS(Local oxidation of silicon)法で形成したフィールド絶縁膜である。素子分離酸化膜12の膜厚は、0.1~2 μm である。素子分離酸化膜12の上には、MEMS構造体部4及びONOキャパシタ部6が配置されている。

10

【0016】

素子分離酸化膜12の表面上には、ベース窒化膜14が形成されている。ベース窒化膜14は、SiN膜である。ベース窒化膜14の膜厚は、0.1~2 μm である。ベース窒化膜14は、MEMS構造体部4の下に必要である。ベース窒化膜14は、ONOキャパシタ部6の下にあってもよい。

【0017】

ベース窒化膜14の表面上のMEMS構造体部4の領域には、MEMS構造体部4の下部構造体16とMEMS構造体部4の上部構造体18とが形成されている。MEMS構造体部4の下部構造体16は、第2シリコン層52(図4(A)参照)を用いて、形成されている。MEMS構造体部4の下部構造体16とONOキャパシタ部6の上部電極30とは、第2シリコン層52を用いて、同時に形成されている。MEMS構造体部4の上部構造体18は、第3シリコン層54(図4(C)参照)を用いて、形成されている。MEMS構造体部4の上部構造体18とCMOS回路部8のゲート電極34とは、第3シリコン層54を用いて、同時に形成されている。MEMS構造体部4の下部構造体16の材質は、Poly-Si及びアモルファスSiなどである。MEMS構造体部4の下部構造体16の厚さは、0.05~100 μm である。MEMS構造体部4の上部構造体18の材質は、Poly-Si及びアモルファスSiなどである。MEMS構造体部4の上部構造体18の厚さは、0.05~100 μm である。

20

30

【0018】

MEMS構造体部4の下部構造体16の上部には、第2フィールド層間膜22が形成されている。MEMS構造体部4の下部構造体16の上部には、コンタクトホール24が形成されている。

【0019】

ベース窒化膜14の表面上のONOキャパシタ部6の領域には、ONOキャパシタ部6の下部電極26が形成されている。ONOキャパシタ部6の下部電極26は、第1シリコン層26(図3(A)参照)を用いて、形成されている。ONOキャパシタ部6の下部電極26の材質は、Poly-Si及びアモルファスSiなどである。ONOキャパシタ部6の下部電極26の厚さは、0.05~100 μm である。

40

【0020】

ONOキャパシタ部6の下部電極26の上部には、ONOキャパシタ層間絶縁膜28が形成されている。ONOキャパシタ層間絶縁膜28は、下部層間絶縁膜28Aと中間層間絶縁膜28Bと上部層間絶縁膜28Cとの3層で構成されている(図3(D)参照)。ONOキャパシタ層間絶縁膜28の材質は、下部層間絶縁膜28Aの箇所がSiO₂/中間層間絶縁膜28Bの箇所がSi₃N₄/上部層間絶縁膜28Cの箇所がSiO₂である。ONOキャパシタ層間絶縁膜28の膜厚は、下部層間絶縁膜28Aの箇所が1~50nm/中間層間絶縁膜28Bの箇所が1~50nm/上部層間絶縁膜28Cの箇所が1~50n

50

mである。

【0021】

ONOキャパシタ層間絶縁膜28の上には、ONOキャパシタ部6の上部電極30が形成されている。ONOキャパシタ部6の上部電極30は、第2シリコン層52(図4(A)参照)を用いて、形成されている。ONOキャパシタ部6の上部電極30とMEMS構造体部4の下部構造体16とは、第2シリコン層52を用いて、同時に形成されている。ONOキャパシタ部6の上部電極30の材質は、Poly-Si及びアモルファスSiなどである。ONOキャパシタ部6の上部電極30の厚さは、0.05~100μmである。

【0022】

ONOキャパシタ部6の上部電極30の上には第2フィールド層間膜22が形成されている。ONOキャパシタ部6の上部電極30の上には、コンタクトホール24が形成されている。

【0023】

基板10の表面上のCMOS回路部8の領域には、ゲート酸化膜32、ゲート電極34等を有するトランジスタが形成されている。CMOS回路部8のゲート電極34は、第3シリコン層54(図4(C)参照)を用いて、形成されている。CMOS回路部8のゲート電極34とMEMS構造体部4の上部構造体18とは、第3シリコン層54を用いて、同時に形成されている。CMOS回路部8のゲート電極34の材質は、Poly-Si及びアモルファスSiなどである。CMOS回路部8のゲート電極34の厚さは、0.05

【0024】

CMOS回路部8の上には第2フィールド層間膜22が形成されている。CMOS回路部8の拡散層(ソース、ドレイン)36の上には、コンタクトホール24が形成されている。

【0025】

各領域4,6,8のコンタクトホール24の内部には、窒化チタン膜とタンゲステン膜とからなるプラグ38が形成されている。

【0026】

第2フィールド層間膜22の表面上には、プラグ38に接続される第1金属配線層40が形成されている。第1金属配線層40の材質は、Al、Cu、Ti、TiN、及びWなどである。第1金属配線層40の層間は、0.1~3μmである。

【0027】

第1金属配線層40の上には、ビアホール42を介して第1金属配線層40に接続される第2金属配線層44が形成されている。第2金属配線層44の材質は、Al、Cu、Ti、TiN、及びWなどである。第2金属配線層44の層間は、0.1~3μmである。第1金属配線層40と第2金属配線層44とは、酸化シリコン系の配線層層間膜46によって互いに絶縁されている。配線層層間膜46は、CVD酸化膜などである。配線層層間膜46の膜厚は、0.2~1μmである。本実施の形態の半導体装置の製造に当たっては、要所でCMP(Chemical Mechanical Polishing)を用いている。このため、第1

【0028】

第2金属配線層44の表面上には、パッシベーション膜48が形成されている。パッシベーション膜48は、CVD酸化膜、CVD-SiN膜、及びポリイミド膜などである。パッシベーション膜48の膜厚は、酸化膜=0.1~2μm、窒化膜=0.1~5μm、及びポリイミド膜=0.5~20μmである。

【0029】

MEMS構造体部4の開口部20は、下部構造体16の一部及び上部構造体18の可動部分にほぼ対応する領域で、下部構造体16と上部構造体18との間に所定の間隙が確保されるように開口されている。

10

20

30

40

50

【0030】

本実施の形態によれば、MEMS構造体部とCMOS回路部とONOCapacitor部とを1チップ化できる。これにより、プロセスを簡素化し低コスト化を実現するとともに、さらに、システムを簡素化しノイズ対策を可能にする。

【0031】

なお、MEMS構造体部4は、スイッチ、加速度センサ、およびアクチュエータなどであってもよい。CMOS回路部8は、温度補償のための温度センサ、アナログ・デジタル変換回路、論理回路、クロック、および電源制御回路等のアナログ・デジタル混載回路であってもよい。

【0032】

次に、本発明を適用した実施の形態に係るMEMSレゾネータの製造方法について図面を参照して説明する。

【0033】

図3から図5は、本発明を適用した実施の形態に係るMEMSレゾネータの製造方法について説明するための図である。本実施の形態に係るMEMSレゾネータの製造方法は、先ず、図3(A)に示すように、第1シリコン層26を形成する。具体的には、基板10に素子分離酸化膜(Locos、トレンチなど)12を形成後、リリース時のアンカーとなる第1窒化シリコン膜14を形成する。第1窒化シリコン膜14は、ベース窒化膜14(図2参照)である。その後、第1窒化シリコン膜14に第1シリコン層26を形成する。第1シリコン層26の材質は、Poly-Si及びアモルファスSiなどである。第1シリコン層26の層間は、0.05~100μmである。第1シリコン層26は、ONOCapacitor部6(図2参照)の下部電極26である。第1シリコン層26を用いることにより、ONOCapacitor部6の下部電極26は、形成される。

【0034】

次に、図3(B)に示すように、下部層間絶縁膜28Aを形成する。具体的には、第1シリコン層26の表面を酸化することにより、ONOCapacitor部6のONOCapacitor層間絶縁膜28(図2参照)の下部層間絶縁膜28Aを形成する。

【0035】

次に、図3(C)に示すように、第2窒化シリコン膜28Bを形成する。具体的には、下部層間絶縁膜28A及びベース窒化膜14の一部に第2窒化シリコン膜28Bを形成する。第2窒化シリコン膜28Bは、中間層間絶縁膜28Bになる。中間層間絶縁膜28Bは、ONOCapacitor層間絶縁膜28の一層である。

【0036】

次に、図3(D)に示すように、上部層間絶縁膜28Cを形成する。具体的には、中間層間絶縁膜28Bの表面を酸化し、上部層間絶縁膜28Cを形成する。上部層間絶縁膜28Cは、ONOCapacitor層間絶縁膜28の一層である。

【0037】

次に、図4(A)に示すように、第2シリコン層52を形成する。具体的には、ベース窒化膜14及び上部層間絶縁膜28Cに第2シリコン層52を形成する。第2シリコン層52の材質は、Poly-Si及びアモルファスSiなどである。第2シリコン層52の層間は、0.05~100μmである。第2シリコン層52は、不純物を導入してもよい。例えば、イオン注入、熱拡散などである。第2シリコン層52は、MEMS構造体部4(図2参照)の下部構造体16及びONOCapacitor部6の上部電極30である。第2シリコン層52を用いることにより、MEMS構造体部4の下部構造体16及びONOCapacitor部6の上部電極30は、同時に形成される。

【0038】

本実施の形態によれば、上記のように、兼用することで工程数増加を防ぎ、同時形成を実現している。

【0039】

次に、図4(B)に示すように、ゲート酸化膜32を形成する。具体的には、今まで形

10

20

30

40

50

成されていた酸化膜は一度剥いで新しく酸化しなおす。ゲート酸化膜32を形成することにより、第2シリコン層52の表面も同時に酸化される。第2シリコン層52の表面を酸化することは、MEMS構造体部4の下部構造体16とONOキャパシタ部6の上部電極30との表面を酸化することになる。MEMS構造体部4の下部構造体16の表面の酸化は、MEMS構造体部4のギャップ厚みとなる。酸化工程は、Lv、Hv用などとゲート酸化膜を作り分ける場合、必要に応じて、複数回行ってよい。その場合、CMOS回路部8の2nd-ゲート酸化とMEMS構造体部4のギャップ酸化、また、CMOS回路部8の2nd以降のゲート酸化とMEMS構造体部4のギャップ酸化が兼用される工程になる。また、EEPROMなどのトンネル酸化膜形成も兼用が可能である。上記シリコン膜のデポだけでなく、リソグラフィ工程も当然兼用である。

10

【0040】

本実施の形態によれば、上記のように、兼用することで工程数増加を防ぎ、同時形成を実現している。

【0041】

次に、図4(C)に示すように、第3シリコン層54を形成する。具体的には、CMOS回路部8(図2参照)のゲート酸化膜32、ONOキャパシタ部6の上部電極30、及びMEMS構造体部4の下部構造体16に第3シリコン層54を形成する。第3シリコン層54の材質は、Poly-Si及びアモルファスSiなどである。第3シリコン層54の層間は、0.05~100 μ mである。第3シリコン層54は、MEMS構造体部4の上部構造体18及びCMOS回路部8のゲート電極34である。第3シリコン層54を用いることにより、MEMS構造体部4の上部構造体18及びCMOS回路部8のゲート電極34は、同時に形成される。

20

【0042】

本実施の形態によれば、上記のように、兼用することで工程数増加を防ぎ、同時形成を実現している。

【0043】

次に、図4(D)に示すように、サリサイド領域56を形成する。具体的には、サリサイドする領域(配線箇所)を分けて、酸化膜を除去する。その後、全体にTiを堆積させ、熱処理を行うと、酸化膜が除去された部分がサリサイド化される。この工程は、リリースエッチングに体制のあるサリサイドの場合、第3シリコン層54をデポした後に全面サリサイドしてもよい。サリサイドされていないTiの領域は、RCA洗浄などで除去する。サリサイド領域56の材質は、Ti、W、Mo、Co、Ni、Ta、Pt、及びPdなどである。サリサイド領域56の厚さは、0.01~1 μ mである。

30

【0044】

本実施の形態のMEMSレゾネータの製造方法は、それぞれのシリコン層は不純物注入(または熱拡散)を行ったり、サリサイド化したりして、抵抗を下げてよい。ただし、MEMS構造体部4はサリサイドの選択が可能(リリースで溶けるなどの場合により選択する)である。

【0045】

次に、図5(A)に示すように、第2フィールド層間膜22を形成する。具体的には、MEMS構造体部4の下部構造体16の上部、ONOキャパシタ部6の上部電極30の上部、及びCMOS回路部8の上部に第2フィールド層間膜22を形成する。薄膜成膜加工法は、LTO、HTO、PSG、BPSG、及びSOGなどを用いる。このため、第2フィールド層間膜22は、概ね平坦に形成される。

40

【0046】

次に、図5(B)に示すように、第1金属配線層40、配線層層間膜46、第2金属配線層44、及びパッシベーション膜48を形成する。具体的には、第2フィールド層間膜22のMEMS構造体部4の下部構造体16の上部、ONOキャパシタ部6の上部電極30の上部、及びCMOS回路部8の拡散層(ソース、ドレイン)36の上部にコンタクトホール24を形成する。コンタクトホール24の内部にプラグ38を形成する。サリサイ

50

ド領域の表面上には、プラグ38が形成される。第2フィールド層間膜22の表面上にプラグ38に接続される第1金属配線層40を形成する。第1金属配線層40の上部にビアホール42を介して第1金属配線層40に接続される第2金属配線層44を形成する。第1金属配線層40と第2金属配線層44とは、配線層層間膜46によって互いに絶縁されるように形成する。本実施の形態の半導体装置の製造に当たっては、要所でCMP (Chemical Mechanical Polishing) を用いている。このため、第1金属配線層40と第2金属配線層44とは、概ね平坦に形成される。配線層は、複数層形成してもよい。第2金属配線層44の表面上にパッシベーション膜48を形成する。

【0047】

次に、図2に示すように、リリースエッチングを行う。具体的には、MEMS構造体部以外は、レジスト、ポリイミドなどの耐性有機膜で保護し、リリースエッチングを行う。

【0048】

本実施の形態によれば、MEMS構造体をシリコン基板表面にトランジスタ等の半導体デバイスと同時に作成するプロセスにおいて、MEMS構造体部4とONOCapacitor部6とCMOS回路部8とを同時形成的に作成することができる。また、MEMS構造体部4やCMOS回路部8のゲート電極34、ONOCapacitor部6の電極26, 30は全てシリコンの堆積層で構成されている。さらに、MEMS構造体部4とONOCapacitor部6とCMOS回路部8との電極形成や層間絶縁膜の形成をそれぞれの工程で兼用しながら、工程数を大幅に増やすことなく、効率的に作成するフローが実現できる。これにより、3つのデバイスが、それぞれ不具合が出ることなく、1チップ上に作成できる。また、MEMS構造体部4 - CMOS回路部8のチップ上にONOCapacitor部6が搭載できることにより、CMOS回路部8の設計バリエーションが広がり(検出、増幅、演算、AD変換など様々)、製品の利便性が向上する。

【0049】

本実施の形態によれば、MEMS構造体部とCMOS回路部とONOCapacitor部とを1チップ化できる。これにより、プロセスを簡素化し低コスト化を実現するとともに、さらに、システムを簡素化しノイズ対策を可能にする。

【0050】

本実施の形態は、シリコン材料を使ったMEMS構造体でMEMS構造体部と半導体デバイス(CMOS、ONOCapacitor)を1チップ化したい製品に活用できる。MEMS構造体部の適用分野は、センサ類、RF関係、スイッチ、映像関係などに活用できる。

【符号の説明】

【0051】

2...MEMSレゾネータ、4...MEMS構造体部、6...ONOCapacitor部、8...CMOS回路部、10...基板、12...素子分離酸化膜、14...ベース窒化膜(第1窒化シリコン膜)、16...下部構造体、18...上部構造体、20...開口部、22...第2フィールド層間膜、24...コンタクトホール、26...下部電極(第1シリコン層)、28...ONOCapacitor層間絶縁膜、28A...下部層間絶縁膜、28B...第2窒化シリコン膜(中間層間絶縁膜)、28C...上部層間絶縁膜、30...上部電極、32...ゲート酸化膜、34...ゲート電極、36...拡散層(ソース、ドレイン)、38...プラグ、40...第1金属配線層、42...ビアホール、44...第2金属配線層、46...配線層層間膜、48...パッシベーション膜、52...第2シリコン層、54...第3シリコン層、56...サリサイド領域。

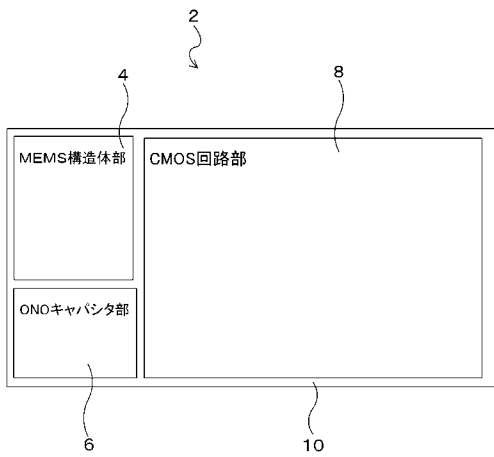
10

20

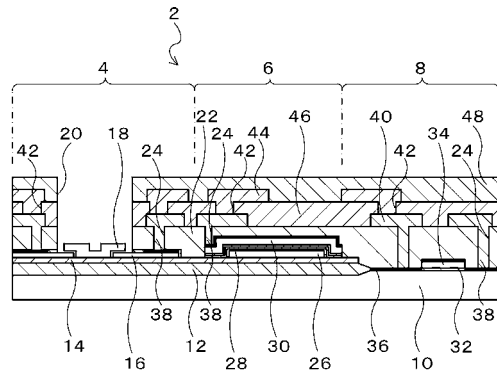
30

40

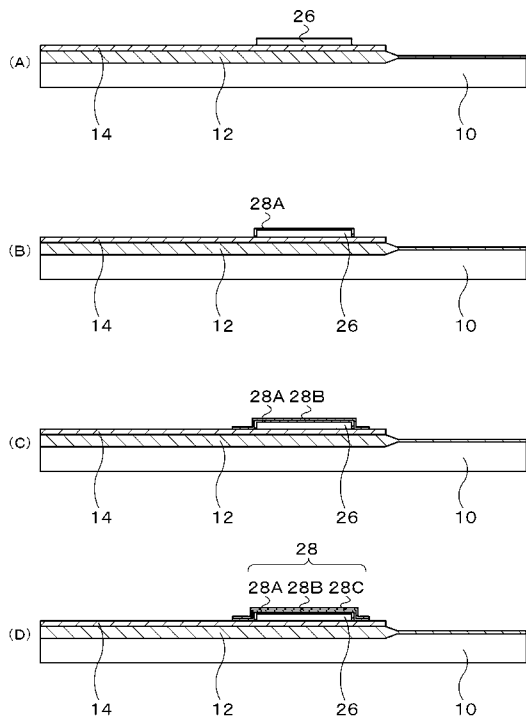
【図1】



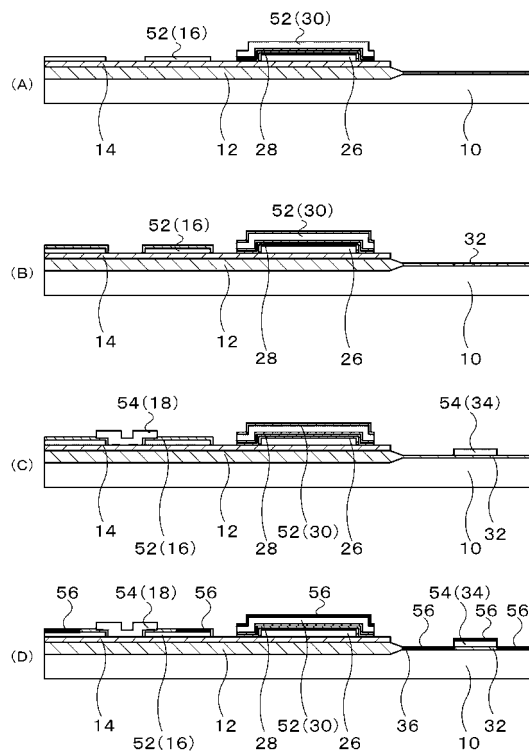
【図2】



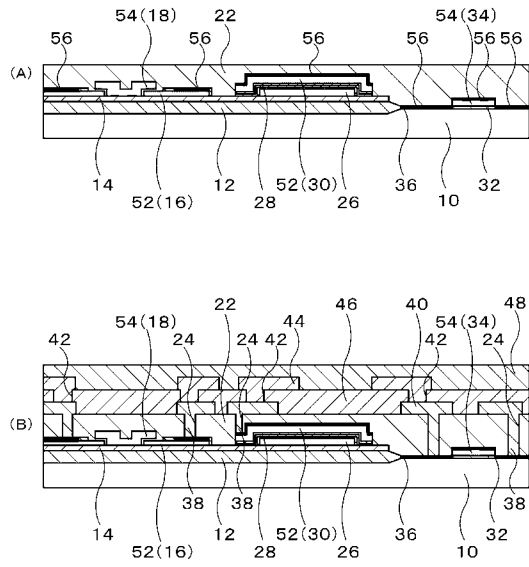
【図3】



【図4】



【 図 5 】



フロントページの続き

(51)Int.Cl. F I
 H 0 1 L 21/8234 (2006.01) H 0 1 L 27/04 C
 H 0 1 L 27/04 (2006.01)
 H 0 1 L 21/822 (2006.01)

(72)発明者 稲葉 正吾
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (72)発明者 佐藤 彰
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (72)発明者 渡辺 徹
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (72)発明者 森 岳志
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 高橋 徳浩

(56)参考文献 特開2001-230236(JP,A)
 特開2004-025426(JP,A)
 特開2006-326806(JP,A)
 国際公開第2006/066997(WO,A1)
 特開2002-026149(JP,A)
 特開2006-263902(JP,A)
 特開2007-283480(JP,A)
 特開2005-271191(JP,A)
 特開2006-042011(JP,A)

(58)調査した分野(Int.Cl.,DB名)
 H03H3/007-H03H3/10
 H03H9/00-H03H9/76
 H03B5/30-H03B5/42
 H01L 21/822
 H01L 21/8234
 H01L 27/04
 H01L 27/06