

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 97124750

※ 申請日期： 97.7.1

※IPC 分類：

G02F 1/33 (2006.01)
G09G 3/36 (2006.01)

一、發明名稱：(中文/英文)

移位暫存裝置及其方法 / SHIFT REGISTER
APPARATUS AND METHOD THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

中華映管股份有限公司/CHUNGHWA PICTURE TUBES, LTD.

代表人：(中文/英文) 林蔚山/WEI-SHAN LIN

住居所或營業所地址：(中文/英文)

桃園縣八德市和平路 1127 號 / 1127, HEPING RD., BADE CITY,
TAOYUAN, TAIWAN

國 籍：(中文/英文) 中華民國/TW

三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 施智仁 / SHIH, CHIH-JEN
2. 許峻源 / HSU, CHUN-YUAN
3. 郭哲成 / KUO, CHE-CHENG
4. 尤俊國 / YU, CHUN-KUO

國 籍：(中文/英文) 1-4 中華民國/TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種移位暫存裝置及其方法。本發明所提出的技術手段主要是將負責移位暫存裝置內部之移位暫存器所輸出的掃描訊號之電壓準位拉降至低準位閘極電壓的 NMOS 電晶體，增設為二顆，其中之一 NMOS 電晶體是透過控制單元來控制其導通狀態，另一 NMOS 電晶體是透過原先提供至移位暫存器所需的時脈訊號或其反相過後的時脈訊號來控制其導通狀態。因此，這兩個 NMOS 電晶體之臨限電壓漂移量會更為趨緩，所以其使用可靠度將會提升。另外，由於移位暫存器暫存器內部僅需設置一個控制單元，所以移位暫存裝置整體的佈局面積便會減少，藉此即可達到現今日益所重視的面板窄框化。

六、英文發明摘要：

A shift register apparatus and a method thereof are disclosed. The technique manner submitted by the present invention is using two NMOS transistors for pulling down the level of the scan signals outputted by the shift registers within the shift register apparatus to the low level gate voltage, wherein one of the NMOS transistors is controlled by a control unit, and the other NMOS transistor is controlled by a clock signal or the inverted clock signal provided to the shift registers. Therefore, the threshold voltage drift of those NMOS transistors can be improved so that the

reliability of those NMOS transistors can be promoted. In addition, since only one control unit is needed to dispose in each shift register so that the layout area of whole shift register apparatus can be reduced and then the panel with narrow frame size also can be achieved by the present invention.

七、指定代表圖：

(一)本案指定代表圖為：圖 6。

(二)本代表圖之元件符號簡單說明：

SR₁~SR₃：移位暫存器

501a~501c：控制單元

STV：起始脈衝

G₁~G₃：掃描訊號

CS₁~CS₆：控制訊號

T₁'~T₉'、T₁₀''~T₁₃''：NMOS 電晶體

C₁~C₃：儲能元件

V_{GL}：低準位閘極電壓

CK、CKB：時脈訊號

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種移位暫存裝置及其方法，且特別是有關於一種能提升移位暫存器內部負責將其所輸出之掃描訊號的電壓準位拉降至低準位閘極電壓之 NMOS 電晶體的使用可靠度，且又能達到現今日益所重視之面板窄框化需求的移位暫存裝置及其方法。

【先前技術】

近年來，隨著半導體科技蓬勃發展，攜帶型電子產品及平面顯示器產品也隨之興起。而在眾多平面顯示器的類型當中，液晶顯示器(Liquid Crystal Display, LCD)基於其低電壓操作、無輻射線散射、重量輕以及體積小等優點，隨即已成為各顯示器產品之主流。也亦因如此，無不驅使著各家廠商針對液晶顯示器的開發技術要朝向更微型化及低製作成本發展。

為了要降低液晶顯示器的製作成本，已有部份廠商研發出在液晶顯示面板採用非晶矽(amorphous silicon, a-Si)製程的條件下，可將原先配置於液晶顯示面板之掃描側所使用之掃描驅動 IC 內部的移位暫存器(shift register)轉移直接配置在液晶顯示面板的玻璃基板(glass substrate)上。因此，原先配置於液晶顯示面板之掃描側所使用的掃描驅動 IC 即可省略，藉以達到降低液晶顯示器之製作成本的目的。

圖 1 繪示為習知直接配置在液晶顯示面板之玻璃基板

上所慣用的移位暫存器 100 之電路方塊圖。圖 2 繪示為圖 1 之移位暫存器 100 的操作波形圖。請合併參照圖 1 及圖 2，首先，於一個畫面(frame)期間內的第一期間 t_1 ，當控制單元 101 接收到時序控制器(timing controller，未繪示)所提供的起始脈衝 STV，或者接收到來自前一級移位暫存器(未繪示)所輸出的掃描訊號 $G(n-1)$ 時，控制單元 101 會產生兩個控制訊號 CS_1 與 CS_2 ，以致使 NMOS 電晶體 T_A 導通，而 NMOS 電晶體 T_B 截止，所以電容器 C 於此第一期間 t_1 會先儲存一個高準位閘極電壓 V_{GH} 的電荷於其中。

接著，於同樣畫面期間內的第二期間 t_2 ，控制單元 101 還是會產生兩個控制訊號 CS_1 與 CS_2 ，以致使 NMOS 電晶體 T_A 導通，而 NMOS 電晶體 T_B 截止，但由於電容器 C 於第一期間 t_1 時已儲存了一個高準位閘極電壓 V_{GH} 的電荷，所以控制單元 101 於第二期間 t_2 所產生的控制訊號 CS_1 之電壓準位會被提升至約兩倍的高準位閘極電壓 V_{GH} ，如此可以使得移位暫存器 100 所輸出的掃描訊號 G_n 之電壓準位更容易達到高準位閘極電壓 V_{GH} 。

緊接著，於同樣畫面期間內的第二期間 t_2 之後，控制單元 101 所產生的控制訊號 CS_1 與 CS_2 會各別穩定處在低準位閘極電壓 V_{GL} 與高準位閘極電壓 V_{GH} 之電壓準位狀態，且必須等到下一個畫面期間的第一期間 t_1 與第二期間 t_2 時才會再次做改變。因此，根據上述描述內容可得知的是，NMOS 電晶體 T_B 僅會在每個畫面期間內的第一期間

t_1 與第二期間 t_2 時才會截止，而其餘期間皆會導通，藉以負責將移位暫存器 100 所輸出的掃描訊號 G_n 之電壓準位拉降至低準位閘極電壓 V_{GL} 。

故在此狀況下，NMOS 電晶體 T_B 很有可能在長時間的導通狀態下造成其快速老化，而造成其使用可靠度下降。再者，更會導致 NMOS 電晶體 T_B 的載子捕捉效應 (charge trapping effect) 現象加惡，而使得 NMOS 電晶體 T_B 的臨限電壓 (threshold voltage, V_{th}) 會隨著長時間的導通狀態下加速增加。如此，便會使得 NMOS 電晶體 T_B 負責將移位暫存器 100 所輸出的掃描訊號 G_n 之電壓準位拉降至低準位閘極電壓 V_{GL} 的能力出現問題。

也亦因如此，極有可能發生的問題就是會使得原本對應於掃描訊號 G_n 而開啟的畫素誤寫入下一級移位暫存器所輸出之掃描訊號 $G_{(n+1)}$ 而對應開啟之畫素所需的資料電壓，進而導致液晶顯示器所顯示的影像畫面發生異常。

而為了要改善上述所提及之問題，便有人提出將負責起移位暫存器所輸出的掃描訊號之電壓準位拉降至低準位閘極電壓的 NMOS 電晶體多增設幾顆，並且各自搭配一個控制單元，藉以致使同一時間僅有一顆 NMOS 電晶體負責將移位暫存器所輸出的掃描訊號之電壓準位拉降至低準位閘極電壓，藉此來解決上述所提及之問題。

圖 3 繪示為可以解決圖 1 所揭露之移位暫存器 100 缺點的移位暫存器 300 之電路方塊圖，其主要是當移位暫存

器 300 所輸出的掃描訊號 G_n 之電壓準位必須拉降至低準位閘極電壓 V_{GL} 時，控制單元 301a 與 301b 會採取分工的運作模式，藉以於同一時間僅利用 NMOS 電晶體 T_2 與 T_6 其中之一，負責將移位暫存器 300 所輸出的掃描訊號 G_n 之電壓準位拉降至低準位閘極電壓 V_{GL} ，如此即可解決移位暫存器 100 所衍生出的缺點。

圖 4 繪示為針對圖 1 之移位暫存器 100 之 NMOS 電晶體 T_B 與圖 3 之移位暫存器 300 之 NMOS 電晶體 T_2 、 T_6 的應力(stress)測試圖。請參照圖 4，圖 4 所揭露的應力測試圖之橫軸代表時間(小時)，而縱軸代表 NMOS 電晶體 T_B 、 T_2 、 T_6 之臨限電壓(V_{th})漂移量(電壓)，其中橫、縱軸皆採用對數單位(log scale)。另外，隨時間增加而攀升的實線 401 為移位暫存器 100 之 NMOS 電晶體 T_B 的臨限電壓(V_{th})漂移量，而隨時間增加而攀升的虛線 402 為移位暫存器 300 之 NMOS 電晶體 T_2 、 T_6 的臨限電壓(V_{th})漂移量。

依據上述對於圖 4 解說的內容並搭配圖 4 可明顯看出，移位暫存器 300 之 NMOS 電晶體 T_2 、 T_6 的臨限電壓(V_{th})漂移量較趨緩於移位暫存器 100 之 NMOS 電晶體 T_B 的臨限電壓(V_{th})漂移量。因此，NMOS 電晶體 T_2 、 T_6 的使用可靠度便可提升，所以 NMOS 電晶體 T_2 、 T_6 負責將移位暫存器 300 所輸出的掃描訊號 G_n 之電壓準位拉降至低準位閘極電壓 V_{GL} 的能力也會隨之增加。

雖然圖 3 所揭露的移位暫存器 300 可以克服移位暫存

器 100 所衍生出的缺點，但是負責將移位暫存器 300 所輸出的掃描訊號 G_n 之電壓準位拉降至低準位閘極電壓 V_{GL} 的 NMOS 電晶體 T_2 、 T_6 ，必須各自搭配一個控制單元 301a 與 301b，如此便會使得移位暫存器 300 的佈局(layout)面積增加許多，而此現象並不利於現今日益所重視的面板窄框化之需求。

【發明內容】

有鑑於此，為了要能達到現今日益所重視之面板窄框化需求之目的，且又能同時兼顧提升移位暫存器內部負責將其所輸出之掃描訊號的電壓準位拉降至低準位閘極電壓之 NMOS 電晶體的使用可靠度。因此，本發明提出一種直接配置在液晶顯示面板之玻璃基板上的移位暫存裝置，其具有多數個彼此串接在一起的移位暫存器，而每一個移位暫存器包括第一電晶體、第二電晶體、第三電晶體、儲能元件，以及控制單元。

於本發明的一實施例中，第一電晶體之第一汲/源極用以接收第一時脈訊號，第一電晶體之閘極用以接收第一控制訊號，而第一電晶體之第二汲/源極用以產生掃描訊號。第二電晶體之第一汲/源極電性連接第一電晶體之第二汲/源極，第二電晶體之閘極用以接收第二時脈訊號，而第二電晶體之第二汲/源極用以接收第一時脈訊號，其中第一時脈訊號與第二時脈訊號的相位差為 180 度。

第三電晶體之第一汲/源極電性連接第一電晶體之第二汲/源極，第三電晶體之閘極用以接收第二控制訊號，而

第三電晶體之第二汲/源極用以接收低準位閘極電壓。儲能元件電性連接於第一電晶體之閘極與第二汲/源極之間。控制單元會依據第一時脈訊號、第二時脈訊號、低準位閘極電壓及起始訊號，而產生第一控制訊號與第二控制訊號。

於本發明的一實施例中，本發明所提出的移位暫存器會於一畫面期間利用第一電晶體將所述掃描訊號的電壓準位拉升至高準位閘極電壓，並且利用第二電晶體與第三電晶體分時將所述掃描訊號的電壓準位拉降至低準位閘極電壓。

於本發明的一實施例中，控制單元包括第四電晶體、第五電晶體、第六電晶體，以及第七電晶體。其中，第四電晶體之第一汲/源極用以接收起始訊號，第四電晶體之閘極用以接收第二時脈訊號，而第四電晶體之第二汲/源極電性連接第一電晶體之閘極，用以產生第一控制訊號。第五電晶體之閘極電性連接第四電晶體之第二汲/源極，第五電晶體之第一汲/源極用以接收低準位閘極電壓，而第五電晶體之第二汲/源極電性連接第三電晶體之閘極，用以產生第二控制訊號。

第六電晶體之閘極電性連接第五電晶體之第二汲/源極，第六電晶體之第一汲/源極電性連接第四電晶體之第二汲/源極，而第六電晶體之第二汲/源極用以接收低準位閘極電壓。第七電晶體之閘極與第一汲/源極彼此電性連接在一起，並用以接收第一時脈訊號，而第七電晶體之第二汲/

源極電性連接第五電晶體之第二汲/源極。

於本發明的一實施例中，上述液晶顯示面板採用非晶矽製程方式製作而成。因此，上述第一電晶體、上述第二電晶體、上述第三電晶體、上述第四電晶體、上述第五電晶體、上述第六電晶體及上述第七電晶體為 NMOS 電晶體。

從另一觀點來看，本發明提供一種具有上述本發明所提出之移位暫存裝置的液晶顯示面板，以及具有此液晶顯示面板的液晶顯示器。

再從另一觀點來看，本發明提出一種移位暫存方法，其適用於如上述本發明所提出的移位暫存裝置。本發明所提出的移位暫存方法包括下列步驟：首先，於所述畫面期間內的第一期間，當起始訊號與第二時脈訊號同時致能時，致使控制單元所產生的第一控制訊號與第二控制訊號各別為致能與消能，藉以利用第二電晶體將掃描訊號的電壓準位拉降至低準位閘極電壓。接著，於所述畫面期間內的第二期間，當起始訊號與第二時脈訊號同時消能時，致使控制單元所產生的第一控制訊號與第二控制訊號各別為致能與消能，藉以利用第一電晶體將掃描訊號的電壓準位拉升至高準位閘極電壓。

之後，於所述畫面期間內的第三期間，當起始訊號與第二時脈訊號分別為消能與致能時，致使控制單元所產生的第一控制訊號與第二控制訊號同時消能，藉以利用第二

電晶體將掃描訊號的電壓準位拉降至低準位閘極電壓。最後，於所述畫面期間內的第四期間，當起始訊號與第二時脈訊號同時消能時，致使控制單元所產生的第一控制訊號與第二控制訊號各別為消能與致能，藉以利用第三電晶體將掃描訊號的電壓準位拉降至低準位閘極電壓。

本發明所提出的移位暫存裝置及其方法，其主要是將負責起移位暫存器所輸出的掃描訊號之電壓準位拉降至低準位閘極電壓的 NMOS 電晶體增設為二顆，其中一個 NMOS 電晶體是透過控制單元來控制其導通狀態，另一個 NMOS 電晶體是透過原先提供至移位暫存器所需的時脈訊號或其反相過後的時脈訊號來控制其導通狀態。

因此，負責起移位暫存器所輸出的掃描訊號之電壓準位拉降至低準位閘極電壓的這兩個 NMOS 電晶體之臨限電壓漂移量會更為趨緩，藉此即可大大地提升其使用可靠度。另外，由於每一個移位暫存器暫存器內部僅設置一個控制單元，所以本發明所提出的移位暫存裝置整體的佈局面積便會減少，藉此即可達到現今日益所重視的面板窄框化之需求。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

本發明所欲達成的技術功效，主要為提升移位暫存器內部負責將其所輸出之掃描訊號的電壓準位拉降至低準位

開極電壓之 NMOS 電晶體的使用可靠度，且更可達到現今日益所重視之面板窄框化的需求。而以下內容將針對本案之技術特徵來做一詳加描述，以提供給本發明領域具有通常知識者參詳。

圖 5 繪示為本發明一實施例之移位暫存裝置 500 的電路方塊圖。請參照圖 5，本實施例之移位暫存裝置 500 為直接配製在液晶顯示面板(未繪示)之玻璃基板(glass substrate)上，且其內具有多數個與液晶顯示面板內之掃描線數目相符的移位暫存器，用以依序產生掃描訊號至對應的掃描線上，藉以開啟或關閉耦接至掃描線上的畫素。

另外，上述之液晶顯示面板是採用非晶矽(a-Si)製程方式製作而成。而為了要方便說明本發明所欲闡述的精神，於此先假設液晶顯示面板內的掃描線總共有 3 條，因此本實施例之移位暫存裝置 500 則具有 3 個移位暫存器 $SR_1 \sim SR_3$ ，但本發明並不限於此。

於本實施例中，移位暫存器 SR_1 包括控制單元 501a、電晶體 $T_1' \sim T_3'$ ，以及儲能元件 C_1 。其中，控制單元 501a 會依據時脈訊號 CKB、時脈訊號 CK、低準位開極電壓 V_{GL} 及時序控制器(timing controller，未繪示)所提供的起始脈衝 STV，而產生控制訊號 CS_1 與控制訊號 CS_2 ，其中時脈訊號 CKB 與時脈訊號 CK 的相位差為 180 度，且亦可由時序控制器來提供。

另外，電晶體 T_1' 之第一汲/源極用以接收時脈訊號

CK，電晶體 T_1' 之閘極用以接收控制訊號 CS_1 ，而電晶體 T_1' 之第二汲/源極用以產生掃描訊號 G_1 。電晶體 T_2' 之第一汲/源極電性連接電晶體 T_1' 之第二汲/源極，電晶體 T_2' 之閘極用以接收時脈訊號 CKB ，而電晶體 T_2' 之第二汲/源極用以接收時脈訊號 CK 。電晶體 T_3' 之第一汲/源極電性連接電晶體 T_1' 之第二汲/源極，電晶體 T_3' 之閘極用以接收控制訊號 CS_2 ，而電晶體 T_3' 之第二汲/源極用以接收低準位閘極電壓 V_{GL} 。儲能元件 C_1 電性連接於電晶體 T_1' 之閘極與第二汲/源極之間，且可以利用電容器(capacitor)來實現。

再者，移位暫存器 SR_1 於一個畫面期間會利用電晶體 T_1' 將其所產生的掃描訊號 G_1 之電壓準位拉升至高準位閘極電壓(V_{GH})，並利用電晶體 T_2' 與電晶體 T_3' 分時將其所產生的掃描訊號 G_1 之電壓準位拉降至低準位閘極電壓(V_{GL})。

於本實施例中，移位暫存器 SR_2 包括控制單元 501b、電晶體 T_4' ~ T_6' ，以及儲能元件 C_2 。其中，控制單元 501b 會依據時脈訊號 CKB 、時脈訊號 CK 、低準位閘極電壓 V_{GL} 及移位暫存器 SR_1 所輸出的掃描訊號 G_1 ，而產生控制訊號 CS_3 與控制訊號 CS_4 。

另外，電晶體 T_4' 之第一汲/源極用以接收時脈訊號 CKB ，電晶體 T_4' 之閘極用以接收控制訊號 CS_3 ，而電晶體 T_4' 之第二汲/源極用以產生掃描訊號 G_2 。電晶體 T_5' 之第一汲/源極電性連接電晶體 T_4' 之第二汲/源極，電晶體 T_5' 之

閘極用以接收時脈訊號 CK，而電晶體 T_5' 之第二汲/源極用以接收時脈訊號 CKB。電晶體 T_6' 之第一汲/源極電性連接電晶體 T_4' 之第二汲/源極，電晶體 T_6' 之閘極用以接收控制訊號 CS_4 ，而電晶體 T_6' 之第二汲/源極用以接收低準位閘極電壓 V_{GL} 。儲能元件 C_2 電性連接於電晶體 T_4' 之閘極與第二汲/源極之間，且同樣可以利用電容器來實現。

再者，移位暫存器 SR_2 於一個畫面期間會利用電晶體 T_4' 將其所產生的掃描訊號 G_2 之電壓準位拉升至高準位閘極電壓 (V_{GH})，並利用電晶體 T_5' 與電晶體 T_6' 分時將其所產生的掃描訊號 G_2 之電壓準位拉降至低準位閘極電壓 (V_{GL})。

於本實施例中，移位暫存器 SR_3 包括控制單元 501c、電晶體 $T_7' \sim T_9'$ ，以及儲能元件 C_3 。其中，控制單元 501c 會依據時脈訊號 CKB、時脈訊號 CK、低準位閘極電壓 V_{GL} 及移位暫存器 SR_2 所輸出的掃描訊號 G_3 ，而產生控制訊號 CS_5 與控制訊號 CS_6 。

另外，電晶體 T_7' 之第一汲/源極用以接收時脈訊號 CK，電晶體 T_7' 之閘極用以接收控制訊號 CS_5 ，而電晶體 T_7' 之第二汲/源極用以產生掃描訊號 G_3 。電晶體 T_8' 之第一汲/源極電性連接電晶體 T_7' 之第二汲/源極，電晶體 T_8' 之閘極用以接收時脈訊號 CKB，而電晶體 T_8' 之第二汲/源極用以接收時脈訊號 CK。電晶體 T_9' 之第一汲/源極電性連接電晶體 T_7' 之第二汲/源極，電晶體 T_9' 之閘極用以接收控制

訊號 CS_6 ，而電晶體 T_9' 之第二汲/源極用以接收低準位閘極電壓 V_{GL} 。儲能元件 C_3 電性連接於電晶體 T_7' 之閘極與第二汲/源極之間，且同樣可以利用電容器來實現。

再者，移位暫存器 SR_3 於一個畫面期間會利用電晶體 T_7' 將其所產生的掃描訊號 G_3 之電壓準位拉升至高準位閘極電壓 (V_{GH})，並利用電晶體 T_8' 與電晶體 T_9' 分時將其所產生的掃描訊號 G_3 之電壓準位拉降至低準位閘極電壓 (V_{GL})。

圖 6 繪示為移位暫存裝置 500 內部之每一個移位暫存器 $SR_1 \sim SR_3$ 更詳細的電路圖。請合併參照圖 5 及圖 6，於本實施例中，控制單元 501a~501c 都是由電晶體 $T_{10}'' \sim T_{13}''$ 所構成的。其中，電晶體 T_{10}'' 之第一汲/源極用以對應的接收起始脈衝 STV /掃描訊號 G_1 /掃描訊號 G_2 ，電晶體 T_{10}'' 之閘極用以對應的接收時脈訊號 CKB/CK ，而電晶體 T_{10}'' 之第二汲/源極會對應的電性連接至電晶體 $T_1'/T_4'/T_7'$ 的閘極，並用以對應的產生控制訊號 $CS_1/CS_3/CS_5$ 。

電晶體 T_{11}'' 之閘極電性連接電晶體 T_{10}'' 之第二汲/源極，電晶體 T_{11}'' 之第一汲/源極用以接收低準位閘極電壓 V_{GL} ，而電晶體 T_{11}'' 之第二汲/源極會對應的電性連接至電晶體 $T_3'/T_6'/T_9'$ 的閘極，並用以對應的產生控制訊號 $CS_2/CS_4/CS_6$ 。電晶體 T_{12}'' 之閘極電性連接電晶體 T_{11}'' 之第二汲/源極，電晶體 T_{12}'' 之第一汲/源極電性連接電晶體 T_{10}'' 之該第二汲/源極，而電晶體 T_{12}'' 之第二汲/源極用以

接收低準位閘極電壓 V_{GL} 。電晶體 T_{13}'' 之閘極與第一汲/源極彼此電性連接在一起，用以對應的接收時脈訊號 CKB/CK ，而電晶體 T_{13}'' 之第二汲/源極電性連接電晶體 T_{11}'' 之第二汲/源極。

而在此先值得一提的是，由於液晶顯示面板是採用非晶矽(a-Si)製程方式製作而成的，所以上述電晶體 $T_1' \sim T_9'$ 及 $T_{10}'' \sim T_{13}''$ 皆為 NMOS 電晶體。此外，為了要能清楚地說明本實施例之移位暫存裝置 500 可以達到既定的技術功效，以下將搭配移位暫存裝置 500 的操作時序圖來做進一步地說明，藉以讓本發明領域之技術人員知曉本發明所欲闡述的精神。

圖 7 繪示為圖 5 之移位暫存裝置 500 的操作時序圖。請合併參照圖 5~圖 7，首先值得一提的是，本實施例之時脈訊號 CKB 與時脈訊號 CK 的邏輯高電壓準位設定為可以將畫素開啟的高準位閘極電壓 V_{GH} ，而時脈訊號 CKB 與時脈訊號 CK 的邏輯低電壓準位設定為可以將畫素關閉的低準位閘極電壓 V_{GL} 。

因此，於一個畫面期間(frame period) F_1 內的第一期間 t_1' 開始，由於移位暫存器 SR_1 所接收的起始脈衝 STV 與時脈訊號 CKB 會同時致能，所以移位暫存器 SR_1 內部控制單元 501a 所產生的控制訊號 CS_1 與控制訊號 CS_2 會分別為致能與消能。藉此，電晶體 T_2' 會負責將掃描訊號 G_1 之電壓準位拉降至低準位閘極電壓 V_{GL} ，且使得儲能元件 C_1 於此

第一期間 t_1' 會先儲存一個高準位閘極電壓 V_{GH} 的電荷於其中。

接著，於相同畫面期間 F_1 內的第二期間 t_2' ，由於移位暫存器 SR_1 所接收的起始脈衝 STV 與時脈訊號 CKB 會同時消能，所以移位暫存器 SR_1 內部控制單元 501a 所產生的控制訊號 CS_1 與控制訊號 CS_2 會分別為致能與消能，但由於儲能元件 C_1 於第一期間 t_1' 時已儲存了一個高準位閘極電壓 V_{GH} 的電荷於其中，所以控制單元 501a 於第二期間 t_2' 所產生的控制訊號 CS_1 之電壓準位會被提升至約兩倍的高準位閘極電壓 V_{GH} ，以提供至電晶體 T_1' 的閘極。藉此，電晶體 T_1' 會負責將移位暫存器 SR_1 所輸出的掃描訊號 G_1 之電壓準位拉升至高準位閘極電壓 V_{GH} 。

之後，於相同畫面期間 F_1 內的第三期間 t_3' ，由於移位暫存器 SR_1 所接收的起始脈衝 STV 與時脈訊號 CKB 分別為消能與致能，所以移位暫存器 SR_1 內部控制單元 501a 所產生的控制訊號 CS_1 與控制訊號 CS_2 會同時消能。藉此，電晶體 T_2' 會負責將掃描訊號 G_1 之電壓準位拉降至低準位閘極電壓 V_{GL} 。

最後，於相同畫面期間 F_1 內的第四期間 t_4' ，由於移位暫存器 SR_1 所接收的起始脈衝 STV 與時脈訊號 CKB 會同時消能，所以移位暫存器 SR_1 內部控制單元 501a 所產生的控制訊號 CS_1 與控制訊號 CS_2 會分別為消能與致能。藉此，電晶體 T_3' 會負責將掃描訊號 G_1 之電壓準位拉降至低

準位閘極電壓 V_{GL} 。

故依據上述可知，於一個畫面期間 F_1 內，負責將移位暫存器 SR_1 所輸出的掃描訊號 G_1 之電壓準位拉降至低準位閘極電壓 V_{GL} 的元件會分配至 NMOS 電晶體 T_2' 與 T_3' 。因此，隨著移位暫存器 SR_1 的運作時間持續增加時，NMOS 電晶體 T_2' 與 T_3' 的臨限電壓漂移量就會比較趨緩。

另外，由於 NMOS 電晶體 T_2' 之第二汲/源極為接收時脈訊號 CK ，所以會致使 NMOS 電晶體 T_2' 的載子捕捉效應 (charge trapping effect) 現象改善許多，而使得 NMOS 電晶體 T_2' 的臨限電壓漂移量比較不會隨著長時間的導通狀態下加速增加，所以 NMOS 電晶體 T_2' 的使用可靠度便可大大地提升。

同時間，於相同畫面期間 F_1 內的第一期間 t_1' ，由於移位暫存器 SR_2 所接收的掃描訊號 G_1 與時脈訊號 CK 會同時消能，所以移位暫存器 SR_2 內部控制單元 501b 所產生的控制訊號 CS_3 與控制訊號 CS_4 會分別為消能與致能。藉此，電晶體 T_6' 會負責將掃描訊號 G_2 之電壓準位拉降至低準位閘極電壓 V_{GL} 。

接著，於相同畫面期間 F_1 內的第二期間 t_2' ，由於移位暫存器 SR_2 所接收的掃描訊號 G_1 與時脈訊號 CK 會同時致能，所以移位暫存器 SR_2 內部控制單元 501b 所產生的控制訊號 CS_3 與控制訊號 CS_4 會分別為致能與消能。藉此，電晶體 T_5' 會負責將掃描訊號 G_2 之電壓準位拉降至低準位

閘極電壓 V_{GL} ，且使得儲能元件 C_2 於此第二期間 t_2' 會先儲存一個高準位閘極電壓 V_{GH} 的電荷於其中。

之後，於相同畫面期間 F_1 內的第三期間 t_3' ，由於移位暫存器 SR_2 所接收的掃描訊號 G_1 與時脈訊號 CK 同時消能時，所以移位暫存器 SR_2 內部控制單元 501b 所產生的控制訊號 CS_3 與控制訊號 CS_4 會分別為致能與消能，但由於儲能元件 C_2 於第二期間 t_2' 時已儲存了一個高準位閘極電壓 V_{GH} 的電荷於其中，所以控制單元 501b 於第三期間 t_3' 所產生的控制訊號 CS_3 之電壓準位會被提升至約兩倍的高準位閘極電壓 V_{GH} ，以提供至電晶體 T_4' 的閘極。藉此，電晶體 T_4' 會負責將掃描訊號 G_2 之電壓準位拉升至高準位閘極電壓 V_{GH} 。

最後，於相同畫面期間 F_1 內的第四期間 t_4' ，由於移位暫存器 SR_2 所接收的掃描訊號 G_1 與時脈訊號 CK 分別為消能與致能，所以移位暫存器 SR_2 內部控制單元 501b 所產生的控制訊號 CS_3 與控制訊號 CS_4 會同時消能。藉此，電晶體 T_5' 會負責將掃描訊號 G_2 之電壓準位拉降至低準位閘極電壓 V_{GL} 。

故依據上述可知，於一個畫面期間 F_1 內，負責將移位暫存器 SR_2 所輸出的掃描訊號 G_2 之電壓準位拉降至低準位閘極電壓 V_{GL} 的元件會分配至 NMOS 電晶體 T_5' 與 T_6' 。因此，隨著移位暫存器 SR_2 的運作時間持續增加時，NMOS 電晶體 T_5' 與 T_6' 的臨限電壓漂移量就會比較趨緩。

另外，由於 NMOS 電晶體 T_5' 之第二汲/源極為接收時脈訊號 CKB，所以會致使 NMOS 電晶體 T_5' 的載子捕捉效應 (charge trapping effect) 現象改善許多，而使得 NMOS 電晶體 T_5' 的臨限電壓漂移量比較不會隨著長時間的導通狀態下加速增加，所以 NMOS 電晶體 T_5' 的使用可靠度便可大大地提升。

同時間，於相同畫面期間 F_1 內的第一期間 t_1' ，由於移位暫存器 SR_3 所接收的掃描訊號 G_2 與時脈訊號 CKB 分別為消能與致能時，所以移位暫存器 SR_3 內部控制單元 501c 所產生的控制訊號 CS_5 與控制訊號 CS_6 會同時消能。藉此，電晶體 T_8' 會負責將掃描訊號 G_3 之電壓準位拉降至低準位閘極電壓 V_{GL} 。

接著，於相同畫面期間 F_1 內的第二期間 t_2' ，由於移位暫存器 SR_3 所接收的掃描訊號 G_2 與時脈訊號 CKB 會同時消能，所以移位暫存器 SR_3 內部控制單元 501c 所產生的控制訊號 CS_5 與控制訊號 CS_6 會分別為消能與致能。藉此，電晶體 T_9' 會負責將掃描訊號 G_3 之電壓準位拉降至低準位閘極電壓 V_{GL} 。

之後，於相同畫面期間 F_1 內的第三期間 t_3' ，由於移位暫存器 SR_3 所接收的掃描訊號 G_2 與時脈訊號 CKB 會同時致能，所以移位暫存器 SR_3 內部控制單元 501c 所產生的控制訊號 CS_5 與控制訊號 CS_6 分別為致能與消能。藉此，電晶體 T_8' 會負責將掃描訊號 G_3 之電壓準位拉降至低準位

閘極電壓 V_{GL} ，且使得儲能元件 C_3 於此第三期間 t_3' 會先儲存一個高準位閘極電壓 V_{GH} 的電荷於其中。

最後，於相同畫面期間 F_1 內的第四期間 t_4' ，由於移位暫存器 SR_3 所接收的掃描訊號 G_2 與時脈訊號 CKB 會同時消能，所以移位暫存器 SR_3 內部控制單元 501c 所產生的控制訊號 CS_5 與控制訊號 CS_6 會分別為致能與消能，但由於儲能元件 C_3 於第三期間 t_3' 時已儲存了一個高準位閘極電壓 V_{GH} 的電荷於其中，所以控制單元 501c 於第四期間 t_4' 所產生的控制訊號 CS_5 之電壓準位會被提升至約兩倍的高準位閘極電壓 V_{GH} ，以提供至電晶體 T_7' 的閘極。藉此，電晶體 T_7' 會負責將掃描訊號 G_3 之電壓準位拉升至高準位閘極電壓 V_{GH} 。

故依據上述可知，於一個畫面期間 F_1 內，負責將移位暫存器 SR_3 所輸出的掃描訊號 G_3 之電壓準位拉降至低準位閘極電壓 V_{GL} 的元件會分配至 NMOS 電晶體 T_8' 與 T_9' 。因此，隨著移位暫存器 SR_3 的運作時間持續增加時，NMOS 電晶體 T_8' 與 T_9' 的臨限電壓漂移量就會比較趨緩。

另外，由於 NMOS 電晶體 T_8' 之第二汲/源極為接收時脈訊號 CK ，所以會致使 NMOS 電晶體 T_8' 的載子捕捉效應 (charge trapping effect) 現象改善許多，而使得 NMOS 電晶體 T_8' 的臨限電壓漂移量比較不會隨著長時間的導通狀態下加速增加，所以 NMOS 電晶體 T_8' 的使用可靠度便可大大地提升。

除此之外，由於控制單元 501a~501c 內的電晶體 T_{13} '' 接成二極體連接(Diode connected)的型式，所以可以使得控制訊號 CS_2 、 CS_4 與 CS_6 之電壓準位會低於高準位閘極電壓 V_{GH} 的電壓準位，如此即可致使 NMOS 電晶體 T_3' 、 T_6' 與 T_9' 的使用壽命延長。

再者，更值得一提的，依據本發明之精神並不限制 NMOS 電晶體 T_2' 、 T_5' 與 T_8' 之第二汲/源極一定要接收時脈訊號 CKB/CK 。更清楚來說，上述實施例之 NMOS 電晶體 T_2' 、 T_5' 與 T_8' 之第二汲/源極亦可接收低準位閘極電壓 V_{GL} ，而同樣可以致使移位暫存裝置 500 可以達到既定的技術功效。

圖 8 繪示為針對圖 6 之移位暫存器 $SR_1 \sim SR_4$ 之 NMOS 電晶體 T_2' 、 T_5' 與 T_8' 在其第二汲/源極各別為接收時脈訊號 CKB/CK 及低準位閘極電壓 V_{GL} 的應力(stress)測試圖。請參照圖 8，圖 8 所揭露的應力測試圖之橫軸代表時間(小時)，而縱軸代表 NMOS 電晶體 T_2' 、 T_5' 與 T_8' 之臨限電壓 (V_{th}) 漂移量(電壓)。其中，隨時間增加而攀升的實線 801 為 NMOS 電晶體 T_2' 、 T_5' 與 T_8' 之第二汲/源極在接收時脈訊號 CKB/CK 的條件下所量測出的臨限電壓 (V_{th}) 漂移量，而隨時間增加而攀升的虛線 802 為 NMOS 電晶體 T_2' 、 T_5' 與 T_8' 之第二汲/源極在接收低準位閘極電壓 V_{GL} 的條件下所量測出的臨限電壓 (V_{th}) 漂移量。

故依據上述對於圖 8 解說的內容並搭配圖 8 可明顯看

出，NMOS 電晶體 T_2' 、 T_5' 與 T_8' 之第二汲/源極在接收時脈訊號 CKB/CK 的條件下所量測出的臨限電壓(V_{th})漂移量較低於 NMOS 電晶體 T_2' 、 T_5' 與 T_8' 之第二汲/源極在接收低準位閘極電壓 V_{GL} 的條件下所量測出的臨限電壓(V_{th})漂移量。

因此，本發明所提出的移位暫存器若與先前技術所揭露的移位暫存器相比較的話，本發明所提出的移位暫存器之使用可靠度及使用壽命皆會比先前技術所揭露的移位暫存器來的好及長。再者，由於本發明所提出的移位暫存器內部僅需配置一個控制單元，所以本發明所提出的移位暫存裝置整體的佈局面積便會減少，藉此即可達到現今日益所重視的面板窄框化之需求。據此，若將本發明所提出的移位暫存裝置直接配置在液晶顯示面板之玻璃基板的液晶顯示面板及其液晶顯示器即屬本發明所欲保護的範疇。

除了上述實施例的移位暫存裝置以外，本發明另外還提出一種移位暫存方法。此移位暫存方法的細節皆已包含於上述的移位暫存裝置之實施例中，因此，在本發明相關技術領域中具有通常知識者看過前面的說明之後，應當能輕易實施本移位暫存方法，所以本移位暫存驅動方法的細節就不在此贅述。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護

範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 繪示為習知直接配置在液晶顯示面板之玻璃基板上所慣用的移位暫存器 100 之電路方塊圖。

圖 2 繪示為圖 1 之移位暫存器 100 的操作波形圖。

圖 3 繪示為可以解決圖 1 所揭露之移位暫存器 100 缺點的移位暫存器 300 之電路方塊圖。

圖 4 繪示為針對圖 1 之移位暫存器 100 之 NMOS 電晶體 T_B 與圖 3 之移位暫存器 300 之 NMOS 電晶體 T_2 、 T_6 的應力測試圖。

圖 5 繪示為本發明一實施例之移位暫存裝置 500 的電路方塊圖。

圖 6 繪示為移位暫存裝置 500 內部之每一個移位暫存器 $SR_1 \sim SR_3$ 更詳細的電路圖。

圖 7 繪示為圖 5 之移位暫存裝置 500 的操作時序圖。

圖 8 繪示為針對圖 6 之移位暫存器 $SR_1 \sim SR_3$ 之 NMOS 電晶體 T_2' 、 T_5' 與 T_8' 在其第二汲/源極各別為接收時脈訊號 CKB/CK 及低準位閘極電壓 V_{GL} 的應力(stress)測試圖。

【主要元件符號說明】

100、300、 $SR_1 \sim SR_3$ ：移位暫存器

101、301a、301b、501a~501c：控制單元

500：移位暫存裝置

401：移位暫存器 100 之 NMOS 電晶體 T_B 的臨限電壓 (V_{th}) 漂移量

402：移位暫存器 300 之 NMOS 電晶體 T_2 、 T_6 的臨限電壓 (V_{th}) 漂移量

801：移位暫存器 $SR_1 \sim SR_4$ 之 NMOS 電晶體 T_2' 、 T_5' 、與 T_8' 之第二汲/源極在接收時脈訊號 CKB/CK 的條件下所量測出的臨限電壓 (V_{th}) 漂移量

802：移位暫存器 $SR_1 \sim SR_4$ 之 NMOS 電晶體 T_2' 、 T_5' 、與 T_8' 之第二汲/源極在接收低準位閘極電壓 V_{GL} 的條件下所量測出的臨限電壓 (V_{th}) 漂移量

STV：起始脈衝

$G(n-1)$ 、 G_n 、 $G(n+1)$ 、 $G_1 \sim G_3$ ：掃描訊號

$CS_1 \sim CS_6$ ：控制訊號

T_A 、 T_B 、 $T_1 \sim T_6$ 、 $T_1' \sim T_9'$ 、 $T_{10}'' \sim T_{13}''$ ：NMOS 電晶體

C 、 $C_1 \sim C_3$ ：電容器、儲能元件

V_{GH} ：高準位閘極電壓

V_{GL} ：低準位閘極電壓

F_1 、 F_2 ：畫面期間

$t_1 \sim t_4$ 、 $t_1' \sim t_4'$ ：第一至第四期間

CK 、 CKB ：時脈訊號

十、申請專利範圍：

1. 一種移位暫存裝置，配置於一液晶顯示面板的一玻璃基板上，而該移位暫存裝置包括：

多數個移位暫存器，彼此串接在一起，而每一個移位暫存器包括：

一第一電晶體，該第一電晶體之第一汲/源極用以接收一第一時脈訊號，該第一電晶體之閘極用以接收一第一控制訊號，而該第一電晶體之第二汲/源極用以產生一掃描訊號；

一第二電晶體，該第二電晶體之第一汲/源極電性連接該第一電晶體之第二汲/源極，該第二電晶體之閘極用以接收一第二時脈訊號，而該第二電晶體之第二汲/源極用以接收該第一時脈訊號，其中該第一時脈訊號與該第二時脈訊號的相位差為 180 度；

一第三電晶體，該第三電晶體之第一汲/源極電性連接該第一電晶體之第二汲/源極，該第三電晶體之閘極用以接收一第二控制訊號，而該第三電晶體之第二汲/源極用以接收一低準位閘極電壓；

一儲能元件，具有第一端與第二端，其第一端電性連接該第一電晶體之閘極，且其第二端電性連接該第一電晶體之第二汲/源極、該第二電晶體之第一汲/源極以及該第三電晶體之第一汲/源極；以及

一控制單元，用以依據該第一時脈訊號、該第二時脈訊號、該低準位閘極電壓及一起始訊號，而產生該第

一控制訊號與該第二控制訊號，

其中，該移位暫存器於一畫面期間利用該第一電晶體將該掃描訊號的電壓準位拉升至一高準位閘極電壓，並利用該第二電晶體與該第三電晶體分時將該掃描訊號的電壓準位拉降至該低準位閘極電壓。

2.如申請專利範圍第 1 項所述之移位暫存裝置，其中該控制單元包括：

一第四電晶體，該第四電晶體之第一汲/源極用以接收該起始訊號，該第四電晶體之閘極用以接收該第二時脈訊號，而該第四電晶體之第二汲/源極電性連接該第一電晶體之閘極，用以產生該第一控制訊號；

一第五電晶體，該第五電晶體之閘極電性連接該第四電晶體之第二汲/源極，該第五電晶體之第一汲/源極用以接收該低準位閘極電壓，而該第五電晶體之第二汲/源極電性連接該第三電晶體之閘極，用以產生該第二控制訊號；

一第六電晶體，該第六電晶體之閘極電性連接該第五電晶體之第二汲/源極，該第六電晶體之第一汲/源極電性連接該第四電晶體之第二汲/源極，而該第六電晶體之第二汲/源極用以接收該低準位閘極電壓；以及

一第七電晶體，該第七電晶體之閘極與第一汲/源極彼此電性連接在一起，並用以接收該第一時脈訊號，而該第七電晶體之第二汲/源極電性連接該第五電晶體之第二汲/源極。

3.如申請專利範圍第 2 項所述之移位暫存裝置，其中該液晶顯示面板採用非晶矽製程方式製作而成。

4.如申請專利範圍第 3 項所述之移位暫存裝置，其中該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體、該第六電晶體及該第七電晶體為 NMOS 電晶體。

5.如申請專利範圍第 1 項所述之移位暫存裝置，其中該儲能元件包括一電容器。

6.一種具有如申請專利範圍第 1 項所述之移位暫存裝置的液晶顯示面板。

7.一種具有如申請專利範圍第 6 項所述之液晶顯示面板的液晶顯示器。

8.一種移位暫存方法，其適用於如申請專利範圍第 2 項所述之移位暫存裝置，而該移位暫存方法包括下列步驟：

於該畫面期間內的一第一期間，當該起始訊號與該第二時脈訊號同時致能時，致使該控制單元所產生的該第一控制訊號與該第二控制訊號各別為致能與消能，藉以利用該第二電晶體將該掃描訊號的電壓準位拉降至該低準位閘極電壓；

於該畫面期間內的一第二期間，當該起始訊號與該第二時脈訊號同時消能時，致使該控制單元所產生的該第一控制訊號與該第二控制訊號各別為致能與消能，藉以利用該第一電晶體將該掃描訊號的電壓準位拉升至一高準位閘

極電壓；

於該畫面期間內的一第三期間，當該起始訊號與該第二時脈訊號分別為消能與致能時，致使該控制單元所產生的該第一控制訊號與該第二控制訊號同時消能，藉以利用該第二電晶體將該掃描訊號的電壓準位拉降至該低準位閘極電壓；以及

於該畫面期間內的一第四期間，當該起始訊號與該第二時脈訊號同時消能時，致使該控制單元所產生的該第一控制訊號與該第二控制訊號各別為消能與致能，藉以利用該第三電晶體將該掃描訊號的電壓準位拉降至該低準位閘極電壓。

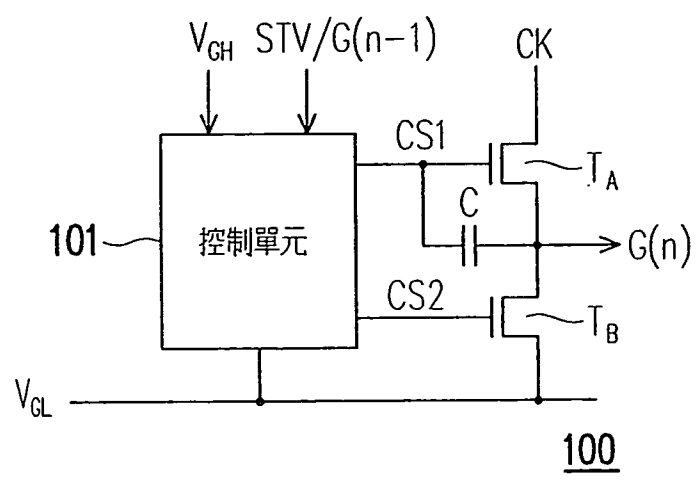


圖 1

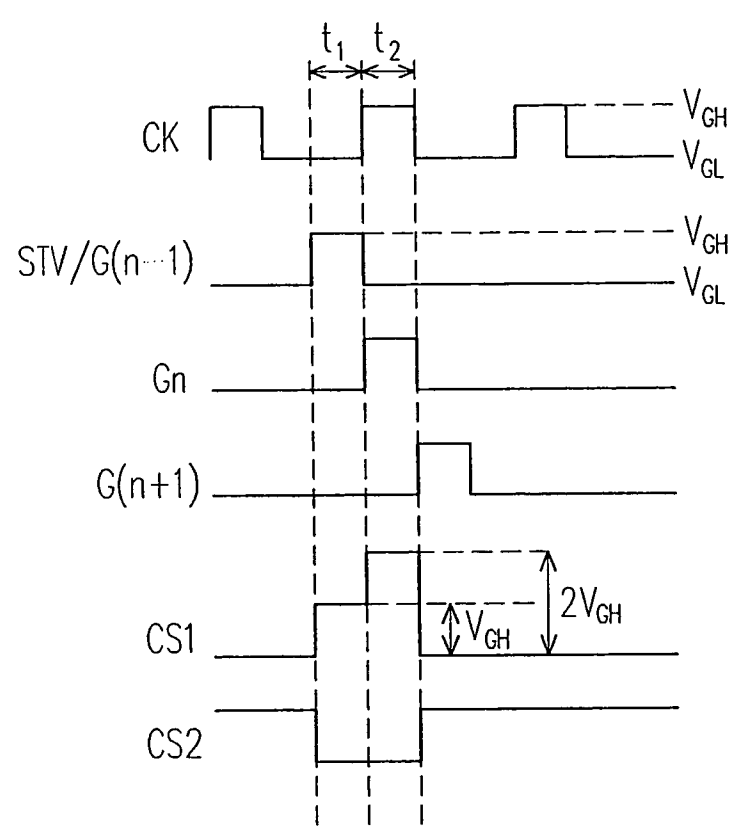


圖 2

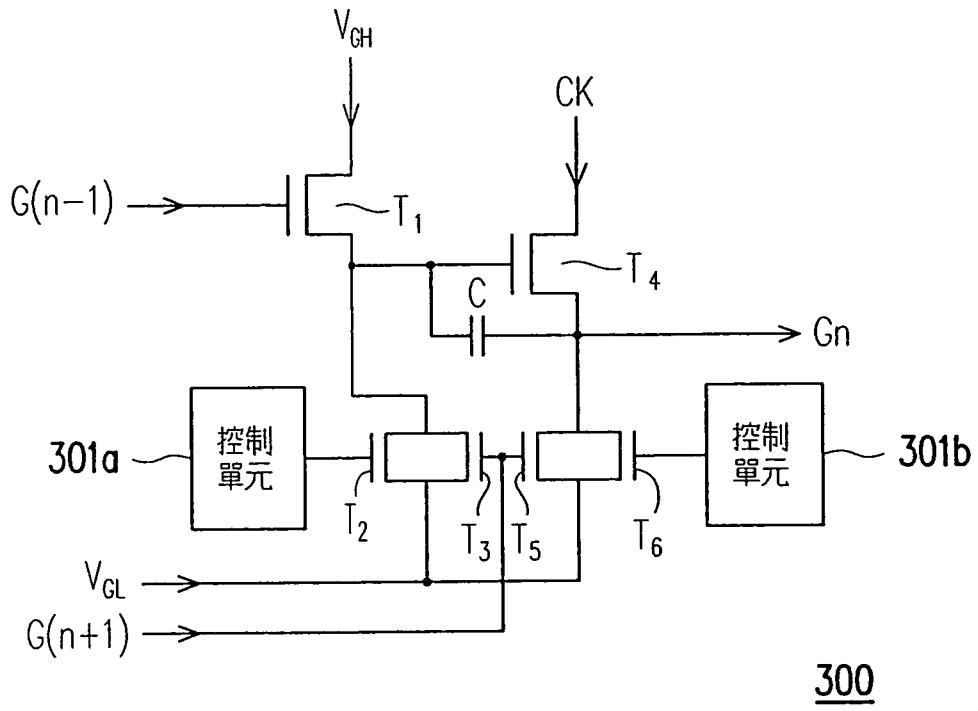


圖 3

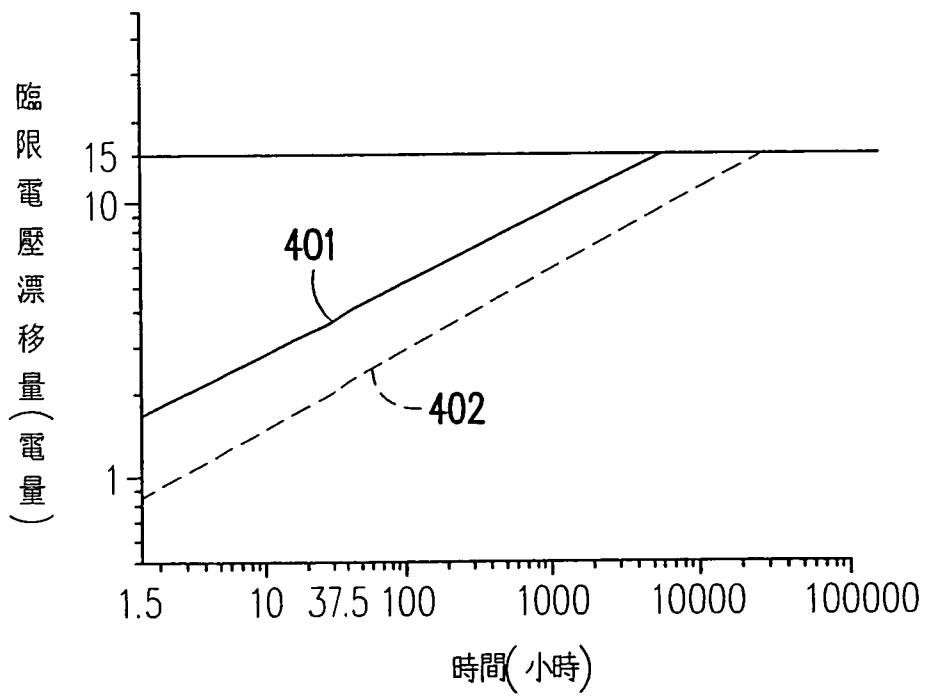


圖 4

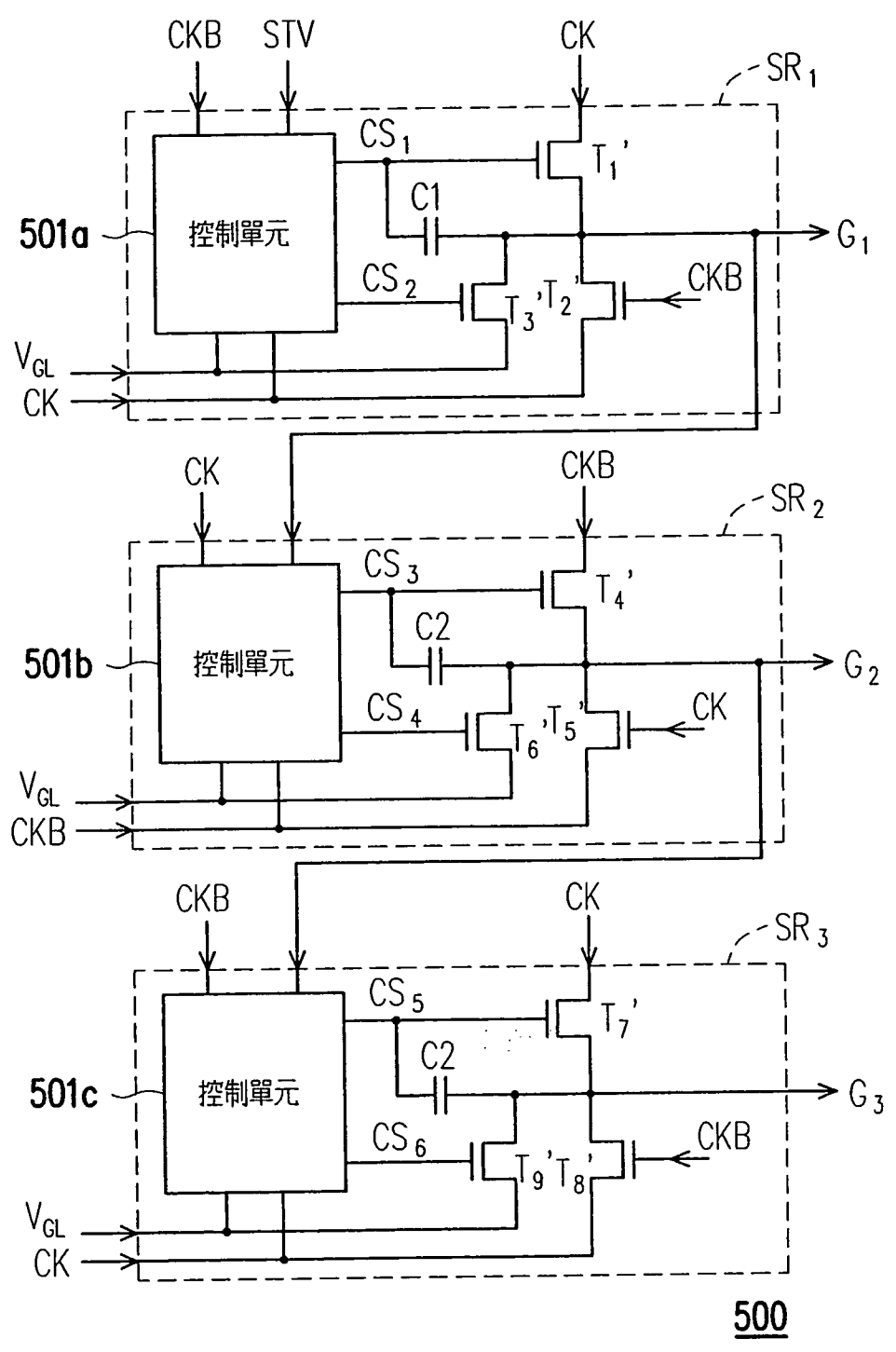


圖 5

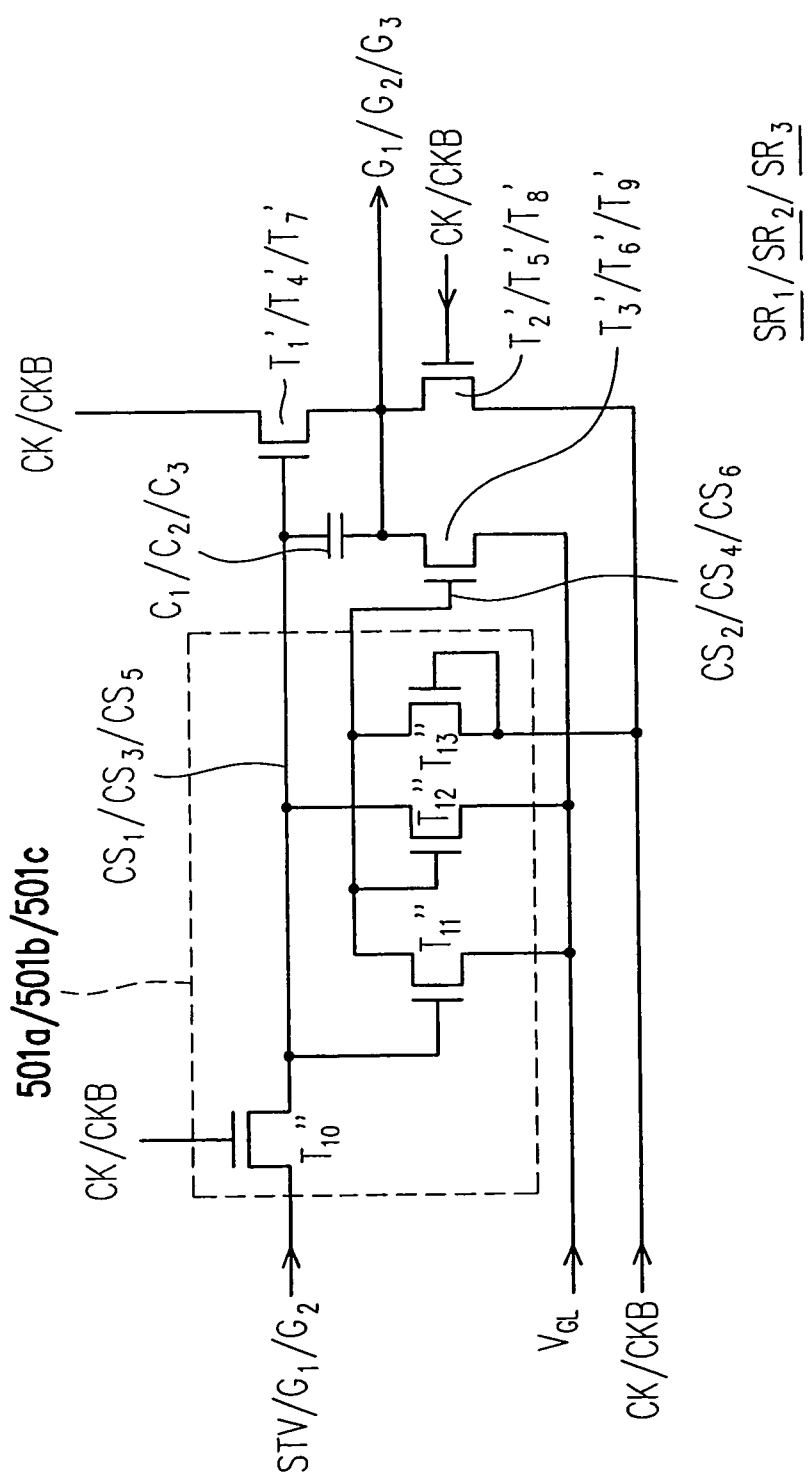


圖 6

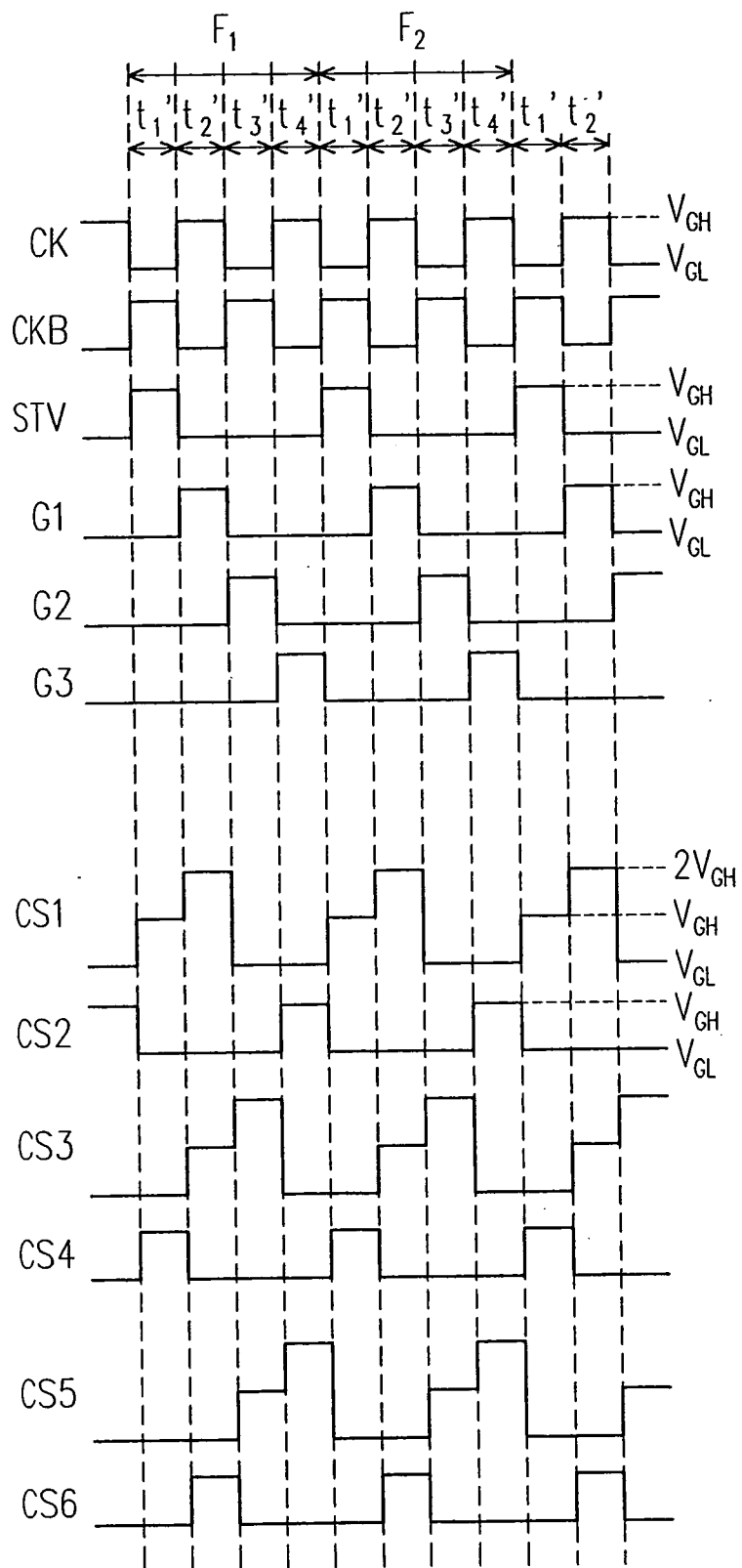


圖 7

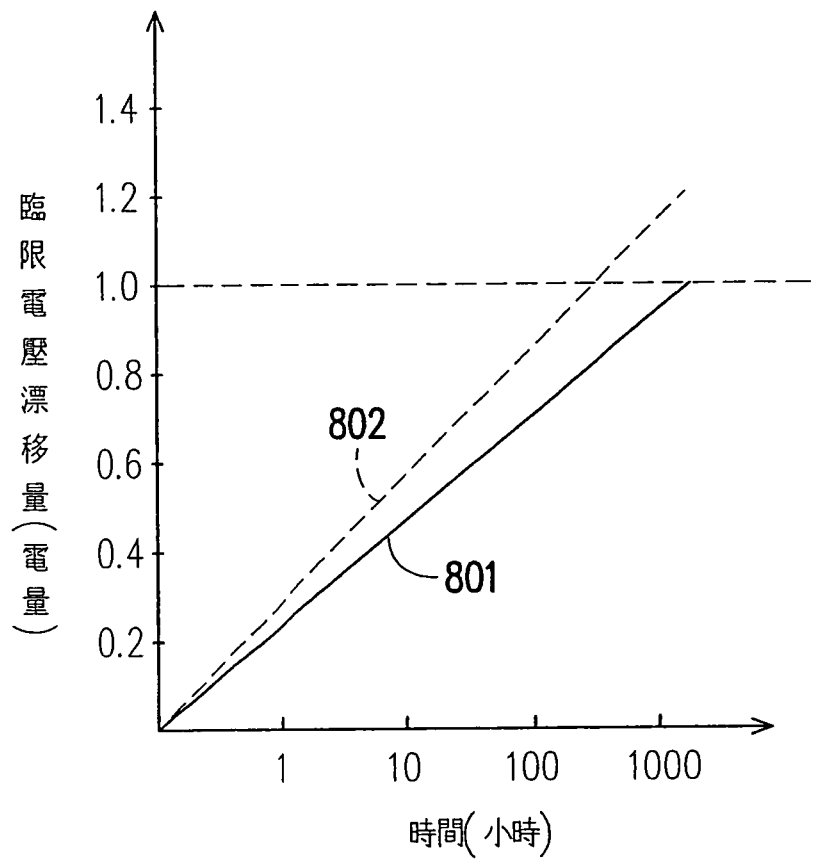


圖 8