

416050

申請日期： 88. 2. 12

案號： 88102223

類別： G11C 1/2

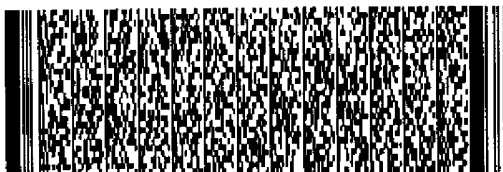
(以上各欄由本局填註)

公告本

發明專利說明書

一、 發明名稱	中文	半導體記憶裝置
	英文	SEMICONDUCTOR MEMORY DEVICE
二、 發明人	姓名 (中文)	1. 高田 榮和
	姓名 (英文)	1. HIDEKAZU TAKATA
	國籍	1. 日本
	住、居所	1. 日本國奈良縣奈良市南紀寺町3-292-3
三、 申請人	姓名 (名稱) (中文)	1. 日商夏普股份有限公司
	姓名 (名稱) (英文)	1. SHARP KABUSHIKI KAISHA
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國大阪府大阪市阿倍野區長池町22番22號
	代表人 姓名 (中文)	1. 町田 勝彦
代表人 姓名 (英文)	1. KATSUHIKO MACHIDA	

416050



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

日本 JP

1998/02/19 特願平10-037152

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明背景

1. 發明領域：

本發明是有關於一種非揮發性半導體記憶裝置，利用夾在電容器中二電極之間的鐵電薄膜的偏極化狀態，來儲存並保持資訊。

2. 相關技術說明：

使用鐵電材料的半導體記憶裝置(在此是指鐵電記憶裝置)，是非揮發性記憶裝置，利用鐵電材料的偏極化方向，來儲存資料。圖6顯示出使用這型鐵電材料的典型傳統的非揮發性半導體記憶裝置。例如，參考由T. Sumi等人在1994 IEEE International Solid-State Circuits Conference中Digest of Technical Papers上268-269頁所提出的文章。

圖6所顯示的鐵電記憶裝置包含複數個記憶單元MC，每個記憶單元都包含有電容Cs與MOS電晶體Qc。電容Cs具有二相反的電極，以及鐵電薄膜，夾在電容器中二電極之間。電容Cs的其中一個電極連接到MOS電晶體Qc的源極或汲極。該複數個記憶單元MC是以行與列的方向做排列。

複數個字線 WL_0 到 WL_{2m+1} ，是安排成對應於複數個記憶單元MC的列，使得每個字線都連接到記憶單元MC中對應列的MOS電晶體Qc的閘極。當選取到複數個字線 WL_0 到 WL_{2m+1} 中的任何一個時，連接到被選取字線上的記憶單元MC便會在被選取狀態。

複數個位元線 BL_0 到 BL_n ，以及複數個反位元線/ BL_0 到



五、發明說明(2)

$/BL_n$ ，是安排成對應於複數個記憶單元MC的行，使得每個位元線與反位元線都連接到記憶單元MC中對應列的MOS電晶體 Q_c 的源極或汲極。

在列方向上延伸的複數個位元線 PL_0 到 PL_n ，被安排成在複數個記憶單元MC中的每隔一個列內，使得每個板線都連接到對應二列記憶單元MC中每個電容 C_s 的其它電極上，並不連接到相對應的電晶體 Q_c (此時，這種電容 C_s 的電極稱作板電極)。

複數個MOS電晶體 T_0 到 T_{2m+1} 是對應到複數個字線 WL_0 到 WL_{2m+1} ，使得複數個MOS電晶體 T_0 到 T_{2m+1} 的閘極連接到相對應的複數個字線 WL_0 到 WL_{2m+1} ，源極連接到相對應的複數個板線 PL_0 到 PL_n ，而且汲極是連接到驅動線DL。

板驅動信號產生電路1提供板驅動信號給驅動線DL。

圖6中具有上述組合的傳統鐵電記憶裝置，其操作將參考圖7來做說明。

圖7是圖6中鐵電記憶裝置的時序圖。在字線(比如字線 WL_0)上升到已選定準位(高準位)之前的待命狀態中，位元線 BL_0 到 BL_n ，反位元線 $/BL_0$ 到 $/BL_n$ ，以及驅動線DL是在接地電壓準位。當字線 WL_0 上升到高準位時，連接到字線 WL_0 的記憶單元MC會變成選取狀態，而打開電晶體 T_0 ，讓板線 PL_0 連接到驅動線DL。

然後板線信號變成高準位，提供板線驅動信號 V_{p1} ，加到板線 PL_0 上。結果，儲存在連接到該板線上記憶單元MC內的資訊，被讀到位元線 BL_0 到 BL_n 上。分別與位元線 BL_0 到



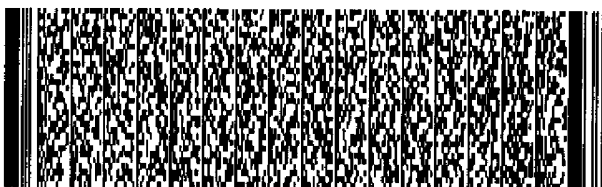
BL_n 成配對的反位元線 $/BL_0$ 到 $/BL_n$ ，選擇性的連接到參考單元(未顯示)上，以便產生參考電壓準位。參考電壓是設定成當記憶單元MC所讀取的資訊為"1"時，位元線上的中間電壓，且為"0"。該設定是利用調節每個參考單元上電容的大小來達到的。

在位元線 BL_0 到 BL_n 與成對反位元線 $/BL_0$ 到 $/BL_n$ 之間的電壓差被感測放大，以便於選擇狀態中讀出儲存於記憶單元內之情報。因此，板線驅動信號變成一低位準以提供一接地電位，其被施加到板線 PL_0 。此允許情報於選擇狀態再被寫於記憶單元。

在此一鐵電記憶裝置中，每一記憶單元MC之電容器Cs之鐵電膜具有正向與負向偏極化，以儲存資訊到記憶單元MC內。為此，需要提供預設電壓，比如電壓 V_{p1} ，給相對應的板線，如上所述。既然電容Cs是由鐵電材料構成，其電容值很容易大於傳統DRAM的值。此外，板線一般是用貴中金屬所構成，比如Au，Pt以及Ru，以驗與電容的介電性一致。很難將這種的貴中金屬加厚，因為其可處理性是個問題。增加互連線寬度的努力(補償較差的厚度)，對實現縮小化以及高密度結構來說是不利的。

此外，在傳統鐵電記憶裝置中，既然板線被充電並放電，功率消耗便會增加。

所以，如上所述，在傳統鐵電記憶裝置的結構中，板線的每次存取都是被預設電壓所驅動。這是需要較長時間來驅動板線，而很難實現高速操作。此外，對板線進行充電



與放電會增加功率消耗。

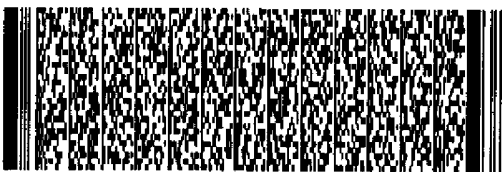
發明摘要

本發明的半導體記憶裝置包含有一電容，一第一電晶體，以及一第二電晶體，其中該電容包含第一電極，第二電極，以及鐵電薄膜，第二電極是與第一電極相反，而鐵電薄膜是夾在第一電極與第二電極之間，該半導體記憶裝置利用鐵電薄膜的偏極化狀態，能儲存並保持二位元的資訊，第一電晶體包含第一電極，第二電極，以及閘極，其第二電極是連接到電容的第一電極，而第二電晶體包含第一電極，第二電極，以及閘極，其第一電極是連接到電容的第二電極。

在本發明的實施例中，半導體記憶裝置進一步包含有字線，位元線，反位元線，以及複數個行選擇板驅動線，其中第一電晶體的第一電極連接到位元線或反位元線，第一電晶體的閘極連接到字線，第二電晶體的第二電極連接到複數個行選擇板驅動線的其中之一，而第二電晶體的閘極連接到字線。

在本發明的另一直實施例中，半導體記憶裝置進一步包含行選擇板驅動電路，依據行位址解碼信號，選取出複數個行選擇板驅動線的其中之一。

在本發明的另一直實施例中，行選擇板驅動電路包含主驅動線，板驅動信號產生電路，提供板驅動信號給主驅動線，以及複數個MOS電晶體，複數個MOS電晶體的閘極分別連接到複數個位址解碼信號線，複數個MOS電晶體的第一



電極連接到主驅動線，複數個MOS電晶體的第三電極分別連接到複數個行選擇板驅動線。

另外，在本發明的半導體記憶裝置包含：複數個以行方向與列方向做排列的記憶單元，複數個沿著列方向排列的字線，複數個沿著行方向排列的位元線，複數個沿著行方向排列的反位元線，複數個沿著行方向排列的行選擇板驅動線，以及複數個第二電晶體，其中每個複數個記憶單元都包含電容以及第一電晶體，該電容包含第一電極，與第一電極相反的第二電極，以及夾在第一電極與第二電極之間的鐵電薄膜，並利用鐵電薄膜的偏極化狀態，來儲存且保持住二位元資訊，該第一電晶體包含第一電極，第二電極，以及閘極，每個複數個第二電晶體包含第一電極，第二電極，以及閘極，第一電極的第一電極連接到複數個位元線與反位元線的其中之一，第一電極的第二電極連接到電容的第一電極，複數個記憶單元分成複數個群組，在第一列上同一群組複數個記憶單元中電容的第二電極經由板線，而連接到複數個第二電晶體的第一電極，在第一列上複數個第二電晶體之的其之一，其第二電極連接到複數個行選擇板驅動線的其中之一，在第一列上複數個第二電晶體的其中之一，其閘極連接到複數個字線的其中之一，第一列上的第二電晶體連接到該字線上，在第二列上同一群組複數個記憶單元中電容的第二電極，經由板線，連接到複數個第二電晶體的第一電極，在第二列上複數個第二電晶體的其之一，其第二電極連接到複數個行選擇板驅動線



五、發明說明(6)

的其中之一，在第二列上複數個第二電晶體的其之一，其閘極連接到複數個字線的其中之一，而且在第二列上複數個第一電晶體的其之一，其閘極連接到複數個字線的其中之一，第二列上的第二電晶體連接到該字線上。

因此，在此所述的本發明所具有的優點是，可以讓半導體記憶裝置能在較低的功率消耗下，做高速操作。

對於熟知該技術領域的人士來說，當讀到並瞭解到以下參考相關圖式的詳細說明後，本發明的這個以及其它的優點將變得更為明顯。

圖式的簡單說明

圖1是依據本發明實例1鐵電記憶裝置的電路圖；

圖2A到圖2B是實例1鐵電記憶裝置的時序圖；

圖3是依據本發明實例2鐵電記憶裝置的電路圖；

圖4是實例2鐵電記憶裝置的時序圖；

圖5是依據本發明實例3鐵電記憶裝置的電路圖；

圖6是傳統鐵電記憶裝置；

圖7是圖6傳統鐵電記憶裝置的時序圖；以及

圖8顯示出外加電場對電記憶裝置偏極化的遲滯特性。

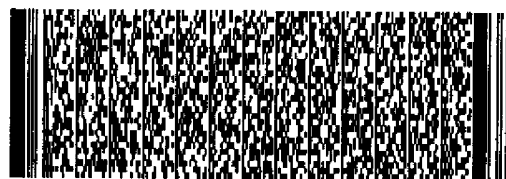
較佳實施例之敘述

本發明將藉由舉例參照附圖而敘述。

(實例1)

依據本發明實例1的鐵電記憶裝置將參閱圖1，圖2A到圖2B來做說明。

圖1是實例1鐵電記憶裝置100的電路圖。圖2A到圖2B是



五、發明說明 (7)

實例1 鐵電記憶裝置100的時序圖。

圖1中的鐵電記憶裝置100包含複數個記憶單元MC，以行方向與列方向做排列。每個記憶單元MC都具有電容Cs，第一晶體Qa，以及第二晶體Qd。

電容Cs包含第一電極以及與第一電極相反的第二電極，鐵電薄膜夾在第一電極與第二電極之間。電容Cs利用鐵電薄膜的偏極化狀態，來儲存並保持住二位元資訊。此後，電容Cs的第二電極也稱作板電極。

第一晶體Qa包含源極與汲極(其中之一也稱作第一電極，而其它的也稱作第二電極)，以及閘極。第一晶體Qa的第二電極連接到電容Cs的第一電極。

第二晶體Qd包含源極與汲極(其中之一也稱作第一電極，而其它的也稱作第二電極)，以及閘極。第二晶體Qd的第一電極連接到電容Cs的第二電極。

複數個字線 WL_0, WL_1, \dots 是對應到複數個記憶單元MC的列上，使得每個字線都連接到相對應記憶單元MC列上第一晶體Qa與第二晶體Qd的閘極。

位元線 BL_0, BL_1, \dots 以及反位元線 $\overline{BL}_0, \overline{BL}_1, \dots$ 是對應到複數個記憶單元MC的行上，使得每個位元線與反位元線都連接到相對應記憶單元MC行上每個行第一晶體Qa的第一電極(源極與汲極的其中之一)。

記憶單元MC行上每個第二晶體Qd的第一電極(源極與汲極的其中之一)，都連接到相對應複數個行選擇板驅動線的其中之一， CD_0, CD_1, \dots 。此時，在第I列與第j行



五、發明說明(8)

的記憶單元中，電容 C_s 的板電極當作是節點，稱作 $PL(i, j)$ 。

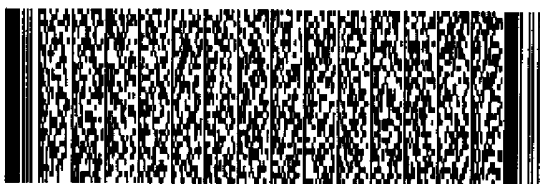
圖1中的鐵電記憶裝置100進一步包含：位址緩衝器2，接收外部(或內部)產生的位址信號；列解碼器3以及行解碼器4，接收由位址緩衝器2所輸出的信號；字線驅動電路5，接收由列解碼器3所輸出的位址解碼信號，並驅動字線 WL_0, WL_1, \dots ；以及行選擇板驅動電路6接收由行解碼器4所輸出的行位址解碼信號，並驅動行選擇板驅動線 CD_0, CD_1, \dots 。

行選擇板驅動線 CD_0, CD_1, \dots 是用多晶矽互連線，或一般的金屬互連線(比如鋁互連線)所構成。

圖1中鐵電記憶裝置100的操作，將參閱圖2A做詳細說明。

在字線上升到已選定準位(高準位)之前的待命狀態中，位元線 BL_0, BL_1, \dots ，反位元線 $/BL_0, /BL_1, \dots$ ，以及行選擇板驅動線 CD_0, CD_1, \dots 是在接地電壓準位。當預設的字線(比如 WL_1)上升到高準位以反應外部位址信號時，連接到字線 WL_1 上記憶單元MC的電晶體 Q_a 會被打開，讓記憶單元MC中每個電容 C_s 的第一電極到接地電位，而該接地電位是與位元線以及反位元線的接地電位相同。

當連接到字線 WL_1 上記憶單元MC的電晶體 Q_d 被打開時，行選擇板驅動線 CD_0, CD_1 (未顯示)， \dots 是分別連接到板電極 $PL(i, 0), PL(i, 1)$ (未顯示) \dots 。



五、發明說明 (9)

在上述狀態下，當預設的行選擇板驅動線(比如行選擇板驅動線 CD_j)變成已選定的準位以反應外部位址輸入時，只有板電極 $PL(i, j)$ 是在高準位 V_{pl} ，而同一列上的其它板電極仍在接地電位。

結果，只有儲存在第 i 列第 j 行上記憶單元 MC 內的資訊，才被讀取到位元線 BL_j 。更特別的是，參閱圖8，當電晶體 Q_a 是在"on"狀態時，將負電場 $-E_{max}$ 加到位元線 BL_j 與板電極 $PL(i, j)$ 之間，當儲存的資訊是保持在遲滯特性線上點 c 的"1"時，可以讀取出相對於 $P_{max} + P_r$ 的電荷給位元線 BL_j ，而當儲存的資訊是保持在遲滯特性線上點 a 的"0"時，可以讀取出相對於 $P_{max} - P_r$ 的電荷。

與位元線 BL_j 配成對的反位元線 \overline{BL}_j ，被參考單元(未顯示)放在參考電壓準位。可以利用感測-放大出位元線 BL_j 與反位元線 \overline{BL}_j 之間的電壓差，來讀取出儲存在選定狀態下記憶單元 MC 內的資訊。

不在第 j 行內的非選定記憶單元中，位元線與反位元線之間沒有電壓差。因此，儲存在這種記憶單元中的資訊並不會被感測-放大而讀取到外面。亦即，只有在第 i 列第 j 行的記憶單元 MC ，才會被感測-放大。

所以，行選擇板驅動線 CD_j 的信號會變成接地電壓準位，並且板電極 $PL(i, j)$ 的電壓會變成接地電壓準位。這會讓要再一次寫到記憶單元內的資訊在被選定的狀態。在圖2A的時序圖中，在一個行選擇板驅動信號的脈衝下，便完成讀取與再寫入的操作。另外，鐵電記憶裝置100可以



五、發明說明 (10)

依照圖2B所示的時序圖進行操作。在圖2B所示的時序圖中，當字線是在選定準位時，在一個行選擇板驅動信號的脈衝P1下，完成讀取的操作，然後在接下來的一個行選擇板驅動信號脈衝P2下，確保再寫入的操作。

在此所用的再寫入是指如下的操作。參閱圖8，在上述的讀取操作中，點c的狀態已經改變到點a的狀態，造成點c上資料被打斷掉。所以，電場 E_{max} 被加到電容中的鐵電薄膜上，以喚醒點c的狀態。

對於不在第i列上的非選定記憶單元MC，既然用電晶體Qa與Qd將記憶單元MC的電容Cs與位元線(或反位元線)隔絕開，所以電容Cs上電極間的電壓不會改變，而不論電壓 V_{p1} 是否加到行選擇板驅動線 CD_x 上(x是除i以外的整數)，避免偏極化資訊損壞掉。對於連接到選定字線 WL_i 並連接到未選定電位之行選擇板驅動線CD的記憶單元MC，並沒有進行感測-放大，避免偏極化資訊損壞掉。

在圖1的鐵電記憶裝置100中，對每個存取操作，只需要行選擇板驅動電路6來驅動單一記憶單元MC的板電極 $PL(i, j)$ ，且電容值與電阻值很小。這會縮短驅動板電極所需的時間，並實現高速操作以及低功率消耗。此外，既然只有儲存在單一記憶單元MC的資訊被感測-放大到，所以目前感測-放大的功率消耗也會大幅的降低。

(實例2)

依據本發明實例2的鐵電記憶裝置將參閱圖3與圖4來做說明。



五、發明說明 (11)

圖3是依據本發明實例2鐵電記憶裝置200的電路圖。鐵電記憶裝置200包含複數個記憶單元MC，複數個字線 WL_0 ， WL_1 ， \dots ，位元線 BL_0 ， BL_1 ， \dots ，反位元線/ BL_0 ，/ BL_1 ， \dots ，以及行選擇板驅動電路6'。

圖3中鐵電記憶裝置200的結構，是與鐵電記憶裝置100相同，除了行選擇板驅動電路6'以外。在鐵電記憶裝置200中，與鐵電記憶裝置100相同的單元都使用相同的參考數號，其說明也省略掉。

行選擇板驅動電路6'包含主驅動線8，輸出板驅動信號到主驅動線8的板驅動信號產生電路7，以及複數個MOS電晶體 QC_0 ， \dots ， QC_j ， \dots 。

複數個MOS電晶體 QC_0 ， \dots ， QC_j ， \dots 的閘極連接到位址解碼信號線 AD_0 ， \dots ， AD_j ， \dots ，而位址解碼信號線 AD_0 ， \dots ， AD_j ， \dots 是分別連接到行解碼器4上。複數個MOS電晶體 QC_0 ， \dots ， QC_j ， \dots 的汲極或源極一般是連接到主驅動線8。複數個MOS電晶體 QC_0 ， \dots ， QC_j ， \dots 的其它汲極與源極，是分別連接到行選擇板驅動線 CD_0 ， \dots ， CD_j ， \dots 上。

以下，將圖4來說明鐵電記憶裝置200的操作。

圖4是鐵電記憶裝置200的時序圖。在字線上升到已選定準位(高準位)之前的待命狀態中，位元線 BL_0 ， BL_1 ， \dots ，反位元線/ BL_0 ，/ BL_1 ， \dots 以及行選擇板驅動線 CD_0 ， CD_1 ， \dots 是在接地電壓準位。

當外部列位址信號被輸入到鐵電記憶裝置200時，字線



五、發明說明 (12)

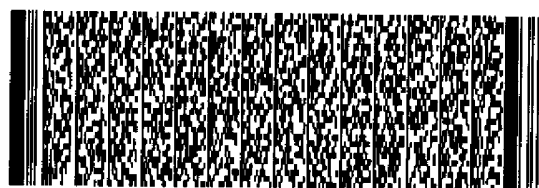
(比如字線 WL_1)會變成選定準位，以反應該當列位址信號。當字線 WL 變成選定準位時，連接到選定字線 WL 上記憶單元 MC 的電晶體 Qa 會被打開，並讓記憶單元 MC 中電容 Cs 的第一電極在接地電位，該接地電位與位元線以及反位元線的電位相同。

連接到選定字線 WL 上記憶單元 MC 的電晶體 Qd 也會被打開，並讓記憶單元 MC 中電容 Cs 的第二電極連接到相對應的行選擇板驅動線 CD 。

板驅動信號產生電路7輸出主驅動信號 MDL (高電壓 V_{p1})給主驅動線8，當作板驅動信號。行解碼器4輸出位址解碼信號 $ADS_0, \dots, ADS_j, \dots$ 給行選擇板驅動電路6'。行選擇板驅動電路6'依照位址解碼信號 $ADS_0, \dots, ADS_j, \dots$ ，選取出至少一個行選擇板驅動線 CD 。提供主驅動信號 MDL 給行選擇板驅動線 CD 。

例如，當只有位址解碼信號 ADS_j 是在與其它電壓不同的某電壓準位時，只有行選擇板驅動線 CD_j 是在 V_{p1} 準位。這只會將板電極 $PL(i, j)$ 變到 V_{p1} 準位，而其它的板電極仍在高阻抗狀態。

結果，如上述的實例1，只有儲存在第 i 行第 j 列之記憶單元 MC 的資訊，才會被讀取到位元線上 BL_j ，並作感測-放大處理。然後感測-放大處理過的資訊被讀取到外面。在讀取操作後，當位址解碼信號 AD_j 仍在選定準位時，主驅動線8會回到接地電壓準位。這會再一次的將行選擇板驅動線 CD_j 與板電極 $PL(i, j)$ 變到接地電壓準位，讓要再一



五、發明說明 (13)

次寫到記憶單元內的資訊是在選定狀態。

(實例3)

依據本發明實例3鐵電記憶裝置將參閱圖5來做說明。

圖5是實例3鐵電記憶裝置300的電路圖。鐵電記憶裝置300包含複數個記憶單元MC，複數個字線 $WL_0, WL_1,$

\dots ，位元線 BL_0, BL_1, \dots ，反位元線 $/BL_0, /BL_1,$
 \dots ，以及行選擇板驅動電路6"。

在實例3中，第a到(a+j)行是當作一個單元。例如，位元線 BL_0 到 BL_j ，以及反位元線 $/BL_0$ 到 $/BL_j$ 是當作一個單元，而 BL_{j+1} 到 BL_{2j+1} ，以及反位元線 $/BL_{j+1}$ 到 $/BL_{2j+1}$ 是當作一個單元。

在某一列中，第0列到第(0+j)列記憶單元MC上電容Cs的第一電極，是連接到相對應記憶單元MC的電晶體Qa。在某一列中，第0列到第(0+j)列記憶單元MC上電容Cs的第二電極，是經由某一板線，而連接到相對應記憶單元MC的電晶體Qd。在某一列中，每個電晶體Qa與電晶體Qd的閘極是連接到字線WL上。

例如，連接到字線 WL_0 並連接到位元線 BL_0 至 BL_j 上複數個記憶單元MC的電容Cs的第二電極，是經由某一板線，而連接到電晶體Qd₀之第一電極。電晶體Qd₀的閘極是連接到字線 WL_0 。

連接到字線 WL_1 並連接到反位元線 $/BL_0$ 到 $/BL_j$ 上的複數個記憶單元MC，其電容Cs的第二電極，是經由某一板線，而連接到電晶體Qd₁。電晶體Qd₁的閘極是連接到字線 WL_1 。



五、發明說明 (14)

連接到字線 WL_i 並連接到位元線 BL_0 到 BL_j 上的複數個記憶單元 MC ，其電容 C_s 的第二電極，是經由某一板線，而連接到電晶體 Qd_i 。電晶體 Qd_i 的閘極是連接到字線 WL_i 。

電晶體 Qd_0, \dots, Qd_i ，連接到共用行選擇板驅動線 CD_0 上。在此的第一電極是指電晶體的源極或汲極，而在此的第二電極是指電晶體的其它源極或汲極。

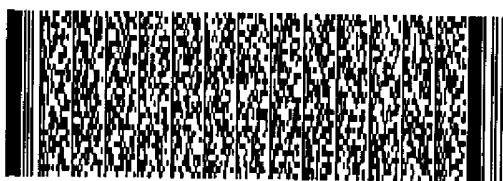
雖然圖5沒有顯示出來，連接到字線 WL_i 並連接到位元線 BL_{j+1} 到 BL_{2j+1} 上的複數個記憶單元 MC ，其電容 C_s 的第二電極，是經由相對應電晶體，而連接到共用行選擇板驅動線 CD_1 。

行選擇板驅動電路6"包含主驅動線8，輸出板驅動信號到主驅動線8的板驅動信號產生電路7，以及複數個MOS電晶體 QC_0, \dots, QC_j, \dots 。

複數個MOS電晶體 QC_0, \dots, QC_j, \dots 的閘極連接到位址解碼信號線 AD_0, \dots, AD_j, \dots ，而位址解碼信號線 AD_0, \dots, AD_j, \dots 是分別連接到行解碼器4上。

複數個MOS電晶體 QC_0, \dots, QC_j, \dots 的第一電極一般是連接到主驅動線8。複數個MOS電晶體 QC_0, \dots, QC_j, \dots 的第二電極，一般是連接到行選擇板驅動線 CD_0 上。在此的第一電極是指電晶體的源極或汲極，而在此的第二電極是指電晶體的其它源極或汲極。

當選取出第0行到第j行的任何一個，以反應從行解碼器4而來的位址解碼輸出信號時，用共用行選擇板驅動線 CD_0 傳送板驅動信號產生電路7的輸出信號。在此例中，第0



五、發明說明 (15)

行到第 j 行位址解碼信號，分別被輸入到電晶體 QC_0 到 QC_j 的閘極上。

用上述結構，鐵電記憶裝置中所需的電晶體 Q_d 數目可以降到 $1/(j+1)$ 。這會縮小記憶單元 MC 的面積，並降低鐵電記憶裝置的製造成本。

因此，在鐵電記憶裝置中，依據本發明，記憶單元在列方向與行方向上被分成數個區段。而可以在複數個記憶單元中，藉半導體記憶裝置的單一存取操作，只選取一個記憶單元，並進行操作。結果，與傳統的半導體記憶裝置比較，可以縮短板驅動時間，並可以實現記憶單元的高速操作。此外，依據本發明的半導體記憶裝置中，可以降低功率消耗。

對於熟知該技術領域的人士來說，在不偏離本發明範圍與精神下，其它不同的改變是很明顯的。因此，所提出的說明並不是用來限定所提出的專利範圍，而是，要對該專利範圍做廣泛的解釋。



四、中文發明摘要 (發明之名稱：半導體記憶裝置)

本發明的半導體記憶裝置包含有一電容，一第一電晶體，以及一第二電晶體，其中該電容包含第一電極，第二電極，以及鐵電薄膜，第二電極是與第一電極相反，而鐵電薄膜是夾在第一電極與第二電極之間，該半導體記憶裝置利用鐵電薄膜的偏極化狀態，能儲存並保持二位元的資訊，第一電晶體包含第一電極，第二電極，以及閘極，其第二電極是連接到電容的第一電極，而第二電晶體包含第一電極，第二電極，以及閘極，其第一電極是連接到電容的第二電極。

英文發明摘要 (發明之名稱：SEMICONDUCTOR MEMORY DEVICE)

The semiconductor memory device of this invention includes a capacitor, a first transistor, and a second transistor, wherein the capacitor includes a first electrode, a second electrode opposing the first electrode, and a ferroelectric film sandwiched by the first and second electrodes, and stores and holds binary information utilizing a polarizing state of the ferroelectric film, the first transistor includes a first electrode, a second



四、中文發明摘要 (發明之名稱：半導體記憶裝置)

英文發明摘要 (發明之名稱：SEMICONDUCTOR MEMORY DEVICE)

electrode, and a gate electrode, the second electrode being connected to the first electrode of the capacitor, and the second transistor includes a first electrode, a second electrode, and a gate electrode, the first electrode being connected to the second electrode of the capacitor.



六、申請專利範圍

1. 一種半導體記憶裝置，係包含有一電容，一第一電晶體，以及第二電晶體，

其中該電容包含有一第一電極，一第二電極，以及一鐵電薄膜，而第二電極是與第一電極相反，且鐵電薄膜是夾在第一電極與第二電極之間，利用鐵電薄膜的偏極化狀態，來儲存並保持住二位元資訊，

第一電晶體包含有一第一電極，一第二電極，以及一閘極，該第二電極連接到電容的第一電極，以及

第二電晶體包含有一第一電極，一第二電極，以及一閘極，該第二電極連接到電容的第二電極。

2. 如申請專利範圍中第1項之半導體記憶裝置，進一步包含一字線，一位元線，一反位元線，以及複數個行選擇板驅動線，

其中該第一電晶體的第一電極連接到位元線與反位元線的其中之一，

該第一電晶體的閘極連接到字線，

該第二電晶體的第二電極連接到複數個行選擇板驅動線的其中之一，

該第二電晶體的閘極連接到字線。

3. 如申請專利範圍中第2項之半導體記憶裝置，進一步包含一行選擇板驅動電路，依照行位址解碼信號，選取出複數個行選擇板驅動線的其中之一。

4. 如申請專利範圍中第3項之半導體記憶裝置，其中該行選擇板驅動電路包含一主驅動線，一板驅動信號產生電



六、申請專利範圍

路，以及複數個MOS電晶體，而該板驅動信號產生電路提供板驅動信號給主驅動線，

複數個MOS電晶體的閘極分別連接到複數個位址解碼信號線，

複數個MOS電晶體的第一電極連接到主驅動線，以及複數個MOS電晶體的第二電極分別連接到複數個行選擇板驅動線。

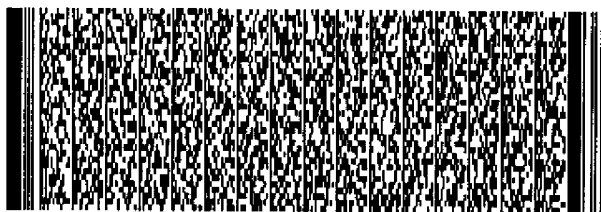
5. 一種半導體記憶裝置，係包含：複數個記憶單元，複數個字線，複數個位元線，複數個反位元線，複數個行選擇板驅動線，以及複數個第二電晶體，其中複數個記憶單元是安置在列方向與行方向上，複數個字線是在列方向上延伸，複數個位元線在行方向上延伸，複數個反位元線在行方向上延伸，複數個行選擇板驅動線在行方向上延伸，其中每個該複數個記憶單元都包含一電容以及一第一電晶體，

該電容包含一第一電極，一第二電極，以及一鐵電薄膜，第二電極與第一電極相反，鐵電薄膜是夾在第一電極與第二電極之間，該電容利用鐵電薄膜的偏極化狀態，能儲存並保持二位元的資訊，

該第一電晶體包含一第一電極，一第二電極，以及一閘極，

每個複數個第二電晶體都包含一第一電極，一第二電極，以及一閘極，

該第一電晶體的第一電極連接到複數個位元線與反位元



六、申請專利範圍

線的其中之一，

該第一電晶體的第二電極連接到該電容的第一電極，

該複數個記憶單元被分成複數個群組，

第一列上同一群組中的複數個記憶單元，其電容的第二電極經由板線，而連接到複數個第二電晶體之一的第一電極，

第一列上複數個第二電晶體之一的第二電極，連接到複數個行選擇板驅動線的其中之一，

第一列上複數個第二電晶體之一的閘極，連接到複數個字線的其中之一，

第一列上第一電晶體的閘極，連接到字線上，該字線是連接到第一列上的第二電晶體，

第二列上同一群組中複數個記憶單元，其電容的第二電極經由板線，而連接到複數個第二電晶體之一的第一電極，

第二列上複數個第二電晶體之一的第二電極，連接到複數個行選擇板驅動線的其中之一，

第二列上複數個第二電晶體之一的閘極，連接到複數個字線的其中之一，

第二列上第一電晶體的閘極，連接到字線上，該字線是連接到第二列上的第二電晶體。



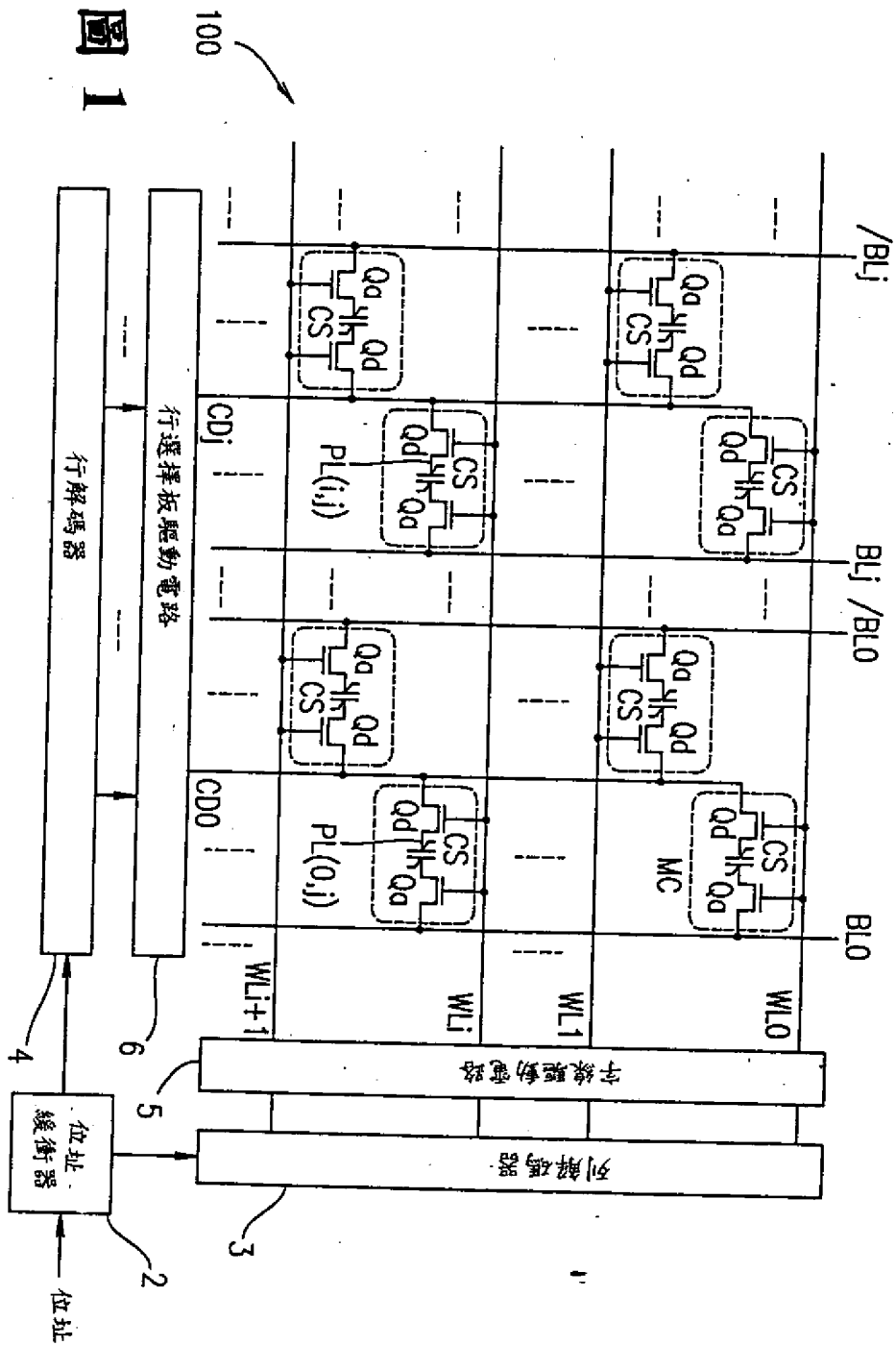


圖 1

圖式

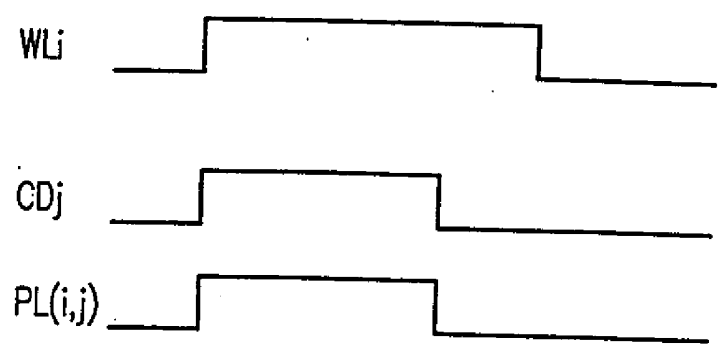


圖 2A

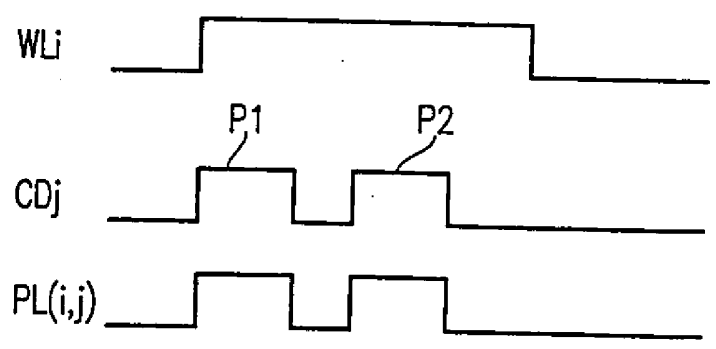


圖 2B

圖式

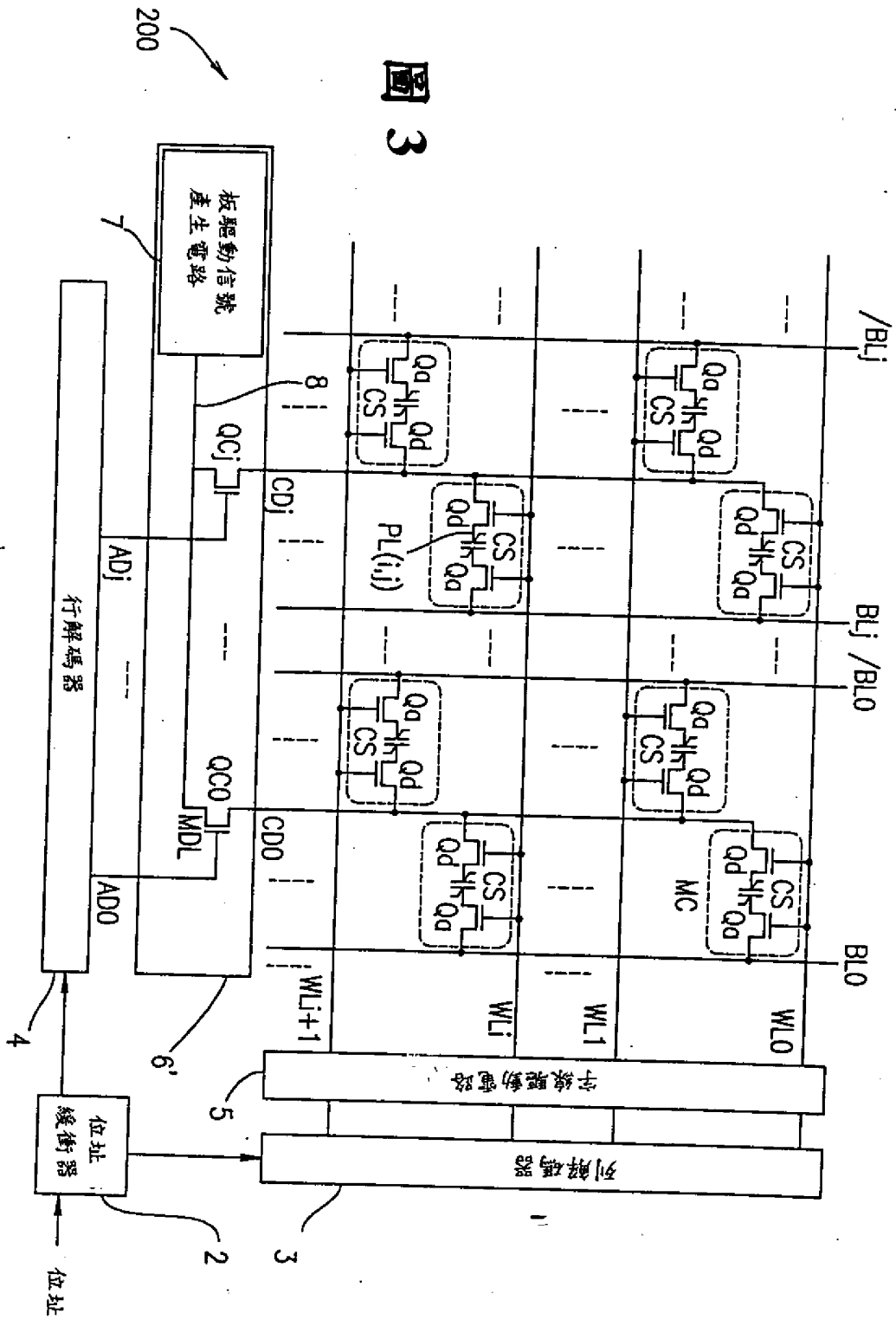


圖 3

圖式

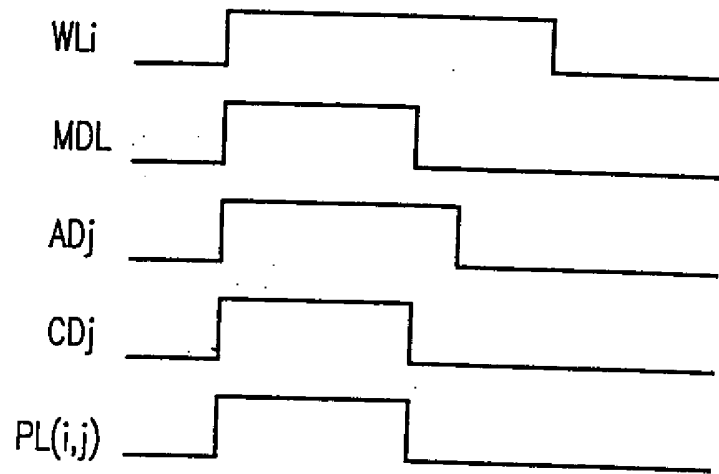


圖 4

圖式

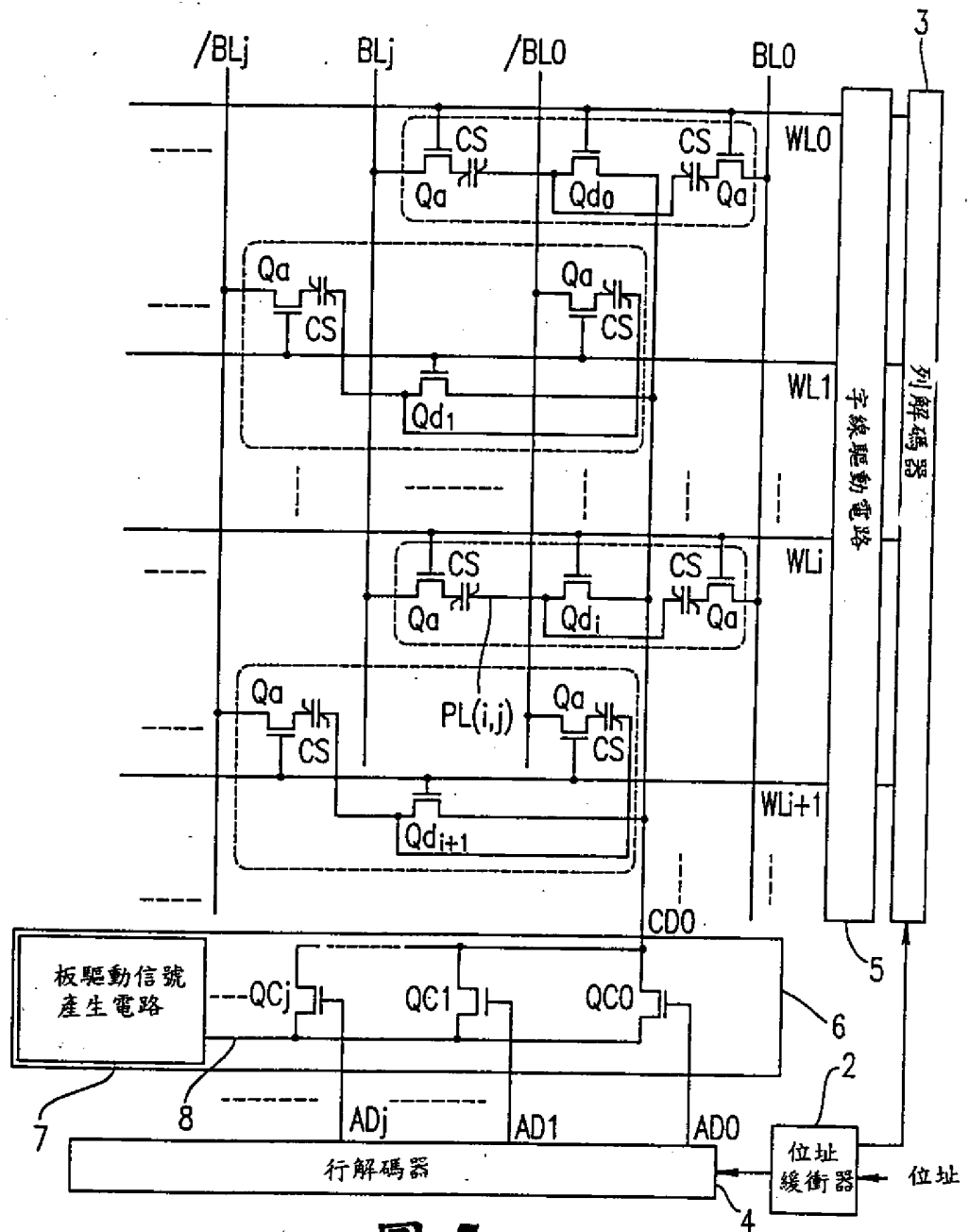
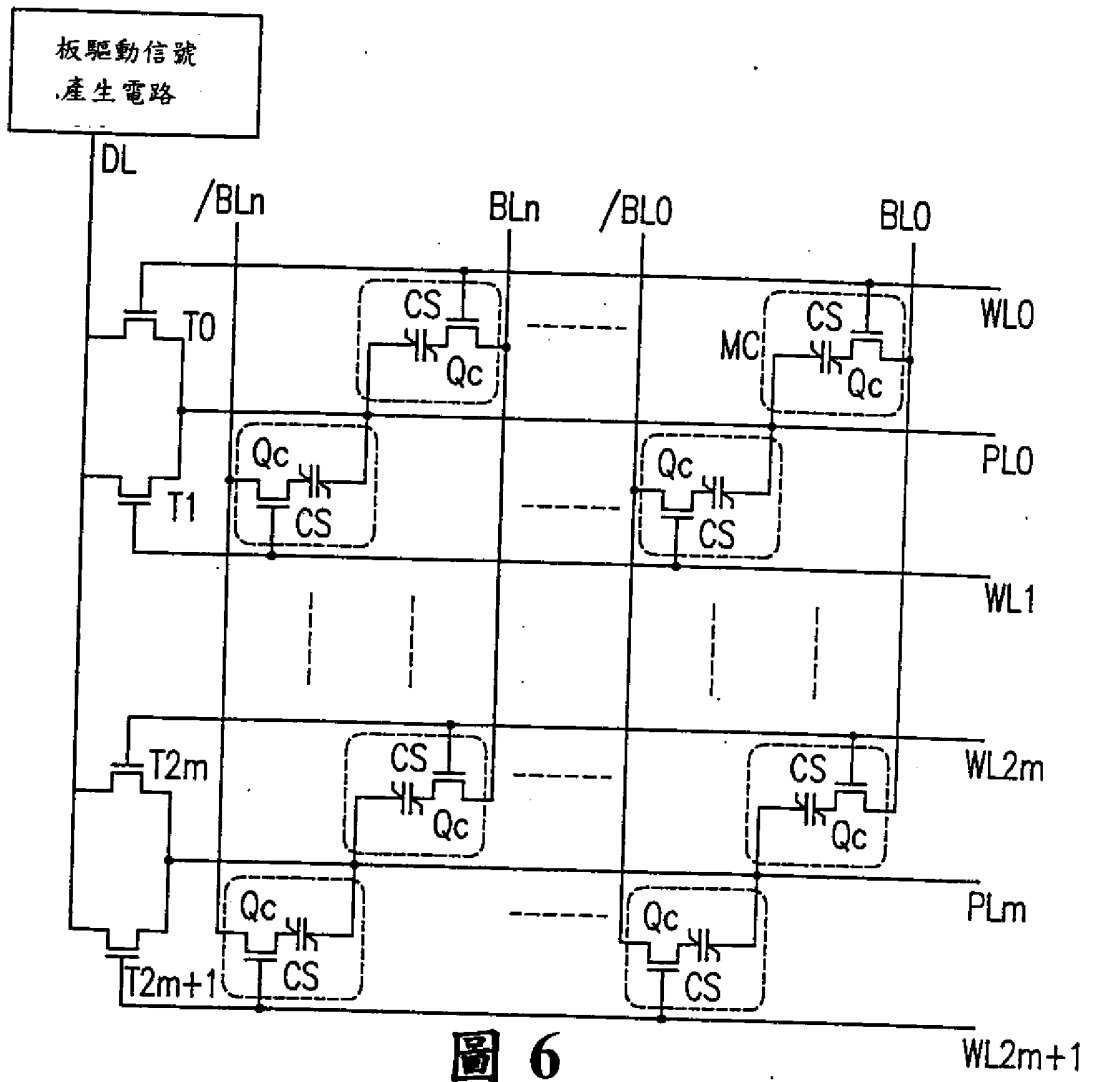


圖 5

300

圖式



圖式

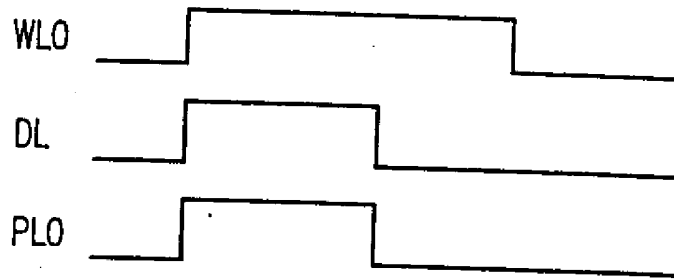


圖 7

圖式

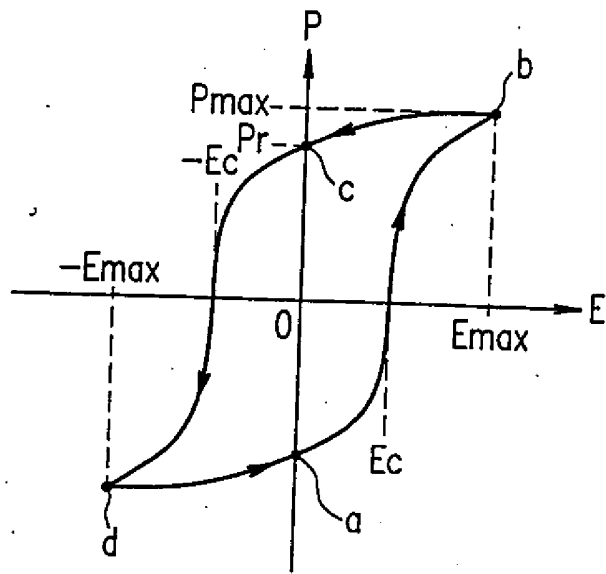


圖 8