

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4787651号  
(P4787651)

(45) 発行日 平成23年10月5日(2011.10.5)

(24) 登録日 平成23年7月22日(2011.7.22)

(51) Int. Cl.		F I	
<b>G06F</b>	<b>1/04</b> (2006.01)	G06F	1/04 A
<b>G06F</b>	<b>1/10</b> (2006.01)	G06F	1/04 330Z
<b>H03K</b>	<b>5/15</b> (2006.01)	H03K	5/15 P
<b>H03K</b>	<b>19/0175</b> (2006.01)	H03K	19/00 101Q

請求項の数 4 (全 9 頁)

(21) 出願番号	特願2006-100543 (P2006-100543)	(73) 特許権者	000232483
(22) 出願日	平成18年3月31日(2006.3.31)		日本電波工業株式会社
(65) 公開番号	特開2007-272796 (P2007-272796A)		東京都渋谷区笹塚一丁目50番1号 笹塚 NAビル
(43) 公開日	平成19年10月18日(2007.10.18)	(74) 代理人	100091513
審査請求日	平成21年2月27日(2009.2.27)		弁理士 井上 俊夫
		(72) 発明者	木村 弘樹
			埼玉県狭山市大字上広瀬1275番地の2 日本電波工業株式会社 狭山事業所内
		(72) 発明者	北山 康夫
			埼玉県狭山市大字上広瀬1275番地の2 日本電波工業株式会社 狭山事業所内
		(72) 発明者	大西 直樹
			埼玉県狭山市大字上広瀬1275番地の2 日本電波工業株式会社 狭山事業所内 最終頁に続く

(54) 【発明の名称】 デジタル処理装置のクロック分配回路

(57) 【特許請求の範囲】

【請求項1】

多数の半導体デバイスで構成されるデジタル処理装置のクロック分配回路であって、一定周波数の正弦波発振信号をクロック信号として発生するクロック発生源と、前記クロック信号を複数の出力端子にそれぞれ分岐して取り出す分配回路と、前記分配回路から出力されるクロック信号をそれぞれエミッタフォロア形のトランジスタ回路でインピーダンス変換して伝送路側に出力する複数のインピーダンス変換回路と、前記各インピーダンス変換回路から伝送路を通して伝送されてくる前記クロック信号をそれぞれ波形変換してクロック伝送先回路に出力する複数の波形変換回路とを備え、  
前記トランジスタ回路は、エミッタフォロアを構成するトランジスタのエミッタと前記伝送路との接続点と、接地と、の間に接続された抵抗を含み、この抵抗の抵抗値は、前記伝送路及び波形変換回路を含む出力先回路の入力インピーダンスに合わせられていることを特徴とするデジタル処理装置のクロック分配回路。

【請求項2】

前記波形変換回路は、正弦波のクロック信号のままで前記クロック伝送先回路に出力する場合、該クロック伝送先回路が要求するクロック信号の振幅に比べて伝送されてくるクロック信号の振幅が小さいときはエミッタ接地形のトランジスタ増幅回路構成にしてクロック信号を増幅した出力を得る構成とし、逆に、入力されるクロック信号の振幅が該クロック伝送先回路が要求する振幅よりも大きいときは減衰器構成としたことを特徴とする請求項1に記載のデジタル処理装置のクロック分配回路。

## 【請求項 3】

前記波形変換回路は、前記クロック伝送先回路にそれぞれ直近した配置にしたことを特徴とする請求項 1 または 2 に記載のデジタル処理装置のクロック分配回路。

## 【請求項 4】

前記インピーダンス変換回路と伝送路と波形変換回路およびクロック伝送先回路は、分配するクロック信号別に高周波シールドを実装、またはクロック信号の伝送経路全体をシールドしたことを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載のデジタル処理装置のクロック分配回路。

## 【発明の詳細な説明】

## 【技術分野】

10

## 【0001】

本発明は、多数の半導体デバイスで構成されるデジタル処理装置のクロック分配回路に係り、特にクロック分配におけるノイズ低減方式に関する。

## 【背景技術】

## 【0002】

この種のデジタル処理装置には、例えば、携帯電話などの無線通信装置、波形解析装置や周波数シンセサイザなどがある。例えば、デジタル方式の周波数シンセサイザは、分周された電圧制御発振器出力のアナログ信号を A/D 変換器でデジタル信号に変換してデジタル処理装置に取り込み、デジタル処理装置ではプリント基板に実装した多数の半導体デバイスによるデジタルフィルタ処理などで位相比較を行い、さらには分周比切換処理を行うことで PLL の電圧制御発振器の出力周波数を制御する。

20

## 【0003】

このように、多数の半導体デバイスで構成されるデジタル処理装置は、各半導体デバイスでのデジタル処理に他のデバイスと同じ基準信号を使用するため、クロック分配回路が必要となる。

## 【0004】

クロック分配回路は、図 6 に示すように、水晶発振回路などで数十 MHz ~ 数百 MHz のクロックパルスを発生するクロック発生源 1 と、このクロックから N 個のクロック信号を生成して分配出力を得る分配回路 (バッファ) 2 で構成する。分配回路 2 は、各クロック信号をストリップライン、同軸ケーブル等の伝送線路を通してデジタル処理デバイスなどの各クロック伝送先回路  $3_1 \sim 3_N$  に伝送する。

30

## 【0005】

このクロック分配回路において、分配回路 2 の出力インピーダンスと、各クロック伝送先回路  $3_1 \sim 3_N$  の入力インピーダンスの不整合によって反射ノイズが発生し、クロック波形に歪みが生じる (図 7 参照)。また、複数の伝送先回路に分配することで、伝送線路長が長くなり、インピーダンス不整合の影響を受けやすく、リングングノイズ、ジッターが発生する要因となる。また、発生したスプリアス成分が他のクロック伝送路、伝送先回路を含めた周辺回路へ輻射し、不要波を発生させる要因となる (図 8 参照)。

## 【0006】

このようなノイズを低減するため、クロック伝送路を短くする、並列終端、ダンピング抵抗の挿入等の対策がとられるが、回路間でのアイソレーション、レベル低下等の問題も同時に対処する必要がある。

40

## 【0007】

他のクロック分配方式として、クロック信号として正弦波信号を用いるものがある。この方式は、基準クロックとして正弦波の信号を生成し、これをアナログ増幅器で増幅して複数の伝送先回路にアナログ伝送し、伝送先回路でデジタル化してクロック信号として用いる (例えば特許文献 1 参照)。

## 【0008】

この文献では、クロック分配装置は複数のカプラをエッチツリー構造に接続し、クロック伝送先回路では RF 信号の反射を抑制するためのインピーダンス整合回路を設けた構成

50

としている。

【0009】

【特許文献1】特開2001-166846号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

従来のRF信号を用いた特許文献1の装置では、カプラによってRF信号を分配するため、信号の反射波を抑制することができるが、3dB程度の損失が生じる。この損失による信号レベルの低下の補償が必要となる場合には、局所的に不整合にして定在波を誘発させることとしているが、定在波による反射や輻射の問題が生じてしまう。

10

【0011】

本発明の目的は、クロック信号の伝送損失を少なくし、他の信号処理回路へのノイズ侵入を抑制できるデジタル処理装置のクロック分配回路を提供することにある。

【課題を解決するための手段】

【0012】

本発明は、前記の課題を解決するため、以下の構成としたことを特徴とする。

【0013】

(1)多数の半導体デバイスで構成されるデジタル処理装置のクロック分配回路であって、

一定周波数の正弦波発振信号をクロック信号として発生するクロック発生源と、  
前記クロック信号を複数の出力端子にそれぞれ分岐して取り出す分配回路と、  
前記分配回路から出力されるクロック信号をそれぞれエミッタフォロア形のトランジスタ回路でインピーダンス変換して伝送路側に出力する複数のインピーダンス変換回路と、  
前記各インピーダンス変換回路から伝送路を通して伝送されてくる前記クロック信号をそれぞれ波形変換してクロック伝送先回路に出力する複数の波形変換回路とを備え、

20

前記トランジスタ回路は、エミッタフォロアを構成するトランジスタのエミッタと前記伝送路との接続点と、接地と、の間に接続された抵抗を含み、この抵抗の抵抗値は、前記伝送路及び波形変換回路からなる出力先回路の入力インピーダンスに合わせられていることを特徴とする。

30

【0014】

(2)前記波形変換回路は、正弦波のクロック信号のまま前記クロック伝送先回路に出力する場合、該クロック伝送先回路が要求するクロック信号の振幅に比べて伝送されてくるクロック信号の振幅が小さいときはエミッタ接地形のトランジスタ増幅回路構成にしてクロック信号を増幅した出力を得る構成とし、逆に、入力されるクロック信号の振幅が該クロック伝送先回路が要求する振幅よりも大きいときは減衰器構成としたことを特徴とする。

【0015】

(3)前記波形変換回路は、前記クロック伝送先回路に矩形波(パルス波形)クロック信号に変換して出力する場合、矩形波変換回路または差動ドライバ回路構成にしたことを特徴とする。

40

【0016】

(4)前記波形変換回路は、前記クロック伝送先回路にそれぞれ直近した配置にしたことを特徴とする。

【0017】

(5)前記インピーダンス変換回路と伝送路と波形変換回路およびクロック伝送先回路は、分配するクロック信号別に高周波シールドを実装、またはクロック信号の伝送経路全体をシールドしたことを特徴とする。

【発明の効果】

50

## 【 0 0 1 8 】

以上のとおり、本発明によれば、クロック信号の伝送損失を少なくし、他の信号処理回路へのノイズ侵入を抑制できる。

## 【 0 0 1 9 】

具体的には、インピーダンス変換回路をエミッタフォロアトランジスタとしてインピーダンス整合をとることにより、伝送路長による影響を低減し、ノイズの発生を抑えることができる。また、クロック信号のレベル損失がほとんど生じない。また、各伝送回路間のアイソレーションも確保することができる。

## 【 0 0 2 0 】

波形変換回路は、正弦波信号のままクロック伝送先回路に出力する場合は、クロック伝送先回路が要求するクロック信号の振幅に適合した信号を出力しながら不要な輻射発生を抑えることができる。また、正弦波クロック信号を矩形波クロック信号に変換する場合は、矩形波変換回路をクロック伝送先回路にそれぞれ直近した配置にすることで、矩形波変換によりデジタルノイズの発生および周辺回路への輻射を最低限に抑えることができる。

10

## 【 0 0 2 1 】

また、インピーダンス変換回路と伝送路と波形変換回路およびクロック伝送先回路は、分配するクロック信号別に高周波シールドを実装、またはクロック信号の伝送経路全体をシールドすることで、各伝送回路間および他の周辺回路への空間での輻射を一層低減させることができる。

20

## 【発明を実施するための最良の形態】

## 【 0 0 2 2 】

図1は、本発明の実施形態を示すクロック分配回路図である。クロック発生源11は、水晶発振回路などで数十MHz～数百MHzの一定周波数の正弦波発振信号を得、フィルタ回路で高調波成分を除去し、アナログ増幅回路(バッファ回路)を有してクロック信号を発生する。分配回路12は、クロック信号をN個の出力端子にそれぞれ分岐して取り出す。

## 【 0 0 2 3 】

インピーダンス変換回路13<sub>1</sub>～13<sub>N</sub>は、分配回路12の各出力端子に出力されるクロック信号がもつ出力インピーダンスに対して、クロック信号の伝送路14<sub>1</sub>～14<sub>N</sub>および波形変換回路15<sub>1</sub>～15<sub>N</sub>が呈する入力インピーダンスに整合させたインピーダンス変換をして該伝送路14<sub>1</sub>～14<sub>N</sub>にクロック信号を出力する。

30

## 【 0 0 2 4 】

これらインピーダンス変換回路13<sub>1</sub>～13<sub>N</sub>によるインピーダンス整合をとることにより、伝送路長による影響を低減し、ノイズの発生を抑える。図2は、インピーダンス変換回路の具体的な回路図を示し、エミッタフォロア形のトランジスタ回路とする。この構成により、分配回路から入力されるクロック信号に対しては比較的高いインピーダンスを呈する。また伝送路に出力するクロック信号は抵抗R3の抵抗値を出力先回路の入力インピーダンスに合わせ、比較的低いインピーダンスで出力することによりクロック信号のレベル損失をほとんど生じさせずにインピーダンス整合を得る。また、同時に、各伝送回路間のアイソレーションも確保することができる。

40

## 【 0 0 2 5 】

波形変換回路15<sub>1</sub>～15<sub>N</sub>は、伝送路14<sub>1</sub>～14<sub>N</sub>を通して入力されるクロック信号を波形変換し、クロック伝送先回路16<sub>1</sub>～16<sub>N</sub>にクロック信号を出力する。

## 【 0 0 2 6 】

ここで、波形変換回路15<sub>1</sub>～15<sub>N</sub>は、正弦波のクロック信号のままクロック伝送先回路16<sub>1</sub>～16<sub>N</sub>側にクロック信号を出力する場合、クロック伝送先回路16<sub>1</sub>～16<sub>N</sub>が要求するクロック信号の振幅に比べて、伝送されてくるクロック信号の振幅が小さいときはエミッタ接地形のトランジスタ増幅回路構成にしてクロック信号を増幅した出力を得る。逆に、入力されるクロック信号の振幅がクロック伝送先回路が要求する振幅より

50

も大きいときは減衰器構成にしてレベル調整を行う。

【0027】

また、波形変換回路 $15_1 \sim 15_N$ は、クロック伝送先回路 $16_1 \sim 16_N$ に矩形波（パルス波形）クロック信号に変換して出力する場合、論理インバータICによる矩形波変換回路、ECL（エミッタ・カップルド・ロジック）による差動ドライバ回路構成にし、矩形波への変換を行う。この場合、各波形変換回路 $15_1 \sim 15_N$ は、クロック伝送先回路 $16_1 \sim 16_N$ にそれぞれ直近した配置にすることで、矩形波変換によりデジタルノイズの発生および周辺回路への輻射を最低限に抑える。

【0028】

なお、同軸ケーブルを通して他のデジタル処理装置にクロック信号を伝送する場合、他のデジタル処理装置にはクロック信号を矩形波（パルス波形）クロック信号に変換する波形変換回路 $15_1 \sim 15_N$ を設け、この波形変換回路 $15_1 \sim 15_N$ はクロック伝送先回路 $16_1 \sim 16_N$ にそれぞれ直近した配置として同等の作用効果を得ることができる。

10

【0029】

また、インピーダンス変換回路 $13_1 \sim 13_N$ と伝送路 $14_1 \sim 14_N$ と波形変換回路 $15_1 \sim 15_N$ およびクロック伝送先回路 $16_1 \sim 16_N$ は、図1中に破線ブロックとして示すように、分配するクロック信号別に高周波シールド17を実装するか、またはクロック信号のクロック分配回路全体をシールドする。これらシールドの実装により、各伝送回路間および他の周辺回路への空間での輻射を一層低減させることができる。

【0030】

20

図3にシールド17の構成例を示す。プリント基板18上にクロック発生源11や分配回路12、伝送先回路 $16_1 \sim 16_N$ 等を含むクロック分配回路全体を覆うように例えば扁平な直方体形状にした導電性の高周波シールド17を設け、この一箇所をグランドに接続する。

【0031】

図4および図5は、本実施形態を基にした実験結果を示す。図4(a)はクロック発生源11の出力波形（正弦波）を示し、図4(b)は矩形波変換を行う場合の波形変換回路 $15_1 \sim 15_N$ 入力およびクロック伝送先回路 $16_1 \sim 16_N$ 入力でのクロック波形を示す。図5(a)はクロック発生源11のクロック信号におけるスプリアスと位相雑音特性を示し、図5(b)は波形変換回路 $15_1 \sim 15_N$ で矩形波変換した場合のスプリアスと位相雑音特性を示し、スプリアス、位相雑音共にほぼ劣化なしの結果が得られた。

30

【図面の簡単な説明】

【0032】

【図1】本発明の実施形態を示すRF信号方式のクロック分配回路図。

【図2】実施形態におけるインピーダンス変換回路の具体的な回路図。

【図3】実施形態における電磁シールドの実装例。

【図4】本発明における正弦波波形とクロック波形。

【図5】本発明におけるクロック信号と矩形波変換したスプリアスと位相雑音特性。

【図6】従来クロック分配回路図。

【図7】従来回路における反射ノイズ発生とクロック波形歪みの波形図。

40

【図8】従来回路におけるスプリアスと位相雑音の波形図。

【符号の説明】

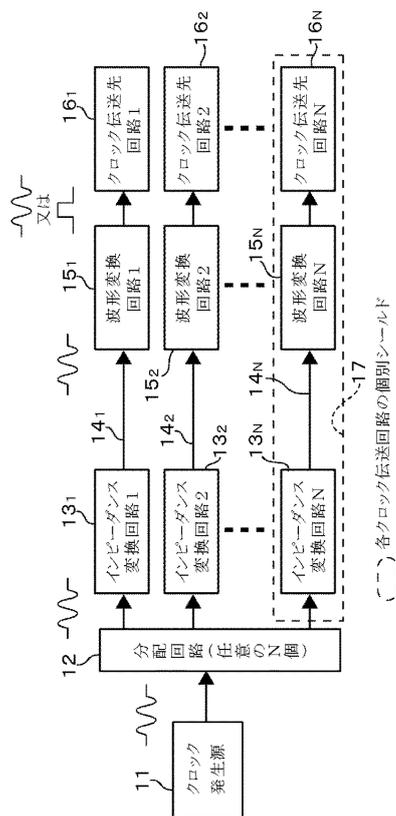
【0033】

- 11 クロック発生源
- 12 分配回路
- $13_1 \sim 13_N$  インピーダンス変換回路
- $14_1 \sim 14_N$  クロック信号の伝送路
- $15_1 \sim 15_N$  波形変換回路
- $16_1 \sim 16_N$  クロック伝送先回路
- 17 電磁シールド

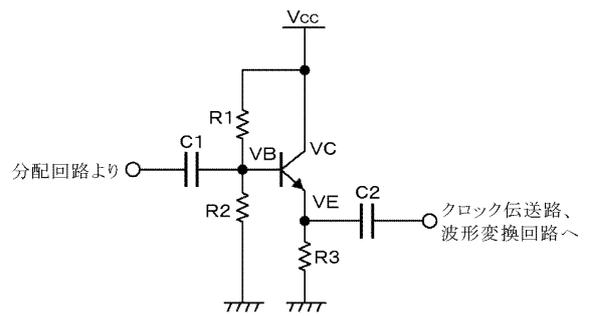
50

- 18 プリント基板
- 19 集積回路素子
- 20 コネクタ

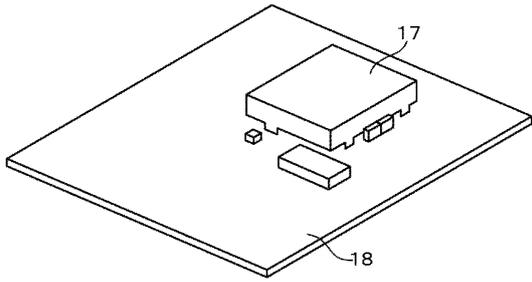
【図1】



【図2】

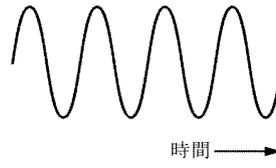


【図3】

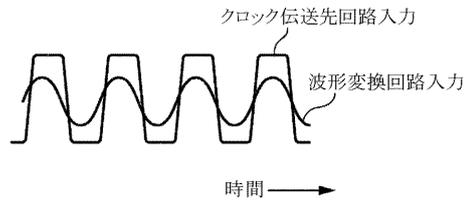


【図4】

(a)

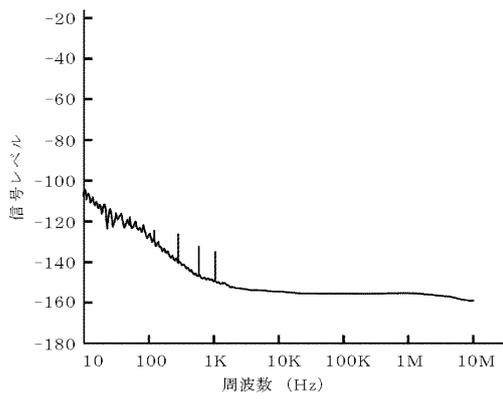


(b)

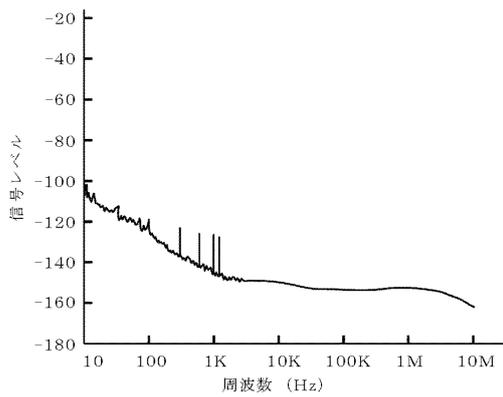


【図5】

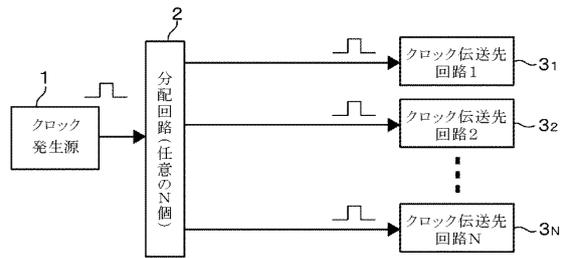
(a)



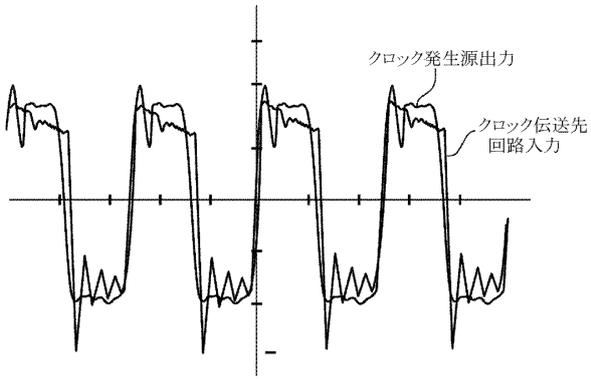
(b)



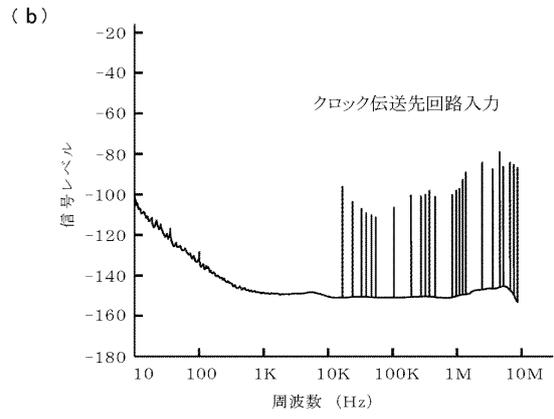
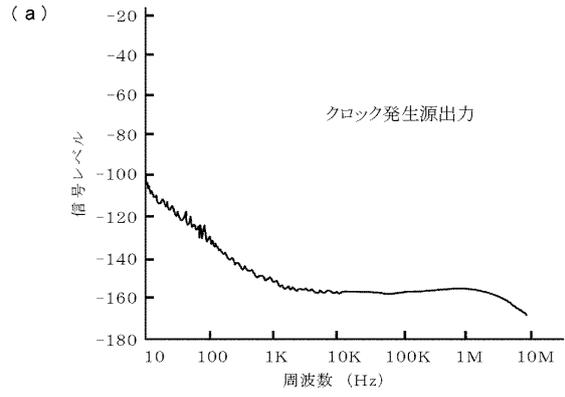
【図6】



【図7】



【図8】



---

フロントページの続き

審査官 田中 友章

- (56)参考文献 特開平03 - 129416 (JP, A)  
特開平04 - 306914 (JP, A)  
特開2001 - 166844 (JP, A)  
特開平08 - 129428 (JP, A)  
特開2004 - 320414 (JP, A)  
特公昭41 - 003843 (JP, B1)  
特開平10 - 209814 (JP, A)  
特開2003 - 186565 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F	1/04
G06F	1/10
H03K	5/15
H03K	19/0175
H03B	5/02