

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2012年11月29日(29.11.2012)



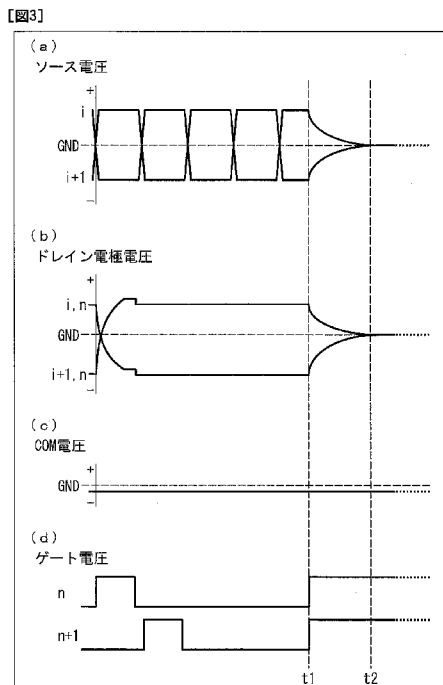
(10) 国際公開番号  
WO 2012/161022 A1

- (51) 国際特許分類:  
G09G 3/36 (2006.01) G09G 3/20 (2006.01)  
G02F 1/133 (2006.01) G09G 3/34 (2006.01)
- (21) 国際出願番号: PCT/JP2012/062335
- (22) 国際出願日: 2012年5月14日(14.05.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2011-113715 2011年5月20日(20.05.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):  
シャープ株式会社 (SHARP KABUSHIKI KAISHA)  
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町  
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 齊藤 浩二  
(SAITOH, Kohji). 中田 淳 (NAKATA, Jun). 藤岡  
章純 (FUJIOKA, Akizumi). 大和 朝日 (YAMATO,  
Asahi). 村井 淳人 (MURAI, Atsubito). 尾崎 正実  
(OZAKI, Masami). 柳 俊洋 (YANAGI, Toshihiro).
- (74) 代理人: 特許業務法人原謙三国際特許事務所  
(HARAKENZO WORLD PATENT & TRADEMARK);  
〒5300041 大阪府大阪市北区天神橋2丁目北2  
番6号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,  
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,  
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,  
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,  
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,  
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,  
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,  
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,  
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,  
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ

[続葉有]

(54) Title: DISPLAY DEVICE, LIQUID CRYSTAL DISPLAY DEVICE, AND DRIVE METHOD

(54) 発明の名称: 表示装置、液晶表示装置、および駆動方法



(a)... SOURCE VOLTAGE  
 (b)... DRAIN ELECTRODE VOLTAGE  
 (c)... COM VOLTAGE  
 (d)... GATE VOLTAGE

(57) Abstract: The purpose of a display device of the present invention is to prevent a charge from being left in a pixel when turning off display on a display panel. A display device (1) of the present invention is provided with a display end time control unit (20), which controls a display panel (2) such that a first voltage for removing the charge accumulated in each of a plurality of pixels is applied to each pixel when turning off display on the display panel (2).

(57) 要約: 本発明の表示装置は、表示パネルの表示がオフされる時、画素に電荷が残留しないようにすることを目的とする。本発明の表示装置(1)は、表示パネル(2)の表示がオフされる時、複数の画素の各々に対し、画素に蓄えられた電荷を除去するための第1の電圧を印加するように表示パネル(2)を制御する表示終了時制御部(20)を備える。

WO 2012/161022 A1

ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ  
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,  
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,  
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI  
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,  
NE, SN, TD, TG).

添付公開書類:  
— 国際調査報告 (条約第 21 条(3))

## 明 細 書

発明の名称：表示装置、液晶表示装置、および駆動方法

### 技術分野

[0001] 本発明は、表示装置、液晶表示装置、および駆動方法に関する。

### 背景技術

[0002] 近年、液晶表示装置に代表される薄型、軽量、および低消費電力の表示装置が盛んに活用されている。こうした表示装置は、例えば携帯電話、スマートフォン、PDA（携帯型情報端末）、電子ブック、ラップトップ型パーソナルコンピュータ等への搭載が顕著である。また、今後はより薄型の表示装置である電子ペーパーの開発および普及も急速に進むことが期待されている。

[0003] このような表示装置においては、表示パネルの表示をオフしたとき、表示パネルが備える各画素の画素容量に蓄えられていた電荷は、自然放電により徐々に減少していくが、その速度が非常に遅いため、この電荷は長期間画素容量に残ったままとなる。

[0004] 特に、各画素にスイッチング素子として用いられるTFT（Thin Film Transistor）のオフ性能が高まってきており、それにつれ、各画素の自然放電量が少なくなり、電荷が画素容量に残ったままとなる期間は、より長期間化してきている。

[0005] このように、画素容量に蓄えられていた電荷が長期間残ったままであると、焼き付きや、フリッカ等の表示の不具合が発生してしまう。また、画素に電圧がかかったままとなってしまうため、画素の寿命が低下し、表示パネルの信頼性が損なわれることとなる。

[0006] このように、表示装置においては、画素容量に蓄えられていた電荷をいかに残さないかが課題となっており、これまでに、この課題を解決するための様々な技術が考案されている。

[0007] 例えば、下記特許文献1には、表示装置本体の電源スイッチをオフに操作

したときに、ソースバスドライバの動作電源電圧が共通電位までゆっくりと立ち下がるのと略同時に、そのソースバスドライバの出力端子の電位が共通電位までゆっくりと立ち下がることから、このときに液晶表示素子の全てのTFTを一斉にオンとし、各画素の表示電極を信号線駆動回路に電氣的に接続することで、各画素容量に蓄積されていた電荷を放電する技術が開示されている。

## 先行技術文献

### 特許文献

- [0008] 特許文献1：日本国公開特許公報「特開平10-214062号公報（公開日：1998年8月11日）」

## 発明の概要

### 発明が解決しようとする課題

- [0009] しかしながら、上記特許文献1に開示された技術によると、各画素の電位はゆっくりと立ち下がるので、各画素の電位を短時間で共通電位にまで立ち下げることができず、各画素の電位が共通電位に立ち下がるまでの期間が長いため、焼き付き等の表示の不具合が生じてしまう。また、上記期間において再度表示装置本体の電源スイッチがオンにされると、各画素容量に電荷が残ったまま表示が再開されることとなるので、フリッカ等の表示の不具合が生じてしまう。

- [0010] 本発明は、前記の問題に鑑みてなされたものであり、その目的は、表示パネルによる表示をオフしたときにその表示パネルの各画素に蓄えられている電荷を効率的に放電することができる表示装置および駆動方法を提供することにある。

### 課題を解決するための手段

- [0011] 本発明に係る表示装置は、上述した課題を解決するため、複数の画素、複数のゲート信号ライン、および複数のソース信号ラインを有する表示パネルと、前記複数の画素の各々の共通電極に対し、共通電圧を供給する共通電極

駆動回路と、前記複数のゲート信号ラインを順次選択して走査する走査線駆動回路と、選択されたゲート信号ライン上の複数の画素の各々に対し、前記複数のソース信号ラインからソース信号を供給する信号線駆動回路と、前記表示パネルの表示がオフされるとき、前記複数の画素の各々の画素電極に対し、画素に蓄えられた電荷を開放するための第1の電圧を印加するように制御する表示終了時制御手段とを備えることを特徴とする。

[0012] 本表示装置によれば、各画素の画素電極の電圧レベルを、画素に蓄えられた電荷を開放するための第1の電圧まで短時間で遷移させることができる。すなわち、表示パネルの各画素に蓄えられている電荷を短時間で放電することができるので、焼き付きや、フリッカ等の表示の不具合を生じさせることなく、表示パネルによる表示をオフすることができる。

[0013] また、本発明に係る液晶表示装置は、上記のいずれかに記載の表示装置を備えたことを特徴とする。

[0014] 本液晶表示装置によれば、上記表示装置と同様の効果を奏する液晶表示装置を提供することができる。

[0015] また、本発明に係る駆動方法は、複数の画素、複数のゲート信号ライン、および複数のソース信号ラインを有する表示パネルと、前記複数の画素の各々の共通電極に対し、共通電圧を供給する共通電極駆動回路と、前記複数のゲート信号ラインを順次選択して走査する走査線駆動回路と、選択されたゲート信号ライン上の複数の画素の各々に対し、前記複数のソース信号ラインからソース信号を供給する信号線駆動回路とを備えた表示装置の駆動方法であって、前記表示パネルの表示がオフされるとき、前記複数の画素の各々の画素電極に対し、画素に蓄えられた電荷を開放するための第1の電圧を印加するように制御する表示終了時制御工程を含んだことを特徴とする。

[0016] 本駆動方法によれば、当該駆動方法を表示装置の駆動方法として採用することにより、上記表示装置と同様の効果を奏する表示装置を提供することができる。

## 発明の効果

[0017] 本発明に係る表示装置、液晶表示装置、およびその駆動方法によれば、表示パネルによる表示をオフしたときにその表示パネルの各画素に蓄えられている電荷を効率的に放電することができるという効果を奏する。

### 図面の簡単な説明

[0018] [図1]実施形態1に係る表示装置の構成例を示す図である。

[図2]表示パネルが備える画素の構成を示す図である。

[図3]実施形態1に係る表示装置による表示終了時動作における各種電圧値を示す。

[図4]実施形態2に係る表示装置による表示終了時動作における各種電圧値を示す。

[図5]実施形態3に係る表示装置による表示終了時動作における各種電圧値を示す。

[図6]実施形態4に係る表示装置による表示終了時動作における各種電圧値を示す。

[図7]実施形態5に係る表示装置1による表示終了時動作における各種電圧値を示す。

[図8]表示パネルの表示がオフされるタイミングを検出する構成を加えた表示装置の第1の構成例を示す図である。

[図9]表示パネルの表示がオフされるタイミングを検出する構成を加えた表示装置の第2の構成例を示す図である。

[図10]走査線駆動回路において入出力される各種信号波形を示す図である。

[図11]表示装置が備える信号線駆動回路の構成例を示す図である。

[図12]ソース出力アンプ回路制御部から、電圧制御回路に供給される、各種制御信号の波形を示す図である。

[図13]正負電源システムにおける、アンプ電源電圧範囲およびアンプ出力範囲の一例を示す図である。

[図14]片側電源システムにおける、アンプ電源電圧範囲およびアンプ出力範囲の一例を示す図である。

[図15]正負電源システムにおける、アンプ電源電圧範囲およびアンプ出力範囲の他の一例を示す図である。

[図16]C g dによるドレイン電位の引き込みを説明するための図である。

[図17]各種T F Tの特性を示す図である。

### 発明を実施するための形態

[0019] 本発明に係る実施形態について、図面を参照して以下に説明する。

[0020] (実施形態1)

まず、本発明の実施形態1について説明する。

[0021] (表示装置の構成)

はじめに、図1を参照して、実施形態1に係る表示装置1の構成例について説明する。図1は、実施形態1に係る表示装置1の構成例を示す図である。図1に示すように、表示装置1は、表示パネル2、走査線駆動回路4、信号線駆動回路6、共通電極駆動回路8、タイミングコントローラ10、および電源生成回路12を備えている。

[0022] 実施形態1では、表示装置1としてアクティブマトリクス型の液晶表示装置を採用している。したがって、実施形態1の表示パネル2は、アクティブマトリクス型の液晶表示パネルであり、上記したその他の構成要素は、液晶表示パネルを駆動するためのものである。

[0023] 表示パネル2は、複数の画素、複数のゲート信号ラインG、および複数のソース信号ラインSを備えている。

[0024] 複数の画素は、格子状に配置されている。

[0025] 複数のゲート信号ラインGは、画素列方向（画素列に沿った方向）に並べて設けられている。複数のゲート信号ラインGの各々は、複数の画素のうちの対応する画素行に接続されている。

[0026] 複数のソース信号ラインSは、画素行方向（画素行に沿った方向）に並べて設けられており、いずれも複数のゲート信号ラインGの各々と直交している。複数のソース信号ラインSの各々は、複数の画素のうちの対応する画素列に接続されている。

- [0027] 以降の説明では、 $n$ 行目 ( $n$ は任意の整数)の画素行に接続されているゲート信号ライン $G$ を、 $G(n)$ と示す。例えば、 $G(n)$ を10行目の画素行に接続されているゲート信号ライン $G$ とした場合、 $G(n+1)$ 、 $G(n+2)$ 、 $G(n+3)$ は、それぞれ11行目、12行目、13行目の画素行に接続されているゲート信号ライン $G$ を示す。
- [0028] また、以降の説明では、 $i$ 列目 ( $i$ は任意の整数)の画素列を接続するソース信号ライン $S$ を、 $S(i)$ と示す。例えば、 $S(i)$ を10列目の画素を接続するソース信号ライン $S$ とした場合、 $S(i+1)$ 、 $S(i+2)$ 、 $S(i+3)$ は、それぞれ11列目、12列目、13列目の画素列を接続するソース信号ライン $S$ を示す。
- [0029] 走査線駆動回路4は、複数のゲート信号ライン $G$ を順次選択して走査する。具体的には、走査線駆動回路4は、複数のゲート信号ライン $G$ を順次選択し、選択したゲート信号ライン $G$ に対して、当該ゲート信号ライン $G$ 上の各画素に備えられたスイッチング素子(TFT)をオンに切り換えるためのオン電圧を供給する。
- [0030] 信号線駆動回路6は、ゲート信号ライン $G$ が選択されている間、そのゲート信号ライン $G$ 上の各画素に対して、対応するソース信号ライン $S$ から、ソース信号を供給する。具体的に説明すると、信号線駆動回路6は、入力された映像信号に基づいて、選択されたゲート信号ライン $G$ 上の各画素に出力すべき電圧の値を算出し、その値の電圧をソース出力アンプから各ソース信号ライン $S$ に向けて出力する。その結果、選択されたゲート信号ライン $G$ 上にある各画素に対してソース信号が供給され、ソース信号が書き込まれることとなる。
- [0031] 共通電極駆動回路8は、複数の画素の各々に設けられている共通電極に対し、当該共通電極を駆動するための所定の共通電圧を供給する。
- [0032] タイミングコントローラ10には、外部(図1に示す例では、システム側コントロール部)から映像信号が入力される。ここでいう映像信号とは、クロック信号、同期信号、映像データ信号を含んでいる。そして、タイミング



コントローラ 10 は、各駆動回路が同期して動作するための基準となる信号を各駆動回路に対して出力する。例えば、タイミングコントローラ 10 は、走査線駆動回路 4 に対して、ゲートスタートパルス信号、ゲートクロック信号 GCK、およびゲート出力制御信号 GOE を供給する。また、タイミングコントローラ 10 は、信号線駆動回路 6 に対しては、ソーススタートパルス信号、ソースラッチストロブ信号、およびソースクロック信号を出力する。

[0033] 走査線駆動回路 4 は、ゲートスタートパルス信号を受け取ると、複数のゲート信号ライン G の操作を開始する。そして、走査線駆動回路 4 は、ゲートクロック信号 GCK およびゲート出力制御信号 GOE に従って、各ゲート信号ライン G に対して、順次オン電圧を供給していく。

[0034] 信号線駆動回路 6 は、ソーススタートパルス信号を基に、入力された各画素の画像データをソースクロック信号に従ってレジスタに蓄え、次のソースラッチストロブ信号に従って、各ソース信号ライン S に対し、画像データに応じたソース信号を供給する。

[0035] 電源生成回路 12 は、表示装置 1 内の各回路が動作するために必要な電圧である  $V_{dd}$ 、 $V_{dd2}$ 、 $V_{cc}$ 、 $V_{gh}$ 、および  $V_{gl}$  を生成する。そして、 $V_{cc}$ 、 $V_{gh}$ 、 $V_{gl}$  を走査線駆動回路 4 に供給し、 $V_{dd}$  および  $V_{cc}$  を信号線駆動回路 6 に供給し、 $V_{cc}$  をタイミングコントローラ 10 に供給し、 $V_{dd2}$  を共通電極駆動回路 8 に供給する。

[0036] (表示終了時制御部 20)

ここで、実施形態 1 の表示装置 1 は、表示終了時制御部 20 をさらに備えている。例えば、図 1 に示す例では、表示装置 1 には、タイミングコントローラ 10 の 1 つの機能として、表示終了時制御部 20 が設けられている。

[0037] この表示終了時制御部 20 は、表示装置 1 による表示終了時動作を制御する。この表示終了時動作とは、表示パネル 2 の表示がオフされるとき、表示パネル 2 上の複数の画素の各々の画素電極に対し、第 1 の電圧が印加されるように、表示装置 1 の各部を制御するというものである。

[0038] 第1の電圧とは、画素に蓄えられた電荷を開放するために、画素電極に印加する電圧である。例えば、第1の電圧には、画素に蓄えられたより多くの電荷をより短時間で開放するための電圧として、少なくとも通常駆動時にノーマリー状態を表示するための電圧よりもグランド電圧GND（0V）により近い電圧とすることが好ましく、グランド電圧GND（0V）とすることが最も好ましい。

[0039] 例えば、通常駆動時にノーマリー状態を表示するための電圧としては共通電圧よりも±0.5～1.0V程度の電圧が採用される。

[0040] したがって、第1の電圧としては、グランド電圧GNDよりも±0～±0.5Vとすることが好ましく、グランド電圧GND（0V）とすることが最も好ましい。

[0041] 実施形態1の表示装置1においては、第1の電圧として、グランド電圧GND（0V）が採用されている。

[0042] 但し、画素電極の電圧レベルの変動や、共通電圧の電圧レベルの変動等を考慮して、グランド電圧GNDから意図的にこの変動分を増加または減少させた電圧を、第1の電圧とすることもある。

[0043] 以下、表示装置1が行う表示終了時動作の具体例について説明する。

[0044] （画素の構成）

まず、表示パネル2が備える画素の構成について説明する。図2は、表示パネル2が備える画素の構成を示す図である。図2では、表示パネル2が備える複数の画素のうち、2つの画素（画素（ $i$ ,  $n$ ）および画素（ $i+1$ ,  $n$ ））の構成を示している。画素（ $i$ ,  $n$ ）は、ソース信号ライン $S(i)$ およびゲート信号ライン $G(n)$ に接続された画素を示す。画素（ $i+1$ ,  $n$ ）は、ソース信号ライン $S(i+1)$ およびゲート信号ライン $G(n)$ に接続された画素を示す。なお、表示パネル2が備えるその他の画素についても、これらの画素と同様の構成である。

[0045] 図2に示すように、画素は、スイッチング素子としてのTFT200を備えている。TFT200のゲート電極は、対応するゲート信号ライン $G$ に接

続されている。また、TFT200のソース電極は、対応するソース信号ラインSに接続されている。そして、TFT200のドレイン電極は、液晶容量C<sub>l</sub>cおよび保持容量C<sub>c</sub>sに接続されている。

[0046] この画素に対して画素データが書き込まれる際には、まず、TFT200のゲート電極に対して、ゲート信号ラインGからオン電圧が供給される。これにより、TFT200はオン状態に切り換えられる。

[0047] そして、TFT200がオン状態のときに、対応するソース信号ラインSから、ソース信号が供給されると、このソース信号は、TFT200のドレイン電極から、液晶容量C<sub>l</sub>cの画素電極および保持容量C<sub>c</sub>sへ供給される。

[0048] このように、液晶容量C<sub>l</sub>cの画素電極へソース信号が供給されることにより、当該画素においては、液晶容量C<sub>l</sub>cの画素電極と共通電極との間に封入されている液晶の配列方向が供給されたソース信号の電圧レベルと共通電極に供給された電圧レベルの差分に応じて変化し、この差分に応じた画像が表示されることとなる。

[0049] また、保持容量C<sub>c</sub>sへソース信号が供給されることにより、保持容量C<sub>c</sub>sにはこのソース信号の電圧に応じた電荷が蓄えられる。そして、保持容量C<sub>c</sub>sに蓄えられた電荷により、当該画素は、ある程度の期間、画像を表示した状態を維持することができる。

[0050] 特に、実施形態1の表示装置1においては、TFT200として、いわゆる酸化物半導体を採用している。この酸化物半導体は、オフ状態のときのリーク電流が殆ど生じない、というオフ特性が非常に優れたものである。これにより、液晶容量C<sub>l</sub>cおよび保持容量C<sub>c</sub>sに蓄えられた電荷は、この電荷を開放する等といった何らかの制御を行わない限り、より長時間、液晶容量C<sub>l</sub>cおよび保持容量C<sub>c</sub>sに保持されることとなる。

[0051] (表示終了時動作)

続いて、実施形態1に係る表示装置1による表示終了時動作について説明する。図3は、実施形態1に係る表示装置1による表示終了時動作における

各種電圧値を示す。

[0052] 図3において、図3(a)は、図2に示した2つのソース信号ラインS(ソース信号ラインS(i)および(i+1))の各々の電圧値を示す。

[0053] また、図3(b)は、図2に示した2つの画素(画素(i, n)および画素(i+1, n))の各々のTFTのドレイン電極の電圧値を示す。

[0054] また、図3(c)は、複数の画素の各々の共通電極に印加される共通電圧の電圧値を示す。

[0055] また、図3(d)は、図2に示した2つのゲート信号ラインG(ゲート信号ラインG(n)および(n+1))の各々の電圧値を示す。

[0056] また、図3において、タイミングt1は、表示パネル2の表示がオフに切り換えられたタイミングを示す。

[0057] (表示パネルの表示がオン状態のとき)

表示パネルの表示がオン状態のとき、各ゲート信号ラインGが順次選択され、ゲート信号ラインGが順次選択される毎に、各ソース信号ラインSに対して、ソース信号の電圧が印加される。

[0058] 実施形態1の信号線駆動回路6は、電圧レベルが共通電圧よりも+側となるソース信号(第1のソース信号。以下、「ソース信号(+)」と示す。)を供給するソース出力アンプ(第1のソース出力アンプ)と、電圧レベルが共通電圧よりも-側となるソース信号(第2のソース信号。以下、「ソース信号(-)」と示す。)を供給するソース出力アンプ(第2のソース出力アンプ)との双方を備えている。

[0059] これにより、実施形態1の信号線駆動回路6は、あるソース信号ラインSに対するソース信号(+ )の供給と、他のソース信号ラインSに対するソース信号(-)の供給とを、並行して行うことが可能となっている。

[0060] 例えば、図3(a)では、ソース信号ラインS(i)に対するソース信号の供給と、ソース信号ラインS(i+1)に対するソース信号の供給とが、並行して行われることが示されている。

[0061] ここで、各ソース信号ラインSに対して供給される電圧の極性(正負)は

、所定期間毎に、交互に切り換えられる。

[0062] 例えば、図3(a)では、ソース信号ライン $S(i)$ に対して供給される電圧、およびソース信号ライン $S(i+1)$ に対して供給される電圧の各々の極性(正負)が、1水平走査期間毎(すなわち、ゲート信号ライン $G$ の選択が切り換えられる毎)に、交互に切り換えられることが示されている。

[0063] このように、表示パネル2の表示がオン状態のとき、信号線駆動回路6は、1水平走査期間毎に、各ソース信号ライン $S$ に対して、ソース信号を供給する。これにより、表示パネル2が備える各画素に対してソース信号が書き込まれ、表示パネル2が画像を表示することとなる。

[0064] ここで、各画素においては、この画素に書き込まれたソース信号の電圧レベルに応じた電荷が、図2に示した液晶容量 $C_{lc}$ および保持容量 $C_{cs}$ によって、そのフレーム期間の間保持される。

[0065] 例えば、図3(b)では、画素 $(i, n)$ および画素 $(i+1, n)$ の各々において、これらの画素に書き込まれたソース信号の電圧レベルに応じた電荷が、継続して保持されることが示されている。

[0066] これにより、各画素は、そのフレーム期間、画像を表示した状態を維持することができるようになっている。

[0067] なお、図3(c)に示すように、実施形態1の表示装置1においては、共通電圧 $COM$ の電圧レベルは、 $C_{gd}$ (図2参照)による引き込みを考慮し、グラウンド電圧 $GND$ よりも僅かに一側となっている。

[0068] また、ソース信号(+ )の電圧レベルは、グラウンド電圧 $GND$ よりも+側に設定されており、ソース信号(- )の電圧レベルは、グラウンド電圧 $GND$ よりも-側に設定されている。

[0069] すなわち、実施形態1の表示装置1は、正負電源システムを採用しており、ソース信号(+ )を供給するソース出力アンプの耐圧設計範囲は、グラウンド電圧 $GND$ よりも+側に設定されており、ソース信号(- )を供給するソース出力アンプの耐圧設計範囲は、グラウンド電圧 $GND$ よりも-側に設定されている。

- [0070] (表示パネルの表示がオフに切り換えられたとき)  
タイミング  $t_1$  において、表示パネル 2 の表示がオフに切り換えられると、表示終了時制御部 20 の制御により、表示装置 1 は、以下の表示終了時動作 (1) ~ (3) を行う。
- [0071] (1) 図 3 (d) に示すように、全てのゲート信号ライン G に対して一斉にオン電圧が印加される。これにより、表示パネル 2 が備える全ての画素の T F T がオン状態となる。
- [0072] (2) 各ソース信号ライン S に対して、グランド電圧 G N D が印加される。これにより、図 3 (a) に示すように、各ソース信号ライン S の電圧レベルは、グランド電圧 G N D に向かって徐々に遷移し、タイミング  $t_2$  において、グランド電圧 G N D となる。
- [0073] (3) これに応じて、図 3 (b) に示すように、表示パネル 2 が備える各画素のドレイン電極の電圧レベル (すなわち、画素電極の電圧レベル) は、グランド電圧 G N D に向かって徐々に遷移し、タイミング  $t_2$  において、グランド電圧 G N D となる。
- [0074] このとき、表示パネル 2 が備える全ての画素の T F T がオン状態となっていることから、あるソース信号ライン S に対してグランド電圧 G N D が印加されると、そのソース信号ライン S に接続されている全ての画素のドレイン電極の電圧レベル (すなわち、画素電極の電圧レベル) が、グランド電圧 G N D に向かって徐々に遷移し、タイミング  $t_2$  において、グランド電圧 G N D となる。
- [0075] なお、上記 (3) 以降、表示装置 1 は、いずれのゲート信号ライン G に対してもオフ電圧を印加しない。すなわち、表示パネル 2 上の全ての画素の T F T をオフに切り換ええない。
- [0076] T F T をオフに切り換えるときには、ゲート信号ライン G の電圧変化に応じ、寄生容量  $C_{gd}$  (図 2 参照) に起因した T F T のドレイン電極の電圧レベルに変動 (いわゆる、 $C_{gd}$  による引き込み) が生じる。
- [0077] これにより、画素電極の電圧レベルと、共通電極の電圧レベルとに電位差

が生じていない場合であっても、上記変動により、表示不具合等の原因となる上記電位差が生じてしまうこととなる。

[0078] そこで、実施形態1の表示装置1は、表示パネル2上の全ての画素のTFTをオフに切り換えないこととしたので、上記電位差が生じてしまうことがない。

[0079] (効果)

以上のように、実施形態1の表示装置1は、表示パネル2の表示がオフに切り換えられると、表示パネル2が備える各画素の画素電極に対してグラウンド電圧GNDを印加することとした。

[0080] これにより、各画素の画素電極の電圧レベルをグラウンド電圧GNDまで短時間で遷移させることができる。すなわち、表示パネル2の各画素に蓄えられている電荷を短時間で放電することができるので、焼き付きや、フリッカ等の表示の不具合を生じさせることなく、表示パネル2による表示をオフすることができる。

[0081] (実施形態2)

次に、本発明の実施形態2について説明する。実施形態1では、表示パネル2の表示がオフに切り換えられると、表示パネル2が備える各画素の画素電極に対してグラウンド電圧GNDを印加することとした。

[0082] この実施形態2では、表示パネル2の表示がオフに切り換えられると、表示パネル2が備える各画素の画素電極に対してグラウンド電圧GNDを印加するだけでなく、表示パネル2が備える各画素の共通電極に対してもグラウンド電圧GNDを印加する例を説明する。なお、実施形態2の表示装置1において、以下に説明する以外の点は、実施形態1の表示装置1の構成と同様であるため、説明を省略する。

[0083] (表示終了時動作)

以下、図4を参照して、実施形態2に係る表示装置1による表示終了時動作について説明する。図4は、実施形態2に係る表示装置1による表示終了時動作における各種電圧値を示す。

[0084] 図4において、図4(a)は、図2に示した2つのソース信号ラインS(ソース信号ラインS(i)および(i+1))の各々の電圧値を示す。

[0085] また、図4(b)は、図2に示した2つの画素(画素(i, n)および画素(i+1, n))の各々のTFTのドレイン電極の電圧値を示す。

[0086] また、図4(c)は、複数の画素の各々の共通電極に印加される共通電圧の電圧値を示す。

[0087] また、図4(d)は、図2に示した2つのゲート信号ラインG(ゲート信号ラインG(n)および(n+1))の各々の電圧値を示す。

[0088] また、図4において、タイミングt1は、表示パネル2の表示がオフに切り換えられたタイミングを示す。

[0089] (表示パネルの表示がオフに切り換えられたとき)

この実施形態2の表示装置1は、タイミングt1において、表示パネル2の表示がオフに切り換えられると、表示終了時制御部20の制御により、以下の表示終了時動作(1)~(4)を行う。

[0090] (1) 図4(d)に示すように、全てのゲート信号ラインGに対して一斉にオン電圧が印加される。これにより、表示パネル2が備える全ての画素のTFTがオン状態となる。これにより、後の処理において、一のソース信号ラインSに対する電圧の印加により、このソース信号ラインSに接続された複数の画素に対して同時に電圧を印加することができるので、処理時間を短縮することができるようになっている。

[0091] (2) 各ソース信号ラインSに対して、グランド電圧GNDが印加される。これにより、図4(a)に示すように、各ソース信号ラインSの電圧レベルは、グランド電圧GNDに向かって徐々に遷移し、タイミングt2において、グランド電圧GNDとなる。

[0092] (3) これに応じて、図4(b)に示すように、表示パネル2が備える各画素のドレイン電極の電圧レベル(すなわち、画素電極の電圧レベル)は、グランド電圧GNDに向かって徐々に遷移し、タイミングt2において、グランド電圧GNDとなる。



[0093] このとき、表示パネル2が備える全ての画素のTFTがオン状態となっていることから、あるソース信号ラインSに対してグランド電圧GNDが印加されると、そのソース信号ラインSに接続されている全ての画素のドレイン電極の電圧レベル（すなわち、画素電極の電圧レベル）が、グランド電圧GNDに向かって徐々に遷移し、タイミングt2において、グランド電圧GNDとなる。

[0094] （4）表示パネル2が備える全ての画素の共通電極に対して、グランド電圧GNDが印加される。これにより、図4（c）に示すように、各ソース信号ラインSの電圧レベルは、グランド電圧GNDに向かって徐々に遷移し、タイミングt2までに、グランド電圧GNDとなる。

[0095] （効果）

以上のように、実施形態2の表示装置1は、表示パネル2の表示がオフに切り換えられると、表示パネル2が備える各画素の画素電極および共通電極の各々に対してグランド電圧GNDを印加することとした。

[0096] これにより、各画素の画素電極および共通電極の各々の電圧レベルをグランド電圧GNDまで短時間で遷移させることができるだけでなく、表示残りの原因となる各画素の画素電極と共通電極との電位差をより少なくすることができるので、表示残りを生じさせることなく、また、焼き付きや、フリッカ等の表示の不具合をより生じさせることなく、表示パネル2による表示をオフすることができる。

[0097] （実施形態3）

次に、本発明の実施形態3について説明する。実施形態1および2では、表示パネル2の表示がオフに切り換えられると、表示パネル2が備える各画素の画素電極に対してグランド電圧GNDを印加することとした。

[0098] この実施形態3では、表示パネル2の表示がオフに切り換えられると、表示パネル2が備える各画素の画素電極に対して共通電圧を印加した後に、グランド電圧GNDを印加する例を説明する。なお、実施形態3の表示装置1において、以下に説明する以外の点は、実施形態1の表示装置1の構成と同

様であるため、説明を省略する。

[0099] (表示終了時動作)

以下、図5を参照して、実施形態3に係る表示装置1による表示終了時動作について説明する。図5は、実施形態3に係る表示装置1による表示終了時動作における各種電圧値を示す。

[0100] 図5において、図5(a)は、図2に示した2つのソース信号ラインS(ソース信号ラインS(i)および(i+1))の各々の電圧値を示す。

[0101] また、図5(b)は、図2に示した2つの画素(画素(i, n)および画素(i+1, n))の各々のTFTのドレイン電極の電圧値、および、複数の画素の各々の共通電極に印加される共通電圧の電圧値を示す。

[0102] また、図5(c)は、図2に示した2つのゲート信号ラインG(ゲート信号ラインG(n)および(n+1))の各々の電圧値を示す。

[0103] また、図5において、タイミングt1は、表示パネル2の表示がオフに切り換えられたタイミングを示す。

[0104] (表示パネルの表示がオン状態のとき)

表示パネルの表示がオン状態のとき、各ゲート信号ラインGが順次選択され、ゲート信号ラインGが順次選択される毎に、各ソース信号ラインSに対して、ソース信号の電圧が印加される。

[0105] 実施形態3では、片側電源システムを採用しており、共通電圧、ソース信号(+)の電圧レベル、およびソース信号(-)の電圧レベルのいずれも、グラウンド電圧GNDよりも+側に設定されている。

[0106] すなわち、ソース信号(+)を供給するソース出力アンプの耐圧設計範囲、およびソース信号(-)を供給するソース出力アンプの耐圧設計範囲は、いずれも、グラウンド電圧GNDよりも+側に設定されている。

[0107] 例えば、図5(a)では、ソース信号ラインS(i)に対するソース信号の供給と、ソース信号ラインS(i+1)に対するソース信号の供給とが、並行して行われることが示されているが、これらソース信号のいずれの電圧レベルも、グラウンド電圧GNDよりも+側に設定されていることが示されて

いる。

[0108] また、図5 (b) では、共通電圧、画素 (i, n) の電圧レベル、および画素 (i + 1, n) の電圧レベルのいずれも、グラウンド電圧GNDよりも+側に設定されていることが示されている。

[0109] (表示パネルの表示がオフに切り換えられたとき)

この実施形態3の表示装置1は、タイミングt1において、表示パネル2の表示がオフに切り換えられると、表示終了時制御部20の制御により、以下の表示終了時動作(1)~(6)を行う。

[0110] (1) 図5 (c) に示すように、全てのゲート信号ラインGに対して一斉にオン電圧が印加される。これにより、表示パネル2が備える全ての画素のTFTがオン状態となる。

[0111] (2) 各ソース信号ラインSに対して、共通電圧COMが印加される。これにより、図5 (a) に示すように、各ソース信号ラインSの電圧レベルは、共通電圧COMに向かって徐々に遷移し、タイミングt2において、共通電圧COMとなる。

[0112] (3) これに応じて、図5 (b) に示すように、表示パネル2が備える各画素のドレイン電極の電圧レベル(すなわち、画素電極の電圧レベル)は、共通電圧COMに向かって徐々に遷移し、タイミングt2において、共通電圧COMとなる。

[0113] すなわち、タイミングt2において、表示パネル2が備える各画素における、画素電極の電圧レベルと共通電極の電極レベルとの電位差が解消されることとなる。

[0114] このとき、表示パネル2が備える全ての画素のTFTがオン状態となっていることから、あるソース信号ラインSに対して共通電圧COMが印加されると、そのソース信号ラインSに接続されている全ての画素のドレイン電極の電圧レベル(すなわち、画素電極の電圧レベル)が、共通電圧COMに向かって徐々に遷移し、タイミングt2において、共通電圧COMとなる。

[0115] (4) タイミングt2においては、各ソース信号ラインSに対して、グラ

ンド電圧GNDが印加される。これにより、図5(a)に示すように、各ソース信号ラインSの電圧レベルは、グランド電圧GNDに向かって徐々に遷移し、タイミングt<sub>3</sub>において、グランド電圧GNDとなる。

[0116] (5) これに応じて、図5(b)に示すように、表示パネル2が備える各画素のドレイン電極の電圧レベル(すなわち、画素電極の電圧レベル)は、グランド電圧GNDに向かって徐々に遷移し、タイミングt<sub>3</sub>において、グランド電圧GNDとなる。

[0117] (6) 上記(4)と同時に、表示パネル2が備える全ての画素の共通電極に対して、グランド電圧GNDが印加される。これにより、図5(a)および(b)に示すように、表示パネル2が備える全ての画素の共通電極は、グランド電圧GNDに向かって徐々に遷移し、タイミングt<sub>3</sub>において、グランド電圧GNDとなる。

[0118] (効果)

以上のように、実施形態3の表示装置1は、表示パネル2の表示がオフに切り換えられると、表示パネル2が備える各画素の画素電極に対して共通電圧を印加した後に、表示パネル2が備える各画素の画素電極および共通電極の各々に対してグランド電圧GNDを印加することとした。

[0119] これにより、表示残りの原因となる各画素の画素電極と共通電極との電位差をより短時間で解消しつつ、各画素の画素電極および共通電極の各々の電圧レベルをグランド電圧GNDまで短時間で遷移させることができるので、表示残りを生じさせることなく、また、焼き付きや、フリッカ等の表示の不具合をより生じさせることなく、表示パネル2による表示をオフすることができる。

[0120] (実施形態4)

次に、本発明の実施形態4について説明する。実施形態3では、表示パネル2の表示がオフに切り換えられると、表示パネル2が備える各画素の画素電極に対して共通電圧を印加した後に、グランド電圧GNDを印加することとした。

[0121] この実施形態4では、表示パネル2の表示がオフに切り換えられると、表示パネル2が備える各画素の画素電極に対して第2の電圧を印加した後に、グランド電圧GNDを印加する例を説明する。

[0122] 上記第2の電圧とは、通常駆動時にノーマリー状態を表示するために、画素電極に印加する電圧である。例えば、第2の電圧には、共通電圧よりも±0.5～1.0V程度の電圧が採用される。

[0123] なお、実施形態4の表示装置1において、以下に説明する以外の点は、実施形態3の表示装置1の構成と同様であるため、説明を省略する。

[0124] (表示終了時動作)

以下、図6を参照して、実施形態4に係る表示装置1による表示終了時動作について説明する。図6は、実施形態4に係る表示装置1による表示終了時動作における各種電圧値を示す。

[0125] 図6において、図6(a)は、図2に示した2つのソース信号ラインS(ソース信号ラインS(i)および(i+1))の各々の電圧値を示す。

[0126] また、図6(b)は、図2に示した2つの画素(画素(i, n)および画素(i+1, n))の各々のTFTのドレイン電極の電圧値、および、複数の画素の各々の共通電極に印加される共通電圧の電圧値を示す。

[0127] また、図6(c)は、図2に示した2つのゲート信号ラインG(ゲート信号ラインG(n)および(n+1))の各々の電圧値を示す。

[0128] また、図6において、タイミングt1は、表示パネル2の表示がオフに切り換えられたタイミングを示す。

[0129] (表示パネルの表示がオフに切り換えられたとき)

この実施形態4の表示装置1は、タイミングt1において、表示パネル2の表示がオフに切り換えられると、表示終了時制御部20の制御により、以下の表示終了時動作(1)～(6)を行う。

[0130] (1) 図6(c)に示すように、全てのゲート信号ラインGに対して一斉にオン電圧が印加される。これにより、表示パネル2が備える全ての画素のTFTがオン状態となる。

- [0131] (2) 各ソース信号ラインSに対して、通常駆動時にノーマリー状態を表示するための第2の電圧が印加される。これにより、図6(a)に示すように、各ソース信号ラインSの電圧レベルは、第2の電圧に向かって徐々に遷移し、タイミングt<sub>2</sub>において、第2の電圧となる。
- [0132] (3) これに応じて、図6(b)に示すように、表示パネル2が備える各画素のドレイン電極の電圧レベル(すなわち、画素電極の電圧レベル)は、第2の電圧に向かって徐々に遷移し、タイミングt<sub>2</sub>において、第2の電圧となる。
- [0133] すなわち、タイミングt<sub>2</sub>において、表示パネル2が備える各画素は、ノーマリー状態を表示することとなる。
- [0134] このとき、表示パネル2が備える全ての画素のTFTがオン状態となっていることから、あるソース信号ラインSに対して第2の電圧が印加されると、そのソース信号ラインSに接続されている全ての画素のドレイン電極の電圧レベル(すなわち、画素電極の電圧レベル)が、第2の電圧に向かって徐々に遷移し、タイミングt<sub>2</sub>において、第2の電圧となる。
- [0135] (4) タイミングt<sub>2</sub>においては、各ソース信号ラインSに対して、グランド電圧GNDが印加される。これにより、図6(a)に示すように、各ソース信号ラインSの電圧レベルは、グランド電圧GNDに向かって徐々に遷移し、タイミングt<sub>3</sub>において、グランド電圧GNDとなる。
- [0136] (5) これに応じて、図6(b)に示すように、表示パネル2が備える各画素のドレイン電極の電圧レベル(すなわち、画素電極の電圧レベル)は、グランド電圧GNDに向かって徐々に遷移し、タイミングt<sub>3</sub>において、グランド電圧GNDとなる。
- [0137] (6) 上記(4)と同時に、表示パネル2が備える全ての画素の共通電極に対して、グランド電圧GNDが印加される。これにより、図6(a)および(b)に示すように、表示パネル2が備える全ての画素の共通電極は、グランド電圧GNDに向かって徐々に遷移し、タイミングt<sub>3</sub>において、グランド電圧GNDとなる。

[0138] (効果)

以上のように、実施形態4の表示装置1は、表示パネル2の表示がオフに切り換えられると、表示パネル2が備える各画素の画素電極に対して第2の電圧を印加した後に、表示パネル2が備える各画素の画素電極および共通電極の各々に対してグランド電圧GNDを印加することとした。

[0139] これにより、全ての画素に対してより短時間でノーマリー状態を表示させつつ、各画素の画素電極および共通電極の各々の電圧レベルをグランド電圧GNDまで短時間で遷移させることができるので、表示残りを生じさせることなく、また、焼き付きや、フリッカ等の表示の不具合をより生じさせることなく、表示パネル2による表示をオフすることができる。

[0140] (実施形態5)

次に、本発明の実施形態5について説明する。実施形態1～4では、表示パネル2の表示がオフに切り換えられたとき、各ゲート信号ラインGを一斉にオンすることとした。

[0141] この実施形態5では、通常の駆動時のように、表示パネル2の表示がオフに切り換えられたとき、各ゲート信号ラインGを順次走査し、ゲート信号ラインGの選択が切り換えられる毎に、ゲート信号がラインGに接続されている画素の各々に対し、グランド電圧GNDを印加する例を説明する。

[0142] なお、実施形態5の表示装置1において、以下に説明する以外の点は、実施形態1の表示装置1の構成と同様であるため、説明を省略する。

[0143] (表示終了時動作)

以下、図7を参照して、実施形態5に係る表示装置1による表示終了時動作について説明する。図7は、実施形態5に係る表示装置1による表示終了時動作における各種電圧値を示す。

[0144] 図7において、図7(a)は、図2に示した2つのソース信号ラインS(ソース信号ラインS(i)および(i+1))の各々の電圧値を示す。

[0145] また、図7(b)は、図2に示した2つの画素(画素(i, n)および画素(i+1, n))の各々のTFTのドレイン電極の電圧値を示す。

- [0146] また、図 7 (c) は、複数の画素の各々の共通電極に印加される共通電圧の電圧値を示す。
- [0147] また、図 7 (d) は、表示装置 1 が備える各ゲート信号ライン G (ゲート信号ライン G (n) ~ (N) ) の各々の電圧値を示す。
- [0148] また、図 7 において、タイミング t 1 は、表示パネル 2 の表示がオフに切り換えられたタイミングを示す。
- [0149] (表示パネルの表示がオフに切り換えられたとき)  
タイミング t 1 において、表示パネル 2 の表示がオフに切り換えられると、表示終了時制御部 20 の制御により、表示装置 1 は、図 7 (d) に示すように、全てのゲート信号ライン G に対して順次オン電圧が印加される。これにより、表示パネル 2 が備える全ての画素の T F T が、ゲート信号ライン G 毎に順次オン状態となる。
- [0150] そして、表示装置 1 は、オン状態とされたゲート信号ライン G が切り換えられる毎に、以下の表示終了時動作 (1) および (2) を行う。
- [0151] (1) 各ソース信号ライン S に対して、グランド電圧 G N D が印加される。これにより、図 7 (a) に示すように、各ソース信号ライン S の電圧レベルは、グランド電圧 G N D に向かって徐々に遷移し、タイミング t 2 において、グランド電圧 G N D となる。
- [0152] (2) これに応じて、図 7 (b) に示すように、オン状態となっているゲート信号ライン G に接続された全ての画素のドレイン電極の電圧レベル (すなわち、画素電極の電圧レベル) は、グランド電圧 G N D に向かって徐々に遷移し、タイミング t 2 において、グランド電圧 G N D となる。
- [0153] 表示装置 1 は、ゲート信号ライン G が切り換えられる毎に、上記 (1) および (2) を行うことで、全ての画素の画素電極の電圧レベルをグランド電圧 G N D とする。
- [0154] なお、全ての画素がグランド電圧 G N D に遷移するまで、共通電圧 C O M は変化させない。これは、ゲート信号ライン G をオフに切り換えたとき、C g d (図 2 参照) の引き込みに起因するゲート信号ライン G の電圧変化によ



り、画素電極の電圧レベルと、共通電極の電圧レベルとに電位差が生じてしまうことを防止するためである。

[0155] なお、ゲート信号ラインGをオンにする期間は、少なくともそのゲート信号ラインGに接続された全ての画素の画素電極の電圧レベルをグランド電圧GNDとすることが可能であれば、通常駆動時よりも短くしても良い。

[0156] (効果)

以上のように、実施形態5の表示装置1は、表示パネル2の表示がオフに切り換えられると、各ゲート信号ラインGを順次オンにしつつ、表示パネル2が備える各画素の画素電極に対してグランド電圧GNDを印加することとした。

[0157] これにより、各ゲート信号ラインGを一斉にオン状態にしなくとも、各画素の画素電極の電圧レベルをグランド電圧GNDまで短時間で遷移させることができる。すなわち、表示パネル2の各画素に蓄えられている電荷を短時間で放電することができるので、焼き付きや、フリッカ等の表示の不具合を生じさせることなく、表示パネル2による表示をオフすることができる。

[0158] (バックライトの消灯タイミング)

以上、実施形態1～5について説明したが、各実施形態において、表示終了時制御部20は、表示パネル2の表示がオフされる時、複数の画素の各々の画素電極に対しグランド電圧GNDが印加され、複数の画素の各々の画素電極の電圧レベルがグランド電圧GNDへ遷移した後、表示パネル2のバックライトを消灯するよう制御しても良い。

[0159] すなわち、表示終了時制御部20は、複数の画素の各々の画素電極の電圧レベルがグランド電圧GNDへ遷移するまでは、表示パネル2のバックライトを消灯しないよう制御しても良い。

[0160] 一般的な画素においては、光が照射されていると、光が照射されていないときよりも、そのドレイン電極の電圧レベルの変動量が多くなる傾向がある。

[0161] そこで、各画素電極の電圧レベルがグランド電圧GNDへ遷移するまで光

を照射することで、各画素電極の電圧レベルがグランド電圧GNDへ遷移するまでに係る時間をより短くすることができる。

[0162] (具体的な制御方法)

以下、各実施形態で説明した、表示終了時制御部20による制御の具体例について説明する。

[0163] 各実施形態の表示終了時制御部20は、走査線駆動回路4、信号線駆動回路6、および共通電極駆動回路8を制御することにより、これまでに説明した表示装置1による表示終了時動作を実現する。

[0164] 具体的には、表示終了時制御部20は、信号線駆動回路6に対し、所定の指示信号(所定電圧出力指示信号)を送信することにより、各ソース信号ラインSに対する所定の電圧(第1の電圧、第2の電圧、共通電圧、グランド電圧等)の印加を指示する。

[0165] また、表示終了時制御部20は、走査線駆動回路4に対し、所定の指示信号(所定電圧出力指示信号)を送信することにより、各ゲート信号ラインGに対する所定の電圧(オン電圧、オフ電圧)の印加を指示する。

[0166] また、表示終了時制御部20は、共通電極駆動回路8に対し、所定の指示信号(所定電圧出力指示信号)を送信することにより、複数の画素の各々の共通電極に対する所定の電圧(共通電圧、グランド電圧等)の印加を指示する。

[0167] (表示終了時動作の開始タイミング)

ここで、表示装置1が表示終了時動作を開始するタイミングについて説明する。

[0168] 既に説明したとおり、表示装置1は、表示終了時制御部20の制御により、表示パネル2の表示がオフされるとき、表示終了時動作を開始する。

[0169] このため、表示終了時制御部20は、表示パネル2の表示がオフされるタイミングを判断する必要がある。例えば、表示終了時制御部20は、以下の方法により、表示パネル2の表示がオフされるタイミングを判断する。

[0170] ここで、図8および図9を参照して、表示パネル2の表示がオフされるタ

イミングを検出する構成例を説明する。

[0171] (第1の構成例)

図8は、表示パネル2の表示がオフされるタイミングを検出する構成を加えた表示装置1の第1の構成例を示す図である。

[0172] 図8に示すように、第1の構成例では、表示終了時制御部20は、図8の矢印802に示すように、表示パネル2の表示のオフを通知するための通知信号を外部(図8に示す例では、システム側コントロール部)から受信すると、表示パネル2の表示がオフされると判断する。

[0173] この場合、通知信号は、SPI等によるコマンドによって、表示終了時制御部20へ送信されても良く、この通知信号の入力端子を表示終了時制御部20に設け、この入力端子から、そのHigh/Low信号によって制御するようにしても良い。

[0174] (第2の判断方法)

一方、図9は、表示パネル2の表示がオフされるタイミングを検出する構成を加えた表示装置1の第2の構成例を示す図である。

[0175] 図9に示すように、第2の構成例では、表示装置1は、外部(図9に示す例では、システム側コントロール部)から当該表示装置に対して供給される電源電圧が所定の閾値よりも低くなったことを検出する電源低下検出回路900を備えている。

[0176] 表示終了時制御部20は、電源低下検出回路900によって上記電源電圧が所定の閾値よりも低くなったことを検出されると、表示パネル2の表示がオフされると判断する。

[0177] 具体的には、電源低下検出回路900は、比較器902を備えている。比較器902のプラス入力端子は、当該表示装置に対して供給される電源電圧 $V_i$ の供給線上に接続されている。すなわち、比較器902のプラス入力端子には、電源電圧の供給線上において検出された電源電圧 $V_i$ が入力される。

[0178] 一方、比較器902のマイナス入力端子には、基準電圧 $V_{ref}$ が入力さ

れる。この基準電圧  $V_{ref}$  としては、その電圧以下になると表示パネル 2 の表示がオフされるような電圧値が設定されている。

[0179] この構成により、比較器 902 は、電源電圧  $V_i$  が基準電圧  $V_{ref}$  よりも高い限りは、Hi レベルの制御信号を出力する。そして、比較器 902 は、電源電圧  $V_i$  が基準電圧  $V_{ref}$  よりも低くなったタイミングで、出力する制御信号を、Hi レベルの制御信号から Low レベルの制御信号へ切り換える。

[0180] 表示終了時制御部 20 は、この比較器 902 から受け取った制御信号が Hi レベル制御信号から Low レベルの制御信号へ切り換えられたタイミングを、表示パネル 2 の表示がオフされるタイミングであると判断する。

[0181] (ゲート信号ライン G に対するオン電圧の印加方法)

実施形態 1 ~ 4 において、表示終了時制御部 20 は、表示パネル 2 の表示がオフされるとき、全てのゲート信号ライン G に対して一斉にオン電圧が印加されるように、走査線駆動回路 4 を制御することについて説明した。

[0182] 以下、図 10 を参照して、その制御方法の具体例について説明する。図 10 は、走査線駆動回路 4 において入出力される各種信号波形を示す図である。

[0183] 各実施形態の走査線駆動回路 4 は、XAO 入力端子が設けられている。通常、表示終了時制御部 20 は、この XAO 入力端子に対し、Hi 信号を供給する。

[0184] そして、表示パネル 2 の表示がオフされるとき、表示終了時制御部 20 は、この XAO 入力端子に対し、Low 信号を供給する。

[0185] 走査線駆動回路 4 は、XAO 入力端子に Low 信号が供給されている間、全てのゲート信号ライン G に対して、オン電圧を印加する。

[0186] 例えば、図 10 に示す例では、表示パネル 2 の表示がオフされるタイミング t1 において、XAO 入力端子への入力信号が、Hi レベルから Low レベルへ切り換えられている。そして、図 10 では、この切り換えに応じて、走査線駆動回路 4 が、全てのゲート信号ライン G に対して、オン電圧を印加

することが示されている。

[0187] さらに、図10に示す例では、タイミングt2において、XAO入力端子への入力信号が、LowレベルからHiレベルへ切り換えられている。そして、図10では、この切り換えに応じて、走査線駆動回路4が、全てのゲート信号ラインGに対して、オン電圧の印加を終了することが示されている。

[0188] (ソース信号ラインSに対するグランド電圧の印加方法)

以下、ソース信号ラインSに対するグランド電圧の印加方法について具体的に説明する。図11は、表示装置1が備える信号線駆動回路6の構成例を示す図である。

[0189] 図11に示すように、信号線駆動回路6は、ソース出力アンプ回路1100およびソース出力アンプ回路制御部1120を備えている。ソース出力アンプ回路1100は、電圧制御回路1100、ソース出力アンプ1102、およびソース出力アンプ1104を有している。

[0190] ソース出力アンプ1102は、ソース信号ラインSに対して、ソース信号(+)を供給する。ソース出力アンプ1104は、ソース信号ラインSに対して、ソース信号(-)を供給する。

[0191] 電圧制御回路1110は、ソース出力アンプ1102およびソース出力アンプ1104と、ソース信号ラインSとの間に設けられている。電圧制御回路1110は、スイッチS1、S2、S3、S4を備えている。

[0192] スイッチS1は、ソース出力アンプ1102とソース信号ラインSとの間に設けられている。スイッチS2は、ソース出力アンプ1104とソース信号ラインSとの間に設けられている。スイッチS3およびS4は、グランドとソース信号ラインSとの間に設けられている。

[0193] 電圧制御回路1110は、これらスイッチのオン/オフを制御することにより、ソース信号ラインSの接続先を、ソース出力アンプ1102およびソース出力アンプ1104と、グランドとの間で切り換える。

[0194] これにより、電圧制御回路1110は、ソース信号ラインSに対して供給する電圧(ソース出力電圧)を、通常のソース信号に応じた電圧とグランド

電圧とで切り換える。

- [0195] 具体的には、電圧制御回路 1110 は、通常、スイッチ S1 または S2 をオン状態とすることにより、ソース信号ライン S に対し、ソース出力アンプ 1102 またはソース出力アンプ 1104 を接続し、通常のソース信号に応じた電圧を供給する。
- [0196] そして、電圧制御回路 1110 は、表示パネル 2 の表示をオフするときには、スイッチ S3 および S4 をオン状態とすることにより、ソース信号ライン S に対し、グラウンドを接続し、グラウンド電圧を供給するのである。
- [0197] このような電圧制御回路 1110 の動作は、ソース出力アンプ回路制御部 1120 によって制御される。
- [0198] 図 12 は、ソース出力アンプ回路制御部 1120 から、電圧制御回路 1110 に供給される、各種制御信号の波形を示す図である。
- [0199] 図 12 に示すように、通常、ソース出力アンプ回路制御部 1120 は、電圧制御回路 1110 に対し、スイッチ S1 をオン (Open) に切り換える制御信号と、スイッチ S2 をオンに切り換える制御信号とを、交互に供給する。
- [0200] 同時に、ソース出力アンプ回路制御部 1120 は、電圧制御回路 1110 に対し、スイッチ S3 および S4 のそれぞれをオフ (Short) 状態としておく制御信号を供給する。
- [0201] これにより、ソース信号ライン S に対し、ソース出力アンプ 1102 とソース出力アンプ 1104 とが交互に接続され、ソース出力アンプ 1102 とソース出力アンプ 1104 とから、通常のソース信号が交互に供給されることとなる。
- [0202] 一方、図 12 のタイミング t1 は、表示終了時制御部 20 から所定電圧出力指示信号が供給され、表示パネル 2 の表示をオフするタイミングである。このタイミング t1 において、ソース出力アンプ回路制御部 1120 は、電圧制御回路 1110 に対し、スイッチ S3 および S4 のそれぞれをオンに切り換える制御信号を供給する。

[0203] 同時に、ソース出力アンプ回路制御部1120は、電圧制御回路1110に対し、スイッチS1およびS2のそれぞれをオフ状態としておく制御信号を供給する。

[0204] これにより、ソース信号ラインSに対し、グラウンドがソース出力アンプ1102とソース接続され、グラウンド電圧が供給されることとなる。

[0205] 以下、各実施形態の表示装置1が採用している電源システムについて説明する。

[0206] (正負電源システム)

実施形態1, 2, 5の表示装置1は、いわゆる正負電源システムを採用している。この正負電源システムとは、グラウンド電圧(0V)よりも、+側の電圧範囲でソース信号(+)を供給するソース出力アンプと、-側の電圧範囲でソース信号(-)を供給するソース出力アンプとの2つのソース出力アンプにより、各ソース信号を供給する電源システムである。

[0207] 図13は、正負電源システムにおける、アンプ電源電圧範囲およびアンプ出力範囲の一例を示す図である。

[0208] 図13に示す例では、ソース信号(+)を供給するソース出力アンプについては、そのアンプ電源電圧範囲をV<sub>dd1</sub>(6V)~GND(0V)としており、そのアンプ出力範囲をソースHigh出力(最高出力値:5V)~GND(0V)としている。

[0209] 一方、ソース信号(-)を供給するソース出力アンプについては、そのアンプ電源電圧範囲をGND(0V)~V<sub>dd2</sub>(-6V)~GND(0V)としており、そのアンプ出力範囲をGND(0V)~ソースLow出力(最低出力値:-5V)としている。

[0210] すなわち、センター値(ソースセンター)はグラウンド電圧GND(0V)となるが、C<sub>gd</sub>によるセンター値(ソースセンター)の引き込みを考慮し、共通電圧COMがセンター値(グラウンド電圧(0V))よりも僅かに一側に設定されている。

[0211] なお、C<sub>gd</sub>による引き込み量はモジュール毎に異なるため、共通電圧C

OMは、図示されているモジュール個別の調整範囲内で調整されることとなる。

[0212] (片側電源システム)

一方、実施形態3および4の表示装置1は、いわゆる片側電源システムを採用している。この片側電源システムとは、グラウンド電圧(0V)よりも、+側の電圧範囲または-側の電圧範囲のいずれか一方の電圧範囲で、ソース信号(+)およびソース信号(-)の双方を供給する1つのソース出力アンプにより、各ソース信号を供給する電源システムである。

[0213] 図14は、片側電源システムにおける、アンプ電源電圧範囲およびアンプ出力範囲の一例を示す図である。

[0214] 図14では、ソース信号(+)およびソース信号(-)の双方を供給するソース出力アンプのアンプ電源電圧範囲およびアンプ出力範囲が示されている。

[0215] この例では、アンプ電源電圧範囲をV<sub>dd</sub>(12V)~GND(0V)とし、アンプ出力範囲をソースHigh出力(最高出力値:11V)~ソースLow出力(最低出力値:1V)としている。

[0216] すなわち、センター値(ソースセンター)は6Vとなるが、C<sub>gd</sub>によるセンター値(ソースセンター)の引き込みを考慮し、共通電圧COMがセンター値(6V)よりも僅かに一側に設定されている。

[0217] この場合も、C<sub>gd</sub>による引き込み量はモジュール毎に異なるため、共通電圧COMは、図示されているモジュール個別の調整範囲内で調整されることとなる。

[0218] (正負電源システムの他の構成例)

図15は、正負電源システムにおける、アンプ電源電圧範囲およびアンプ出力範囲の他の一例を示す図である。

[0219] 上記したとおり、実施形態1, 2, 5の表示装置1は、図13に例示した、共通電圧COMがセンター値(0V)よりも僅かに一側に設定されている正負電源システムを採用している。



[0220] ここで、実施形態 1, 2, 5 の表示装置 1 において、図 15 に示すような、共通電圧 COM とグラウンド電圧 GND とが略等しく 0 V に設定されている正負電源システムを採用しても良い。

[0221] これにより、表示パネル 2 の表示がオフに切り換えられたとき、既に共通電圧 COM がグラウンド電圧 GND となっているので、共通電圧 COM をグラウンド電圧 GND まで遷移させるといった動作を行う必要なく、各画素の画素電極の各々の電圧レベルを、最も電荷が開放された状態となるグラウンド電圧 GND および共通電圧 COM まで遷移させて揃えることができる。

[0222] (Cgd による引き込みの具体的説明)

以下、Cgd によるドレイン電位の引き込みについて具体的に説明する。図 16 は、Cgd によるドレイン電位の引き込みを説明するための図である。

[0223] 図 16 に示すように、表示装置 1 の画素 (i, n) に設けられた TFT 200 のドレイン電極の電位レベルは、トランジスタ素子 200 を介してソース信号ライン S (i) から供給されるソース信号に応じた電圧で充電される。その後、ゲート信号ライン G (n) のオン電圧 Vgh からオフ電圧 Vgl への電圧変化に伴って、TFT 200 のドレイン電極の電位レベルは、Cgd 寄生容量を介して変化する。

[0224] 上記変化は、正極性および負極性のいずれにおいても、Vgl 側に引き込まれるため、正負極性のセンター値 (ソースセンター) がずれることとなる。したがって、共通電圧 COM の調整が必要となる。

[0225] 上記ドレイン電極が、Cgd によって受ける変動量 (引き込み量)  $\Delta V_{gd}$  は、下記数式 (1) によって算出される。

[0226] 
$$\Delta V_{gd} = (C_{gd} / \Sigma C) \times \Delta V_g \cdots \text{数式 (1)}$$

上記数式 (1) において、 $\Sigma C$  は、 $C_{ls} + C_{cs} + C_{gd} + C_{sd1} + C_{sd2}$  と略等しく、 $\Delta V_g$  は  $V_{gh} - V_{gl}$  の絶対値と等しい。

[0227]  $C_{lc}$  はドレイン電極と共通電極間の液晶容量であり、 $C_{cs}$  は、ドレイン電極と CS 電極間の保持容量であり、 $C_{sd1}$  はドレイン電極～ソース信

号ライン $S(i)$ 間の寄生容量であり、 $C_{sd2}$ はドレイン電極～ソース信号ライン $S(i+1)$ 間の寄生容量であり、 $C_{gd}$ はドレイン電極～ゲート信号ライン $G(n)$ 間の寄生容量である。

[0228] そして、ソース信号ライン $S(i)$ から供給された信号電圧 $V_s$ の最高値を $V_{sh}$ とし、最低値を $V_{sl}$ とすると、信号電圧 $V_s$ の最高値における変動後のドレイン電位（引き込み後の電圧）は、 $V_{sh} - \Delta V_{gd}$ となり、信号電圧 $V_s$ の最低値における変動後のドレイン電位（引き込み後の電圧）は、 $V_{sl} - \Delta V_{gd}$ となる。

[0229] そして、ドレイン電極のセンター値の変動後の電圧（引き込み後の電圧）は、信号電圧 $V_s$ の最高値における変動後の電圧（引き込み後の電圧）と信号電圧 $V_s$ の最低値における変動後の電圧（引き込み後の電圧）との平均値 $\{ (V_{sh} - \Delta V_{gd}) + (V_{sl} - \Delta V_{gd}) \} / 2$ であり、 $(V_{sh} + V_{sl}) / 2 - \Delta V_{gd}$ となる。

[0230] 各実施形態の表示装置1においては、TFTとして、その半導体層にいわゆる酸化物半導体を用いたTFTを採用している。この酸化物半導体には、例えばIGZO(InGaZnOx)が含まれる。このように、各実施形態の表示装置1においては、TFTとして、その半導体層にいわゆる酸化物半導体を用いたTFTを採用することが好ましい。以下、その優位性について説明する。

[0231] (TFT特性)

図17は、各種TFTの特性を示す。この図17では、酸化物半導体を用いたTFT、a-Si(amorphous silicon)を用いたTFT、およびLTPS(Low Temperature Poly Silicon)を用いたTFTの各々の特性を示す。

[0232] 図17において、横軸( $V_{gh}$ )は、上記各TFTにおいてゲートに供給されるオン電圧の電圧値を示し、縦軸( $I_d$ )は、上記各TFTにおけるソースドレイン間の電流量を示す。

[0233] 特に、図中において「TFT-on」と示されているタイミングは、オン電圧の電圧値に応じてオン状態となるタイミングを示し、図中において「T

「FT-off」と示されているタイミングは、オン電圧の電圧値に応じてオフ状態となるタイミングを示す。

[0234] 図17に示すように、酸化物半導体を用いたTF Tは、a-Siを用いたTF Tよりも、オン状態の時の電流量（すなわち、電子移動度）が高い。

[0235] 図示は省略するが、具体的には、a-Siを用いたTF Tは、そのTF T-on時のI<sub>d</sub>電流が1 uAであるのに対し、酸化物半導体を用いたTF Tは、そのTF T-on時のI<sub>d</sub>電流が20~50 uA程度である。

[0236] このことから、酸化物半導体を用いたTF Tは、a-Siを用いたTF Tよりも、オン状態の時の電子移動度が20~50倍程度高く、オン特性が非常に優れていることが分かる。

[0237] 既に説明したとおり、各実施形態の表示装置1においては、TF Tとして、その半導体層にいわゆる酸化物半導体を用いたTF Tを採用している。

[0238] これにより、各実施形態の表示装置1は、各画素のTF Tのオン特性が非常に優れたものとなる。そのため、各画素に対してデータを書き込む際の電子移動量を増大し、該書き込みにかかる時間をより短時間化することができる。したがって、各画素の画素電極の電圧レベルを、画素に蓄えられた電荷を開放するための第1の電圧までより短時間で遷移させることができる。すなわち、表示パネルの各画素に蓄えられている電荷をより短時間で放電することができる。

[0239] （変形例）

以上、本発明の実施形態について説明したが、本発明は上述した実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。すなわち、請求項に示した範囲で適宜変更した技術的手段を組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。

[0240] （まとめ）

以上のように、本発明に係る表示装置は、複数の画素、複数のゲート信号ライン、および複数のソース信号ラインを有する表示パネルと、前記複数の画素の各々の共通電極に対し、共通電圧を供給する共通電極駆動回路と、前

記複数のゲート信号ラインを順次選択して走査する走査線駆動回路と、選択されたゲート信号ライン上の複数の画素の各々に対し、前記複数のソース信号ラインからソース信号を供給する信号線駆動回路と、前記表示パネルの表示がオフされるとき、前記複数の画素の各々の画素電極に対し、画素に蓄えられた電荷を開放するための第1の電圧を印加するように制御する表示終了時制御手段とを備えることを特徴とする。

[0241] 本表示装置によれば、各画素の画素電極の電圧レベルを、画素に蓄えられた電荷を開放するための第1の電圧まで短時間で遷移させることができる。すなわち、表示パネルの各画素に蓄えられている電荷を短時間で放電することができるので、焼き付きや、フリッカ等の表示の不具合を生じさせることなく、表示パネルによる表示をオフすることができる。

[0242] 上記表示装置において、前記表示終了時制御手段は、前記表示パネルの表示がオフされるとき、前記複数の画素の各々の画素電極および前記複数の画素の各々の共通電極に対し、前記第1の電圧を印加するように制御することが好ましい。

[0243] この構成によれば、各画素の画素電極および共通電極の各々の電圧レベルを第1の電圧まで短時間で遷移させることができるだけでなく、表示残りの原因となる各画素の画素電極と共通電極との電位差をより少なくすることができるので、表示残りを生じさせることなく、また、焼き付きや、フリッカ等の表示の不具合をより生じさせることなく、表示パネルによる表示をオフすることができる。

[0244] また、上記表示装置において、前記表示終了時制御手段は、前記表示パネルの表示がオフされるとき、前記複数の画素の各々の画素電極に対し、前記共通電圧を印加するように制御した後、前記複数の画素の各々の画素電極および前記複数の画素の各々の共通電極に対し、前記第1の電圧を印加するように制御することが好ましい。

[0245] この構成によれば、表示残りの原因となる各画素の画素電極と共通電極との電位差をより短時間で解消しつつ、各画素の画素電極および共通電極の各

々の電圧レベルを第1の電圧まで短時間で遷移させることができるので、表示残りを生じさせることなく、また、焼き付きや、フリッカ等の表示の不具合をより生じさせることなく、表示パネルによる表示をオフすることができる。

[0246] また、上記表示装置において、前記表示終了時制御手段は、前記表示パネルの表示がオフされるとき、前記複数の画素の各々の画素電極に対し、通常駆動時にノーマリー状態を表示するための第2の電圧を印加するように制御した後、前記複数の画素の各々の画素電極および前記複数の画素の各々の共通電極に対し、前記第1の電圧を印加するように制御することが好ましい。

[0247] この構成によれば、全ての画素に対してより短時間でノーマリー状態を表示させつつ、各画素の画素電極および共通電極の各々の電圧レベルを第1の電圧まで短時間で遷移させることができるので、表示残りを生じさせることなく、また、焼き付きや、フリッカ等の表示の不具合をより生じさせることなく、表示パネルによる表示をオフすることができる。

[0248] また、上記表示装置において、前記表示終了時制御手段は、前記表示パネルの表示がオフされるとき、前記信号線駆動回路および前記共通電極駆動回路に対して所定の指示信号を送信することにより、前記信号線駆動回路から、前記複数の画素の各々の画素電極に対し、前記第1の電圧を印加するように制御し、前記共通電極駆動回路から、前記複数の画素の各々の共通電極に対し、前記第1の電圧を印加するように制御することが好ましい。

[0249] この構成によれば、前記信号線駆動回路および前記共通電極駆動回路に対して所定の指示信号を送信するだけといった簡単な構成で、本発明に係る表示装置の動作を実現することができる。したがって、従来の表示装置に対し、前記信号線駆動回路および前記共通電極駆動回路に対して所定の指示信号を送信する表示終了時制御手段を設けるだけといった簡単な改良を加えるだけで、本発明に係る表示装置の動作を実現することができる。

[0250] また、上記表示装置において、当該表示装置に対して供給される電源電圧が所定の閾値よりも低くなったことを検出する検出手段をさらに備え、前記

表示終了時制御手段は、前記検出手段によって前記電源電圧が前記所定の閾値よりも低くなったことが検出されると、前記表示パネルの表示がオフされると判断することが好ましい。

[0251] この構成によれば、電源電圧が所定の閾値よりも低くなったときという、より適切なタイミングで、本発明に係る表示装置の動作を行うことができる。特に、携帯端末等においてバッテリーが外れたときなど、予期せぬ電源電圧の低下が生じた場合であっても、このタイミングを適切に判断し、本発明に係る表示装置の動作を行うことができる。

[0252] また、上記表示装置において、前記表示終了時制御手段は、表示パネルの表示をオフするための指示信号を外部から受信すると、前記表示パネルの表示がオフされると判断することが好ましい。

[0253] この構成によれば、外部から受信した指示信号に基づいて、表示パネルの表示をオフするときに適切に判断することができるので、より適切なタイミングで、本発明に係る表示装置の動作を行うことができる。

[0254] また、上記表示装置において、前記表示終了時制御手段は、前記表示パネルの表示がオフされるとき、前記走査線駆動回路から全てのゲート信号ラインに対して同時にオン信号を供給するよう制御することにより、前記表示パネル上の全ての画素のTFTを同時にオンに切り換え、前記複数の画素の各々の画素電極に対し前記第1の電圧が印加された後、前記表示パネル上の全ての画素のTFTをオフに切り換えないことが好ましい。

[0255] TFTをオフに切り換えるときには、ゲート信号ラインの電圧変化に応じ、TFTのドレイン電極とゲート信号ラインとの間の寄生容量に起因したTFTのドレイン電極の電圧レベルに変動（いわゆる、上記寄生容量による引き込み）が生じる。これにより、画素電極の電圧レベルと、共通電極の電圧レベルとに電位差が生じていない場合であっても、上記変動により、表示不具合等の原因となる電位差が生じてしまうこととなる。

[0256] そこで、この構成によれば、表示パネル上の全ての画素のTFTをオフに切り換えないこととしたので、このような電位差が生じてしまうことがない

- 。
- [0257] また、上記表示装置において、前記表示終了時制御手段は、前記複数の画素の各々の画素電極に対し前記第1の電圧が印加された後、前記複数の画素の各々の共通電極に対し前記第1の電圧を印加することが好ましい。
- [0258] この構成によれば、ゲート信号ラインをオフに切り換えたとき、Cgdの引き込みに起因するゲート信号ラインの電圧変化により、画素電極の電圧レベルと、共通電極の電圧レベルとに電位差が生じてしまうことを防止することができる。
- [0259] また、上記表示装置において、前記第1の電圧はグランド電圧であることが好ましい。
- [0260] 本発明によれば、各画素の画素電極の電圧レベルを、最も電荷が開放された状態となるグランド電圧まで短時間で遷移させることができる。すなわち、表示パネルの各画素に蓄えられている電荷をより多くかつ短時間で放電することができるので、焼き付きや、フリッカ等の表示の不具合をより生じさせることなく、表示パネルによる表示をオフすることができる。
- [0261] また、上記表示装置において、前記複数の画素の各々のTFTの半導体層には、酸化物半導体がいわれていることが好ましい。特に、上記表示装置において、前記酸化物半導体は、IGZO(InGaZnOx)であることが好ましい。
- [0262] 酸化物半導体は、オフ状態のときのリーク電流が殆ど生じない、というオフ特性が非常に優れたものであるため、このような半導体がいわれている表示装置に対して、本発明を採用することで、より顕著な効果を得られることができる。
- [0263] また、上記構成により、各画素のTFTのオン特性が非常に優れたものとなる。そのため、各画素に対してデータを書き込む際の電子移動量を増大し、該書き込みにかかる時間をより短時間化することができる。したがって、各画素の画素電極の電圧レベルを、画素に蓄えられた電荷を開放するための第1の電圧までより短時間で遷移させることができる。すなわち、表示パネ

ルの各画素に蓄えられている電荷をより短時間で放電することができる。

[0264] また、上記表示装置において、前記表示終了時制御手段は、前記表示パネルの表示がオフされるとき、前記複数の画素の各々の画素電極に対し前記第1の電圧が印加された後、前記表示パネルのバックライトを消灯するよう制御することが好ましい。

[0265] 一般的な画素においては、光が照射されていると、光が照射されていないときよりも、そのドレイン電極の電圧レベルの変動量が多くなる傾向がある。そこで、この構成によれば、各画素電極の電圧レベルが第1の電圧へ遷移するまで光を照射することで、各画素電極の電圧レベルが第1の電圧へ遷移するまでに係る時間をより短くすることができる。

[0266] また、上記表示装置において、前記信号線駆動回路は、ソース信号電位がグランド電圧よりも正となる第1のソース信号を供給する第1のソース出力アンプ、およびソース信号電位がグランド電圧よりも負となる第2のソース信号を供給する第2のソース出力アンプを有し、前記複数のソース信号ラインの各々に対し、前記第1のソース信号および前記第2のソース信号を交互に供給し、前記第1の電圧および前記共通電圧の各々は、前記グランド電圧と略等しいことが好ましい。

[0267] この構成によれば、表示パネルの表示がオフに切り換えられたとき、既に共通電圧がグランド電圧となっているので、共通電圧をグランド電圧まで遷移させるといった動作を行う必要なく、各画素の画素電極の各々の電圧レベルを、最も電荷が開放された状態となるグランド電圧および共通電圧まで遷移させて揃えることができる。

[0268] また、本発明に係る液晶表示装置は、上記のいずれかに記載の表示装置を備えたことを特徴とする。

[0269] 本液晶表示装置によれば、上記表示装置と同様の効果を奏する液晶表示装置を提供することができる。

[0270] また、本発明に係る駆動方法は、複数の画素、複数のゲート信号ライン、および複数のソース信号ラインを有する表示パネルと、前記複数の画素の各



々の共通電極に対し、共通電圧を供給する共通電極駆動回路と、前記複数のゲート信号ラインを順次選択して走査する走査線駆動回路と、選択されたゲート信号ライン上の複数の画素の各々に対し、前記複数のソース信号ラインからソース信号を供給する信号線駆動回路とを備えた表示装置の駆動方法であって、前記表示パネルの表示がオフされるとき、前記複数の画素の各々の画素電極に対し、画素に蓄えられた電荷を開放するための第1の電圧を印加するように制御する表示終了時制御工程を含んだことを特徴とする。

[0271] 本駆動方法によれば、当該駆動方法を表示装置の駆動方法として採用することにより、上記表示装置と同様の効果を奏する表示装置を提供することができる。

### 産業上の利用可能性

[0272] 本発明に係る表示装置および駆動方法は、液晶表示装置等の、アクティブマトリクス方式を採用した各種表示装置において利用可能である。

### 符号の説明

[0273]

1	表示装置（液晶表示装置）
2	表示パネル
4	走査線駆動回路
6	信号線駆動回路
8	共通電極駆動回路
10	タイミングコントローラ
12	電源生成回路
20	表示終了時制御部（表示終了時制御手段）

## 請求の範囲

- [請求項1] 複数の画素、複数のゲート信号ライン、および複数のソース信号ラインを有する表示パネルと、  
前記複数の画素の各々の共通電極に対し、共通電圧を供給する共通電極駆動回路と、  
前記複数のゲート信号ラインを順次選択して走査する走査線駆動回路と、  
選択されたゲート信号ライン上の複数の画素の各々に対し、前記複数のソース信号ラインからソース信号を供給する信号線駆動回路と、  
前記表示パネルの表示がオフされるとき、前記複数の画素の各々の画素電極に対し、画素に蓄えられた電荷を開放するための第1の電圧を印加するように制御する表示終了時制御手段と  
を備えることを特徴とする表示装置。
- [請求項2] 前記表示終了時制御手段は、  
前記表示パネルの表示がオフされるとき、前記複数の画素の各々の画素電極および前記複数の画素の各々の共通電極に対し、前記第1の電圧を印加するように制御することを特徴とする請求項1に記載の表示装置。
- [請求項3] 前記表示終了時制御手段は、  
前記表示パネルの表示がオフされるとき、前記複数の画素の各々の画素電極に対し、前記共通電圧を印加するように制御した後、前記複数の画素の各々の画素電極および前記複数の画素の各々の共通電極に対し、前記第1の電圧を印加するように制御することを特徴とする請求項2に記載の表示装置。
- [請求項4] 前記表示終了時制御手段は、  
前記表示パネルの表示がオフされるとき、前記複数の画素の各々の画素電極に対し、通常駆動時にノーマリー状態を表示するための第2の電圧を印加するように制御した後、前記複数の画素の各々の画素電

極および前記複数の画素の各々の共通電極に対し、前記第1の電圧を印加するように制御する

ことを特徴とする請求項2に記載の表示装置。

[請求項5]

前記表示終了時制御手段は、

前記表示パネルの表示がオフされるとき、前記信号線駆動回路および前記共通電極駆動回路に対して所定の指示信号を送信することにより、前記信号線駆動回路から、前記複数の画素の各々の画素電極に対し、前記第1の電圧を印加するように制御し、前記共通電極駆動回路から、前記複数の画素の各々の共通電極に対し、前記第1の電圧を印加するように制御する

ことを特徴とする請求項2から4のいずれかに記載の表示装置。

[請求項6]

当該表示装置に対して供給される電源電圧が所定の閾値よりも低くなったことを検出する検出手段をさらに備え、

前記表示終了時制御手段は、

前記検出手段によって前記電源電圧が前記所定の閾値よりも低くなったことが検出されると、前記表示パネルの表示がオフされると判断する

ことを特徴とする請求項5に記載の表示装置。

[請求項7]

前記表示終了時制御手段は、

表示パネルの表示をオフするための指示信号を外部から受信すると、前記表示パネルの表示がオフされると判断する

ことを特徴とする請求項5に記載の表示装置。

[請求項8]

前記表示終了時制御手段は、

前記表示パネルの表示がオフされるとき、前記走査線駆動回路から全てのゲート信号ラインに対して同時にオン信号を供給するよう制御することにより、前記表示パネル上の全ての画素のTFTを同時にオンに切り換え、

前記複数の画素の各々の画素電極に対し前記第1の電圧が印加され

た後、前記表示パネル上の全ての画素の T F T をオフに切り換えないことを特徴とする請求項 1 から 7 のいずれかに記載の表示装置。

[請求項9]

前記表示終了時制御手段は、

前記複数の画素の各々の画素電極に対し前記第 1 の電圧が印加された後、前記複数の画素の各々の共通電極に対し前記第 1 の電圧を印加する

ことを特徴とする請求項 2 から 7 のいずれかに記載の表示装置。

[請求項10]

前記第 1 の電圧はグランド電圧である

ことを特徴とする請求項 1 から 9 のいずれかに記載の表示装置。

[請求項11]

前記複数の画素の各々の T F T の半導体層には、酸化物半導体がい

られている

ことを特徴とする請求項 1 から 10 のいずれかに記載の表示装置。

[請求項12]

前記酸化物半導体は、 I G Z O である

ことを特徴とする請求項 11 に記載の表示装置。

[請求項13]

前記表示終了時制御手段は、

前記表示パネルの表示がオフされるとき、前記複数の画素の各々の画素電極に対し前記第 1 の電圧が印加された後、前記表示パネルのバックライトを消灯するよう制御する

ことを特徴とする請求項 1 から 12 のいずれかに記載の表示装置。

[請求項14]

前記信号線駆動回路は、

ソース信号電位がグランド電圧よりも正となる第 1 のソース信号を供給する第 1 のソース出力アンプ、およびソース信号電位がグランド電圧よりも負となる第 2 のソース信号を供給する第 2 のソース出力アンプを有し、

前記複数のソース信号ラインの各々に対し、前記第 1 のソース信号および前記第 2 のソース信号を交互に供給し、

前記第 1 の電圧および前記共通電圧の各々は、

前記グランド電圧と略等しい

ことを特徴とする請求項 1 に記載の表示装置。

[請求項15] 請求項 1 から 14 のいずれかに記載の表示装置を備えたことを特徴とする液晶表示装置。

[請求項16] 複数の画素、複数のゲート信号ライン、および複数のソース信号ラインを有する表示パネルと、

前記複数の画素の各々の共通電極に対し、共通電圧を供給する共通電極駆動回路と、

前記複数のゲート信号ラインを順次選択して走査する走査線駆動回路と、

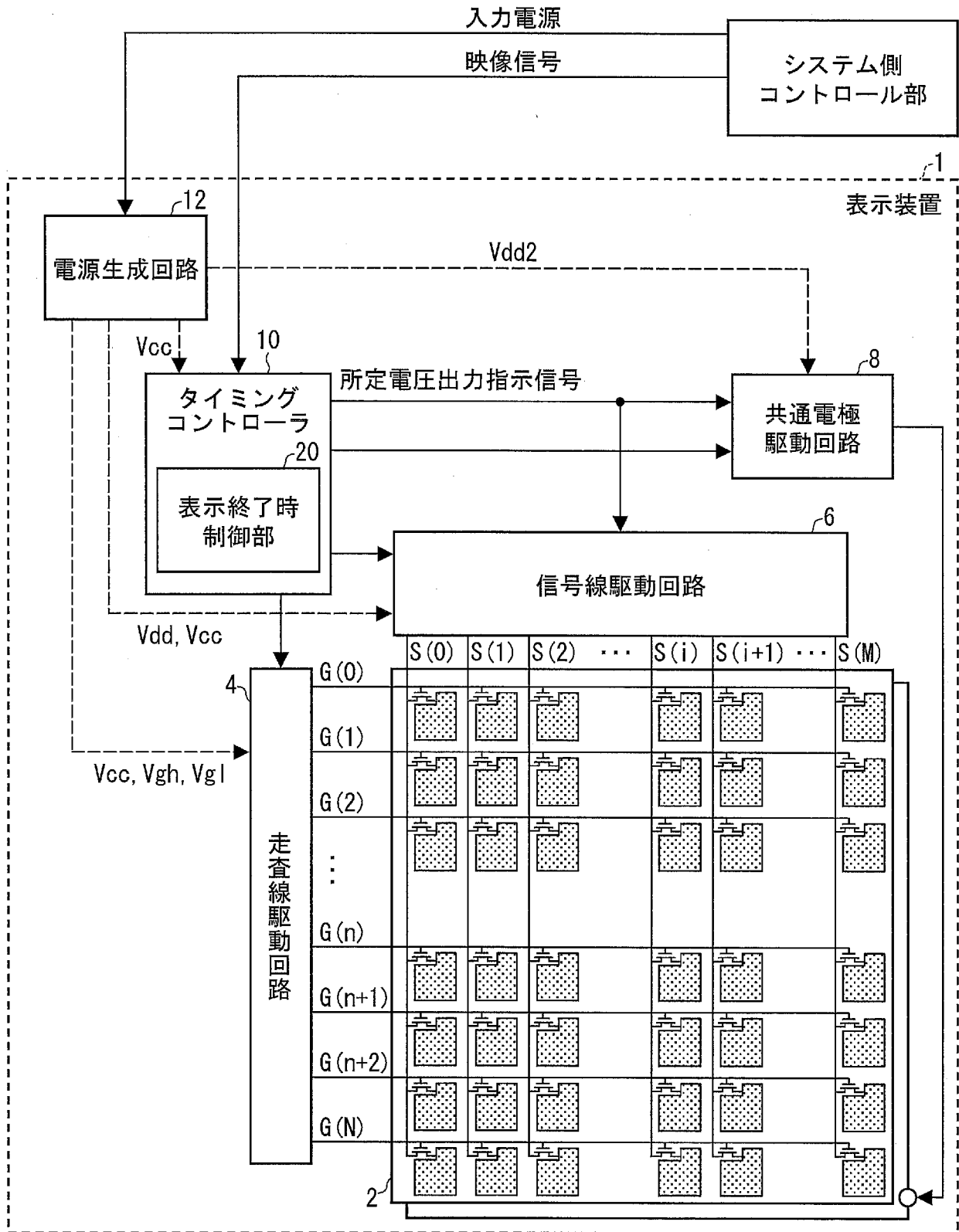
選択されたゲート信号ライン上の複数の画素の各々に対し、前記複数のソース信号ラインからソース信号を供給する信号線駆動回路と

を備えた表示装置の駆動方法であって、

前記表示パネルの表示がオフされるとき、前記複数の画素の各々の画素電極に対し、画素に蓄えられた電荷を開放するための第 1 の電圧を印加するように制御する表示終了時制御工程

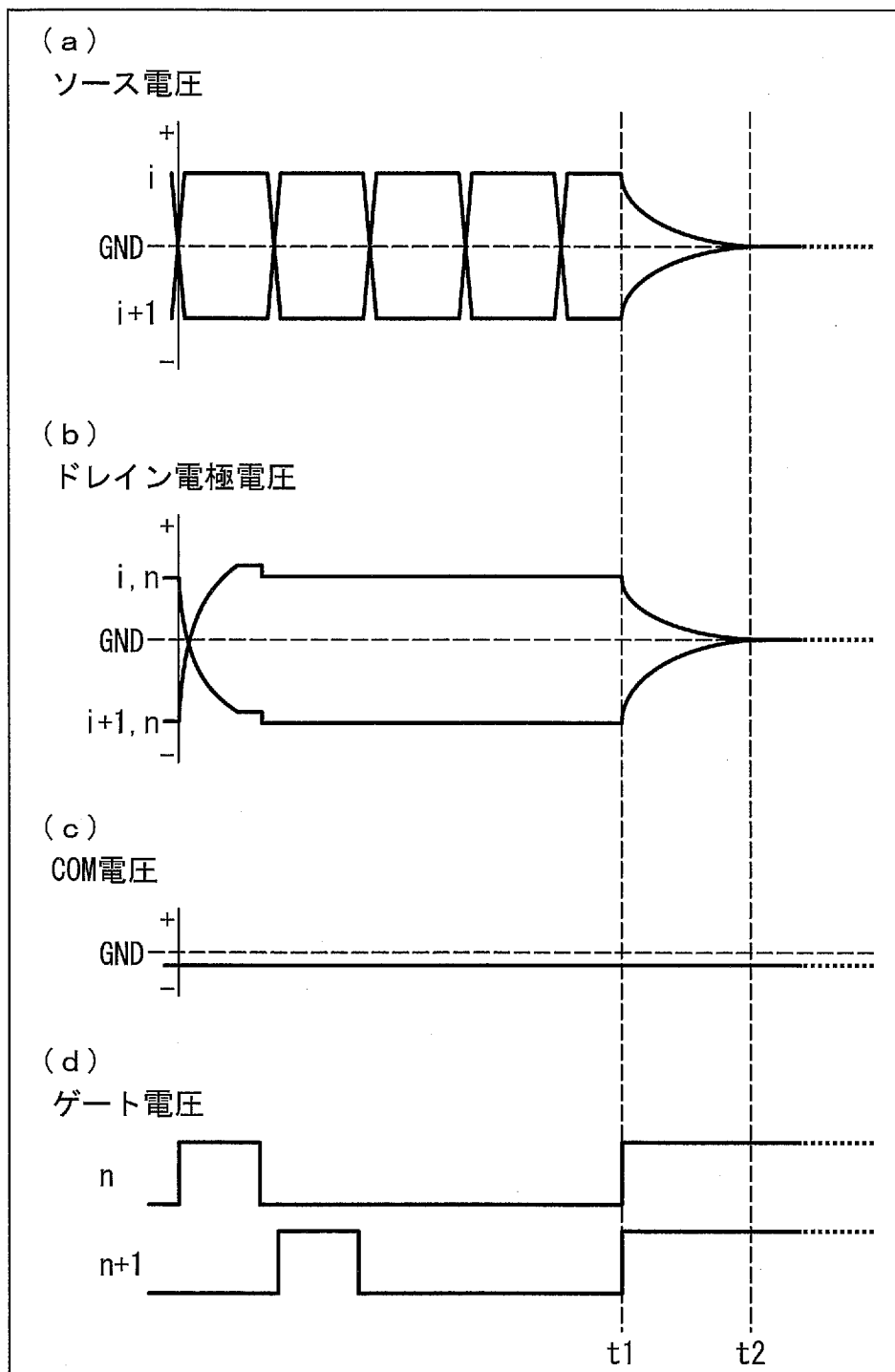
を含んだことを特徴とする駆動方法。

[図1]



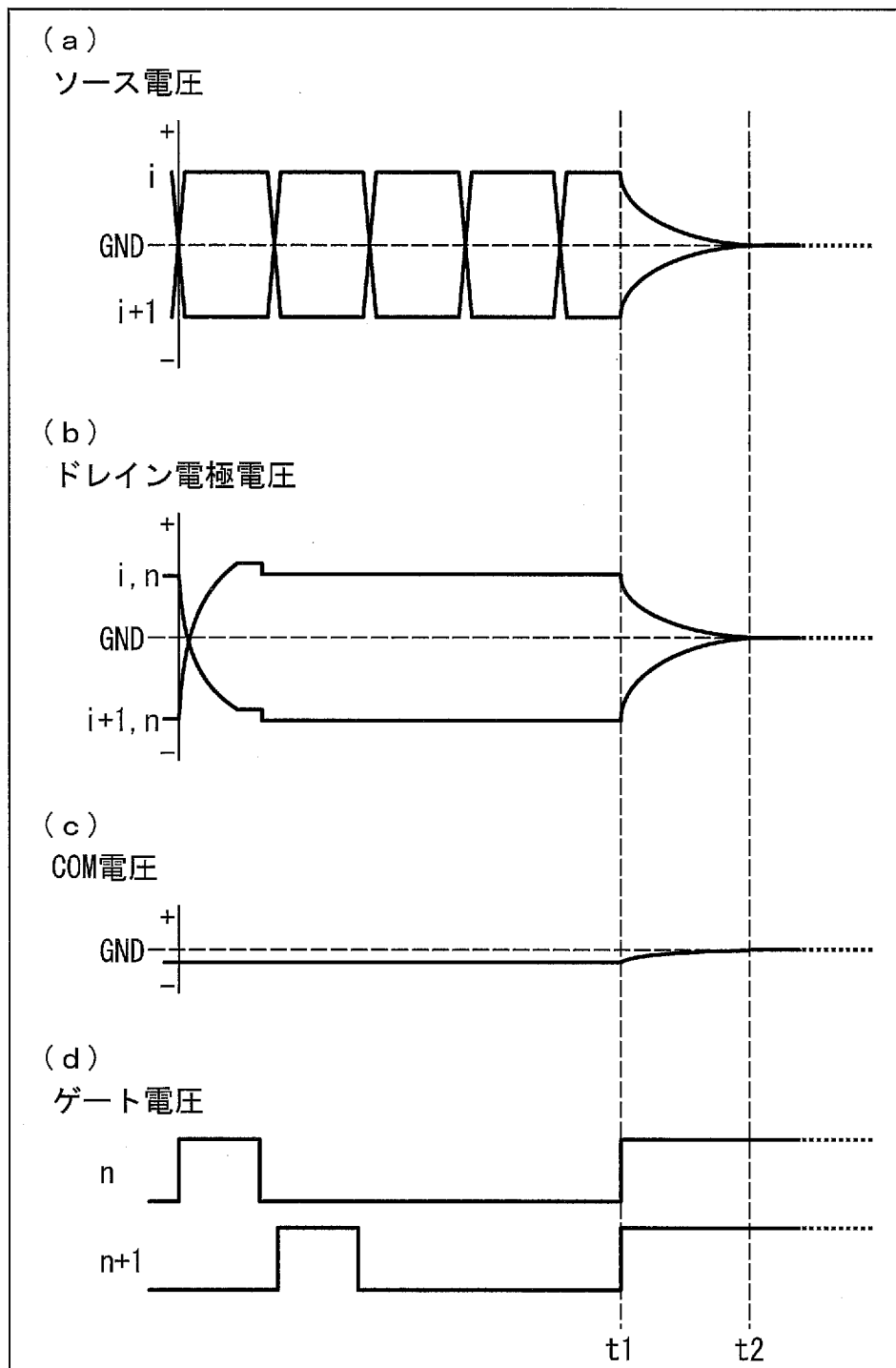


[図3]

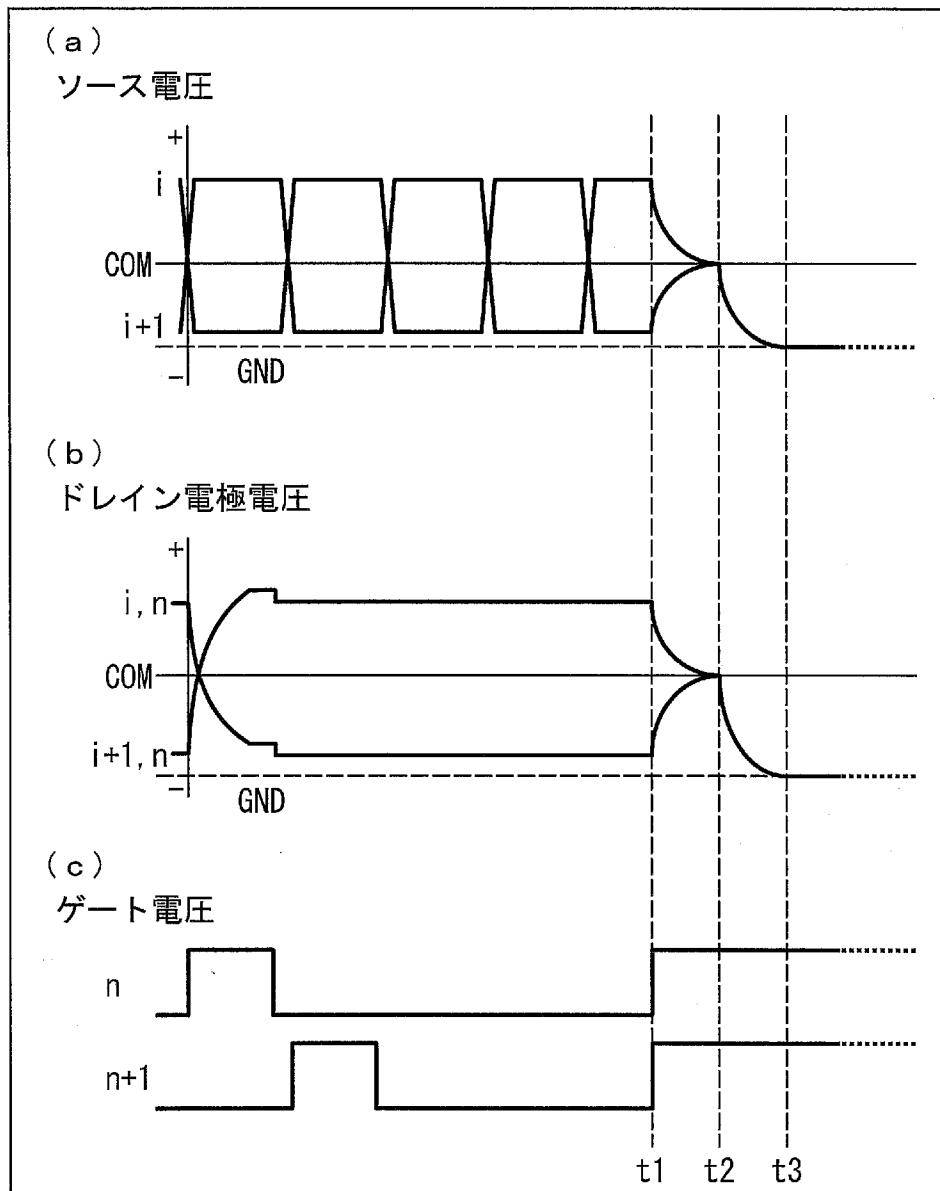




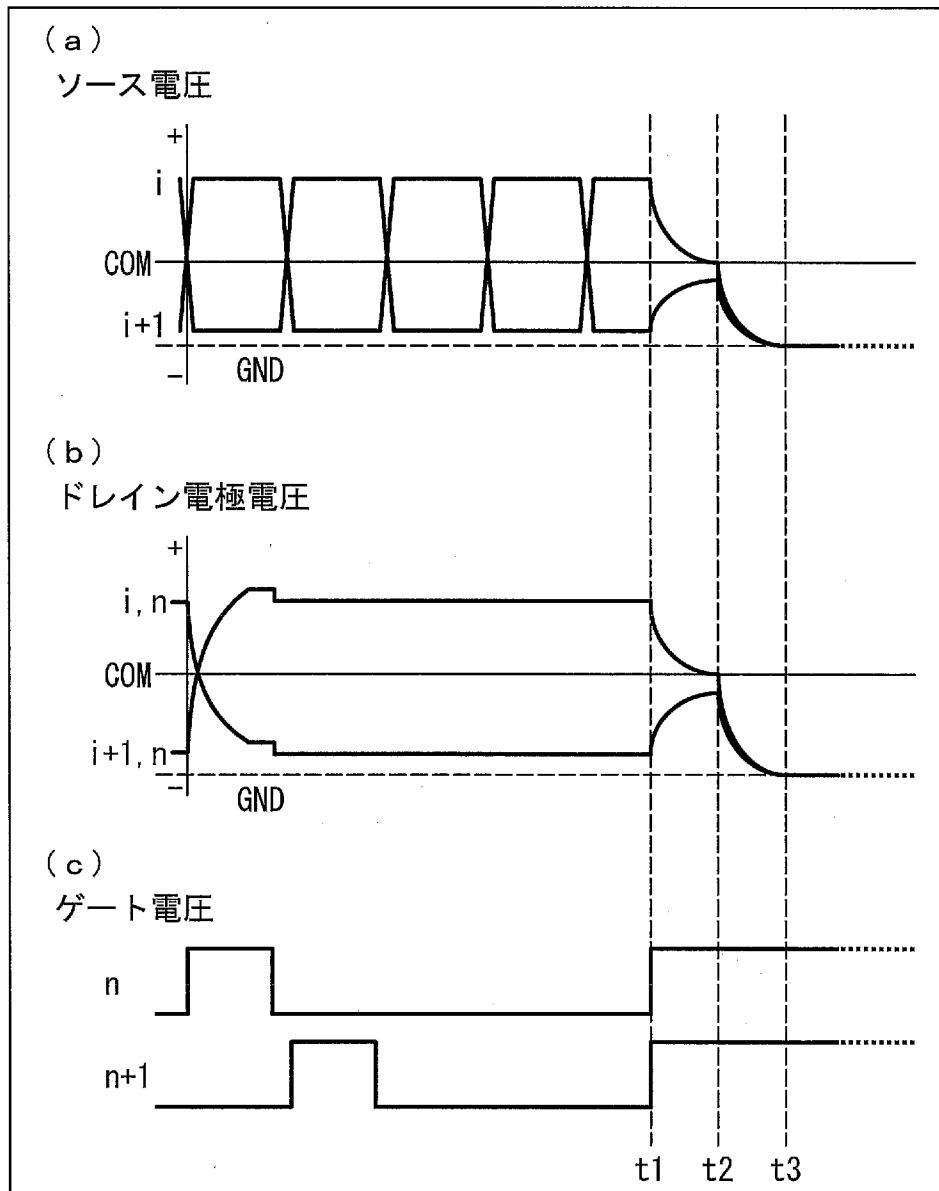
[図4]



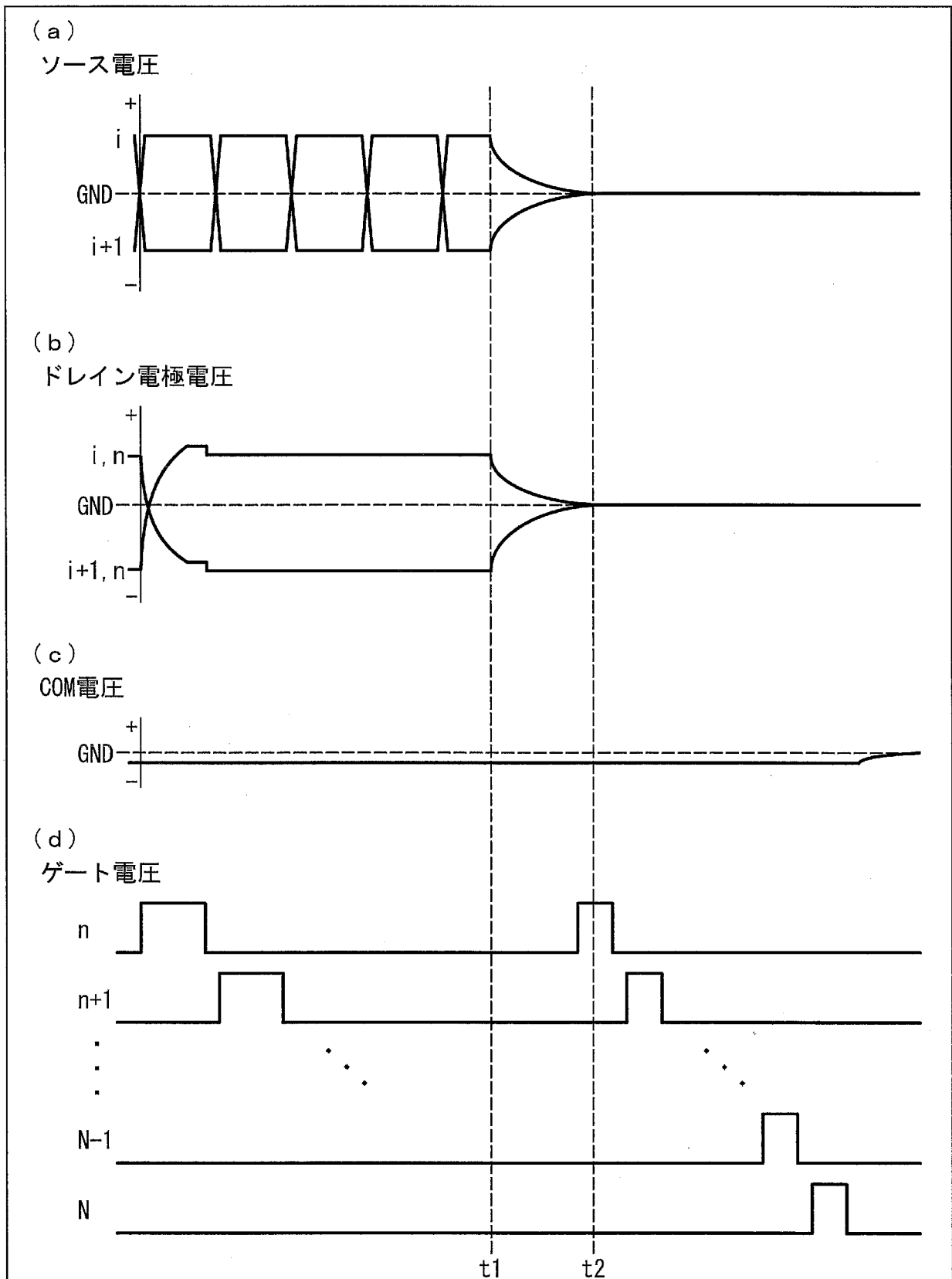
[図5]



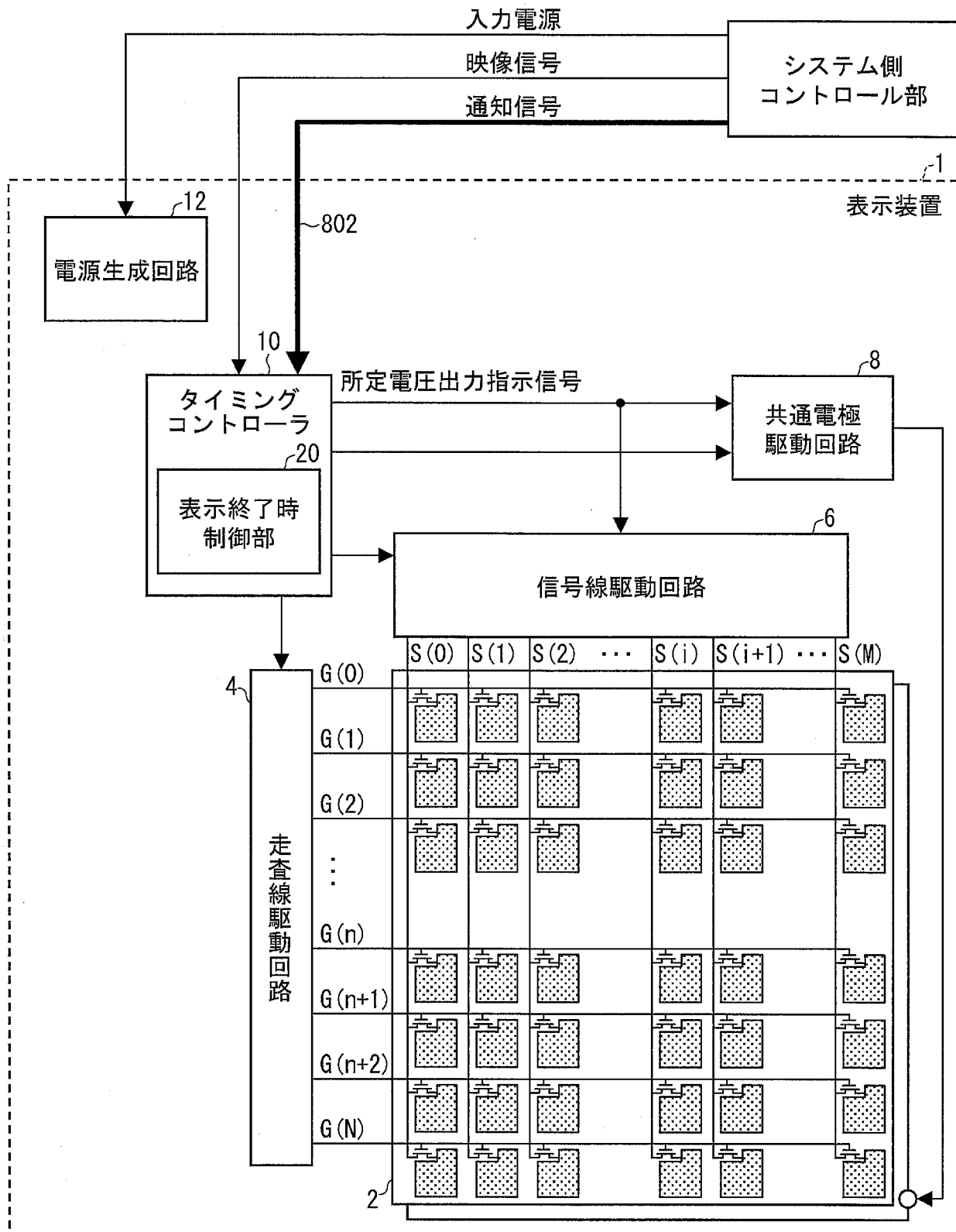
[図6]



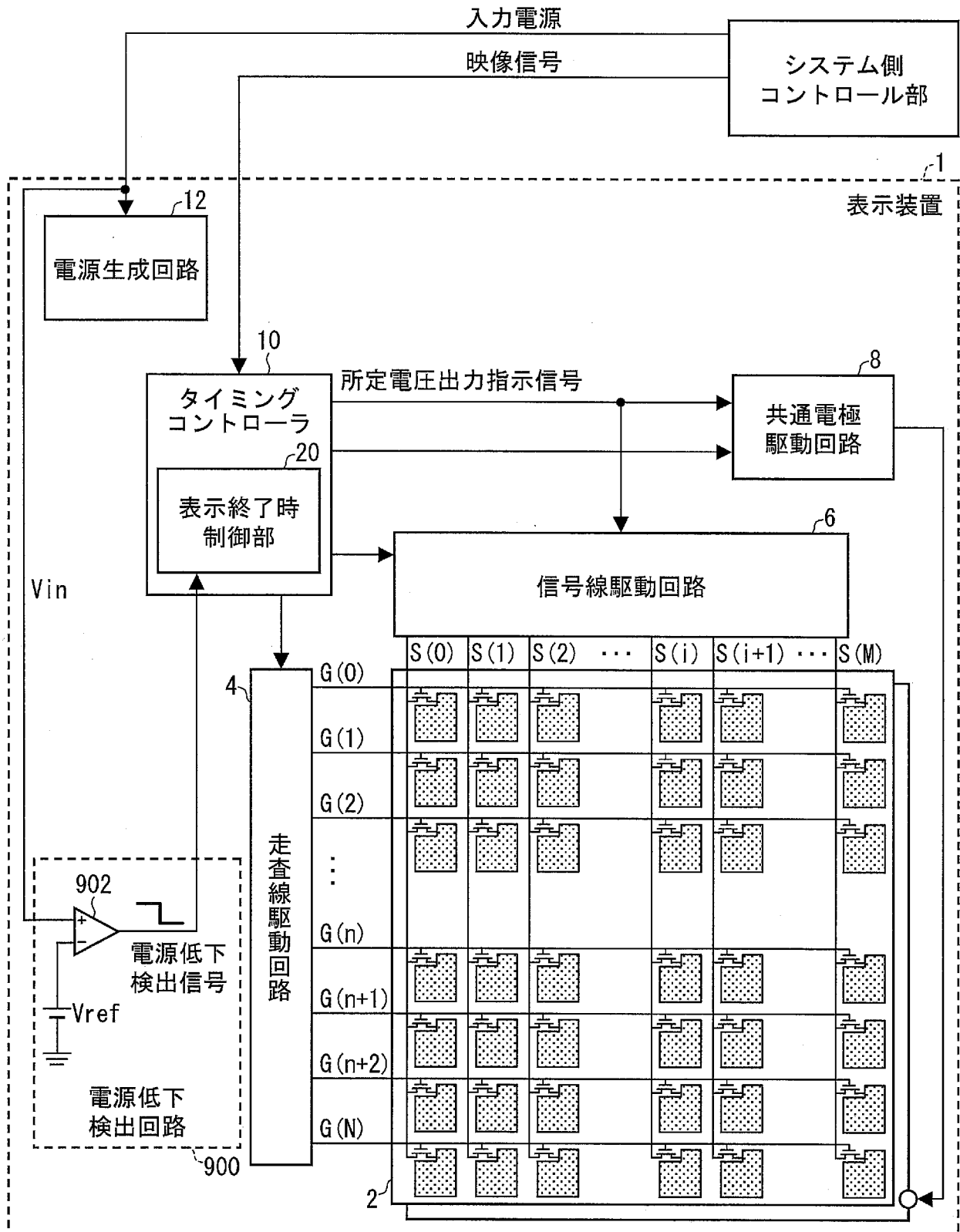
[図7]



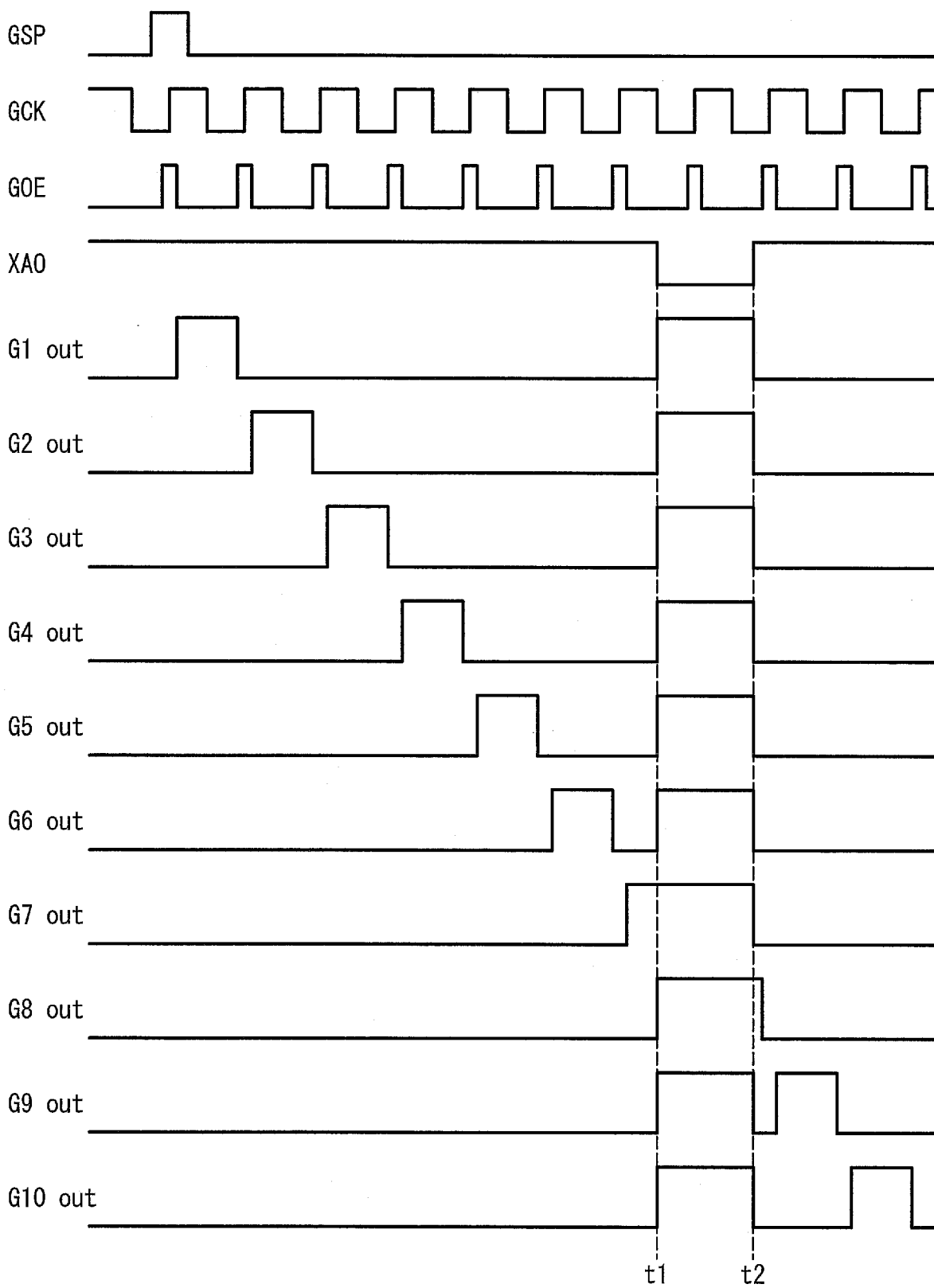
[図8]



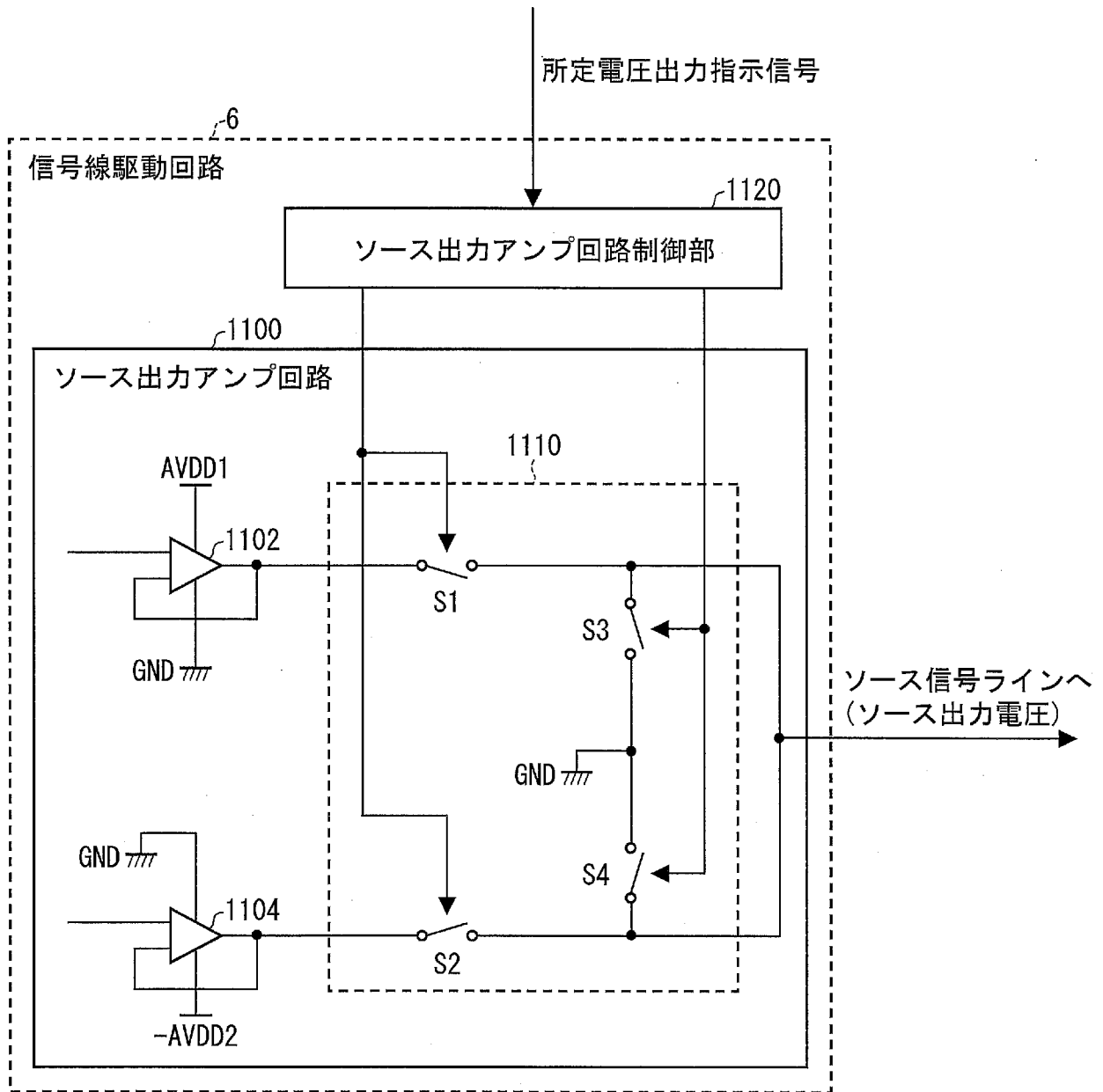
[図9]



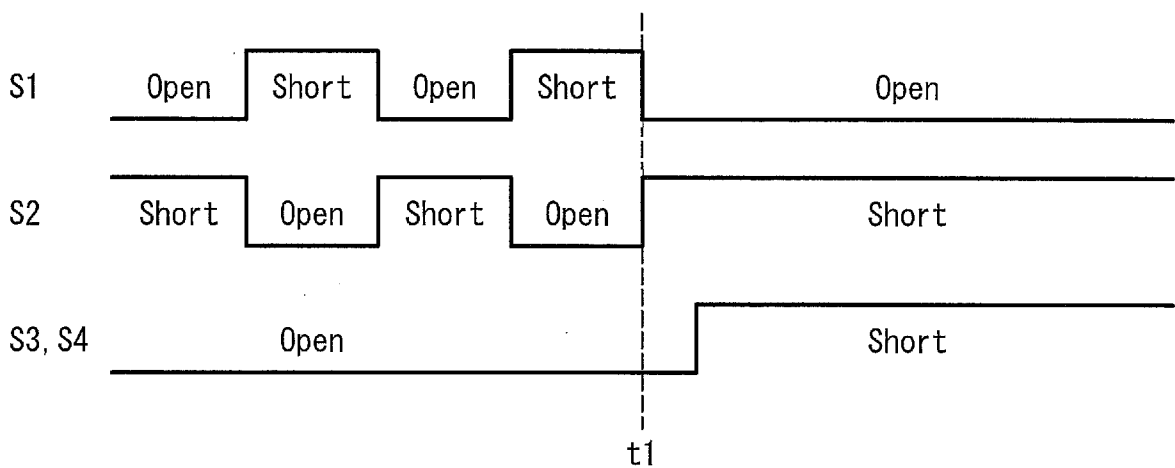
[図10]



[図11]



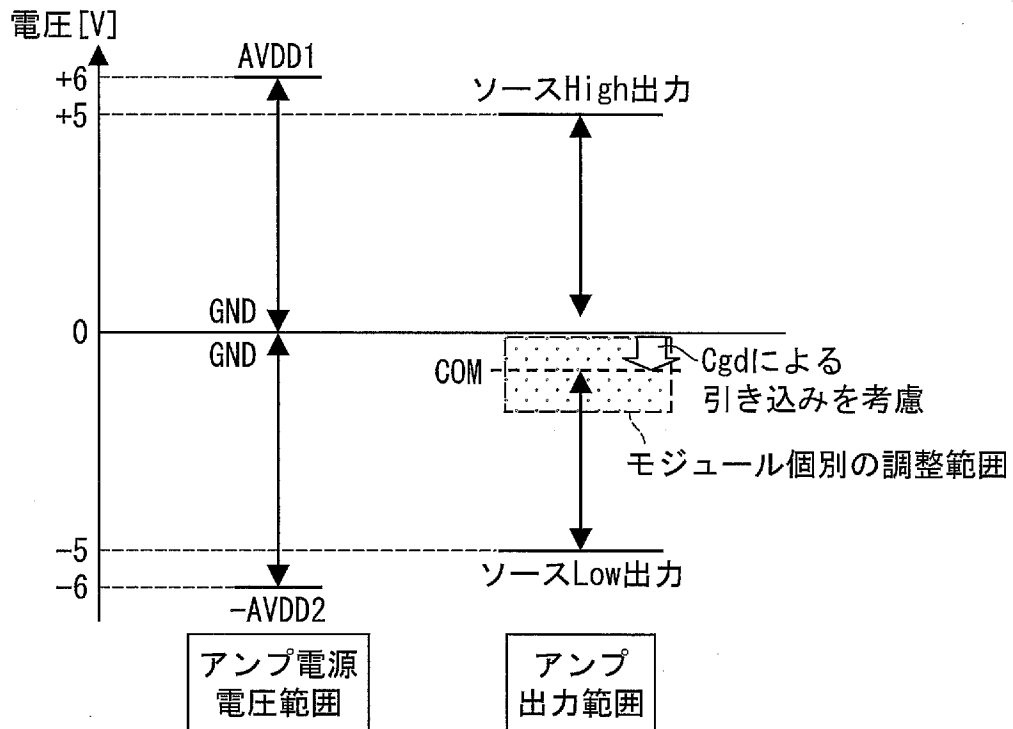
[図12]





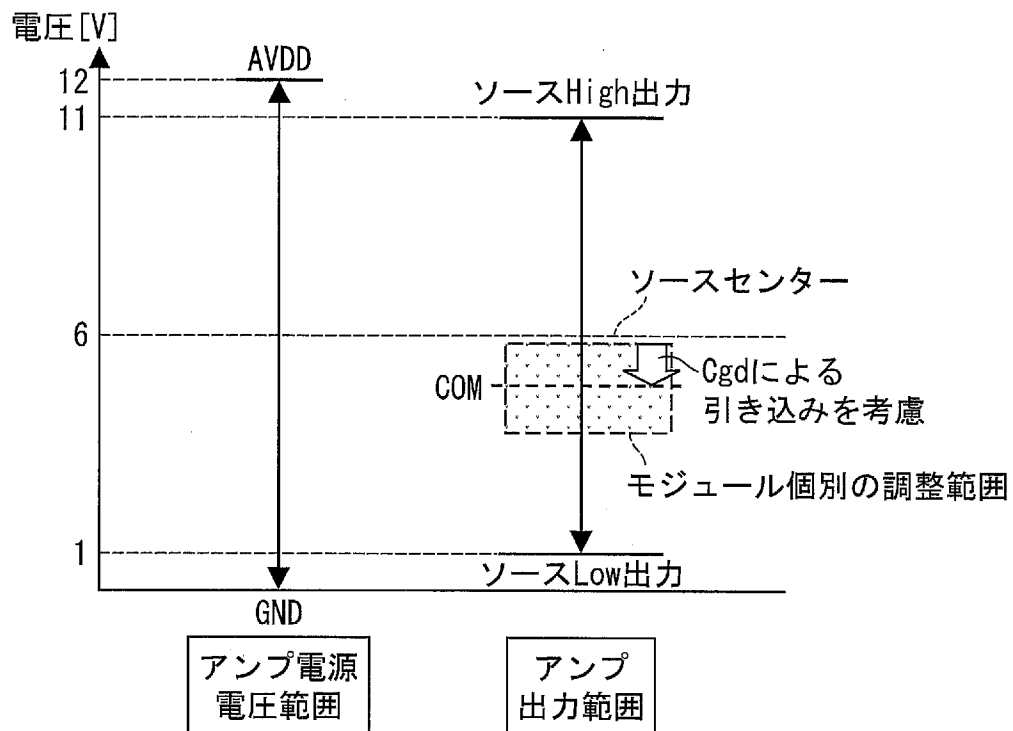
[図13]

## 正負電源システム



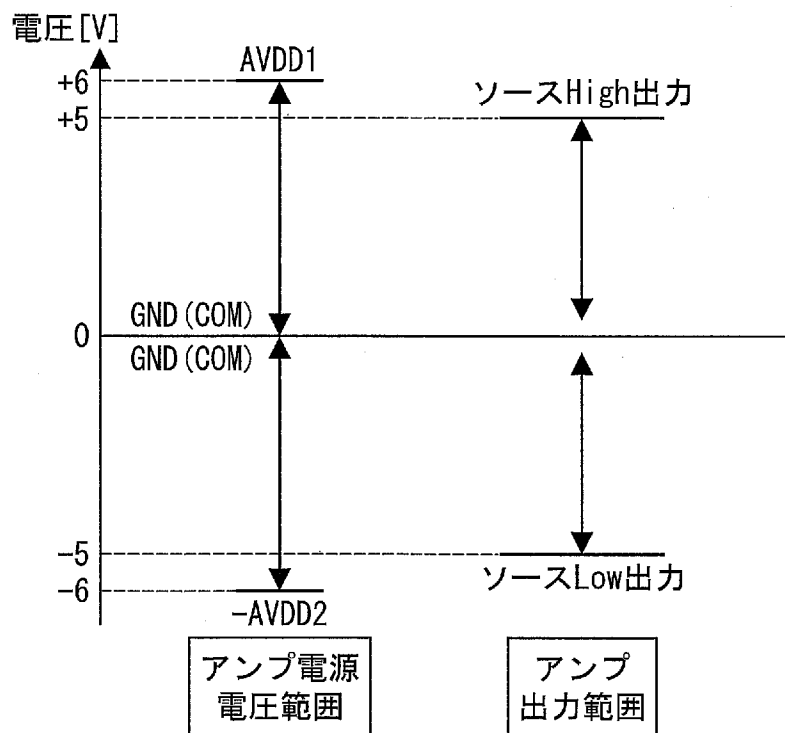
[図14]

## 片側電源システム

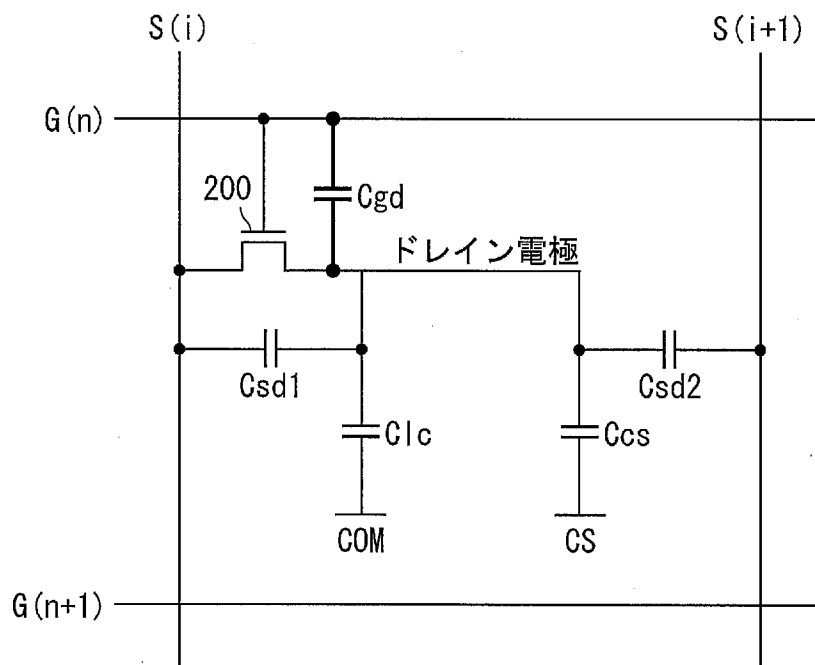


[図15]

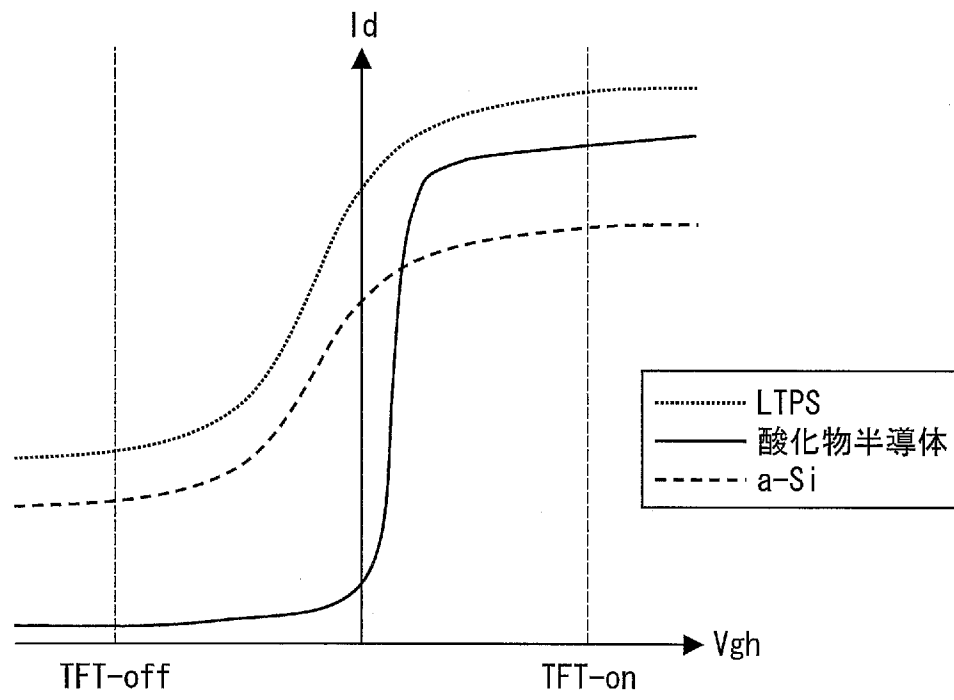
## 正負電源システム



[図16]



[図17]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2012/062335

**A. CLASSIFICATION OF SUBJECT MATTER**

G09G3/36(2006.01) i, G02F1/133(2006.01) i, G09G3/20(2006.01) i, G09G3/34(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20, G09G3/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-271707 A (Toshiba Corp.), 08 October 1999 (08.10.1999), paragraphs [0022], [0026], [0030]; fig. 1, 4 to 5 (Family: none)	1-2, 5-8, 10, 15-16
Y	JP 2009-186542 A (Seiko Epson Corp.), 20 August 2009 (20.08.2009), paragraphs [0003], [0010] (Family: none)	3-4, 9, 11-14
Y	JP 2008-146086 A (Seiko Epson Corp.), 26 June 2008 (26.06.2008), paragraph [0061] (Family: none)	3-4
Y	JP 2008-146086 A (Seiko Epson Corp.), 26 June 2008 (26.06.2008), paragraph [0061] (Family: none)	9

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
11 June, 2012 (11.06.12)

Date of mailing of the international search report  
19 June, 2012 (19.06.12)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/062335

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2005/088726 A1 (Japan Science and Technology Agency), 22 September 2005 (22.09.2005), paragraph [0038] & US 2007/0194379 A1 & US 2009/0278122 A1 & US 2009/0280600 A1 & US 2011/0101352 A1 & EP 1737044 A1 & EP 2246894 A1 & EP 2413366 A1 & KR 10-2006-0123765 A & CN 1998087 A & KR 10-2007-0116888 A & KR 10-2007-0116889 A & KR 10-2009-0087130 A	11-12
Y	JP 2006-11311 A (Optrex Corp.), 12 January 2006 (12.01.2006), paragraphs [0008] to [0009] (Family: none)	13
Y	JP 2002-40997 A (Hitachi, Ltd.), 08 February 2002 (08.02.2002), paragraphs [0023], [0029]; fig. 6 & US 2002/0011971 A1 & US 2002/0030656 A1 & US 2006/0192737 A1 & US 2008/0231573 A1 & TW 518529 B & KR 2002-0014685 A	14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/062335

**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

- 1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
- 2.  Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
- 3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:  
Document 1 (JP 11-271707 A (Toshiba Corp.), 08 October 1999 (08.10.1999), paragraphs [0022], [0026], [0030], fig. 1, 4 to 5) has disclosed the invention of a display device that has a function of applying a ground potential to the pixel electrodes and the counter electrodes of all of the pixels when a power supply of a display panel is turned off. Therefore, the invention of claim 1 is not novel to the invention that has been disclosed in document 1, and does not have a special technical feature.

- 1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
- 2.  As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
- 3.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
- 4.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

- Remark on Protest**
- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
  - The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
  - No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, G09G3/34(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G3/36, G02F1/133, G09G3/20, G09G3/34		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2012年 日本国実用新案登録公報 1996-2012年 日本国登録実用新案公報 1994-2012年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 11-271707 A (株式会社東芝) 1999.10.08, 段落【0022】、【0026】、【0030】、図1、図4-5、	1-2, 5-8, 10, 15-16
Y	(ファミリーなし)	3-4, 9, 11-14
Y	JP 2009-186542 A (セイコーエプソン株式会社) 2009.08.20, 段落【0003】、【0010】 (ファミリーなし)	3-4
Y	JP 2008-146086 A (セイコーエプソン株式会社) 2008.06.26, 段落【0061】、(ファミリーなし)	9
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日	11.06.2012	国際調査報告の発送日
		19.06.2012
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 西島 篤宏 電話番号 03-3581-1101 内線 3226	2G 5061

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2005/088726 A1 (独立行政法人科学技術振興機構) 2005.09.22, 段落【0038】 & US 2007/0194379 A1 & US 2009/0278122 A1 & US 2009/0280600 A1 & US 2011/0101352 A1 & EP 1737044 A1 & EP 2246894 A1 & EP 2413366 A1 & KR 10-2006-0123765 A & CN 1998087 A & KR 10-2007-0116888 A & KR 10-2007-0116889 A & KR 10-2009-0087130 A	11-12
Y	JP 2006-11311 A (オプトレックス株式会社) 2006.01.12, 段落【0008】 - 【0009】 (ファミリーなし)	13
Y	JP 2002-40997 A (株式会社日立製作所) 2002.02.08, 段落【0023】, 【0029】, 図6 & US 2002/0011971 A1 & US 2002/0030656 A1 & US 2006/0192737 A1 & US 2008/0231573 A1 & TW 518529 B & KR 2002-0014685 A	14



## 第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1.  請求項 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
  
2.  請求項 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
  
3.  請求項 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

文献1 (JP 11-271707 A (株式会社東芝) 1999.10.08, 段落【0022】、【0026】、【0030】、図1、図4-5)には、表示パネルの電源がオフされる時、すべての画素の画素電極及び対向電極にグランド電位を印加する機能を有する表示装置の発明が記載されている。よって、請求項1に係る発明は、文献1に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。

1.  出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2.  追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3.  出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4.  出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

## 追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。