

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4467371号
(P4467371)

(45) 発行日 平成22年5月26日(2010.5.26)

(24) 登録日 平成22年3月5日(2010.3.5)

(51) Int.Cl.		F I		
G 1 1 C	29/04	(2006.01)	G 1 1 C	29/00 6 0 3 L
G 1 1 C	16/06	(2006.01)	G 1 1 C	17/00 6 3 9 A
			G 1 1 C	17/00 6 3 9 B

請求項の数 10 (全 27 頁)

(21) 出願番号	特願2004-207781 (P2004-207781)	(73) 特許権者	302062931 NECエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成16年7月14日(2004.7.14)	(74) 代理人	100102864 弁理士 工藤 実
(65) 公開番号	特開2006-31799 (P2006-31799A)	(72) 発明者	小西 信也 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
(43) 公開日	平成18年2月2日(2006.2.2)	審査官	須原 宏光
審査請求日	平成19年4月5日(2007.4.5)	(56) 参考文献	特開平07-296595 (JP, A) 特開2002-150789 (JP, A)

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置及び不揮発性半導体記憶装置の置換情報の設定方法

(57) 【特許請求の範囲】

【請求項1】

複数のメインセルアレイと複数の冗長セルアレイとを備えるメモリセルアレイと、
前記メインセルアレイと前記冗長セルアレイとの置換に関する置換データを格納する置換データ用セルアレイと

を具備し、

前記置換データ用セルアレイは、

前記複数の冗長セルアレイの各々に対応して設けられ、前記複数の冗長セルアレイのうち
の対応するものが前記置換を行うか否かを示す置換確認データを2ビットの不揮発性メモ
リセルで格納する複数の第1格納部と、

前記複数の冗長セルアレイの各々に対応して設けられ、前記複数の冗長セルアレイのうち
の対応するものが置換する前記メインセルアレイのアドレスを示すアドレスデータを格
納する複数の第2格納部と

を備え、

前記複数の第1格納部の各々は、前記2ビットの不揮発性メモリセルとして、前記置換
を行うか否かに対応して互いに異なるデータを格納する第1不揮発性メモリセル及び第2
不揮発性メモリセルを含み、

前記第1不揮発性メモリセルは、前記置換を行うか否かに対応して、第1電圧及び第2
電圧のいずれかの閾値電圧を取り、

前記第2不揮発性メモリセルは、前記置換を行うか否かに関わらず、前記第1電圧と前

記第 2 電圧との間の第 3 電圧の閾値電圧を取り、

前記第 1 電圧は、不揮発性メモリセルにデータが書き込まれていない場合の閾値電圧であり、

前記第 2 電圧は、不揮発性メモリセルにデータが書き込まれている場合の閾値電圧である

不揮発性半導体記憶装置。

【請求項 2】

請求項 1 に記載の不揮発性半導体記憶装置において、

前記置換データ用セルアレイは、

前記複数の第 1 格納部の各々における各ビットから出力されるデータを比較して、前記置換を行うか否かを示す比較データを出力する第 1 センスアンプを更に備える

不揮発性半導体記憶装置。

【請求項 3】

請求項 1 に記載の不揮発性半導体記憶装置において、

前記複数の第 1 格納部における前記第 1 不揮発性メモリセル及び前記第 2 不揮発性メモリセルの設定は、

前記複数の第 1 格納部の前記第 2 不揮発性メモリセルの閾値電圧を前記第 3 電圧に設定した後、

前記置換を行う前記冗長セルアレイがある場合、前記複数の第 1 格納部のうちの前記置換を行う前記冗長セルアレイに対応するものにおける前記第 1 不揮発性メモリセルの閾値電圧を前記第 2 電圧に設定する

不揮発性半導体記憶装置。

【請求項 4】

複数のメインセルアレイと複数の冗長セルアレイとを備えるメモリセルアレイと、

前記メインセルアレイと前記冗長セルアレイとの置換に関する置換データを格納する置換データ用セルアレイと

を具備し、

前記置換データ用セルアレイは、

前記複数の冗長セルアレイの各々に対応して設けられ、前記複数の冗長セルアレイのうちに対応するものが前記置換を行うか否かを示す置換確認データを 2 ビットの非揮発性メモリセルで格納する複数の第 1 格納部と、

前記複数の冗長セルアレイの各々に対応して設けられ、前記複数の冗長セルアレイのうちに対応するものが置換する前記メインセルアレイのアドレスを示すアドレスデータを格納する複数の第 2 格納部と

を備え、

前記複数の第 2 格納部は、1 ビット分のデータとして 2 つの不揮発性メモリを用い、前記アドレスデータを格納する複数の不揮発性メモリセルを含み、

前記置換データ用セルアレイは、前記複数の第 2 格納部の各々における前記 1 ビット分の 2 つの不揮発性メモリの各々から出力されるデータを比較して、前記アドレスデータを出力する複数の第 2 センスアンプを更に備え、

前記 1 ビット分の 2 つの不揮発性メモリは、前記アドレスデータに対応して互いに異なるデータを格納し、

前記 1 ビット分の 2 つの不揮発性メモリの一方は、前記前記アドレスデータに対応して、第 1 電圧及び第 2 電圧のいずれかの閾値電圧を取り、

前記 1 ビット分の 2 つの不揮発性メモリの他方は、前記前記アドレスデータに関わらず、前記第 1 電圧と前記第 2 電圧との間の第 3 電圧の閾値電圧を取り、

前記第 1 電圧は、不揮発性メモリセルにデータが書き込まれていない場合の閾値電圧であり、

前記第 2 電圧は、不揮発性メモリセルにデータが書き込まれている場合の閾値電圧である

10

20

30

40

50

不揮発性半導体記憶装置。

【請求項 5】

請求項 4 に記載の不揮発性半導体記憶装置において、
前記複数の第 2 格納部における前記複数の不揮発性メモリセルの設定は、
前記複数の第 2 格納部の前記 1 ビット分の 2 つの不揮発性メモリの一方の閾値電圧を前記第 3 電圧に設定した後、
前記置換を行う前記冗長セルアレイがある場合、前記複数の第 2 格納部のうちの前記置換を行う前記冗長セルアレイに対応するものにおける前記 1 ビット分の 2 つの不揮発性メモリの他方の閾値電圧を前記第 2 電圧に設定する
不揮発性半導体記憶装置。

10

【請求項 6】

メインセルを含む複数のメインセルアレイと、
冗長セルを含む複数の冗長セルアレイと、
前記複数のメインセルアレイと前記複数の冗長セルアレイとの置換データを記憶する格納部と
を具備し、
前記格納部は、

前記複数の冗長セルアレイの各々に対応して設けられ、前記複数の冗長セルアレイのうちに対応するものが前記置換を行うか否かを示す置換確認データを 2 ビットの不揮発性メモリセルで格納する複数の第 1 格納部と、ただし、前記複数の第 1 格納部の各々は、前記 2 ビットの不揮発性メモリとしての、前記置換確認データに対応して互いに異なるデータを格納する第 1 の不揮発性メモリセル及び第 2 の不揮発性メモリセルを含み、

20

前記複数の冗長セルアレイの各々に対応して設けられ、前記複数の冗長セルアレイのうちに対応するものが置換する前記メインセルアレイのアドレスを示すアドレスデータを格納する複数の第 2 格納部と、

定電流回路と、

前記第 1 の不揮発性メモリセルと前記第 2 の不揮発性メモリセルとから入力される 2 つの入力データに基づいて、1 つの出力を決定するセンスアンプと、

前記第 1 の不揮発性メモリセルと前記第 2 の不揮発性メモリセルとに個別にデータを供給する書込み回路と、

30

前記センスアンプと前記第 1 の不揮発性メモリセル及び前記第 2 の不揮発性メモリセルとの間に設けられた第 1 のセレクトと、

前記センスアンプと前記定電流回路との間に設けられた第 2 のセレクトと、

前記書込み回路と前記第 1 の不揮発性メモリセル及び前記第 2 の不揮発性メモリセルとの間に設けられた第 3 のセレクトと

を備え、

前記第 1 不揮発性メモリセルは、前記置換データの記憶に、第 1 電圧及び第 2 電圧のいずれかの閾値電圧を取り、

前記第 2 不揮発性メモリセルは、前記置換データの記憶に、前記第 1 電圧と前記第 2 電圧との間の第 3 電圧の閾値電圧を取り、

40

前記第 1 電圧は、不揮発性メモリセルにデータが書き込まれていない場合の閾値電圧であり、

前記第 2 電圧は、不揮発性メモリセルにデータが書き込まれている場合の閾値電圧である

不揮発性半導体記憶装置。

【請求項 7】

請求項 6 に記載の不揮発性半導体記憶装置において、

前記第 1 のセレクトは、前記第 1 の不揮発性メモリセル及び前記第 2 の不揮発性メモリセルのうちいずれか一方を前記センスアンプに結合すること、又は、前記第 1 の不揮発性メモリセル及び前記第 2 の不揮発性メモリセルの両方を前記センスアンプに結合すること

50

を選択し、

前記第2のセレクトは、前記定電流回路を前記センスアンプの2つの入力のうちいづれか一方に結合すること、または、いづれにも結合しないことを選択し、

前記第3のセレクトは、前記書込み回路を前記第1の不揮発性メモリセル及び前記第2の不揮発性メモリセルのうちいづれか一方に結合すること、又は、いづれにも結合しないことを選択する

不揮発性半導体記憶装置。

【請求項8】

請求項7に記載の不揮発性半導体記憶装置において、

前記定電流回路は不揮発性メモリセルである

10

不揮発性半導体記憶装置。

【請求項9】

不揮発性半導体記憶装置の置換情報の設定方法であって、

ここで、前記不揮発性半導体装置は、

複数のメインセルアレイと複数の冗長セルアレイとを備えるメモリセルアレイと、

前記メインセルアレイと前記冗長セルアレイとの置換に関する置換データを格納する置換データ用セルアレイと

を具備し、

前記置換データ用セルアレイは、

前記複数の冗長セルアレイの各々に対応して設けられ、前記複数の冗長セルアレイのうちの対応するものが前記置換を行うか否かを示す置換確認データを2ビットの不揮発性メモリセルで格納する複数の第1格納部と、

20

前記複数の冗長セルアレイの各々に対応して設けられ、前記複数の冗長セルアレイのうちの対応するものが置換する前記メインセルアレイのアドレスを示すアドレスデータを格納する複数の第2格納部と、

前記複数の第1格納部の各々における各ビットから出力されるデータを比較して、前記置換を行うか否かを示す比較データを出力する第1センスアンプと

を備え、

前記複数の第1格納部の各々は、

前記置換を行うか否かに対応して、互いに異なるデータを格納する第1不揮発性メモリセル及び第2不揮発性メモリセルと

30

を含み、

(a) 前記複数の第1格納部の前記第2不揮発性メモリセルの閾値電圧を初期状態から第2電圧へ変更するステップと、

(b) 前記置換を行う前記冗長セルアレイがある場合、前記複数の第1格納部のうちの対応するものの前記第1不揮発性メモリセルの閾値電圧を前記初期状態から第1電圧に変更するステップと

を具備し、

前記第1電圧は、不揮発性メモリセルにデータが書き込まれている場合の閾値電圧であり、

40

前記第2電圧は、前記初期状態と前記第1電圧との間の閾値電圧である

不揮発性半導体記憶装置の置換情報の設定方法。

【請求項10】

請求項9に記載の不揮発性半導体記憶装置の置換情報の設定方法において、

前記複数の第2格納部は、1ビット分のデータとして2つの不揮発性メモリを用い、前記アドレスデータを格納する複数の不揮発性メモリセルを含み、

(c) 前記複数の第2格納部の前記1ビット分の2つの不揮発性メモリの一方の閾値電圧を初期状態から前記第2電圧へ変更するステップと、

(d) 前記置換を行う前記冗長セルアレイがある場合、前記複数の第2格納部のうちの前記置換を行う前記冗長セルアレイに対応するものにおける前記1ビット分の2つの不揮

50

発性メモリの他方の閾値電圧を前記初期状態から前記第1電圧に設定する

不揮発性半導体記憶装置の置換情報の設定方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性半導体記憶装置及び不揮発性半導体記憶装置の置換情報の設定方法に関し、特に、置換データの格納方法を改善した不揮発性半導体記憶装置及び不揮発性半導体記憶装置の置換情報の設定方法に関する。

【背景技術】

【0002】

複数のメインセルアレイと、複数の冗長セルアレイと、置換データ用記憶部を具備する不揮発性半導体記憶装置が知られている。ここで、冗長セルアレイは、複数のメインセルアレイのうちの異常のあるものを置換する。置換データ用記憶部は、どのメインセルアレイがどの冗長セルアレイに置換されるかを示す置換データを格納する。

【0003】

書き込み動作や読み出し動作等で不揮発性半導体記憶装置がアクセスされる度に、置換データ記憶部の置換データが参照される。各動作は、その参照結果に基づいて実行される。そのため、置換データへのアクセスは高速且つ正確に行われる必要がある。高速で正確に置換データへアクセス可能な技術が望まれる。

【0004】

一方、置換データ用記憶部の置換データは、不揮発性半導体記憶部の製造時に格納される。製造に係る所要時間はできるだけ短いことが好ましいので、置換データの格納も短時間で行うことが望まれる。加えて、置換データは正確に格納されることが求められる。

【0005】

関連する技術として特許第2537264号公報に半導体記憶装置が記載されている。この半導体記憶装置は、メモリセルアレイと、書き込み回路と、差動増幅型センスアンプと、ラッチ回路と、設定手段とを具備する。メモリセルアレイは、同一のワード線選択信号および同一のカラム選択信号により選択される2組の書き込み可能な不揮発性メモリセルを1ビット分として多数個のメモリセルが設けられている。書き込み回路は、上記2組のメモリセルが各対応して接続されているビット線対を介して上記2組のメモリセルに相補的なビットデータを書き込む。差動増幅型センスアンプは、上記ビット線対の電位差を増幅して読み出しデータを判定する。ラッチ回路は、書き込み時に入力される書き込みデータの内容を一時ラッチする。設定手段は、上記ラッチ回路によるラッチデータに基づいて書き込み直後のペリファイ時におけるデータ判定基準を通常の読み出し時における判定基準よりも厳しくする。

【0006】

関連する技術として特開2002-237191号公報に相補型不揮発性記憶回路が開示されている。この不揮発性記憶回路は、FLOTOX型の電氣的に書き換え可能な不揮発性記憶素子を用いた不揮発性記憶回路である。第一のデータ線と、第二のデータ線を有する。第一のデータ線は、第一の不揮発性記憶素子のドレインが少なくとも一つの第一の選択トランジスタを介して接続されている。第二のデータ線は、第二の不揮発性記憶素子のドレインが少なくとも一つの第二の選択トランジスタを介して接続されている。第一の不揮発性記憶素子のゲートは第二の不揮発性記憶素子のドレインと接続されている。第二の不揮発性記憶素子のゲートは第一の不揮発性記憶素子のドレインと接続されている。第一のデータ線は第一の電流負荷回路とセンスアンプ回路の第一の入力端子に接続されている。第二のデータ線は第二の電流負荷回路とセンスアンプ回路の第二の入力端子に接続されている。第一の不揮発性記憶素子と第二の不揮発性記憶素子のソースはそれぞれスイッチングトランジスタを介して接地電位に接続されている。1ビットのデータを第一の不揮発性記憶素子と第二の不揮発性記憶素子を用いて常に相補的に対となった正と負の論理状態を記憶することを特徴とする。

10

20

30

40

50

【 0 0 0 7 】

【特許文献 1】特許第 2 5 3 7 2 6 4 号公報

【特許文献 2】特開 2 0 0 2 - 2 3 7 1 9 1 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

従って、本発明の目的は、どのメインセルアレイがどの冗長セルアレイに置換されるかを示す置換データへ、高速かつ正確に読み出すことが可能な不揮発性半導体記憶装置及び不揮発性半導体記憶装置の置換情報の設定方法を提供することにある。

【 0 0 0 9 】

また、本発明の他の目的は、置換データの格納をより短い時間で正確に実行することが可能な不揮発性半導体記憶装置及び不揮発性半導体記憶装置の置換情報の設定方法を提供することにある。

【 0 0 1 0 】

本発明の更に他の目的は、置換データの追加の書き込みをより短い時間で正確に実行することが可能な不揮発性半導体記憶装置及び不揮発性半導体記憶装置の置換情報の設定方法を提供することにある。

【課題を解決するための手段】

【 0 0 1 1 】

以下に、発明を実施するための最良の形態で使用される番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、特許請求の範囲の記載と発明を実施するための最良の形態との対応関係を明らかにするために括弧付きで付加されたものである。ただし、それらの番号・符号を、特許請求の範囲に記載されている発明の技術的範囲の解釈に用いてはならない。

【 0 0 1 2 】

従って、上記課題を解決するために、本発明の不揮発性半導体記憶装置は、メモリセルアレイ (3) と、置換データ用セルアレイ (2) とを具備する。メモリセルアレイ (3) は、複数のメインセルアレイ (4 2) と複数の冗長セルアレイ (4 1) とを備える。置換データ用セルアレイ (2) は、メインセルアレイ (4 2) と冗長セルアレイ (4 1) との置換に関する置換データを格納する。置換データ用セルアレイ (2) は、複数の第 1 格納部 (2 8) と、複数の第 2 格納部 (2 9) とを備える。複数の第 1 格納部 (2 8) は、複数の冗長セルアレイ (4 1) の各々に対応して設けられ、複数の冗長セルアレイ (4 1) のうちの対応するものがその置換を行うか否かを示す置換確認データを 2 ビットの揮発性メモリセル (T C 、 T B) で格納する。複数の第 2 格納部 (2 9) は、複数の冗長セルアレイ (4 1) の各々に対応して設けられ、複数の冗長セルアレイ (4 1) のうちの対応するものが置換するメインセルアレイ (4 2) のアドレスを示すアドレスデータを格納する。

【 0 0 1 3 】

上記の不揮発性半導体記憶装置において、置換データ用セルアレイ (2) は、複数の第 1 格納部 (2 8) の各々における各ビットから出力されるデータを比較して、その置換を行うか否かを示す比較データを出力する第 1 センスアンプ (2 5) を更に備える。

【 0 0 1 4 】

上記の不揮発性半導体記憶装置において、複数の第 1 格納部 (2 8) の各々は、2 ビットの揮発性メモリセル (T C 、 T B) としての第 1 揮発性メモリセル (T C) 及び第 2 揮発性メモリセル (T B) を含む。

【 0 0 1 5 】

上記の不揮発性半導体記憶装置において、第 1 揮発性メモリセル (T C) 及び第 2 揮発性メモリセル (T B) は、その置換を行うか否かに対応して互いに異なるデータを格納する。

【 0 0 1 6 】

10

20

30

40

50

上記の不揮発性半導体記憶装置において、第1不揮発性メモリセル(TC)は、その置換を行うか否かに対応して、第1電圧及び第2電圧のいずれかの閾値電圧を取る。第2不揮発性メモリセル(TB)は、その置換を行うか否かに関わらず、その第1電圧とその第2電圧との間の第3電圧の閾値電圧を取る。その第1電圧は、不揮発性メモリセルにデータが書き込まれていない場合の閾値電圧である。その第2電圧は、不揮発性メモリセルにデータが書き込まれている場合の閾値電圧である。

【0017】

上記の不揮発性半導体記憶装置において、複数の第1格納部(28)における第1不揮発性メモリセル(TC)及び第2不揮発性メモリセル(TB)の設定は、まず、その複数の第1格納部のその第2不揮発性メモリセルの閾値電圧をその第3電圧に設定する。その後、その置換を行う冗長セルアレイ(41)がある場合、複数の第1格納部(28)のうちその置換を行う冗長セルアレイ(41)に対応するものにおける第1不揮発性メモリセル(TC)の閾値電圧をその第2電圧に設定する。

10

【0018】

上記の不揮発性半導体記憶装置において、複数の第2格納部(29)は、1ビット分のデータとして2つの不揮発性メモリを用い、そのアドレスデータを格納する複数の不揮発性メモリセルを含む。置換データ用セルアレイ(2)は、複数の第2格納部(29)の各々におけるその1ビット分の2つの不揮発性メモリの各々から出力されるデータを比較して、そのアドレスデータを出力する複数の第2センスアンプ(25)を更に備える。

【0019】

上記の不揮発性半導体記憶装置において、その1ビット分の2つの不揮発性メモリは、そのアドレスデータに対応して互いに異なるデータを格納する。

20

【0020】

上記の不揮発性半導体記憶装置において、その1ビット分の2つの不揮発性メモリの一方は、そのそのアドレスデータに対応して、第1電圧及び第2電圧のいずれかの閾値電圧を取る。その1ビット分の2つの不揮発性メモリの他方は、そのアドレスデータに関わらず、その第1電圧とその第2電圧との間の第3電圧の閾値電圧を取る。その第1電圧は、不揮発性メモリセルにデータが書き込まれていない場合の閾値電圧である。その第2電圧は、不揮発性メモリセルにデータが書き込まれている場合の閾値電圧である。

【0021】

上記の不揮発性半導体記憶装置において、複数の第2格納部(29)におけるその複数の不揮発性メモリセルの設定は、まず、複数の第2格納部(29)のその1ビット分の2つの不揮発性メモリの一方の閾値電圧をその第3電圧に設定する。その後、その置換を行う冗長セルアレイ(41)がある場合、複数の第2格納部(29)のうちその置換を行う冗長セルアレイ(41)に対応するものにおけるその1ビット分の2つの不揮発性メモリの他方の閾値電圧をその第2電圧に設定する。

30

【0022】

上記課題を解決するために本発明の不揮発性半導体記憶装置は、メインセル(82)と、冗長セル(81)と、メインセル(82)と冗長セル(81)との置換データを記憶する格納部(2)とを具備する。格納部(2)は、第1のセル(55)及び第2のセル(55)と、定電流回路(26)と、センスアンプ(25)と、書込み回路(8)と、第1のセレクトタ(24)と、第2のセレクトタ(24)と、第3のセレクトタ(24)とを備える。センスアンプ(25)は、第1のセル(55)と第2のセル(55)とから入力される2つの入力データに基づいて、1つの出力を決定する。書込み回路(8)は、第1のセル(55)と第2のセル(55)とに個別にデータを供給する。第1のセレクトタ(24)は、センスアンプ(25)と第1のセル(55)及び第2のセル(55)との間に設けられている。第2のセレクトタ(24)は、センスアンプ(25)と定電流回路(26)との間に設けられている。第3のセレクトタ(24)は、書込み回路(8)と第1のセル(55)及び第2のセル(55)との間に設けられている。

40

【0023】

50

請求項 11 に記載の不揮発性半導体記憶装置において、第 1 のセクタ (24) は、第 1 のセル (55) 及び第 2 のセル (55) のうちいずれか一方をセンスアンプ (25) に結合すること、又は、第 1 のセル (55) 及び第 2 のセル (55) の両方をセンスアンプ (25) に結合することを選択する。第 2 のセクタ (24) は、定電流回路 (26) をセンスアンプ (25) の 2 つの入力のうちいずれか一方に結合すること、または、いづれにも結合しないことを選択する。第 3 のセクタ (24) は、書込み回路 (8) を第 1 のセル (55) 及び第 2 のセル (55) のうちいずれか一方に結合すること、又は、いづれにも結合しないことを選択する。

【0024】

請求項 11 に記載の不揮発性半導体記憶装置において、定電流回路 (26) は不揮発性メモリセルである。

【0025】

上記課題を解決するために、本発明は不揮発性半導体記憶装置の置換情報 (置換データ) の設定方法である。ここで、不揮発性半導体装置は、複数のメインセルアレイ (42) と複数の冗長セルアレイ (41) とを備えるメモリセルアレイ (3) と、メインセルアレイ (42) と冗長セルアレイ (41) との置換に関する置換データを格納する置換データ用セルアレイ (2) とを具備する。置換データ用セルアレイ (2) は、複数の第 1 格納部 (28) と、複数の第 2 格納部 (29) と、第 1 センスアンプ (25) とを備える。複数の第 1 格納部 (28) は、複数の冗長セルアレイ (41) の各々に対応して設けられ、複数の冗長セルアレイ (41) のうちの対応するものがその置換を行うか否かを示す置換確認データを 2 ビットの非揮発性メモリセルで格納する。複数の第 2 格納部 (29) は、複数の冗長セルアレイ (41) の各々に対応して設けられ、複数の冗長セルアレイ (41) のうちの対応するものが置換するメインセルアレイ (42) のアドレスを示すアドレスデータを格納する。第 1 センスアンプ (25) は、複数の第 1 格納部 (28) の各々における各ビットから出力されるデータを比較して、その置換を行うか否かを示す比較データを出力する。複数の第 1 格納部 (28) の各々は、その置換を行うか否かに対応して、互いに異なるデータを格納する第 1 不揮発性メモリセル (TC) 及び第 2 不揮発性メモリセル (TB) とを含む。不揮発性半導体記憶装置の置換情報の設定方法は、(a) 複数の第 1 格納部 (28) の第 2 不揮発性メモリセル (TB) の閾値電圧を初期状態から第 2 電圧へ変更するステップと、(b) その置換を行う冗長セルアレイ (41) がある場合、複数の第 1 格納部 (28) のうちの対応するものの第 1 不揮発性メモリセル (TC) の閾値電圧をその初期状態から第 1 電圧に変更するステップとを具備する。その第 1 電圧は、不揮発性メモリセルにデータが書き込まれている場合の閾値電圧である。その第 2 電圧は、その初期状態とその第 1 電圧との間の閾値電圧である。

【0026】

上記の不揮発性半導体記憶装置の置換情報 (置換データ) の設定方法において、複数の第 2 格納部 (29) は、1 ビット分のデータとして 2 つの不揮発性メモリを用い、そのアドレスデータを格納する複数の不揮発性メモリセルを含む。(c) 複数の第 2 格納部 (29) のその 1 ビット分の 2 つの不揮発性メモリの一方の閾値電圧を初期状態からその第 2 電圧へ変更するステップと、(d) その置換を行う冗長セルアレイ (41) がある場合、複数の第 2 格納部 (29) のうちのその置換を行う冗長セルアレイ (41) に対応するものにおけるその 1 ビット分の 2 つの不揮発性メモリの他方の閾値電圧をその初期状態からその第 1 電圧に設定するステップとを更に具備する。

【発明の効果】

【0027】

本発明により、置換データへ、高速かつ正確にアクセスすることができる。置換データの格納をより短い時間で正確に実行することが可能となる。

【発明を実施するための最良の形態】

【0028】

以下、本発明の不揮発性半導体記憶装置及び不揮発性半導体記憶装置の置換情報の設定

10

20

30

40

50

方法の実施の形態に関して、添付図面を参照して説明する。

【0029】

(第1の実施の形態)

本発明の不揮発性半導体記憶装置及び不揮発性半導体記憶装置の置換情報の設定方法の第1の実施の形態について、添付図面を参照して説明する。まず、本発明の不揮発性半導体記憶装置の第1の実施の形態の構成について説明する。

【0030】

図1は、本発明の不揮発性半導体記憶装置の第1の実施の形態の構成を示すブロック図である。ここでは、消去に関する構成を省略している。不揮発性半導体記憶装置1は、置換データ用セルアレイ2、メモリセルアレイ3、制御回路4、アドレスバッファ5、置換データデコーダ6、書き込み制御回路7、書き込み回路8、マルチプレクサ9を具備する。

10

【0031】

制御回路4は、制御信号の入力に基づいて、アドレスバッファ5、置換データ用セルアレイ2(Xデコーダ21、Yデコーダ23)、メモリセルアレイ3(Xデコーダ31、Yデコーダ33)、書き込み制御回路7、マルチプレクサ9へ制御信号を出力する。

【0032】

アドレスバッファ5は、アドレス信号の入力と制御回路4からの制御信号に基づいて、置換データ用セルアレイ2(Xデコーダ21、Yデコーダ23)及びメモリセルアレイ3(Xデコーダ31、Yデコーダ33)へアドレス信号を出力する。

20

【0033】

メモリセルアレイ3は、複数の不揮発性メモリセルを含み、その各々にデータを格納する。メモリセルアレイ3は、Xデコーダ31、Xデコーダ32、Yデコーダ33、Yセレクトクタ34、センスアンプ35、リファレンスアレイ36、セルアレイ37を備える。

【0034】

セルアレイ37は、複数のワード線71と、複数のビット線72と、複数の不揮発性メモリセル81及び複数の不揮発性メモリセル82を含む。ワード線71は、X方向に伸びている。ビット線72は、Y方向に伸びている。不揮発性メモリセル81(冗長セルアレイ41用)及び不揮発性メモリセル82(メインセルアレイ42用)は、複数のワード線71と複数のビット線72との交点の各々に行列状に設けられている。

30

【0035】

Xデコーダ31は、複数のワード線71に接続されている。制御回路4及びアドレスバッファ5の出力に基づいて、複数のワード線71から少なくとも一つの選択ワード線71を選択する。

【0036】

Yデコーダ33は、制御回路4及びアドレスバッファ5の出力に基づいて、複数のビット線72から少なくとも一つの選択ビット線72を選択する信号をYセレクトクタ34へ出力する。読み出し動作時には、複数のリファレンスセル用ビット線75を選択する信号をYセレクトクタ34へ出力する。

【0037】

Yセレクトクタ34は、複数のビット線72及び複数のリファレンスセル用ビット線75に接続されている。複数のリファレンスセル用ビット線75の各々は、リファレンスセルアレイ36のリファレンスセルに接続されている。Yデコーダ33からの信号に基づいて、複数のビット線72から少なくとも一つの選択ビット線72を選択する。それと同時に、Yデコーダ33からの信号に基づいて、読み出し動作の場合、選択ビット線72と対になっているリファレンスセル用ビット線75を選択リファレンスセル用ビット線75として選択する。

40

【0038】

Xデコーダ32は、複数のリファレンスセル用ワード線76に接続されている。読み出し動作の場合、Yデコーダ33からの信号に基づいて、複数のリファレンスセル用ワード

50

線 7 6 から選択リファレンスセル用ビット線 7 5 に接続されたリファレンスセル (8 3、8 4) を選択する選択リファレンスセル用ワード線 7 6 を選択する。

【 0 0 3 9 】

リファレンスアレイ 3 6 は、複数のリファレンスセル用ワード線 7 6 と、複数のリファレンスセル用ビット線 7 5 と、複数のリファレンスセル 8 3 及び複数のリファレンスセル 8 4 とを含む。リファレンスセルは、不揮発性メモリセルである。リファレンスセル用ワード線 7 6 は、X 方向に伸びている。リファレンスセル用ビット線 7 5 は、Y 方向に伸びている。リファレンスセル 8 3 (冗長セルアレイ 4 1 用) 及びリファレンスセル 8 4 (メインセルアレイ 4 2 用) は、複数のリファレンスセル用ビット線 7 5 と複数のリファレンスセル用ワード線 7 6 との交点の各々に設けられている。

10

【 0 0 4 0 】

センスアンプ 3 5 は、Y セクタ 3 4 が選択した選択ビット線 7 2 及び選択リファレンスセル用ビット線 7 5 に接続される。両者からの入力にตอบสนองして、予め設定された条件を満たす一方を示す信号を出力する。

【 0 0 4 1 】

所定数のセルアレイ 3 7、リファレンスセル 3 6 及びセンスアンプ 3 5 の組を冗長セルアレイ 4 1、又は、メインセルアレイ 4 2 ともいう。ここでは、不揮発性記憶装置 1 に、複数 (m 個) の冗長セルアレイ 4 1、及び、複数 (n 個、 $n > m$) のメインセルアレイ 4 2 が含まれている。

【 0 0 4 2 】

置換データ用セルアレイ 2 は、複数の不揮発性メモリセル 5 5 を含み、その各々にメインセルアレイ 4 2 と冗長セルアレイ 4 1 との置換に関する置換データを格納する。置換データ用セルアレイ 2 は、X デコーダ 2 1、Y デコーダ 2 3、Y セクタ 2 4、センスアンプ 2 5、定電流回路 2 6、セルアレイ 2 7 を備える。

20

【 0 0 4 3 】

セルアレイ 2 7 は、複数のワード線 5 1 と、複数の第 1 ビット線 5 2 及び第 2 ビット線 5 3 と、複数の第 1 不揮発性メモリセル T C 及び複数の第 2 不揮発性メモリセル T B とを含む。ワード線 5 1 (- 1 ~ m) は、X 方向に伸びている。第 1 ビット線 5 2 (- 1 ~ 1 + p) 及び第 2 ビット線 5 3 (- 1 ~ 1 + p) は、Y 方向に伸び、対を成している。第 1 不揮発性メモリセル T C は、複数の第 1 ビット線 5 2 と複数のワード線 5 3 との交点の各々に設けられている。第 2 不揮発性メモリセル T B は、複数の第 2 ビット線 5 3 と複数のワード線 5 1 との交点の各々に行列状に設けられている。

30

【 0 0 4 4 】

対を成す第 1 ビット線 5 2 及び第 2 ビット線 5 3 の組に対応する第 1 不揮発性メモリセル T C と第 2 不揮発性メモリセル T B との組は、一組 (2 ビット) で、一つのデータを格納する。すなわち、両者に格納されたデータの相対的な相違 (蓄積された電荷による閾値電圧 V_{t1} の相違) により、データを相補的に格納する。例えば、第 1 不揮発性メモリセル T C の閾値電圧 $V_{t1} >$ 第 2 不揮発性メモリセル T B の閾値電圧 V_{t2} の場合が置換するメインセルアレイのアドレスを示すアドレスデータ “ 1 ” とし、 $V_{t1} < V_{t2}$ の場合 “ 0 ” とする。このようにデータを相補的に格納することは、データの正確度や読み出し速度を向上させることができる点で好ましい。この第 1 不揮発性メモリセル T C と第 2 不揮発性メモリセル T B との組を相補セルともいう。

40

【 0 0 4 5 】

セルアレイ 2 7 は、そのアドレスごと (例示 : 行ごと) に、対応する冗長セルアレイ 4 1 が決まっている。すなわちセルアレイ 2 7 の行 2 7 - 1 ~ 2 7 - m は、それぞれ冗長セルアレイ 4 1 - 1 ~ 4 1 - m に対応している。そして、ある行の一つ (例示 : 1 番目) の相補セル 2 8 は、対応する冗長セルアレイ 4 1 が置換を行うか否かを示す置換確認データを格納する。その行における他 (例示 : 2 ~ 1 + p 番目 : p はアドレスのビット数) の複数の相補セル 2 9 は、対応する冗長セルアレイ 4 1 が置換するメインセルアレイ 4 2 のアドレスを示すアドレスデータを格納する。例えば、一行目の一番目の相補セル 2 8 - 1 は

50

、冗長セルアレイ 4 1 - 1 の置換確認データを格納する。一行目の残りの組の相補セル 2 9 - 1 は、冗長セルアレイ 4 1 - 1 が置換するメインセルアレイ 4 2 のアドレスを示すアドレスデータを格納する。

【 0 0 4 6 】

X デコーダ 2 1 は、複数のワード線 5 1 に接続されている。制御回路 4 及びアドレスバッファ 5 の出力に基づいて、複数のワード線 5 1 から少なくとも一つの選択ワード線 5 1 を選択する。Y デコーダ 2 3 は、制御回路 4 及びアドレスバッファ 5 の出力に基づいて、複数の第 1 ビット線 5 2 及び第 2 ビット線 5 3 から少なくとも一つの選択第 1 ビット線 5 2 及び選択第 2 ビット線 5 3 を選択する信号を Y セレクタ 2 4 へ出力する。Y セレクタ 2 4 は、複数の第 1 ビット線 5 2 及び第 2 ビット線 5 3 に接続されている。Y デコーダ 2 3 からの信号に基づいて、複数の第 1 ビット線 5 2 及び第 2 ビット線 5 3 から少なくとも一つの選択第 1 ビット線 5 2 及び選択第 2 ビット線 5 3 を選択する。センスアンプ 2 5 (- 1 ~ 1 + p) は、Y セレクタ 2 4 が選択した選択第 1 ビット線 5 2 及び選択第 2 ビット線 5 3 に接続される。両者からの入力に対して、予め設定された条件を満たす一方を示す信号を出力する。

10

【 0 0 4 7 】

定電流回路 2 6 は、制御回路 4 の信号に基づいて、Y セレクタ 2 4 で選択した選択第 1 ビット線又は選択第 2 ビット線に定電流を供給する。定電流回路 2 6 は、特に制限はない。例えば、閾値電圧を所定の電圧 (中間レベル) に設定されたリファレンスセル (不揮発性メモリセル) を用いても良い。その場合、使用時は制御ゲートに所定の電圧を印加する。

20

【 0 0 4 8 】

置換データデコーダ 6 は、置換データ用セルアレイ 2 のセンスアンプ 2 5 - 1 ~ 2 5 - 1 + p の出力に基づいて、置換データを書き込み制御回路 7 (書き込み動作時) 又はマルチプレクサ 9 (読み出し動作時) へ出力する。置換データは、置換確認データと、アドレスデータとを含む。

【 0 0 4 9 】

書き込み制御回路 7 は、置換データに基づいて、置換データ用セルアレイ 2 (置換データ設定時) 又はメモリセルアレイ 3 (通常書き込み動作時) へ入力する書き込み用のデータを書き込み回路へ出力する。書き込み回路 8 は、書き込み用データを置換データ用セルアレイ 2 (置換データ設定時) 又はメモリセルアレイ 3 (通常書き込み動作時) へ出力する。

30

【 0 0 5 0 】

マルチプレクサ 9 は、読み出し動作時に、置換データに基づいて、センスアンプ 3 5 - 1 ~ 3 5 - (m + n) の出力のうちから選択される複数のデータを出力する。

【 0 0 5 1 】

置換データ用セルアレイ 2 について更に説明する。

図 2 は、置換データ用セルアレイ 2 の構成を示すブロック図である。ここでは、消去に関する構成を省略している。また、行列状に配置された相補セル (第 1 不揮発性メモリセル T C と第 2 不揮発性メモリセル T B) を有するセルアレイ 2 7 のうち、一行目の 1 列目の相補セル及びそれに関連する構成のみを示している。ここで図示されていない一行目の他の相補セル、2 行目以降の相補セル、及び、それらに関連する構成についても同様である。 - 1 ~ - 1 + p は、列の番号に対応する。 - 1 ~ - m は行の番号に対応する。

40

【 0 0 5 2 】

セルアレイ 2 7 は、相補セルが行列状に配列されている。その第 1 不揮発性メモリセル T C 1 は、制御ゲートを第 1 ビット線 5 2 - 1 に、ドレインをワード線 5 1 に、ソースを接地に、それぞれ接続されている。第 2 不揮発性メモリセル T B は、制御ゲートを第 2 ビット線 5 3 - 1 に、ドレインをワード線 5 1 に、ソースを接地に、それぞれ接続されている。

【 0 0 5 3 】

50

第1ビット線52-1は、Yセクタ24のトランジスタY3-1を介してセンスアンプ25-1に接続されている。第2ビット線53-1は、Yセクタ24のトランジスタY4-1を介してセンスアンプ25-1に接続されている。トランジスタY3-1及びトランジスタY4-1は、Yデコーダ23からの信号によりオン又はオフされる。

【0054】

書き込み回路8-1は、Yセクタ24のトランジスタY1-1を介して、第1ビット線52-1におけるトランジスタY3-1と第1不揮発性メモリセルTC1との間に接続されている。それと共に、Yセクタ24のトランジスタY2-1を介して、第2ビット線53-1におけるトランジスタY4-1と第2不揮発性メモリセルTB1との間に接続されている。トランジスタY1-1及びトランジスタY2-1は、Yデコーダ23からの信号によりオン又はオフされる。

10

【0055】

定電流回路26-1は、Yセクタ24のトランジスタY5-1を介して、第1ビット線52-1におけるトランジスタY3-1とセンスアンプ25-1との間に接続されている。それと共に、Yセクタ24のトランジスタY6-1を介して、第2ビット線53-1におけるトランジスタY4-1とセンスアンプ25-1との間に接続されている。トランジスタY5-1及びトランジスタY6-1は、Yデコーダ23からの信号によりオン又はオフされる。

【0056】

次に、本発明の不揮発性半導体記憶装置の置換情報（置換データ）の設定方法の第1の実施の形態について説明する。図3は、本発明の不揮発性半導体記憶装置の置換情報（置換データ）の設定方法の第1の実施の形態を示すフローチャートである。

20

【0057】

まず、置換データ用セルアレイ2の相補セル（28、29）における全ての不揮発性メモリについて消去を行う（ステップS01）。

Xデコーダ21は、制御回路4からの制御信号に基づいて、全てのワード線51（-1～m）を選択する。それにより、各相補セル（28、29）の制御ゲートと第1消去回路（図示されず）とが接続される。Yデコーダ23は、制御回路4からの制御信号に基づいて、Yセクタ24により全ての第1ビット線52-1～1+p及び第2ビット線53-1～1+pを選択する。それにより、各相補セル（28、29）のドレインと第2消去回路（図示されず）とが接続される。第1消去回路及び第2消去回路が所定の電圧を印加することにより、全ての相補セル（28、29）のデータが消去される（ステップS01）。その後、Xデコーダ21及びYデコーダ23（Yセクタ24）による選択が解除される。

30

【0058】

次に、置換データ用セルアレイ2の相補セル（28、29）における全ての第2不揮発性メモリTBについて中間レベルを書き込む（ステップS02～S04）。ただし、中間レベルとは、不揮発性メモリセルにおいて設定可能な最高の閾値電圧 V_t と消去状態の閾値電圧 V_t との間に設定された所定の閾値電圧 V_t である。

【0059】

まず、全ての第2不揮発性メモリセルTBについて読み出しを行う。

制御回路4からの制御信号及びアドレスバッファ5からのアドレス信号に基づいて、Yデコーダ23は、Yセクタ24のトランジスタY4-1により、第2ビット線53-1を選択する。第2不揮発性メモリセルTB1のドレインとセンスアンプ25-1の一方の端子とが接続される。同時に、制御回路4からの制御信号及びアドレスバッファからのアドレス信号に基づいて、Xデコーダ21は、ワード線51-1を選択する。第2不揮発性メモリセルTB1の制御ゲートに所定の読み出し用の電圧が印加される。それにより、第2不揮発性メモリセルTB1の浮遊ゲートのレベルに対応した電流（以下「第1セル電流」という）が第2ビット線53-1を介してセンスアンプ25-1の一方の端子へ出力される。

40

50

【 0 0 6 0 】

一方、制御回路 4 からの制御信号及びアドレスバッファ 5 からのアドレス信号に基づいて、Y デコーダ 2 3 は、Y セレクタ 2 4 のトランジスタ Y 5 - 1 により、定電流回路 2 6 - 1 を選択する。これにより、定電流回路 2 6 - 1 とセンスアンプ 2 5 - 1 の他方の端子とが接続される。定電流回路 2 6 - 1 により、所定の電流（以下「第 1 定電流」という）がセンスアンプ 2 5 - 1 の他方の端子へ出力される。ただし、第 1 定電流は、不揮発性メモリセルが中間レベルにあるとき出力される電流と等しい。

【 0 0 6 1 】

センスアンプ 2 5 - 1 は、供給された各電流を比較する。そして比較結果を出力する。比較結果としては、例えば、第 1 セル電流が第 1 定電流以上の場合、第 2 不揮発性メモリセル T B 1 の閾値電圧が所定のレベル（反転レベル）に達していないとして“ 1 ”を出力する。第 1 セル電流が第 1 定電流未満の場合、反転レベルに達しているとして“ 0 ”を出力する。比較結果は、置換データ用デコーダ 6 へ出力される（ステップ S 0 2）。この読み出し動作における不揮発性メモリセルに印加される電圧及びその時間は、通常の読み出し動作と同等である。

10

その後、X デコーダ 2 1 及び Y デコーダ 2 3（Y セレクタ 2 4）による選択が解除される。

【 0 0 6 2 】

続いて、第 2 不揮発性メモリセル T B のデータを判定する。

置換データ用デコーダ 6 は、比較結果を書き込み制御回路 7 へ出力する。書き込み制御回路 8 は、比較結果が“ 1 ”か、“ 0 ”かを判断する（ステップ S 0 3）。

20

【 0 0 6 3 】

比較結果が“ 1 ”の場合、第 2 不揮発性メモリセル T B 1 の閾値電圧が、中間レベルに達していない。したがって、第 2 不揮発性メモリセル T B 1 に書き込みを行う。そのために、書き込み回路 8（書き込み回路 8 - 1）、X デコーダ 2 1 及び Y デコーダ 2 3 へ書き込み制御信号を出力する。

【 0 0 6 4 】

書き込み制御回路 8 からの書き込み制御信号に基づいて、Y デコーダ 2 3 は、Y セレクタ 2 4 のトランジスタ Y 2 - 1 により、第 2 ビット線 5 3 - 1 を選択する。第 2 不揮発性メモリセル T B のドレインと書き込み回路 8 - 1 とが接続される。書き込み回路 8 - 1 は、第 2 不揮発性メモリセル T B のドレインに所定の書き込み用の電圧を印加する。同時に、書き込み制御回路 8 からの書き込み制御信号に基づいて、X デコーダ 2 1 は、ワード線 5 1 - 1 を選択する。第 2 不揮発性メモリセル T B 1 の制御ゲートに所定の書き込み用の電圧が印加される。それにより、第 2 不揮発性メモリセル T B 1 の浮遊ゲートに所定の電荷が注入され、第 2 不揮発性メモリセル T B 1 の閾値電圧のレベルが上昇する（ステップ S 0 4）。この書き込み動作における不揮発性メモリセルに印加される電圧及びその時間は、通常の書き込み動作と異なる。書き込み電圧は、相対的に小さくする。ただし、回を重ねるごとに段階的に増加させる。時間は、相対的に短時間で行う。

30

その後、X デコーダ 2 1 及び Y デコーダ 2 3（Y セレクタ 2 4）による選択が解除される。その後、ステップ S 0 2 へ戻り、その動作を行う。

40

【 0 0 6 5 】

比較結果が“ 0 ”の場合、第 2 不揮発性メモリセル T B 1 の閾値電圧が中間レベルに達している。したがって、書き込みを終了する。

【 0 0 6 6 】

ここでは、ステップ S 0 2 ~ ステップ S 0 4 の動作を、1 行 1 列の相補セル 2 8 の第 2 不揮発性メモリセル T B 1 について行っているが、実際には、他の全ての第 2 不揮発性メモリセル T B に対して行われる。例えば、同じワード線 5 1 - 1 上の第 2 不揮発性メモリセル T B については、上記プロセスと同時に行うことができる。他の列のワード線 5 1 上の第 2 不揮発性メモリセル T B については、上記プロセスと同様に行うことができる。

【 0 0 6 7 】

50

これにより、全ての相補セル28、29において、第1不揮発性メモリセルTCが消去状態、第2不揮発性メモリセルTBが書き込み状態にそれぞれ設定される。この状態は、対応する冗長セルアレイ41がメインセルアレイ42を置換せず、メインセルアレイ42のアドレスも入力されていないことを示す非置換の状態である。

【0068】

次に、不具合が発見されたメインセルアレイ42を冗長セルアレイ41に置換する(ステップS05~S09)。

不揮発性半導体記憶装置1の検査の際、メインセルアレイ42-1~42-nにおいて、そのセルアレイ37に不具合が有るか否かを検査する。そして、冗長セルアレイ41をメインセルアレイ42と置換するか否かを判定する(ステップS05)。冗長セルアレイ41-y(ここでは、41-1)を不具合が検出されたメインセルアレイ42-xと置換する場合、相補セル28、29に以下の書き込み動作を行う。

【0069】

制御回路4が、置換データの書き込みを指示する制御信号、置換されるメインセルアレイ42-xのアドレスとしてのアドレスデータ、及び、置換する冗長セルアレイ41-1の番号を受信する。

【0070】

制御回路4からの制御信号及びアドレスバッファ5からのアドレス信号に基づいて、Xデコーダ21は、置換する冗長セルアレイ41-1に対応するセルアレイ27-1のワード線51-1を選択する。それにより、冗長セルアレイ41-1に対応する各相補セル28-1、29-1の制御ゲートに所定の書き込み電圧が印加される。同時に、制御回路4からの制御信号及びアドレスバッファ5からのアドレス信号に基づいて、Yデコーダ23は、Yセクタ24により全ての第1ビット線52-1~1+pを選択する。それにより、各相補セルのドレインと書き込み回路8とが接続される。

【0071】

書き込み制御回路7は、制御回路4からの制御信号に基づいて、置換確認データ及びアドレスデータに対応する相補セル28-1、29-1の第1不揮発性メモリセルTC1~1+pに書き込みを行うために、書き込み回路8へ書き込み制御信号を出力する。書き込み回路8は、置換確認データ及びアドレスデータに対応する相補セル28-1、29-1の第1不揮発性メモリセルTC1~1+pに接続されたビット線52-1に所定の電圧を印加する。それにより、第1不揮発性メモリセルTC1~1+pのドレインに所定の書き込み電圧が加えられる。

【0072】

制御ゲート及びドレインにそれぞれ所定の書き込み電圧が印加されることにより、第1不揮発性メモリセルTC1~1+pの浮遊ゲートに所定の電荷が注入され、第1不揮発性メモリセルTC1~1+pにデータが書き込まれる(ステップS06)。この書き込み動作における不揮発性メモリセルに印加される電圧は、通常の書き込み動作と異なる。書き込み電圧は、中間レベルよりも十分に高い閾値電圧となるように設定される。十分に高いとは、中間レベルのセルとの差が大きく、読み出しエラーが発生しない程度に高いことを示す。

【0073】

不具合が検出されたメインセルアレイ42がなく、冗長セルアレイ41と置換しない場合、相補セルに対する書き込みは何も行わない(ステップS07)。その後、更にその他のメインセルアレイ42-1~42-nにおいて、セルアレイ37に不具合が有るか否かを検査する(ステップS08)。不具合が検出された場合、ステップS06の動作を行う。不具合が検出されない場合、相補セルに対する書き込みは何も行わない(ステップS09)。

【0074】

上記ステップS01~S09により、不揮発性半導体記憶装置の置換情報(置換データ)が設定される。

10

20

30

40

50

【 0 0 7 5 】

図 4 は、上記設定方法における第 1 及び第 2 不揮発性メモリセルにおける閾値電圧の状態を示す図である。縦軸は、不揮発性メモリセルの閾値電圧 V_t の分布を示す。図 4 (a) は、ステップ S 0 1 後の第 2 不揮発性メモリセル T B 及び第 1 不揮発性メモリセル T C のデータが全消去された状態を示す。第 1 不揮発性メモリセル T C 及び第 2 不揮発性メモリセル T B はいずれも、低い閾値電圧 V_t を示す。図 4 (b) は、ステップ S 0 2 ~ S 0 4 後の全ての第 2 不揮発性メモリセル T B に中間書き込みを施した非置換の状態を示す。第 2 不揮発性メモリセル T B の閾値電圧 V_t は、中間レベルになっている。図 4 (c) は、ステップ S 0 6 後の対象となる第 1 不揮発性メモリセル T C に書き込みを施した置換の状態を示す。第 1 不揮発性メモリセルの閾値電圧 V_t は、中間レベルよりも高い値になっている。

10

【 0 0 7 6 】

本発明では、1ビットの置換データに対して、2ビットの不揮発性メモリセル (T C 、 T B) を用い、この2ビットに相補データを割り当てている。そして、読み出しの際は、相補データが割り当てられている2ビットの不揮発性メモリセル (T C 、 T B) を一台のセンスアンプで相補的に読み出している。すなわち、置換データを高速かつ正確に読み出すことができる。

【 0 0 7 7 】

加えて、図 4 に示すように閾値電圧に3つの状態を設定し、書き込みレベルを不揮発性メモリセルにおいて設定可能な最高の閾値電圧 V_t 程度に設定し、中間書き込みのレベルを消去状態のレベルと書き込みレベルとの中間程度に設定することで、不揮発性メモリセル T C と不揮発性メモリセル T B との間に非常に広いマージンを取ることができる。それにより、誤書き込み、誤読み出しを無くすることができる。そして、より高速に読み出すことが可能となる。

20

【 0 0 7 8 】

更に、一度非置換状態 (図 4 (b)) を設定した後、全消去することなく不揮発性メモリセルごとに新たに置換状態を (図 4 (c)) を設定できる。したがって、比較的短時間で置換データの設定を行うことができる。

【 0 0 7 9 】

この第 1 の実施の形態では、不揮発性半導体記憶装置の置換情報 (置換データ) の設定において、置換データを追加設定する場合、ステップ S 0 8 ステップ S 0 6 のように移行し、対象となる一組の相補セルに追加で書き込みを行えばよい。すなわち、置換データ用セルアレイ 2 内の全ての相補セルについて消去及び再設定を行う必要がなく、置換データの追加設定を容易で短時間で実行することが可能となる。

30

これは、追加書き込みの際に全ての相補セルに対して消去及び再設定を行う必要のある第 4 の実施の形態 (後述) に比較して、優れている点である。

【 0 0 8 0 】

このような不揮発性半導体記憶装置におけるデータの書き込み動作について説明する。図 6 は、本発明の不揮発性半導体記憶装置におけるデータの書き込み動作を示すフローチャートである。

40

【 0 0 8 1 】

書き込み指令が制御回路 4 へ、アドレス信号がアドレスバッファ 5 へそれぞれ入力される (ステップ S 2 1) 。制御回路 2 2 は、書き込み指令を置換データ用セルアレイ 2 の X デコーダ 2 1 、 Y デコーダ 2 3 及びメモリセルアレイ 3 の X デコーダ 3 1 、 Y デコーダ 3 3 へ出力する (ステップ S 2 2) 。アドレスバッファ 5 は、アドレス信号を X デコーダ 2 1 、 Y デコーダ 2 3 及び X デコーダ 3 1 、 Y デコーダ 3 3 へ出力する (ステップ S 2 3) 。置換データ用セルアレイ 2 では、置換 / 非置換を格納した相補セル 2 8 及び置換対象のメインセルアレイ 4 2 のアドレス信号を格納した複数の相補セル 2 9 がそれぞれ選択される (ステップ S 2 4) 。置換データ用セルアレイ 2 は、選択された各相補セル 2 8 、 2 9 のデータを置換データとして置換データデコーダ 6 へ出力する (ステップ S 2 5) 。置換

50

データデコーダ 6 は、置換データを書き込み制御回路 7 へ出力する（ステップ S 2 6）。書き込み制御回路 7 は、置換データに基づいて、所定の書き込み動作指令を書き込み回路へ出力する（ステップ S 2 7）。メモリセルアレイ 3 では、メインセルアレイ 4 2 の不揮発性メモリセル及び冗長セルアレイ 4 1 の不揮発性メモリセルが選択される（ステップ S 2 8）。書き込み回路は、書き込み動作指令に基づいて、選択されたメインセルアレイ 4 2 の不揮発性メモリセル及び冗長セルアレイ 4 1 の不揮発性メモリセルに対して、書き込みを行う（ステップ S 2 9）。

【 0 0 8 2 】

以上のようにしてデータが書き込まれる。

【 0 0 8 3 】

このような不揮発性半導体記憶装置におけるデータの読み出し動作について説明する。図 7 は、本発明の不揮発性半導体記憶装置におけるデータの読み出し動作を示すフローチャートである。

【 0 0 8 4 】

読み出し指令が制御回路 4 へ、アドレス信号がアドレスバッファ 5 へそれぞれ入力される（ステップ S 3 1）。アドレスバッファ 5 は、アドレス信号を置換データ用セルアレイ 2 の X デコーダ 2 1、Y デコーダ 2 3 及びメモリセルアレイ 3 の X デコーダ 3 1、Y デコーダ 3 3 へ出力する（ステップ S 3 2）。置換データ用セルアレイ 2 では、置換 / 非置換を格納した相補セル 2 8 及び置換対象のメインセルアレイ 4 2 のアドレス信号を格納した相補セル 2 9 がそれぞれ選択される（ステップ S 3 3）。置換データ用セルアレイ 2 は、
20
選択された各相補セル 2 8、2 9 のデータを置換データとして置換データデコーダ 6 へ出力する（ステップ S 3 4）。置換データデコーダ 6 は、置換データを M U X 9 へ出力する（ステップ S 3 5）。メモリセルアレイ 3 では、メインセルアレイ 4 2 の不揮発性メモリセル及び冗長セルアレイ 4 1 の不揮発性メモリセルが選択される（ステップ S 3 6）。メモリセルアレイ 3 は、読み出し動作指令に基づいて、選択されたメインセルアレイ 4 2 の不揮発性メモリセル及び冗長セルアレイ 4 1 の不揮発性メモリセルに対して、読み出し動作を行い、対応するセンスアンプの出力を M U X 9 へ出力する（ステップ S 3 7）。M U X 9 は、置換データに基づいて、メインセルアレイ 4 2 のセンスアンプ 3 5 の出力及び冗長セルアレイ 4 1 のセンスアンプ 3 5 の出力のうち、置換データに対応するものを選択し、
30
読み出しデータとして出力する（ステップ S 3 8）。

【 0 0 8 5 】

以上のようにしてデータが読み出される。

【 0 0 8 6 】

（第 2 の実施の形態）

本発明の不揮発性半導体記憶装置及び不揮発性半導体記憶装置の置換情報の設定方法の第 2 の実施の形態について、添付図面を参照して説明する。本発明の不揮発性半導体記憶装置の第 2 の実施の形態における構成は、第 1 の実施の形態（図 1 及び図 2）と同じであるのでその説明を省略する。

【 0 0 8 7 】

本発明の不揮発性半導体記憶装置の置換情報の設定方法の第 2 の実施の形態におけるフ
40
ローは、第 1 の実施の形態における上記ステップ S 0 2 ~ S 0 4 が、後述のステップ S 0 2 ' ~ S 0 4 ' である点で異なる。以下、ステップ S 0 2 ' ~ S 0 4 ' について説明する。その他については、第 1 の実施の形態（図 3）と同じであるのでその説明を省略する。

【 0 0 8 8 】

このステップ S 0 2 ' ~ S 0 4 ' は、以下のようにして置換データ用セルアレイ 2 の相補セル（2 8、2 9）における全ての第 2 不揮発性メモリ T B について中間レベルを書き込む。

【 0 0 8 9 】

まず、全ての第 2 不揮発性メモリセル T B について読み出しを行う。

第 1 不揮発性メモリセル T C 1 に関して、制御回路 4 からの制御信号及びアドレスバッ
50

ファ5からのアドレス信号に基づいて、Yデコーダ23が、Yセクタ24のトランジスタY3-1により、第1ビット線52-1を選択する。第1不揮発性メモリセルTC1のドレインとセンスアンプ25-1の一方の端子とが接続される。同時に、制御回路4からの制御信号及びアドレスバッファからのアドレス信号に基づいて、Xデコーダ21が、ワード線51-1を選択する。第1不揮発性メモリセルTC1の制御ゲートに所定の読み出し用の電圧が印加される。それにより、第2不揮発性メモリセルTC1の浮遊ゲートのレベルに対応した電流（以下「第3セル電流」という）が第1ビット線52-1を介してセンスアンプ25-1の一方の端子へ出力される。

【0090】

第2不揮発性メモリセルTB1に関して、制御回路4からの制御信号及びアドレスバッファ5からのアドレス信号に基づいて、Yデコーダ23が、Yセクタ24のトランジスタY4-1により、第2ビット線53-1を選択する。第2不揮発性メモリセルTB1のドレインとセンスアンプ25-1の他方の端子とが接続される。Xデコーダ21は、ワード線51-1を選択している。第2不揮発性メモリセルTB1の制御ゲートに所定の読み出し用の電圧が印加される。それにより、第2不揮発性メモリセルTB1の浮遊ゲートのレベルに対応した電流（以下「第4セル電流」という）が第2ビット線53-1を介してセンスアンプ25-1の他方の端子へ出力される。加えて、Yデコーダ23は、Yセクタ24のトランジスタY6-1を選択し、第2ビット線53-1と定電流回路26-1とを接続する。それにより、定電流回路26-1に設定された電流（以下「第2定電流」という）が第2ビット線53-1を介してセンスアンプ25-1の他方の端子へ出力される。すなわち、センスアンプ25-1の他方の端子へ、第4セル電流及び第2定電流の和が出力される。

【0091】

第2定電流は、不揮発性メモリセルの製造ばらつきによる閾値電圧の差を考慮して決定される。すなわち、全ての第2揮発性メモリセルTB1が中間レベルになるようにマージンを取っている。

【0092】

センスアンプ25-1は、供給された各電流を比較する。そして比較結果を出力する。比較結果としては、例えば、第3セル電流が第4セル電流+第2定電流以下の場合、第2不揮発性メモリセルの閾値電圧が所定のレベル（反転レベル）に達していないとして“1”を出力する。第3セル電流が第4セル電流+第2定電流より大きい場合、反転レベルに達しているとして“0”を出力する。比較結果は、置換データ用デコーダ6へ出力される（ステップS02'）。この読み出し動作における不揮発性メモリセルに印加される電圧及びその時間は、通常の読み出し動作と同等である。

その後、Xデコーダ21及びYデコーダ23（Yセクタ24）による選択が解除される。

【0093】

置換データ用デコーダ6は、比較結果を書き込み制御回路7へ出力する。書き込み制御回路8は、比較結果が“1”か、“0”かを判断する（ステップS03'）。

【0094】

比較結果が“1”の場合、第2不揮発性メモリセルTBの閾値電圧が反転レベルに達していない。したがって、第2不揮発性メモリセルTB1に書き込みを行う。そのために、書き込み回路8（書き込み回路8-1）、Xデコーダ21及びYデコーダ23へ書き込み制御信号を出力する。

【0095】

書き込み制御回路8からの書き込み制御信号に基づいて、Yデコーダ23は、Yセクタ24のトランジスタY2-1により、第2ビット線53-1を選択する。第2不揮発性メモリセルTBのドレインと書き込み回路8-1とが接続される。書き込み回路8-1は、第2不揮発性メモリセルTBのドレインに所定の書き込み用の電圧を印加する。同時に、書き込み制御回路8からの書き込み制御信号に基づいて、Xデコーダ21は、ワード線

10

20

30

40

50

5 1 - 1を選択する。第2不揮発性メモリセルTB1の制御ゲートに所定の書き込み用の電圧が印加される。それにより、第2不揮発性メモリセルTB1の浮遊ゲートに所定の電荷が注入され、第2不揮発性メモリセルTB1の閾値電圧のレベルが上昇する(ステップS04')。この書き込み動作における不揮発性メモリセルに印加される電圧及びその時間は、通常書き込み動作と異なる。書き込み電圧は、相対的に小さくする。ただし、回を重ねるごとに段階的に増加させる。時間は、相対的に短時間で行う。

その後、Xデコーダ21及びYデコーダ23(Yセレクタ24)による選択が解除される。その後、ステップS02'へ戻り、その動作を行う。

【0096】

比較結果が“0”の場合、第2不揮発性メモリセルTB1の閾値電圧が反転レベルに達しているため、書き込みを終了する。

10

【0097】

ここでは、ステップS02'~ステップS04'の動作を、1行1列の相補セル28の第2不揮発性メモリセルTB1について行っているが、実際には、他の全ての第2不揮発性メモリセルTBに対して行われる。例えば、同じワード線51-1上の第2不揮発性メモリセルTBについては、上記プロセスと同時に行うことができる。他の列のワード線51上の第2不揮発性メモリセルTBについては、上記プロセスと同様に行うことができる。

【0098】

これにより、全ての相補セル28、29において、第1不揮発性メモリセルTCが消去状態、第2不揮発性メモリセルTBが書き込み状態にそれぞれ設定される。この状態は、対応する冗長セルアレイ41がメインセルアレイ42を置換せず、メインセルアレイ42のアドレスも入力されていないことを示す非置換の状態である。

20

【0099】

本実施の形態においても、相補セルでは図4のような状態となる。図4(b)は、ステップS02'~S04'後の全ての第1不揮発性メモリセルTBに中間書き込みを施した非置換の状態を示す。図4(a)は全消去状態を、図4(c)は置換状態を示す。

【0100】

このような不揮発性半導体記憶装置におけるデータの書き込み動作及び読み出し動作は、第1の実施の形態と同じであるため、その説明を省略する。

30

【0101】

本発明により第1の実施の形態と同様の効果を得ることができる。加えて、定電流回路26に発生させる電流は、第2不揮発性メモリセルの閾値電圧のばらつきに対応する範囲内でよいので、ステップS02~S04よりも小さい。

【0102】

(第3の実施の形態)

本発明の不揮発性半導体記憶装置及び不揮発性半導体記憶装置の置換情報の設定方法の第3の実施の形態について、添付図面を参照して説明する。本発明の不揮発性半導体記憶装置の第3の実施の形態における構成は、置換データ用セルアレイが置換データ用セルアレイ2'である点で第1の実施の形態と異なる。以下に、置換データ用セルアレイ2'について説明する。その他については、第1の実施の形態(図1)と同じであるためその説明を省略する。

40

【0103】

図5は、置換データ用セルアレイ2'(変形例)の構成を示すブロック図である。変形例では、Xデコーダ21のワード線51が、行に並ぶ個々の不揮発性メモリセルごとに設けられている点で図2の場合と異なる。その場合、行の第1番目の不揮発性メモリセルに接続されるワード線51をワード線51a-1とし、第2番目の不揮発性メモリセルに接続されるワード線51をワード線51b-1とし、以下同様とする。他の構成は図2と同じであるためその説明を省略する。

【0104】

50

本発明の不揮発性半導体記憶装置の置換情報の設定方法の第3の実施の形態におけるフローは、第1の実施の形態における上記ステップS02～S04が、後述のステップS02”～S04”である点で異なる。以下、ステップS02”～S04”について説明する。その他については、第1の実施の形態(図3)と同じであるのでその説明を省略する。

【0105】

図5を用いた場合の上記ステップS02”～S04”は、以下のように行うことができる。

【0106】

制御回路4からの制御信号及びアドレスバッファ5からのアドレス信号に基づいて、Yデコーダ23は、Yセクタ24のトランジスタY3-1により、第1ビット線52-1を選択する。第1不揮発性メモリセルTC1のドレインとセンスアンプ25-1の一方の端子とが接続される。同時に、制御回路4からの制御信号及びアドレスバッファからのアドレス信号に基づいて、Xデコーダ21は、ワード線51a-1を選択する。第1不揮発性メモリセルTC1の制御ゲートに所定の読み出し用の第1電圧が印加される。それにより、第1不揮発性メモリセルTC1の浮遊ゲートのレベル及び第1電圧に対応した電流(以下「第5セル電流」という)が第1ビット線52-1を介してセンスアンプ25-1の一方の端子へ出力される。

【0107】

それと同時に、制御回路4からの制御信号及びアドレスバッファ5からのアドレス信号に基づいて、Yデコーダ23は、Yセクタ24のトランジスタY4-1により、第2ビット線53-1を選択する。第2不揮発性メモリセルTB1のドレインとセンスアンプ25-1の他方の端子とが接続される。同時に、制御回路4からの制御信号及びアドレスバッファからのアドレス信号に基づいて、Xデコーダ21は、ワード線51b-1を選択する。第2不揮発性メモリセルTB1の制御ゲートに所定の読み出し用の第2電圧が印加される。それにより、第2不揮発性メモリセルTB1の浮遊ゲートのレベル及び第2電圧に対応した電流(以下「第6セル電流」という)が第2ビット線53-1を介してセンスアンプ25-1の他方の端子へ出力される。このとき、第2電圧は、第1電圧よりも大きくする。

【0108】

センスアンプ25-1は、供給された各電流を比較する。そして比較結果を出力する。比較結果としては、例えば、第5セル電流が第6セル電流以下の場合、第2不揮発性メモリセルの閾値電圧が所定のレベル(反転レベル)に達していないとして“1”を出力する。第5セル電流が第6セル電流より大きい場合、反転レベルに達しているとして“0”を出力する。比較結果は、置換データ用デコーダ6へ出力される(ステップS02”)。この読み出し動作における不揮発性メモリセルに印加される電圧及びその時間は、通常の読み出し動作と同等である。

その後、Xデコーダ21及びYデコーダ23(Yセクタ24)による選択が解除される。

【0109】

置換データ用デコーダ6は、比較結果を書き込み制御回路7へ出力する。書き込み制御回路8は、比較結果が“1”か、“0”かを判断する(ステップS03”)。

【0110】

比較結果が“1”の場合、第2不揮発性メモリセルTB1の閾値電圧が反転レベルに達していない。したがって、第2不揮発性メモリセルTB1に書き込みを行う。そのために、書き込み回路8(書き込み回路8-1)、Xデコーダ21及びYデコーダ23へ書き込み制御信号を出力する。

【0111】

書き込み制御回路8からの書き込み制御信号に基づいて、Yデコーダ23は、Yセクタ24のトランジスタY2-1により、第2ビット線53-1を選択する。第2不揮発性メモリセルTB1のドレインと書き込み回路8-1とが接続される。書き込み回路8-1

10

20

30

40

50

は、第2不揮発性メモリセルTB1のドレインに所定の書き込み用の電圧を印加する。同時に、書き込み制御回路8からの書き込み制御信号に基づいて、Xデコーダ21は、ワード線51b-1を選択する。第2不揮発性メモリセルTB1の制御ゲートに所定の書き込み用の電圧が印加される。それにより、第2不揮発性メモリセルTB1の浮遊ゲートに所定の電荷が注入され、第2不揮発性メモリセルTB1の閾値電圧のレベルが上昇する(ステップS04")。この書き込み動作における不揮発性メモリセルに印加される電圧及びその時間は、通常書き込み動作と異なる。書き込み電圧は、相対的に小さくする。ただし、回を重ねるごとに段階的に増加させる。時間は、相対的に短時間で行う。

その後、Xデコーダ21及びYデコーダ23(Yセレクタ24)による選択が解除される。その後、ステップS02へ戻り、その動作を行う。

【0112】

比較結果が“0”の場合、第2不揮発性メモリセルTBの閾値電圧が反転レベルに達しているため、書き込みを終了する。

【0113】

ここでは、ステップS02"~ステップS04"の動作を、1行1列の相補セル28の第2不揮発性メモリセルTB1について行っているが、実際には、他の全ての第2不揮発性メモリセルTBに対して行われる。例えば、同じワード線51a-1、51b-1上の第2不揮発性メモリセルTBについては、上記プロセスと同時に行うことができる。他の列のワード線51上の第2不揮発性メモリセルTBについては、上記プロセスと同様に行うことができる。

【0114】

これにより、全ての相補セル28、29において、第1不揮発性メモリセルTCが消去状態、第2不揮発性メモリセルTBが書き込み状態にそれぞれ設定される。この状態は、対応する冗長セルアレイ41がメインセルアレイ42を置換せず、メインセルアレイ42のアドレスも入力されていないことを示す非置換の状態である。

【0115】

本実施の形態においても、相補セルでは図4のような状態となる。図4(b)は、ステップS02"~S04"後の全ての第1不揮発性メモリセルTBに中間書き込みを施した非置換の状態を示す。図4(a)は全消去状態を、図4(c)は置換状態を示す。

【0116】

このような不揮発性半導体記憶装置におけるデータの書き込み動作及び読み出し動作は、第1の実施の形態と同じであるため、その説明を省略する。

【0117】

(第4の実施の形態)

本発明の不揮発性半導体記憶装置及び不揮発性半導体記憶装置の置換情報の設定方法の第4の実施の形態について、添付図面を参照して説明する。本発明の不揮発性半導体記憶装置の第2の実施の形態における構成は、第1の実施の形態(図1及び図2)と同じであるためその説明を省略する。

【0118】

次に、本発明の不揮発性半導体記憶装置の置換情報の設定方法の第4の実施の形態について説明する。図8は、本発明の不揮発性半導体記憶装置の置換情報の設定方法の第4の実施の形態を示すフローチャートである。

【0119】

まず、置換データ用セルアレイ2の相補セル(28、29)における全ての不揮発性メモリについて消去を行う(ステップS11)。

Xデコーダ21は、制御回路4からの制御信号に基づいて、全てのワード線51(-1~m)を選択する。それにより、それにより、各相補セル(28、29)の制御ゲートと第1消去回路(図示されず)とが接続される。Yデコーダ23は、制御回路4からの制御信号に基づいて、Yセレクタ24により全ての第1ビット線52-1~1+p及び第2ビット線53-1~1+pを選択する。それにより、各相補セル(28、29)のドレイン

10

20

30

40

50

と第2消去回路(図示されず)とが接続される。第1消去回路及び第2消去回路が所定の電圧を印加することにより、全ての相補セル(28, 29)のデータが消去される(ステップS11)。その後、Xデコーダ21及びYデコーダ23(Yセレクタ24)による選択が解除される。

【0120】

次に、不具合が発見されたメインセルアレイ42を冗長セルアレイ41に置換する(ステップS12~15)。

不揮発性半導体記憶装置1の検査の際、メインセルアレイ42-1~42-nにおいて、そのセルアレイ37に不具合が有るか否かを検査する。そして、冗長セルアレイ41をメインセルアレイ42と置換するか否かを判定する(ステップS12)。冗長セルアレイ41-y(ここでは、41-1)を不具合が検出されたメインセルアレイ42-xと置換する場合、以下の書き込み動作を行う。

【0121】

制御回路4が、置換データの書き込みを指示する制御信号、置換されるメインセルアレイ42-xのアドレスとしてのアドレスデータ、及び、置換する冗長セルアレイ41-1の番号を受信する。

【0122】

制御回路4からの制御信号及びアドレスバッファ5からのアドレス信号に基づいて、Xデコーダ21は、置換する冗長セルアレイ41-1に対応するセルアレイ27-1のワード線51-1を選択する。それにより、冗長セルアレイ41-1に対応する各相補セル28-1、29-1の制御ゲートに所定の書き込み電圧が印加される。同時に、制御回路4からの制御信号及びアドレスバッファ5からのアドレス信号に基づいて、Yデコーダ23は、Yセレクタ24により全ての第1ビット線52-1~1+pを選択する。それにより、各相補セル28-1、29-1のドレインと書き込み回路8とが接続される。

【0123】

書き込み制御回路7は、制御回路4からの制御信号に基づいて、置換確認データ及びアドレスデータに対応する相補セル28-1、29-1の第1不揮発性メモリセルTC1~1+pに書き込みを行うために、書き込み回路8へ書き込み制御信号を出力する。書き込み回路8は、置換確認データ及びアドレスデータに対応する相補セル28-1、29-1の第1不揮発性メモリセルTC1~1+pに接続されたビット線52-1に所定の電圧を印加する。それにより、第1不揮発性メモリセルTC1~1+pのドレインに所定の書き込み電圧が加えられる。

【0124】

制御ゲート及びドレインにそれぞれ所定の書き込み電圧が印加されることにより、第1不揮発性メモリセルTC1の浮遊ゲートに所定の電荷が注入され、第1不揮発性メモリセルにデータが書き込まれる(ステップS13)。

【0125】

不具合が検出されたメインセルアレイ42がなく、冗長セルアレイ41と置換しない場合、相補セルに以下の書き込み動作を行う。

【0126】

制御回路4が、置換データの書き込みを指示する制御信号、置換されるメインセルアレイ42-xのアドレスとしてのアドレスデータ、及び、置換する冗長セルアレイ41-1の番号を受信する。

【0127】

制御回路4からの制御信号及びアドレスバッファ5からのアドレス信号に基づいて、Xデコーダ21は、置換する冗長セルアレイ41-1に対応するセルアレイ27-1のワード線51-1を選択する。それにより、冗長セルアレイ41-1に対応する各相補セル28-1、29-1の制御ゲートに所定の書き込み電圧が印加される。同時に、制御回路4からの制御信号及びアドレスバッファ5からのアドレス信号に基づいて、Yデコーダ23は、Yセレクタ24により全ての第2ビット線53-1~1+pを選択する。それにより

、各相補セル 28 - 1、29 - 1 のドレインと書き込み回路 8 とが接続される。

【0128】

書き込み制御回路 7 は、制御回路 4 からの制御信号に基づいて、置換確認データ及びアドレスデータに対応する相補セル 28 - 1、29 - 1 の第 2 不揮発性メモリセル TB 1 ~ 1 + p に書き込みを行うために、書き込み回路 8 へ書き込み制御信号を出力する。書き込み回路 8 は、置換確認データ及びアドレスデータに対応する相補セル 28 - 1、29 - 1 の第 2 不揮発性メモリセル TB 1 ~ 1 + p に接続されたビット線 53 - 1 に所定の電圧を印加する。それにより、第 2 不揮発性メモリセル TB 1 ~ 1 + p のドレインに所定の書き込み電圧が加えられる。

【0129】

制御ゲート及びドレインにそれぞれ所定の書き込み電圧が印加されることにより、第 2 不揮発性メモリセル TB 1 の浮遊ゲートに所定の電荷が注入され、第 2 不揮発性メモリセル TB 1 にデータが書き込まれる (ステップ S 14)。の閾値電圧のレベルが上昇する。

【0130】

その後、更にその他のメインセルアレイ 42 - 1 ~ 42 - n において、セルアレイ 37 に不具合が有るか否か进行检查する (ステップ S 15)。不具合が検出された場合、ステップ S 11 以降の動作を再び行う。不具合が検出されない場合、相補セルに対する書き込みは何も行わない。

【0131】

上記ステップ S 11 ~ S 15 により、不揮発性半導体記憶装置の置換情報 (置換データ) が設定される。

【0132】

図 9 は、上記設定方法における第 4 不揮発性メモリセルにおける閾値電圧の状態を示す図である。縦軸は、不揮発性メモリセルの閾値電圧 V_t の分布を示す。図 9 (a) は、ステップ S 11 後の第 1 不揮発性メモリセル TB 及び第 2 不揮発性メモリセル TC のデータが全消去された状態を示す。第 1 不揮発性メモリセル TC 及び第 2 不揮発性メモリセル TB はいずれも、低い閾値電圧 V_t を示す。図 9 (b) は、ステップ S 14 後の全ての第 2 不揮発性メモリセル TB に通常書き込みを施した非置換の状態を示す。第 2 不揮発性メモリセル TB の閾値電圧 V_t は、通常書き込みレベルになっている。第 1 不揮発性メモリセル TC は消去レベルとなっている。図 9 (c) は、ステップ S 13 後の対象となる第 1 不揮発性メモリセル TC に書き込みを施した置換の状態を示す。第 1 不揮発性メモリセル TC の閾値電圧 V_t は、通常書き込みレベルになっている。第 2 不揮発性メモリセル TB は消去レベルとなっている。

【0133】

本発明では、1 ビットの置換データに対して、2 ビットの不揮発性メモリセル (TC、TB) を用い、この 2 ビットに相補データを割り当てている。そして、読み出しの際は、相補データが割り当てられている 2 ビットの不揮発性メモリセル (TC、TB) を一台のセンスアンプで相補的に読み出している。これにより、不揮発性メモリセル (TC、TB) の置換データを高速に読み出すことができる。

加えて、図 4 に示すように閾値電圧に 3 つの状態を設定し、書き込みレベルを不揮発性メモリセルにおいて設定可能な最高の閾値電圧 V_t 程度に設定し、中間書き込みのレベルを消去状態のレベルと書き込みレベルとの中間程度に設定することで、非常に広いマージンを取ることができる。それにより、誤書き込み、誤読み出しを無くすることができる。そして、高速に読み出すことが可能となる。

【0134】

このような不揮発性半導体記憶装置におけるデータの書き込み動作及び読み出し動作は、第 1 の実施の形態と同じであるので、その説明を省略する。

【図面の簡単な説明】

【0135】

【図 1】図 1 は、本発明の不揮発性半導体記憶装置の第 1 の実施の形態の構成を示すブロ

10

20

30

40

50

ック図である。

【図2】図2は、置換データ用セルアレイの構成を示すブロック図である。

【図3】図3は、本発明の不揮発性半導体記憶装置の置換情報の設定方法の第1の実施の形態を示すフローチャートである。

【図4】図4(a)～(c)は、第1及び第2不揮発性メモリセルにおける閾値電圧の状態を示す図である。

【図5】図5は、置換データ用セルアレイの変形例の構成を示すブロック図である。

【図6】図6は、本発明の不揮発性半導体記憶装置におけるデータの書き込み動作を示すフローチャートである。

【図7】図7は、本発明の不揮発性半導体記憶装置におけるデータの読み出し動作を示すフローチャートである。

10

【図8】図8は、本発明の不揮発性半導体記憶装置の置換情報の設定方法の第4の実施の形態を示すフローチャートである。

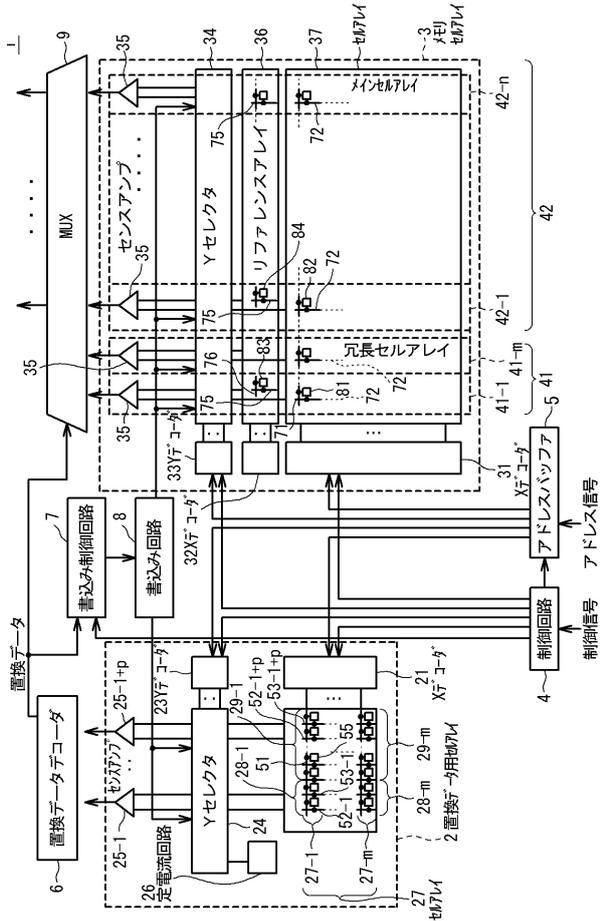
【図9】図9(a)～(c)は、上記設定方法における第4不揮発性メモリセルにおける閾値電圧の状態を示す図である。

【符号の説明】

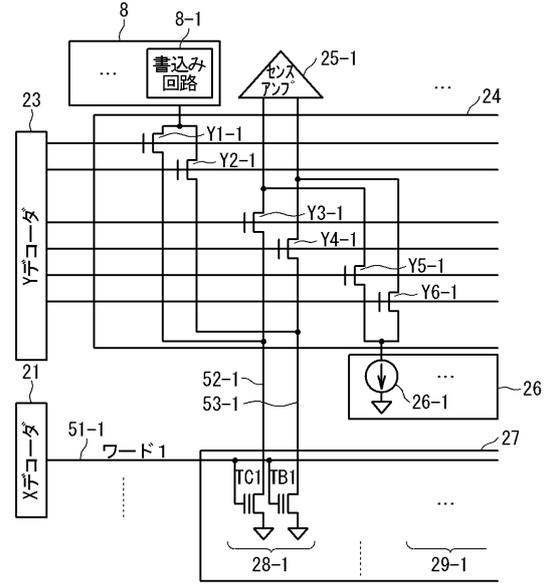
【0136】

1	不揮発性半導体記憶装置	
2	置換データ用セルアレイ	
3	メモリセルアレイ	20
4	制御回路	
5	アドレスバッファ	
6	置換データデコーダ	
7	書き込み制御回路	
8	書き込み回路	
9	マルチプレクサ	
26	定電流回路	
27、37	セルアレイ	
28、29	相補セル	
21、31、32	Xデコーダ	30
23、33	Yデコーダ	
24、34	Yセレクト	
25、35	センスアンプ	
36	リファレンスアレイ	
41	冗長セルアレイ	
42	メインセルアレイ	
51、51a-1、51b-1	ワード線	
52	第1ビット線	
53	第2ビット線	
71	ワード線	40
72	ビット線	
75	リファレンスセル用ビット線	
76	リファレンスセル用ワード線	
55、81、82	不揮発性メモリセル	
83、84	リファレンスセル	
TC	第1不揮発性メモリセル	
TB	第2不揮発性メモリセル	

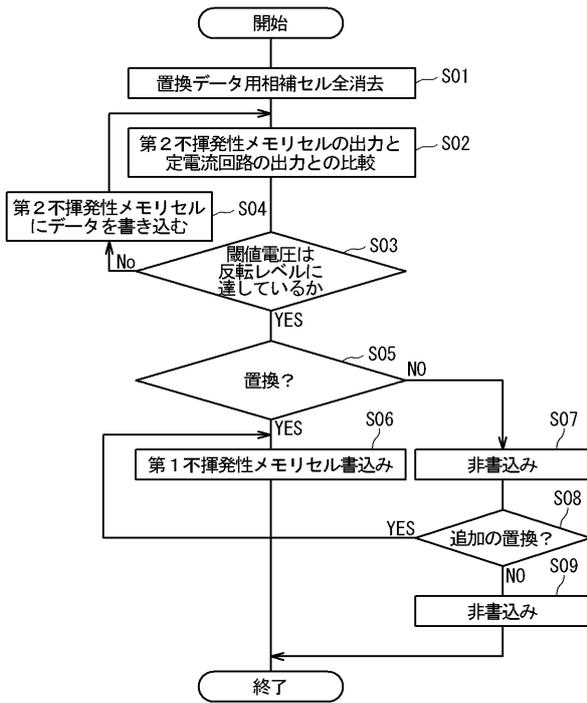
【図1】



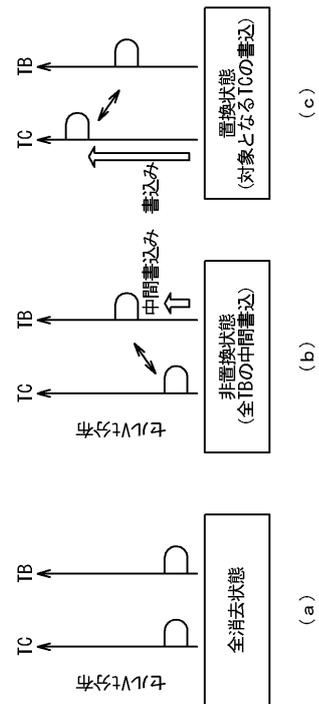
【図2】



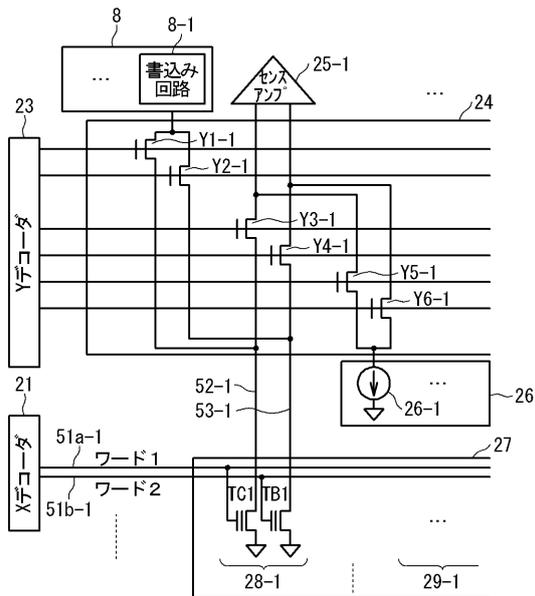
【図3】



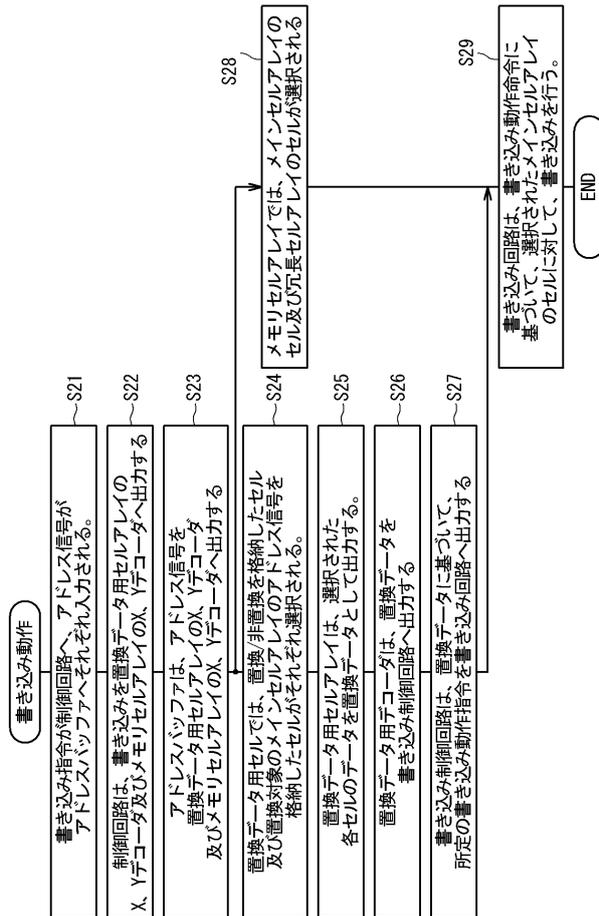
【図4】



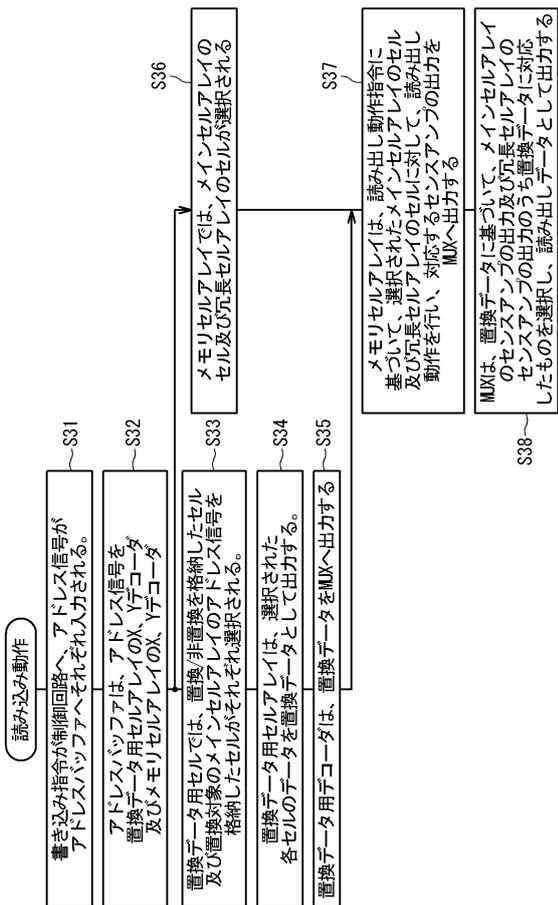
【図5】



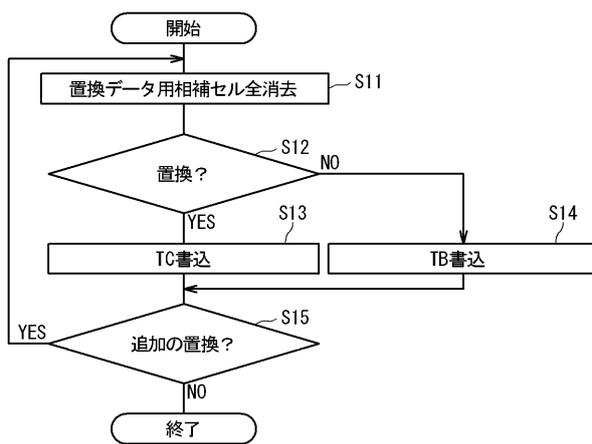
【図6】



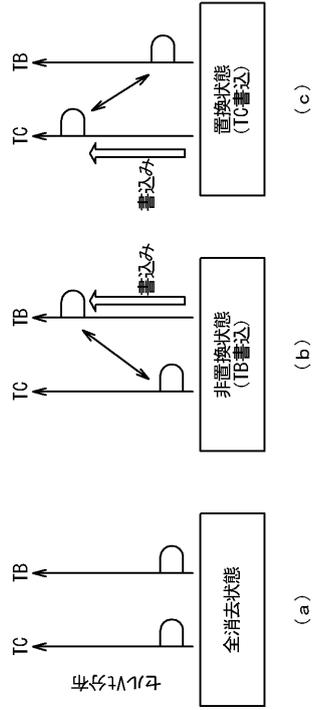
【図7】



【図8】



【 図 9 】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

G 1 1 C 2 9 / 0 0

G 1 1 C 1 6 / 0 0