



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2007년09월27일  
(11) 등록번호 10-0761354  
(24) 등록일자 2007년09월18일

(51) Int. Cl.

H01L 21/336(2006.01)

(21) 출원번호 10-2006-0097296  
(22) 출원일자 2006년10월02일  
심사청구일자 2006년10월02일  
(56) 선행기술조사문헌  
KR1020050027525 A  
KR1020060013033 A

(73) 특허권자  
주식회사 하이닉스반도체  
경기 이천시 부발읍 아미리 산136-1  
(72) 발명자  
임관용  
경기 이천시 부발읍 아미리 현대임대사원아파트  
108동 307호  
조홍재  
경기 이천시 대월면 현대아이파크 아파트 105-904  
성민규  
서울 마포구 현석동 강변현대홈타운 106-502  
(74) 대리인  
특허법인 신성

전체 청구항 수 : 총 52 항

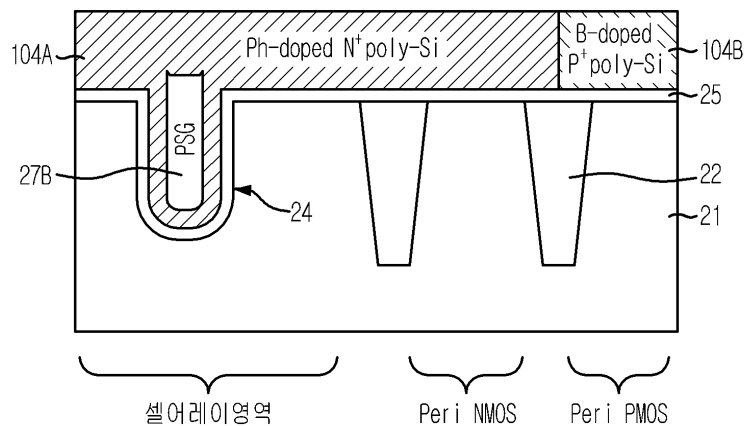
심사관 : 김상철

(54) 다면채널을 갖는 반도체소자의 듀얼폴리게이트 및 그의 형성 방법

(57) 요약

본 발명은 낮은 도즈의 이온주입만으로도 듀얼폴리게이트를 형성할 수 있는 반도체소자의 듀얼폴리게이트 및 그의 형성 방법을 제공하기 위한 것으로, 본 발명의 반도체소자의 듀얼폴리게이트는 제1영역(셀어레이영역), 제2영역(주변회로영역의 NMOS 영역), 제3영역(주변회로영역의 PMOS 영역)을 갖는 반도체기판; 상기 제1영역의 반도체기판에 형성된 함몰구조의 다면 채널 영역; 상기 반도체기판 상에 형성된 게이트절연막; 상기 다면 채널 영역에 매립되면서 상기 제1영역과 제2영역의 게이트절연막 상에 형성된 제1폴리실리콘막; 상기 제3영역의 게이트절연막 상에 형성된 제2폴리실리콘막; 및 상기 다면 채널 영역 내부의 상기 제1폴리실리콘막 내부에 구비되며 불순물이 도핑된 절연막(BSG, PSG)을 포함하고, 상술한 본 발명은 3차원의 다면채널을 갖는 트랜지스터를 갖는 메모리소자의 듀얼폴리게이트 공정시,  $1E16/cm^2$  이하의 보론 또는 인 이온주입만으로도 우수한 특성의 듀얼폴리게이트를 갖는 소자를 구현할 수 있는 효과가 있다.

대표도 - 도2



## 특허청구의 범위

### 청구항 1

제1영역, 제2영역 및 제3영역을 갖는 반도체기판;  
 상기 제1영역의 반도체기판에 형성된 함몰구조의 다면 채널 영역;  
 상기 반도체기판 상에 형성된 게이트절연막;  
 상기 다면 채널 영역에 매립되면서 상기 제1영역과 제2영역의 게이트절연막 상에 형성된 제1폴리실리콘막;  
 상기 제3영역의 게이트절연막 상에 형성된 제2폴리실리콘막; 및  
 상기 다면 채널 영역 내부의 상기 제1폴리실리콘막 내부에 구비되며 불순물이 도핑된 절연막을 포함하는 반도체소자의 듀얼폴리게이트.

### 청구항 2

제1항에 있어서,  
 상기 불순물이 도핑된 절연막은,  
 N형 불순물이 도핑된 절연막인 반도체소자의 듀얼폴리게이트.

### 청구항 3

제2항에 있어서,  
 상기 N형 불순물이 도핑된 절연막은 PSG막인 반도체소자의 듀얼폴리게이트.

### 청구항 4

제3항에 있어서,  
 상기 PSG막 내 인(Ph)의 농도는 1~20%인 반도체소자의 듀얼폴리게이트.

### 청구항 5

제1항에 있어서,  
 상기 불순물이 도핑된 절연막은,  
 P형 불순물이 도핑된 절연막인 반도체소자의 듀얼폴리게이트.

### 청구항 6

제5항에 있어서,  
 상기 P형 불순물이 도핑된 절연막은 BSG막인 반도체소자의 듀얼폴리게이트.

### 청구항 7

제6항에 있어서,  
 상기 BSG막 내 보론(B)의 농도는 1~20%인 반도체소자의 듀얼폴리게이트.

### 청구항 8

제1항 내지 제7항 중 어느 한 항에 있어서,  
 상기 제1폴리실리콘막 내에는 N형 불순물이 도핑되고, 상기 제2폴리실리콘막 내에는 P형 불순물이 도핑되어 있고, 상기 N형 및 P형 불순물의 농도는 적어도  $1E16/cm^2$  이하인 반도체소자의 듀얼폴리게이트.

### 청구항 9

제8항에 있어서,

상기 N형 불순물은 인(Ph)이고, 상기 P형 불순물은 보론(B)인 반도체소자의 듀얼폴리게이트.

**청구항 10**

제8항에 있어서,

상기 제1영역은 셀어레이영역이고, 상기 제2영역과 제3영역은 주변회로영역이되, 상기 셀어레이영역과 상기 주변회로영역의 제2영역은 NMOS 영역이고, 상기 주변회로영역의 제3영역은 PMOS 영역인 반도체소자의 듀얼폴리게이트.

**청구항 11**

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 제1폴리실리콘막 내에는 P형 불순물이 도핑되고, 상기 제2폴리실리콘막 내에는 N형 불순물이 도핑되어 있고, 상기 N형 및 P형 불순물의 농도는 적어도  $1E16/cm^2$  이하인 반도체소자의 듀얼폴리게이트.

**청구항 12**

제11항에 있어서,

상기 N형 불순물은 인(Ph)이고, 상기 P형 불순물은 보론(B)인 반도체소자의 듀얼폴리게이트.

**청구항 13**

제11항에 있어서,

상기 제1영역은 셀어레이영역이고, 상기 제2영역과 제3영역은 주변회로영역이되, 상기 셀어레이영역과 상기 주변회로영역의 제3영역은 NMOS 영역이고, 상기 주변회로영역의 제2영역은 PMOS 영역인 반도체소자의 듀얼폴리게이트.

**청구항 14**

제1항에 있어서,

상기 다면 채널 영역은, 리세스 채널 영역 또는 벌브형 리세스 채널 영역인 반도체소자의 듀얼폴리게이트.

**청구항 15**

제1영역과 제2영역을 갖는 반도체기판의 상기 제1영역에 함몰구조의 다면 채널을 형성하는 단계;

상기 반도체기판의 전면에 게이트절연막을 형성하는 단계;

상기 게이트절연막 상에 제1폴리실리콘막을 형성하는 단계;

상기 제1영역의 제1폴리실리콘막 상부에 제1불순물이 도핑된 절연막을 형성하는 단계;

1차 열처리를 통해 상기 절연막의 제1불순물을 상기 제1영역의 제1폴리실리콘막으로 확산시키는 단계;

상기 다면 채널 영역 내부의 제1폴리실리콘막 상에 상기 절연막을 잔류시키는 단계;

상기 절연막 및 제1폴리실리콘막 상에 제2폴리실리콘막을 형성하는 단계;

상기 제2영역의 제2폴리실리콘막에 제2불순물을 이온주입하는 단계; 및

2차 열처리를 통한 확산을 통해 상기 제1영역에 상기 제1불순물이 도핑된 폴리실리콘막을 형성함과 동시에 상기 제2영역에 상기 제2불순물이 도핑된 폴리실리콘막을 형성하는 단계

를 포함하는 반도체소자의 듀얼폴리게이트 형성 방법.

**청구항 16**

제15항에 있어서,

상기 제1폴리실리콘막과 제2폴리실리콘막은, 불순물이 도핑되지 않은 언도우프드 폴리실리콘막인 반도체소자의 듀얼폴리게이트 형성 방법.

**청구항 17**

제15항에 있어서,

상기 제1불순물이 도핑된 절연막은 N형 불순물이 도핑된 절연막이고, 상기 제2불순물은 P형 불순물인 반도체소자의 듀얼폴리게이트 형성 방법.

**청구항 18**

제16항에 있어서,

상기 N형 불순물이 도핑된 절연막은 PSG막이고, 상기 P형 불순물은 보론인 반도체소자의 듀얼폴리게이트 형성 방법.

**청구항 19**

제18항에 있어서,

상기 PSG막 내 인(Ph)의 농도는 1~20%이고, 상기 보론의 도즈는 적어도 적어도  $1E16/cm^2$  이하인 반도체소자의 듀얼폴리게이트 형성 방법.

**청구항 20**

제15항에 있어서,

상기 제1불순물이 도핑된 절연막은 P형 불순물이 도핑된 절연막이고, 상기 제2불순물은 N형 불순물인 반도체소자의 듀얼폴리게이트 형성 방법.

**청구항 21**

제20항에 있어서,

상기 P형 불순물이 도핑된 절연막은 BSG막이고, 상기 N형 불순물은 인(Ph)인 반도체소자의 듀얼폴리게이트 형성 방법.

**청구항 22**

제21항에 있어서,

상기 BSG막 내 보론(B)의 농도는 1~20%이고, 상기 인의 도즈는 적어도  $1E16/cm^2$  이하인 반도체소자의 듀얼폴리게이트 형성 방법.

**청구항 23**

제15항 내지 제22항 중 어느 한 항에 있어서,

상기 1차 및 2차 열처리는,

600~1000℃에서 진행하는 반도체소자의 듀얼폴리게이트 형성 방법.

**청구항 24**

제15항에 있어서,

상기 반도체기판은 NMOS가 형성되는 셀어레이영역과 NMOS와 PMOS가 동시에 형성되는 주변회로영역이 정의되고, 상기 제1영역은 상기 주변회로영역의 NMOS가 형성되는 영역과 상기 셀어레이영역이며, 상기 제2영역은 상기 주변회로영역의 PMOS가 형성되는 영역인 반도체소자의 듀얼폴리게이트 형성 방법.

**청구항 25**

제15항에 있어서,

상기 반도체기판은 NMOS가 형성되는 셀어레이영역과 NMOS와 PMOS가 동시에 형성되는 주변회로영역이 정의되고, 상기 제1영역은 주변회로영역의 PMOS가 형성되는 영역과 상기 셀어레이영역이며, 상기 제2영역은 상기 주변회로영역의 NMOS가 형성되는 영역인 반도체소자의 듀얼폴리게이트 형성 방법.

**청구항 26**

제15항 내지 제22항 중 어느 한 항에 있어서,

상기 다면 채널 영역은, 리세스채널영역 또는 벌브형 리세스채널영역인 반도체소자의 듀얼폴리게이트 형성 방법.

**청구항 27**

제1영역, 제2영역 및 제3영역을 갖는 반도체기판;

상기 제1영역의 반도체기판에 형성된 돌출구조의 다면 채널 영역;

상기 반도체기판 상에 형성된 게이트절연막;

상기 다면 채널 영역에 매립되면서 상기 제1영역과 제2영역의 게이트절연막 상에 형성된 제1폴리실리콘막;

상기 제3영역의 게이트절연막 상에 형성된 제2폴리실리콘막; 및

상기 다면 채널 영역 내부의 상기 제1폴리실리콘막 내부에 구비되며 불순물이 도핑된 절연막을 포함하는 반도체소자의 듀얼폴리게이트.

**청구항 28**

제27항에 있어서,

상기 불순물이 도핑된 절연막은,

N형 불순물이 도핑된 절연막인 반도체소자의 듀얼폴리게이트.

**청구항 29**

제28항에 있어서,

상기 N형 불순물이 도핑된 절연막은 PSG막인 반도체소자의 듀얼폴리게이트.

**청구항 30**

제29항에 있어서,

상기 PSG막 내 인(Ph)의 농도는 1~20%인 반도체소자의 듀얼폴리게이트.

**청구항 31**

제27항에 있어서,

상기 불순물이 도핑된 절연막은,

P형 불순물이 도핑된 절연막인 반도체소자의 듀얼폴리게이트.

**청구항 32**

제31항에 있어서,

상기 P형 불순물이 도핑된 절연막은 BSG막인 반도체소자의 듀얼폴리게이트.

**청구항 33**

제32항에 있어서,

상기 BSG막 내 보론(B)의 농도는 1~20%인 반도체소자의 듀얼폴리게이트.

**청구항 34**

제27항 내지 제33항 중 어느 한 항에 있어서,

상기 제1폴리실리콘막 내에는 N형 불순물이 도핑되고, 상기 제2폴리실리콘막 내에는 P형 불순물이 도핑되어 있고, 상기 N형 및 P형 불순물의 농도는 적어도  $1E16/cm^2$  이하인 반도체소자의 듀얼폴리게이트.

**청구항 35**

제34항에 있어서,

상기 N형 불순물은 인(Ph)이고, 상기 P형 불순물은 보론(B)인 반도체소자의 듀얼폴리게이트.

**청구항 36**

제34항에 있어서,

상기 제1영역은 셀어레이영역이고, 상기 제2영역과 제3영역은 주변회로영역이되, 상기 주변회로영역의 제2영역과 상기 셀어레이영역은 NMOS 영역이고, 상기 주변회로영역의 제3영역은 PMOS 영역인 반도체소자의 듀얼폴리게이트.

**청구항 37**

제27항 내지 제33항 중 어느 한 항에 있어서,

상기 제1폴리실리콘막 내에는 P형 불순물이 도핑되고, 상기 제2폴리실리콘막 내에는 N형 불순물이 도핑되어 있고, 상기 N형 및 P형 불순물의 농도는 적어도  $1E16/cm^2$  이하인 반도체소자의 듀얼폴리게이트.

**청구항 38**

제37항에 있어서,

상기 N형 불순물은 인(Ph)이고, 상기 P형 불순물은 보론(B)인 반도체소자의 듀얼폴리게이트.

**청구항 39**

제37항에 있어서,

상기 제1영역은 셀어레이영역이고, 상기 제2영역과 제3영역은 주변회로영역이되, 상기 주변회로영역의 제3영역과 상기 셀어레이영역은 NMOS 영역이고, 상기 주변회로영역의 제2영역은 PMOS 영역인 반도체소자의 듀얼폴리게이트.

**청구항 40**

제27항 내지 제33항 중 어느 한 항에 있어서,

상기 다면 채널 영역은, 핀형 채널 영역 또는 새들 핀형 채널 영역인 반도체소자의 듀얼폴리게이트.

**청구항 41**

제1영역과 제2영역을 갖는 반도체기판의 상기 제1영역에 돌출 구조의 다면 채널을 형성하는 단계;

상기 반도체기판의 전면에 게이트절연막을 형성하는 단계;

상기 게이트절연막 상에 제1폴리실리콘막을 형성하는 단계;

상기 제1영역의 제1폴리실리콘막 상부에 제1불순물이 도핑된 절연막을 형성하는 단계;

1차 열처리를 통해 상기 절연막의 제1불순물을 상기 제1영역의 제1폴리실리콘막으로 확산시키는 단계;

상기 다면 채널 영역 외측의 제1폴리실리콘막 상에 상기 절연막을 잔류시키는 단계;

상기 절연막 및 제1폴리실리콘막 상에 제2폴리실리콘막을 형성하는 단계;

상기 제2영역의 제2폴리실리콘막에 제2불순물을 이온주입하는 단계; 및

2차 열처리를 통한 확산을 통해 상기 제1영역에 상기 제1불순물이 도핑된 폴리실리콘막을 형성함과 동시에 상기 제2영역에 상기 제2불순물이 도핑된 폴리실리콘막을 형성하는 단계

를 포함하는 반도체소자의 듀얼폴리게이트 형성 방법.

**청구항 42**

제41항에 있어서,

상기 제1폴리실리콘막과 제2폴리실리콘막은, 불순물이 도핑되지 않은 언도우프드 폴리실리콘막인 반도체소자의 듀얼폴리게이트 형성 방법.

**청구항 43**

제41항에 있어서,

상기 제1불순물이 도핑된 절연막은 N형 불순물이 도핑된 절연막이고, 상기 제2불순물은 P형 불순물인 반도체소자의 듀얼폴리게이트 형성 방법.

**청구항 44**

제43항에 있어서,

상기 N형 불순물이 도핑된 절연막은 PSG막이고, 상기 P형 불순물은 보론인 반도체소자의 듀얼폴리게이트 형성 방법.

**청구항 45**

제44항에 있어서,

상기 PSG막 내 인(Ph)의 농도는 1~20%이고, 상기 보론의 도즈는 적어도 적어도  $1E16/cm^2$  이하인 반도체소자의 듀얼폴리게이트 형성 방법.

**청구항 46**

제41항에 있어서,

상기 제1불순물이 도핑된 절연막은 P형 불순물이 도핑된 절연막이고, 상기 제2불순물은 N형 불순물인 반도체소자의 듀얼폴리게이트 형성 방법.

**청구항 47**

제46항에 있어서,

상기 P형 불순물이 도핑된 절연막은 BSG막이고, 상기 N형 불순물은 인(P)인 반도체소자의 듀얼폴리게이트 형성 방법.

**청구항 48**

제47항에 있어서,

상기 BSG막 내 보론(B)의 농도는 1~20%이고, 상기 인의 도즈는 적어도  $1E16/cm^2$  이하인 반도체소자의 듀얼폴리 게이트 형성 방법.

**청구항 49**

제41항 내지 제48항 중 어느 한 항에 있어서,

상기 1차 및 2차 열처리는,

600~1000℃에서 진행하는 반도체소자의 듀얼폴리게이트 형성 방법.

**청구항 50**

제41항 내지 제48항 중 어느 한 항에 있어서,

상기 반도체기판은 NMOS가 형성되는 셀어레이영역과 NMOS와 PMOS가 동시에 형성되는 주변회로영역이 정의되고, 상기 제1영역은 주변회로영역의 NMOS가 형성되는 영역과 상기 셀어레이영역이며, 상기 제2영역은 상기 주변회로영역의 PMOS가 형성되는 영역인 반도체소자의 듀얼폴리게이트 형성 방법.

**청구항 51**

제41항 내지 제48항 중 어느 한 항에 있어서,

상기 반도체기판은 NMOS가 형성되는 셀어레이영역과 NMOS와 PMOS가 동시에 형성되는 주변회로영역이 정의되고, 상기 제1영역은 상기 주변회로영역의 PMOS가 형성되는 영역과 상기 셀어레이영역이며, 상기 제2영역은 상기 주변회로영역의 NMOS가 형성되는 영역인 반도체소자의 듀얼폴리게이트 형성 방법.

**청구항 52**

제41항 내지 제48항 중 어느 한 항에 있어서,

상기 다면 채널 영역은, 핀형 채널 영역 또는 새들 핀형 채널 영역인 반도체소자의 듀얼폴리게이트 형성 방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <22> 본 발명은 반도체소자의 제조 방법에 관한 것으로, 특히 3차원 구조의 다면채널(Multi-plane channel)을 갖는 반도체소자의 듀얼폴리게이트 및 그의 형성 방법에 관한 것이다.
- <23> DRAM 소자의 집적도가 증가함에 따라 서브100nm 이하 디자인룰을 갖는 메모리 어레이 트랜지스터 소자가 요구된다. 서브 100nm 이하의 트랜지스터의 경우 숏채널효과(Short channel effect) 등의 문제로 인해, 매우 낮은 문턱전압특성을 보이며, 이에 따라 데이터유지시간(Retention time)이 점점 감소한다.
- <24> 이러한 문제를 해결할 수 있는 리세스 채널 트랜지스터(Recessed Channel Array Transistor, RCAT)가 개발되었는데, 이는 기존 플라나(Planar) 형태의 트랜지스터와는 달리 매우 긴 채널길이(Channel length)를 가지기 때문에 매우 긴 데이터유지시간특성을 보이는 장점이 있다.
- <25> 최근에는 이러한 리세스 채널 트랜지스터(RCAT)보다 더 우수한 데이터유지시간 특성뿐만 아니라 로직소자의 전류 특성(Ion/Ioff)을 향상시키기 위해 듀얼폴리콘게이트(Dual Poly silicon Gate, 'DPG'라 약칭함) 공정을 도입하여 사용하고 있다. 특히, 리세스 채널 트랜지스터(RCAT)와 같은 3차원(3-Dimension) 형태의 메모리셀트랜지스터를 가진 소자의 경우, 기존의 듀얼 이온주입방식(연도우프드 폴리실리콘에 인(P)과 보론(B)을 NMOS, PMOS에 각각 이온주입하는 방법)으로는 리세스 채널 내부의 아래쪽 폴리실리콘 내 도핑 농도가 너무 작아 폴리실리콘 공핍(Poly silicon depletion)을 유발하기 때문에 낮은 인 도핑(P-doping)을 갖는 인시튜 도우프드 폴리실리콘(P-doped poly-si)을 증착한 다음, PMOS 영역에만 매우 높은 도즈(>1E16/cm<sup>2</sup>)의 보론을 이온주입하는 방식(이를 컨버티드(Converted) DPG 또는 카운터 도핑(Counter doping)이라고 일컬음)의 듀얼폴리게이트(DPG) 공정을 사용하고 있다.
- <26> 도 1a 내지 도 1c는 종래기술에 따른 듀얼폴리게이트 형성 방법을 도시한 공정 단면도이다.
- <27> 도 1a에 도시된 바와 같이, 셀어레이영역(Cell array), 주변회로영역('Peri NMOS'과 'Peri PMOS' 포함)이 정의된 반도체기판(11)에 소자분리막(12)을 형성한다.
- <28> 이어서, 전면에 하드마스크(13)를 형성한 후, 셀어레이영역에 리세스 채널 영역(Recess channel region)을 형성



하기 위해 하드마스크(13)를 패터닝한다.

- <29> 이어서, 패터닝된 하드마스크(13)를 식각장벽으로 셀어레이 영역의 반도체기판(11)을 식각하여 트렌치 형상의 리세스 채널 영역(14)을 형성한다.
- <30> 도 1b에 도시된 바와 같이, 하드마스크(13)를 제거한다. 이후, 전면에 게이트절연막(15)을 형성한 후, 게이트절연막(15) 상에 리세스채널영역(14)을 채울때까지 인(P)이 도핑된 N<sup>+</sup> 폴리실리콘막(16A)을 증착한다.
- <31> 이어서, PMOS 영역에 P<sup>+</sup> 폴리실리콘막(16B)을 형성시키기 위해 셀어레이영역 및 주변회로 NMOS 영역(Peri NMO S)을 덮는 감광막(17)을 형성한다. 이어서, 오픈된 주변회로 PMOS 영역의 N<sup>+</sup> 폴리실리콘막(16A)에 보론을 이온주입(Boron implant, 18)하여 P<sup>+</sup> 폴리실리콘막(16B)을 형성한다.
- <32> 도 1c에 도시된 바와 같이, 감광막(17)을 제거한 후 고온열처리(19)를 통해 셀어레이영역 및 주변회로 NMOS 영역에는 인(P)이 도핑된 N<sup>+</sup> 폴리실리콘막(P-doped N<sup>+</sup> poly-si, 16A)을 형성하고, 주변회로 PMOS 영역에는 보론(B)이 도핑된 P<sup>+</sup> 폴리실리콘막(B-doped P<sup>+</sup> poly-si, 16B)을 형성한다.
- <33> 그러나, 종래기술은 보론을 도핑할 때, 인이 도핑된 N<sup>+</sup> 폴리실리콘막(16A)에 보론을 도핑하여 고농도의 P<sup>+</sup> 폴리실리콘막(16B)을 형성해야 하므로 매우 높은 도즈( $>1E16/cm^2$ )의 보론 이온주입이 필요하다.
- <34> 이와 같이 높은 도즈의 보론을 이온주입하여 P<sup>+</sup> 폴리실리콘막(16B)을 형성하면, 이온주입시 사용된 감광막(17)의 경화가 강화되어 후속 감광막의 스트립이 어려워진다. 이에 따라 후속 세정을 진행하더라도 감광막잔류물(PR residue)이 남게 되는 문제가 초래되고, 더욱이 폴리실리콘막 상부에 증착되는 금속물질과 반응하는 문제가 발생하는 등 여러가지 문제점이 있다.

**발명이 이루고자 하는 기술적 과제**

- <35> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 낮은 도즈의 이온주입만으로도 듀얼폴리게이트를 형성할 수 있는 반도체소자의 듀얼폴리게이트 및 그의 형성 방법을 제공하는데 그 목적이 있다.

**발명의 구성 및 작용**

- <36> 상기 목적을 달성하기 위한 본 발명의 반도체소자는 제1영역, 제2영역 및 제3영역을 갖는 반도체기판; 상기 제1영역의 반도체기판에 형성된 함몰구조의 다면 채널 영역; 상기 반도체기판 상에 형성된 게이트절연막; 상기 다면 채널 영역에 매립되면서 상기 제1영역과 제2영역의 게이트절연막 상에 형성된 제1폴리실리콘막; 상기 제3영역의 게이트절연막 상에 형성된 제2폴리실리콘막; 및 상기 다면 채널 영역 내부의 상기 제1폴리실리콘막 내부에 구비되며 불순물이 도핑된 절연막을 포함하는 것을 특징으로 하고, 상기 다면 채널 영역은, 리세스 채널 영역 또는 벌브형 리세스 채널 영역인 것을 특징으로 한다.
- <37> 또한, 본 발명의 반도체소자의 듀얼폴리게이트는 제1영역, 제2영역 및 제3영역을 갖는 반도체기판; 상기 제1영역의 반도체기판에 형성된 돌출구조의 다면 채널 영역; 상기 반도체기판 상에 형성된 게이트절연막; 상기 다면 채널 영역에 매립되면서 상기 제1영역과 제2영역의 게이트절연막 상에 형성된 제1폴리실리콘막; 상기 제3영역의 게이트절연막 상에 형성된 제2폴리실리콘막; 및 상기 다면 채널 영역 내부의 상기 제1폴리실리콘막 내부에 구비되며 불순물이 도핑된 절연막을 포함하는 것을 특징으로 하며, 상기 다면채널영역은 핀형 채널 영역 또는 새들핀형 채널 영역인 것을 특징으로 한다.
- <38> 바람직하게, 상기 절연막은 N형 불순물이 도핑된 절연막이고, 상기 상기 절연막은 PSG막이며, 상기 PSG막 내 인(P)의 농도는 1~20%인 것을 특징으로 하고, 상기 절연막은 P형 불순물이 도핑된 절연막이고, 상기 절연막은 BSG막이며, 상기 BSG막 내 보론(B)의 농도는 1~20%인 것을 특징으로 하며, 상기 제1폴리실리콘막 내에는 N형 불순물이 도핑되고, 상기 제2폴리실리콘막 내에는 P형 불순물이 도핑되어 있고, 상기 N형 및 P형 불순물의 농도는 적어도  $1E16/cm^2$  이하인 것을 특징으로 한다.
- <39> 그리고, 본 발명의 반도체소자의 듀얼폴리게이트 제조 방법은 제1영역과 제2영역을 갖는 반도체기판의 상기 제1영역에 함몰구조의 다면 채널을 형성하는 단계; 상기 반도체기판의 전면에 게이트절연막을 형성하는 단계; 상기 게이트절연막 상에 제1폴리실리콘막을 형성하는 단계; 상기 제1영역의 제1폴리실리콘막 상부에 제1불순물이 도

핑된 절연막을 형성하는 단계; 1차 열처리를 통해 상기 절연막의 제1불순물을 상기 제1영역의 제1폴리실리콘막으로 확산시키는 단계; 상기 다면 채널 영역 내부의 제1폴리실리콘막 상에 상기 절연막을 잔류시키는 단계; 상기 절연막 및 제1폴리실리콘막 상에 제2폴리실리콘막을 형성하는 단계; 상기 제2영역의 제2폴리실리콘막에 제2불순물을 이온주입하는 단계; 및 2차 열처리를 통한 확산을 통해 상기 제1영역에 상기 제1불순물이 도핑된 폴리실리콘막을 형성함과 동시에 상기 제2영역에 상기 제2불순물이 도핑된 폴리실리콘막을 형성하는 단계를 포함하는 것을 특징으로 한다.

<40> 또한, 본 발명의 반도체소자의 듀얼폴리게이트 제조 방법은 제1영역과 제2영역을 갖는 반도체기판의 상기 제1영역에 돌출 구조의 다면 채널을 형성하는 단계; 상기 반도체기판의 전면에 게이트절연막을 형성하는 단계; 상기 게이트절연막 상에 제1폴리실리콘막을 형성하는 단계; 상기 제1영역의 제1폴리실리콘막 상부에 제1불순물이 도핑된 절연막을 형성하는 단계; 1차 열처리를 통해 상기 절연막의 제1불순물을 상기 제1영역의 제1폴리실리콘막으로 확산시키는 단계; 상기 다면 채널 영역 외측의 제1폴리실리콘막 상에 상기 절연막을 잔류시키는 단계; 상기 절연막 및 제1폴리실리콘막 상에 제2폴리실리콘막을 형성하는 단계; 상기 제2영역의 제2폴리실리콘막에 제2불순물을 이온주입하는 단계; 및 2차 열처리를 통한 확산을 통해 상기 제1영역에 상기 제1불순물이 도핑된 폴리실리콘막을 형성함과 동시에 상기 제2영역에 상기 제2불순물이 도핑된 폴리실리콘막을 형성하는 단계를 포함하는 것을 특징으로 한다.

<41> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<42> 후술하는 실시예들은 다면 채널의 구조로 알려진 리세스채널트랜지스터(RCAT), 벌브형 리세스채널 트랜지스터(Bulb Recess Channel Array Transistor), 핀형 채널 트랜지스터(Fin FET), 새들 핀형 채널 트랜지스터(Saddle Fin FET)를 셀어레이영역에 형성하고, 주변회로영역에는 플라나 트랜지스터를 형성하는 메모리소자의 듀얼폴리게이트 구조 및 그의 형성 방법이다.

<43> 도 2는 본 발명의 제1실시예에 따른 듀얼폴리게이트를 갖는 반도체소자의 구조를 도시한 도면이다. 제1실시예의 반도체소자는 리세스 채널 트랜지스터가 셀어레이영역에 형성되고, 주변회로영역에는 플라나 트랜지스터가 형성된 소자이다.

<44> 도 2를 참조하면, NMOS가 형성되는 셀어레이영역, 주변회로 NMOS 영역(Peri NMOS)과 주변회로 PMOS 영역(Peri PMOS)이 정의된 반도체기판(21)에 각 영역간 소자분리를 위한 소자분리막(22)이 형성된다.

<45> 그리고, 셀어레이영역의 반도체기판(21)에 트랜지 형상의 리세스채널영역(24)이 형성되고, 리세스채널영역(24) 및 반도체기판(21)의 표면 상에 게이트절연막(25)이 형성된다. 여기서, 리세스채널영역(24)은 양측벽 및 바닥면이 채널로 작용하여 다면 채널을 형성하며, 게이트절연막(25)은 실리콘산화막(SiO<sub>2</sub>), 실리콘산화질화막(SiON), 실리콘질화막(Si<sub>3</sub>N<sub>4</sub>), 하프늄실리케이트(Hf-silicate) 또는 하프늄실리옥시나이트라이드(Hf-siloxynitride, Hf-Si-O-N) 중에서 선택된 적어도 어느 하나이다.

<46> 그리고, 리세스채널영역(24)에 매립되면서 셀어레이영역 및 주변회로 NMOS 영역의 상부에 N<sup>+</sup> 폴리실리콘막(104A)이 형성되고, 주변회로 PMOS 영역 상부에 P<sup>+</sup> 폴리실리콘막(104B)이 형성된다. 여기서, N<sup>+</sup> 폴리실리콘막(104A)은 N형 불순물로 알려진 인(Ph)이 고농도로 도핑된(N<sup>+</sup> 폴리실리콘막(Ph-doped N<sup>+</sup> poly-si)이고, P<sup>+</sup> 폴리실리콘막(104B)은 P형 불순물로 알려진 보론(B)이 고농도로 도핑된(P<sup>+</sup> 폴리실리콘막(B-doped P<sup>+</sup> poly-si)이다.

<47> 마지막으로, 리세스채널영역(24) 내부의 N<sup>+</sup> 폴리실리콘막(104A) 내부에 PSG막(27B)이 형성된다. 여기서, PSG막(27B)은 인(Ph)이 도핑된 절연막으로서, 인의 농도가 1~20%이다.

<48> 도 2와 같이, 제1실시예는 NMOS가 형성되는 셀어레이영역과 주변회로 NMOS 영역의 게이트전극이 인(Ph)이 고농도로 도핑된 N<sup>+</sup> 폴리실리콘막(104A)으로 형성되고, PMOS가 형성되는 주변회로 PMOS 영역의 게이트전극이 보론(B)이 고농도로 도핑된 P<sup>+</sup> 폴리실리콘막(104B)이 형성됨에 따라 듀얼폴리게이트(Dual poly si-gate, DPG) 구조가 된다. N<sup>+</sup> 폴리실리콘막(104A)과 P<sup>+</sup> 폴리실리콘막(104B)에는 각각 적어도 1E16/cm<sup>2</sup> 이하의 인(Ph) 및 보론(B)이 이온주입되어 있다.

- <49> 도 3a 내지 도 3i는 본 발명의 제1실시예에 따른 듀얼폴리게이트의 형성 방법을 도시한 공정 단면도이다.
- <50> 도 3a에 도시된 바와 같이, 셀어레이영역(Cell array), 주변회로 NMOS 영역(Peri NMOS)과 주변회로 PMOS 영역(Peri PMOS)이 정의된 반도체기판(21)에 소자분리막(22)을 형성한다. 여기서, 셀어레이영역과 주변회로 NMOS 영역에는 NMOSFET가 형성되고, 주변회로 PMOS 영역에는 PMOSFET가 형성된다. 그리고, 소자분리막(22)은 통상적인 STI(Shallow Trench Isolation) 공정에 의해 형성한 것이다.
- <51> 이어서, 전면에 하드마스크(23)를 형성한 후, 셀어레이영역의 반도체기판(21)에 리세스 채널 영역을 형성하기 위해 하드마스크(23)를 패터닝한다. 여기서, 하드마스크(23)는 실리콘산화막(SiO<sub>2</sub>)과 같은 유전층으로 형성한다.
- <52> 이어서, 패터닝된 하드마스크(23)를 식각장벽으로 셀어레이 영역의 반도체기판(21)을 식각하여 트렌치 형상의 리세스채널영역(24)을 형성한다. 여기서, 리세스채널영역(24)은 양측벽 및 바닥면이 채널로 작용하는 다면 채널을 위한 것이다.
- <53> 도 3b에 도시된 바와 같이, 하드마스크(23)를 제거한다. 여기서, 하드마스크(23)가 실리콘산화막이므로, 습식세정에 의해 제거하며, 습식세정은 BOE(Buffered oxide etchant) 또는 HF 용액을 이용한다. 이때, BOE 용액은 NH<sub>4</sub>F와 HF가 혼합된 용액이다.
- <54> 이어서, 리세스채널영역(24)을 포함한 반도체기판(21)의 전면에 게이트절연막(25)을 형성한다. 이때, 게이트절연막(25)은 실리콘산화막(SiO<sub>2</sub>), 실리콘산화질화막(SiON), 실리콘질화막(Si<sub>3</sub>N<sub>4</sub>), 하프늄실리케이트(Hf-silicate) 또는 하프늄실리옥시나이트라이드(Hf-siloxynitride, Hf-Si-O-N) 중에서 선택된 적어도 어느 하나이다.
- <55> 이어서, 게이트절연막(25) 상에 리세스채널영역(24)을 채울 때까지 불순물이 도핑되지 않은 제1언도우프드폴리실리콘막(Undoped poly-silicon, 26)을 증착한다. 이때, 제1언도우프드폴리실리콘막(26)의 두께는 리세스채널영역(24) 폭의 절반보다 작은 두께로 하여, 제1언도우프드폴리실리콘막(26)을 반도체기판(21)의 전 표면에서 균일한 두께로 증착한다.
- <56> 바람직하게, 제1언도우프드폴리실리콘막(26)은 450~650℃의 증착온도에서 30~500Å의 두께로 증착한다.
- <57> 도 3c에 도시된 바와 같이, 제1언도우프드폴리실리콘막(26) 상부에 인(Ph)이 도핑된 절연막, 예컨대 PSG막(Phosphorous Silicate Glass, 27)을 형성한다. 이때, PSG막(27)에서 인(Ph)의 농도는 1~20%이다.
- <58> 도 3d에 도시된 바와 같이, PSG막(27) 상에 포토마스크(Photomask) 공정을 진행하여 주변회로 PMOS 영역을 오픈시키는 제1감광막패턴(PR, 28)을 형성한다. 이로써, 제1감광막패턴(28)에 의해 셀어레이영역과 주변회로 NMOS 영역은 덮이게 된다.
- <59> 이어서, 제1감광막패턴(28)에 의해 오픈된 주변회로 PMOS 영역의 PSG막(27)을 선택적으로 식각한다. 이때, PSG막(27)의 식각은 건식식각 또는 습식식각을 이용하며, 이로써 남아있는 PSG막(27A)은 셀어레이영역 및 주변회로 NMOS 영역 상부에만 잔류한다.
- <60> 도 3e에 도시된 바와 같이, 제1감광막패턴(28)을 제거한다.
- <61> 이어서, 1차 고온 열처리(100)를 진행하여 PSG막(27A) 내부의 불순물인 인(Ph, 도면부호 'P')을 제1언도우프드폴리실리콘막(26)의 내부로 확산(101)시킨다.
- <62> 이로써, 셀어레이영역 및 주변회로 NMOS 영역의 제1언도우프드폴리실리콘막(26)은 인이 도핑된 인 도우프드 폴리실리콘막(Ph-doped poly-si, 26A)으로 바뀐다. 반면에, 주변회로 PMOS 영역 상부에는 인이 도핑되지 않은 제1언도우프드폴리실리콘막(26)이 그대로 잔류하게 된다. 따라서, 인 도우프드 폴리실리콘막(26A)과 제1언도우프드폴리실리콘막(26)은 주변회로 NMOS 영역과 주변회로 PMOS 영역 사이의 소자분리막(22) 위에서 경계면을 갖고 형성된다.
- <63> 위와 같이 인(Ph)을 확산시키기 위한 고온열처리(101)는 600~1000℃에서 10초~60분동안 진행하므로써, 리세스 채널영역(24) 내부의 제1언도우프드폴리실리콘막(26)까지 충분히 인(Ph)이 확산되도록 한다. 또한, PSG막(27A)이 리세스채널영역(24) 내부의 제1언도우프드폴리실리콘막(26) 위에 형성되어 있으므로, 리세스채널 영역(24)의 바닥 위까지 인(Ph)이 충분히 확산된다.
- <64> 도 3f에 도시된 바와 같이, 건식식각 또는 습식식각을 통해 남아있는 PSG막(27A)을 일부 제거하여 인 도우프드 폴리실리콘막(26A)을 노출시킨다. 이때, 셀어레이영역의 리세스채널영역(24) 내부에만 PSG막(27B)이 잔류한다.

한편, 습식식각시에는 HF가 포함된 케미컬을 사용하며, 건식식각시에는  $CF_4$ 의 혼합가스를 사용한다.

- <65> 따라서, PSG막(27B)은 셀어레이영역의 리세스채널영역(24) 내부를 매립하는 형태가 되며, 이에 따라 후속 제2연 도우프드폴리실리콘막 증착시 껍질 불량을 방지한다.
- <66> 도 3g에 도시된 바와 같이, PSG막(27B) 및 인 도우프드 폴리실리콘막(26A)을 포함한 전면에 제2연도우프드폴리실리콘막(26B)을 형성한다. 이때, 제2연도우프드폴리실리콘막(26B)은 450~650℃의 증착온도에서 100~2000Å의 두께로 증착한다. 이와 같이, 제2연도우프드폴리실리콘막(26B)을 증착하면, PSG막(27B)은 인 도우프드 폴리실리콘막(26A)과 제2연도우프드폴리실리콘막(26B)의 내부에 채워진 형태가 된다.
- <67> 도 3h에 도시된 바와 같이, 포토마스크공정을 진행하여 주변회로 PMOS 영역의 제2연도우프드 폴리실리콘막(26B)을 선택적으로 노출시키는 제2감광막패턴(29)을 형성한다.
- <68> 이어서, 선택적으로 주변회로 PMOS 영역의 제2연도우프드폴리실리콘막(26B)에만 보론의 이온주입(Boron implant, 102)을 진행한다. 이로써, 제2연도우프드폴리실리콘막(26B) 중에서 주변회로 PMOS 영역 상부에 형성되는 부분과 제1연도우프드폴리실리콘막(26)은 보론이 도핑된 보론 도우프드 폴리실리콘막(26C)으로 바뀌고, 셀어레이영역 및 주변회로 NMOS 영역에는 제2연도우프드폴리실리콘막(26B)이 그대로 잔류한다.
- <69> 여기서, 보론의 이온주입(102)시, 도즈(dose)는 적어도  $1E16/cm^2$  이하, 바람직하게는  $3E15 \sim 1E16/cm^2$ 으로 한다. 이때, 보론의 이온주입(102)이 불순물이 도핑되지 않은 제2연도우프드폴리실리콘막(26B)에만 진행되므로 즉, 카운터도핑을 고려하지 않아도 되고 이로써  $3E15 \sim 1E16/cm^2$ 와 같은 낮은 도즈로도 충분히 고농도의 보론의 이온주입이 가능하다. 이는 제2감광막패턴(29)의 경화를 방지하는 효과를 얻는다.
- <70> 한편, 주변회로 PMOS 영역 상부에 인이 도핑되지 않은 채로 남아있던 제1연도우프드폴리실리콘막(26)에도 보론이 이온주입된다.
- <71> 도 3i에 도시된 바와 같이, 제2감광막패턴(29)을 제거한 후 2차 고온 열처리 공정(103)을 진행하여 셀어레이영역 및 주변회로 NMOS 영역에는  $N^+$  폴리실리콘막(104A)을, PMOS 영역에는  $P^+$  폴리실리콘막(104B)을 형성한다. 바람직하게, 2차 고온열처리(103)는 600~1000℃에서 10초~60분동안 진행한다.
- <72> 부연 설명하면, 2차 고온 열처리(103)에 의해 PSG막(27B) 및 인 도우프드 폴리실리콘막(26A)에 도핑되어 있던 인(Ph)이 제2연도우프드폴리실리콘막(26B)까지 골고루 확산되어 셀어레이영역과 주변회로 NMOS 영역에서는 전체적으로 인(Ph)이 고농도로 균일하게 도핑된  $N^+$  폴리실리콘막(Ph-doped  $N^+$  poly-si, 104A)이 형성된다. 더불어, 2차 고온열처리(103)에 의해 보론 도우프드 폴리실리콘막(26C)과 제1연도우프드폴리실리콘막(26)에 도핑되어 있던 보론(Boron)이 고르게 확산되어 전체적으로 보론이 고농도로 균일하게 도핑된  $P^+$  폴리실리콘막(B-doped  $P^+$  poly-si, 104B)이 형성된다.  $N^+$  폴리실리콘막(104A)과  $P^+$  폴리실리콘막(104B)에는 각각 적어도  $1E16/cm^2$  이하의 인(Ph) 및 보론(B)이 이온주입되어 있다.
- <73> 위와 같은 일련의 공정에 의해 셀어레이영역 및 주변회로 NMOS 영역에서는 인이 고농도로 도핑된  $N^+$  폴리실리콘막(Ph-doped  $N^+$  poly-si, 104A)이 형성되고, 동시에 주변회로 PMOS 영역에서는 보론이 고농도로 도핑된  $P^+$  폴리실리콘막(B-doped  $P^+$  poly-si, 104B)이 형성됨에 따라 듀얼폴리게이트 구조가 완성된다.
- <74> 그리고, 인이 도핑된  $N^+$  폴리실리콘막(104A)의 내부에는 PSG막(27B)이 존재하며, 이 PSG막(27B)은 리세스채널영역(24) 내부에 존재하는 것이고, PSG막(27B)은 소자특성에는 영향을 미치지 않는다.
- <75> 도 4는 본 발명의 제2실시예에 따른 듀얼폴리게이트의 구조를 도시한 도면이다. 제2실시예의 반도체소자는 리세스 채널 트랜지스터가 셀어레이영역에 형성되고, 주변회로영역에는 플라나 트랜지스터가 형성된 소자이다.
- <76> 도 4를 참조하면, NMOS가 형성되는 셀어레이영역, 주변회로 NMOS 영역(Peri NMOS)과 주변회로 PMOS 영역(Peri PMOS)이 정의된 반도체기판(31)에 각 영역간 소자분리를 위한 소자분리막(32)이 형성된다.
- <77> 그리고, 셀어레이영역의 반도체기판(31)에 트렌치 형상의 리세스채널영역(34)이 형성되고, 리세스채널영역(34) 및 반도체기판(31)의 표면 상에 게이트절연막(35)이 형성된다. 여기서, 리세스채널영역(34)은 양측벽 및 바닥면이 채널로 작용하여 다면 채널을 형성하며, 게이트절연막(35)은 실리콘산화막( $SiO_2$ ), 실리콘산화질화막( $SiON$ ),

실리콘질화막( $\text{Si}_3\text{N}_4$ ), 하프늄실리케이트(Hf-silicate) 또는 하프늄실리옥시나이트라이드(Hf-siloxynitride, Hf-Si-O-N) 중에서 선택된 적어도 어느 하나이다.

- <78> 그리고, 리세스채널영역(34)에 매립되면서 셀어레이영역 및 주변회로 PMOS 영역의 상부에  $\text{P}^+$  폴리실리콘막(204A)이 형성되고, 주변회로 NMOS 영역 상부에  $\text{N}^+$  폴리실리콘막(204B)이 형성된다. 여기서,  $\text{N}^+$  폴리실리콘막(204B)은 인(Ph)이 고농도로 도핑된 폴리실리콘막(Ph-doped  $\text{N}^+$  poly-si)이고,  $\text{P}^+$  폴리실리콘막(204A)은 보론(B)이 고농도로 도핑된 폴리실리콘막(B-doped  $\text{P}^+$  poly-si)이다.
- <79> 마지막으로, 리세스채널영역(34) 내부의  $\text{P}^+$  폴리실리콘막(204A) 내부에 BSG막(Boron Silicate Glass, 37B)이 형성된다. 여기서, BSG막(37B)은 보론(B)이 도핑된 절연막으로서, 보론의 농도가 1~20%이다.
- <80> 도 4와 같이, 제2실시예는 NMOS가 형성되는 셀어레이영역과 주변회로 PMOS 영역의 게이트전극이 보론(B)이 고농도로 도핑된  $\text{P}^+$  폴리실리콘막(204A)으로 형성되고, NMOS가 형성되는 주변회로 NMOS 영역의 게이트전극이 인(P)이 고농도로 도핑된  $\text{N}^+$  폴리실리콘막(204B)이 형성됨에 따라 듀얼폴리게이트(Dual poly si-gate, DPG) 구조가 된다.  $\text{N}^+$  폴리실리콘막(204B)과  $\text{P}^+$  폴리실리콘막(204A)에는 각각 적어도  $1\text{E}16/\text{cm}^2$  이하의 인(P) 및 보론(B)이 이온주입되어 있다.
- <81> 이처럼, 셀어레이영역에서의 게이트전극으로서 보론(B)이 고농도로 도핑된  $\text{P}^+$  폴리실리콘막(204A)을 사용하면, 모든 위치에서 보론의 농도가 균일하므로 문턱전압의 상승효과를 얻게 되어 오프누설특성의 저하가 없다.
- <82> 도 5a 내지 도 5i는 본 발명의 제2실시예에 따른 듀얼폴리게이트의 형성 방법을 도시한 공정 단면도이다.
- <83> 도 5a에 도시된 바와 같이, 셀어레이영역(Cell array), 주변회로 NMOS 영역(Peri NMOS)과 주변회로 PMOS 영역(Peri PMOS)이 정의된 반도체기판(31)에 소자분리막(32)을 형성한다. 여기서, 셀어레이영역과 주변회로 NMOS 영역에는 NMOSFET가 형성되고, 주변회로 PMOS 영역에는 PMOSFET가 형성된다. 그리고, 소자분리막(32)은 통상적인 STI(Shallow Trench Isolation) 공정에 의해 형성한 것이다.
- <84> 이어서, 전면에 하드마스크(33)를 형성한 후, 셀어레이영역의 반도체기판(31)에 리세스 채널 영역을 형성하기 위해 하드마스크(33)를 패터닝한다. 여기서, 하드마스크(33)는 실리콘산화막( $\text{SiO}_2$ )과 같은 유전층으로 형성한다.
- <85> 이어서, 패터닝된 하드마스크(33)를 식각장벽으로 셀어레이 영역의 반도체기판(31)을 식각하여 트렌치 형상의 리세스채널영역(34)을 형성한다. 여기서, 리세스채널영역(34)은 양측벽 및 바닥면이 채널로 작용하는 다면 채널을 위한 것이다.
- <86> 도 5b에 도시된 바와 같이, 하드마스크(33)를 제거한다. 여기서, 하드마스크(33)가 실리콘산화막이므로, 습식세정에 의해 제거하며, 습식세정은 BOE(Buffered oxide etchant) 또는 HF 용액을 이용한다. 이때, BOE 용액은  $\text{NH}_4\text{F}$ 와 HF가 혼합된 용액이다.
- <87> 이어서, 리세스채널영역(34)을 포함한 반도체기판(31)의 전면에 게이트절연막(35)을 형성한다. 이때, 게이트절연막(35)은 실리콘산화막( $\text{SiO}_2$ ), 실리콘산화질화막( $\text{SiON}$ ), 실리콘질화막( $\text{Si}_3\text{N}_4$ ), 하프늄실리케이트(Hf-silicate) 또는 하프늄실리옥시나이트라이드(Hf-siloxynitride, Hf-Si-O-N) 중에서 선택된 적어도 어느 하나이다.
- <88> 이어서, 게이트절연막(35) 상에 리세스채널영역(34)을 채울 때까지 불순물이 도핑되지 않은 제1언도우프드폴리실리콘막(Undoped poly-silicon, 36)을 증착한다. 이때, 제1언도우프드폴리실리콘막(36)의 두께는 리세스채널영역(34) 폭의 절반보다 작은 두께로 하여, 제1언도우프드폴리실리콘막(36)을 반도체기판(31)의 전 표면에서 균일한 두께로 증착한다.
- <89> 바람직하게, 제1언도우프드폴리실리콘막(36)은  $450\sim 650^\circ\text{C}$ 의 증착온도에서  $30\sim 500\text{\AA}$ 의 두께로 증착한다.
- <90> 도 5c에 도시된 바와 같이, 제1언도우프드폴리실리콘막(36) 상부에 보론(B)이 도핑된 절연막, 예컨대 BSG막(Boron Silicate Glass, 37)을 형성한다. 이때, BSG막(37)에서 보론(B)의 농도는 1~20%이다.
- <91> 도 5d에 도시된 바와 같이, BSG막(37) 상에 포토마스크(Photomask) 공정을 진행하여 주변회로 NMOS 영역을 오픈시키는 제1감광막패턴(38)을 형성한다. 이로써, 제1감광막패턴(38)에 의해 셀어레이영역과 주변회로 PMOS 영역

은 덮이게 된다.

- <92> 이어서, 제1감광막패턴(38)에 의해 오픈된 주변회로 PMOS 영역의 BSG막(37)을 선택적으로 식각한다. 이때, BSG막(37)의 식각은 건식식각 또는 습식식각을 이용하며, 이로써 남아있는 BSG막(37A)은 셀어레이영역 및 주변회로 PMOS 영역 상부에만 잔류한다.
- <93> 도 5e에 도시된 바와 같이, 제1감광막패턴(38)을 제거한다.
- <94> 이어서, 1차 고온 열처리(200)를 진행하여 BSG막(37A) 내부의 불순물인 보론(B)을 제1연도우프드폴리실리콘막(36) 내부로 확산(201)시킨다.
- <95> 이때, 셀어레이영역 및 주변회로 PMOS 영역의 제1연도우프드폴리실리콘막(36)은 보론이 도핑된 보론 도우프드폴리실리콘막(B-doped poly-si, 36A)으로 바뀐다. 반면에, 주변회로 NMOS 영역 상부에는 보론이 도핑되지 않은 제1연도우프드폴리실리콘막(36)이 그대로 잔류하게 된다. 따라서, 보론 도우프드폴리실리콘막(36A)과 제1연도우프드폴리실리콘막(36)은 주변회로 NMOS 영역과 주변회로 PMOS 영역 사이 및 셀어레이영역과 주변회로 NMOS 영역 사이의 소자분리막(32) 위에서 경계면을 갖고 형성된다.
- <96> 위와 같이 보론을 확산시키기 위한 1차 고온열처리(200)는 600~1000℃에서 10초~60분동안 진행하므로써, 리세스채널영역(34) 내부의 제1연도우프드폴리실리콘막(36)까지 충분히 보론(B)이 확산되도록 한다. 또한, BSG막(37A)이 리세스채널영역(34) 내부의 제1연도우프드폴리실리콘막(36) 위에 형성되어 있으므로, 리세스채널 영역(34)의 바닥 위까지 보론이 충분히 확산된다.
- <97> 도 5f에 도시된 바와 같이, 건식식각 또는 습식식각을 통해 남아있는 BSG막(37A)을 일부 제거하여 보론 도우프드폴리실리콘막(36A)을 노출시킨다. 이때, 셀어레이영역의 리세스채널영역(34) 내부에만 BSG막(37B)이 잔류한다. 그리고, 습식식각시에는 HF가 포함된 케미컬을 사용하며, 건식식각시에는  $CF_4/O_2$ 의 혼합가스를 사용한다.
- <98> 따라서, BSG막(37B)은 셀어레이영역의 리세스채널영역(34) 내부를 매립하는 형태가 되며, 이에 따라 후속 제2연도우프드폴리실리콘막 증착시 갭필 불량을 방지한다.
- <99> 도 5g에 도시된 바와 같이, BSG막(37B) 및 보론 도우프드폴리실리콘막(36A)을 포함한 전면에 제2연도우프드폴리실리콘막(36B)을 형성한다. 이때, 제2연도우프드폴리실리콘막(36B)은 450~650℃의 증착온도에서 100~2000Å의 두께로 증착한다.
- <100> 이와 같이, 제2연도우프드폴리실리콘막(36B)을 증착하면, BSG막(37B)은 보론 도우프드폴리실리콘막(36A)과 제2연도우프드폴리실리콘막(36B)의 내부에 채워진 형태가 된다.
- <101> 도 5h에 도시된 바와 같이, 포토마스크공정을 진행하여 주변회로 NMOS 영역의 제2연도우프드폴리실리콘막(36B)을 노출시키는 제2감광막패턴(39)을 형성한다.
- <102> 이어서, 선택적으로 주변회로 NMOS 영역의 제2연도우프드폴리실리콘막(36B)에만 인(Ph)의 이온주입(P-implant, 202)을 진행한다. 이로써, 제2연도우프드폴리실리콘막(36B) 중에서 주변회로 NMOS 영역 상부에 형성되는 부분은 인이 도핑된 인 도우프드폴리실리콘막(Ph-doped poly-si, 36C)으로 바뀌고, 셀어레이영역 및 주변회로 PMOS 영역에는 제2연도우프드폴리실리콘막(36B)이 그대로 잔류한다.
- <103> 여기서, 인의 이온주입(202)시, 도즈(dose)는 적어도  $1E16/cm^2$  이하, 바람직하게는  $3E15 \sim 1E16/cm^2$ 으로 한다. 이때, 인의 이온주입(202)이 불순물이 도핑되지 않은 제2연도우프드폴리실리콘막(36B)에만 진행되므로 즉, 카운터도핑을 고려하지 않아도 되므로  $3E15 \sim 1E16/cm^2$ 와 같은 낮은 도즈로도 충분히 고농도의 인의 도핑이 가능하다. 이는 제2감광막패턴(39)의 경화를 방지하는 효과를 얻는다.
- <104> 한편, 주변회로 NMOS 영역 상부에 보론이 도핑되지 않은 채로 남아있던 제1연도우프드폴리실리콘막(36)에도 인이 이온주입된다.
- <105> 도 5i에 도시된 바와 같이, 제2감광막패턴(39)을 제거한 후 2차 고온 열처리 공정(203)을 진행하여 셀어레이영역 및 주변회로 PMOS 영역에는  $P^+$  폴리실리콘막(204A)을, 주변회로 NMOS 영역에는  $N^+$  폴리실리콘막(204B)을 형성한다. 바람직하게, 2차 고온열처리(103)는 600~1000℃에서 10초~60분동안 진행한다.
- <106> 부연 설명하면, 2차 고온 열처리(203)에 의해 BSG막(37B) 및 보론 도우프드폴리실리콘막(36A)에 도핑되어 있던 보론(B)이 제2연도우프드폴리실리콘막(36B)까지 골고루 확산되어 셀어레이영역과 주변회로 PMOS 영역에서는 전

체적으로 보론(B)이 고농도로 균일하게 도핑된 P<sup>+</sup> 폴리실리콘막(204A)이 형성된다. 더불어, 2차 고온열처리(103)에 의해 인 도우프드 폴리실리콘막(36C)과 제1인도우프드폴리실리콘막(36)에 도핑되어 있던 인(Ph)이 고르게 확산되어 전체적으로 인이 고농도로 균일하게 도핑된 N<sup>+</sup> 폴리실리콘막(204B)이 형성된다. N<sup>+</sup> 폴리실리콘막(204B)과 P<sup>+</sup> 폴리실리콘막(204A)에는 각각 적어도 1E16/cm<sup>2</sup> 이하의 인(P) 및 보론(B)이 이온주입되어 있다.

<107> 위와 같은 일련의 공정에 의해 셀어레이영역 및 주변회로 PMOS 영역에서는 보론이 고농도로 도핑된 P<sup>+</sup> 폴리실리콘막(B-doped P<sup>+</sup> poly-si, 204A)이 형성되고, 동시에 주변회로 NMOS 영역에서는 인이 고농도로 도핑된 N<sup>+</sup> 폴리실리콘막(Ph-doped N<sup>+</sup> poly-si, 204B)이 형성됨에 따라 듀얼폴리게이트 구조가 완성된다.

<108> 그리고, 셀어레이영역의 보론이 도핑된 P<sup>+</sup> 폴리실리콘막(204A)의 내부에는 BSG막(37B)이 존재하며, 이 BSG막(37B)은 리세스채널영역(34) 내부에 존재하는 것이고, BSG막(37B)은 소자특성에는 영향을 미치지 않는다.

<109> 이처럼, 셀영역에서의 게이트전극으로서 보론(B)이 고농도로 도핑된 P<sup>+</sup> 폴리실리콘막(204A)을 사용하면, 모든 위치에서 보론의 농도가 균일하므로 문턱전압의 상승효과를 얻게 되어 오프누설특성의 저하가 없다.

<110> 도 6은 본 발명의 제3실시예에 따른 듀얼폴리게이트를 갖는 반도체소자의 구조를 도시한 도면이다. 제3실시예의 반도체소자는 벌브형 리세스 채널 트랜지스터가 셀어레이영역에 형성되고, 주변회로영역에는 플라나 트랜지스터가 형성된 소자이다.

<111> 도 6을 참조하면, NMOS가 형성되는 셀어레이영역, 주변회로 NMOS 영역(Peri NMOS)과 주변회로 PMOS 영역(Peri PMOS)이 정의된 반도체기판(41)에 각 영역간 소자분리를 위한 소자분리막(42)이 형성된다.

<112> 그리고, 셀어레이영역의 반도체기판(41)에 넥패턴(44A)과 볼패턴(44B)으로 이루어진 벌브형 리세스채널영역(44)이 형성되고, 벌브형 리세스채널영역(44) 및 반도체기판(41)의 표면 상에 게이트절연막(45)이 형성된다. 여기서, 벌브형 리세스채널영역(44)은 양측벽 및 바닥면이 채널로 작용하여 다면 채널을 형성하며, 게이트절연막(45)은 실리콘산화막(SiO<sub>2</sub>), 실리콘산화질화막(SiON), 실리콘질화막(Si<sub>3</sub>N<sub>4</sub>), 하프늄실리케이트(Hf-silicate) 또는 하프늄실리옥시나이트라이드(Hf-siloxynitride, Hf-Si-O-N) 중에서 선택된 적어도 어느 하나이다.

<113> 그리고, 벌브형 리세스채널영역(44)에 매립되면서 셀어레이영역 및 주변회로 NMOS 영역의 상부에 N<sup>+</sup> 폴리실리콘막(304A)이 형성되고, 주변회로 PMOS 영역 상부에 P<sup>+</sup> 폴리실리콘막(304B)이 형성된다. 여기서, N<sup>+</sup> 폴리실리콘막(304A)은 인(P)이 고농도로 도핑된 폴리실리콘막이고, P<sup>+</sup> 폴리실리콘막(304B)은 보론(B)이 고농도로 도핑된 폴리실리콘막이다.

<114> 마지막으로, 벌브형 리세스채널영역(44) 내부의 N<sup>+</sup> 폴리실리콘막(304A) 내부에 PSG막(47B)이 형성된다. 여기서, PSG막(47B)은 인(P)이 도핑된 절연막으로서, 인의 농도가 1~20%이다.

<115> 도 6과 같이, 제3실시예는 NMOS가 형성되는 셀어레이영역과 주변회로 NMOS 영역의 게이트전극이 인(P)이 고농도로 도핑된 N<sup>+</sup> 폴리실리콘막(304A)으로 형성되고, PMOS가 형성되는 주변회로 PMOS 영역의 게이트전극이 보론(B)이 고농도로 도핑된 P<sup>+</sup> 폴리실리콘막(304B)이 형성됨에 따라 듀얼폴리게이트(Dual poly si-gate, DPG) 구조가 된다. N<sup>+</sup> 폴리실리콘막(304A)과 P<sup>+</sup> 폴리실리콘막(304B)에는 각각 적어도 1E16/cm<sup>2</sup> 이하의 인(P) 및 보론(B)이 이온주입되어 있다.

<116> 도 7a 내지 도 7h는 본 발명의 제3실시예에 따른 듀얼폴리게이트의 형성 방법을 도시한 공정 단면도이다.

<117> 도 7a에 도시된 바와 같이, 셀어레이영역(Cell array), 주변회로 NMOS 영역(Peri NMOS)과 주변회로 PMOS 영역(Peri PMOS)이 정의된 반도체기판(41)에 소자분리막(42)을 형성한다. 여기서, 셀어레이영역과 주변회로 NMOS 영역에는 NMOSFET가 형성되고, 주변회로 PMOS 영역에는 PMOSFET가 형성된다. 그리고, 소자분리막(42)은 통상적인 STI(Shallow Trench Isolation) 공정에 의해 형성한 것이다.

<118> 이어서, 셀어레이 영역의 반도체기판(41)을 식각하여 트렌치 형상의 넥패턴(Neck pattern, 44A)과 볼패턴(Ball pattern, 44B)으로 이루어진 벌브형 리세스 채널영역(44)을 형성한다.

<119> 위와 같은 일련의 공정에 의해 넥패턴(44A)과 볼패턴(44B)으로 이루어진 벌브형 리세스 채널 영역(44)이 완성되

며, 볼패턴(44B)은 트렌치 형상인 넥패턴(44A)과 달리 폭이 더 큰 구형(Spherical)이다. 따라서, 벌브형 리세스 채널영역(44)은 다면 채널이 되며, 리세스채널영역보다 채널길이가 더 길다.

- <120> 이어서, 벌브형 리세스 채널 영역(44)을 포함한 반도체기판(41)의 전면에 게이트절연막(45)을 형성한다. 이때, 게이트절연막(45)은 실리콘산화막(SiO<sub>2</sub>), 실리콘산화질화막(SiON), 실리콘질화막(Si<sub>3</sub>N<sub>4</sub>), 하프늄실리케이트(Hf-silicate) 또는 하프늄실리옥시나이트라이드(Hf-siloxynitride, Hf-Si-O-N) 중에서 선택된 적어도 어느 하나이다.
- <121> 이어서, 게이트절연막(45) 상에 벌브형 리세스채널영역(44)을 채울 때까지 불순물이 도핑되지 않은 제1언도우프드 폴리실리콘막(Undoped poly-silicon, 46)을 증착한다. 이때, 제1언도우프드 폴리실리콘막(46)의 두께는 벌브형 리세스채널영역(44)의 넥패턴(44A) 폭의 절반보다 작은 두께로 하여, 제1언도우프드 폴리실리콘막(46)을 반도체기판(41)의 전 표면에서 균일한 두께로 증착한다.
- <122> 바람직하게, 제1언도우프드 폴리실리콘막(46)은 450~650℃의 증착온도에서 30~500Å의 두께로 증착한다.
- <123> 도 7b에 도시된 바와 같이, 제1언도우프드 폴리실리콘막(46) 상부에 인(Ph)이 도핑된 절연막, 예컨대 PSG막(Phosphorous Silicate Glass, 47)을 형성한다. 이때, PSG막(47)에서 인(Ph)의 농도는 1~20%이다.
- <124> 도 7c에 도시된 바와 같이, PSG막(47) 상에 포토마스크(Photomask) 공정을 진행하여 주변회로 PMOS 영역을 오픈시키는 제1감광막패턴(48)을 형성한다. 이로써, 제1감광막패턴(48)에 의해 셀어레이영역과 주변회로 NMOS 영역은 덮이게 된다.
- <125> 이어서, 제1감광막패턴(48)에 의해 오픈된 주변회로 PMOS 영역의 PSG막(47)을 선택적으로 식각한다. 이때, PSG막(47)의 식각은 건식식각 또는 습식식각을 이용하며, 이로써 남아있는 PSG막(47A)은 셀어레이영역 및 주변회로 NMOS 영역 상부에만 잔류한다.
- <126> 도 7d에 도시된 바와 같이, 제1감광막패턴(48)을 제거한다.
- <127> 이어서, 1차 고온 열처리(300)를 진행하여 PSG막(47A) 내부의 불순물인 인(Ph, 도면부호 'P')을 제1언도우프드 폴리실리콘막(46)의 내부로 확산(301)시킨다.
- <128> 이로써, 셀어레이영역 및 주변회로 NMOS 영역의 제1언도우프드 폴리실리콘막(46)은 인이 도핑된 인 도우프드 폴리실리콘막(P-doped poly-si, 46A)으로 바뀐다. 반면에, 주변회로 PMOS 영역 상부에는 인이 도핑되지 않은 제1언도우프드 폴리실리콘막(46)이 그대로 잔류하게 된다. 따라서, 인 도우프드 폴리실리콘막(46A)과 제1언도우프드 폴리실리콘막(46)은 주변회로 NMOS 영역과 주변회로 PMOS 영역 사이의 소자분리막(42) 위에서 경계면을 갖고 형성된다.
- <129> 위와 같이 인(Ph)을 확산시키기 위한 고온열처리(301)는 600~1000℃에서 10초~60분동안 진행하므로써, 벌브형 리세스채널영역(44) 내부의 제1언도우프드 폴리실리콘막(46)까지 충분히 인(Ph)이 확산되도록 한다. 또한, PSG막(47A)이 벌브형 리세스채널영역(44) 내부의 제1언도우프드 폴리실리콘막(46) 위에 형성되어 있으므로, 벌브형 리세스 채널 영역(44)의 볼패턴(44B) 바닥 위까지 인(Ph)이 충분히 확산된다.
- <130> 도 7e에 도시된 바와 같이, 건식식각 또는 습식식각을 통해 남아있는 PSG막(47A)을 일부 제거하여 인 도우프드 폴리실리콘막(46A)을 노출시킨다. 이때, 셀어레이영역의 벌브형 리세스 채널 영역(44) 내부에만 PSG막(47B)이 잔류한다. 한편, 습식식각시에는 HF가 포함된 케미컬을 사용하며, 건식식각시에는 CF<sub>4</sub>/O<sub>2</sub>의 혼합가스를 사용한다.
- <131> 따라서, PSG막(47B)은 셀어레이영역의 벌브형 리세스채널영역(44) 내부를 매립하는 형태가 되며, 이에 따라 후속 제2언도우프드 폴리실리콘막 증착시 갭필 불량을 방지한다.
- <132> 도 7f에 도시된 바와 같이, PSG막(47B) 및 인 도우프드 폴리실리콘막(46A)을 포함한 전면에 제2언도우프드 폴리실리콘막(46B)을 형성한다. 이때, 제2언도우프드 폴리실리콘막(46B)은 450~650℃의 증착온도에서 100~2000Å의 두께로 증착한다. 이와 같이, 제2언도우프드 폴리실리콘막(46B)을 증착하면, PSG막(47B)은 인 도우프드 폴리실리콘막(46A)과 제2언도우프드 폴리실리콘막(46B)의 내부에 채워진 형태가 된다.
- <133> 도 7g에 도시된 바와 같이, 포토마스크공정을 진행하여 주변회로 PMOS 영역의 제2언도우프드 폴리실리콘막(46B)을 선택적으로 노출시키는 제2감광막패턴(49)을 형성한다.
- <134> 이어서, 선택적으로 주변회로 PMOS 영역의 제2언도우프드 폴리실리콘막(46B)에만 보론의 이온주입(Boron



implant, 302)을 진행한다. 이로써, 제2연도우프드폴리실리콘막(46B) 중에서 주변회로 PMOS 영역 상부에 형성되는 부분 및 제1연도우프드폴리실리콘막(46)은 보론이 도핑된 보론 도우프드 폴리실리콘막(46C)으로 바뀌고, 셀어레이영역 및 주변회로 NMOS 영역에는 제2연도우프드폴리실리콘막(46B)이 그대로 잔류한다.

- <135> 여기서, 보론의 이온주입(302)시, 도즈(dose)는 적어도  $1E16/cm^2$  이하, 바람직하게는  $3E15 \sim 1E16/cm^2$ 으로 한다. 이때, 보론의 이온주입(302)이 불순물이 도핑되지 않은 제2연도우프드폴리실리콘막(46B)에만 진행되므로 즉, 카운터도핑을 고려하지 않아도 되고 이로써  $3E15 \sim 1E16/cm^2$ 와 같은 낮은 도즈로도 충분히 고농도의 보론의 이온주입이 가능하다. 이는 제2감광막패턴(49)의 경화를 방지하는 효과를 얻는다.
- <136> 한편, 주변회로 PMOS 영역 상부에 인이 도핑되지 않은 채로 남아있던 제1연도우프드폴리실리콘막(46)에도 보론이 이온주입된다.
- <137> 도 7h에 도시된 바와 같이, 제2감광막패턴(49)을 제거한 후 2차 고온 열처리 공정(303)을 진행하여 셀어레이영역 및 주변회로 NMOS 영역에는  $N^+$  폴리실리콘막(304A)을, PMOS 영역에는  $P^+$  폴리실리콘막(304B)을 형성한다. 바람직하게, 2차 고온열처리(303)는  $600 \sim 1000^\circ C$ 에서 10초~60분동안 진행한다.
- <138> 부연 설명하면, 2차 고온 열처리(303)에 의해 PSG막(47B) 및 인 도우프드 폴리실리콘막(46A)에 도핑되어 있던 인(P)이 제2연도우프드폴리실리콘막(46B)까지 골고루 확산되어 셀어레이영역과 주변회로 NMOS 영역에서는 전체적으로 인(P)이 고농도로 균일하게 도핑된  $N^+$  폴리실리콘막(304A)이 형성된다. 더불어, 2차 고온열처리(303)에 의해 보론 도우프드 폴리실리콘막(46C)과 제1연도우프드폴리실리콘막(46)에 도핑되어 있던 보론(Boron)이 고르게 확산되어 전체적으로 보론이 고농도로 균일하게 도핑된  $P^+$  폴리실리콘막(304B)이 형성된다.  $N^+$  폴리실리콘막(304A)과  $P^+$  폴리실리콘막(304B)에는 각각 적어도  $1E16/cm^2$  이하의 인(P) 및 보론(B)이 이온주입되어 있다.
- <139> 위와 같은 일련의 공정에 의해 셀어레이영역 및 주변회로 NMOS 영역에서는 인이 고농도로 도핑된  $N^+$  폴리실리콘막(Ph-doped  $N^+$  poly-si, 304A)이 형성되고, 동시에 주변회로 PMOS 영역에서는 보론이 고농도로 도핑된  $P^+$  폴리실리콘막(B-doped  $P^+$  poly-si, 304B)이 형성됨에 따라 듀얼폴리게이트 구조가 완성된다.
- <140> 그리고, 인이 도핑된  $N^+$  폴리실리콘막(304A)의 내부에는 PSG막(47B)이 존재하며, 이 PSG막(47B)은 벌브형 리세스채널영역(44) 내부에 존재하는 것이고, PSG막(47B)은 소자특성에는 영향을 미치지 않는다.
- <141> 도 8은 본 발명의 제4실시에 따른 듀얼폴리게이트의 구조를 도시한 도면이다. 제4실시에의 반도체소자는 벌브형 리세스 채널 트랜지스터가 셀어레이영역에 형성되고, 주변회로영역에는 플라나 트랜지스터가 형성된 소자이다.
- <142> 도 8을 참조하면, NMOS가 형성되는 셀어레이영역, 주변회로 NMOS 영역(Peri NMOS)과 주변회로 PMOS 영역(Peri PMOS)이 정의된 반도체기판(51)에 각 영역간 소자분리를 위한 소자분리막(52)이 형성된다.
- <143> 그리고, 셀어레이영역의 반도체기판(51)에 벡패턴(54A)과 불패턴(54B)으로 이루어진 벌브형 리세스채널영역(54)이 형성되고, 벌브형 리세스채널영역(54) 및 반도체기판(51)의 표면 상에 게이트절연막(55)이 형성된다. 여기서, 벌브형 리세스채널영역(54)은 양측벽 및 바닥면이 채널로 작용하여 다면 채널을 형성하며, 게이트절연막(55)은 실리콘산화막( $SiO_2$ ), 실리콘산화질화막( $SiON$ ), 실리콘질화막( $Si_3N_4$ ), 하프늄실리케이트(Hf-silicate) 또는 하프늄실리옥시나이트라이드(Hf-siloxynitride, Hf-Si-O-N) 중에서 선택된 적어도 어느 하나이다.
- <144> 그리고, 벌브형 리세스채널영역(54)에 매립되면서 셀어레이영역 및 주변회로 PMOS 영역의 상부에  $P^+$  폴리실리콘막(404A)이 형성되고, 주변회로 NMOS 영역 상부에  $N^+$  폴리실리콘막(404B)이 형성된다. 여기서,  $N^+$  폴리실리콘막(404B)은 인(Ph)이 고농도로 도핑된 폴리실리콘막이고,  $P^+$  폴리실리콘막(404A)은 보론(B)이 고농도로 도핑된 폴리실리콘막이다.
- <145> 마지막으로, 벌브형 리세스채널영역(44) 내부의  $P^+$  폴리실리콘막(404A) 내부에 BSG막(Boron Silicate Glass, 57B)이 형성된다. 여기서, BSG막(57B)은 보론(B)이 도핑된 절연막으로서, 보론의 농도가 1~20%이다.
- <146> 도 8과 같이, 제4실시에는 NMOS가 형성되는 셀어레이영역과 주변회로 PMOS 영역의 게이트전극이 보론(B)이 고농

도로 도핑된 P<sup>+</sup> 폴리실리콘막(404A)으로 형성되고, NMOS가 형성되는 주변회로 NMOS 영역의 게이트전극이 인(P h)이 고농도로 도핑된 N<sup>+</sup> 폴리실리콘막(404B)이 형성됨에 따라 듀얼폴리게이트(Dual poly si-gate, DPG) 구조가 된다. N<sup>+</sup> 폴리실리콘막(404B)과 P<sup>+</sup> 폴리실리콘막(404A)에는 각각 적어도 1E16/cm<sup>2</sup> 이하의 인(P) 및 보론(B)이 이온주입되어 있다.

- <147> 이처럼, 셀영역에서의 게이트전극으로서 보론(B)이 고농도로 도핑된 P<sup>+</sup> 폴리실리콘막(404A)을 사용하면, 모든 위치에서 보론의 농도가 균일하므로 문턱전압의 상승효과를 얻게 되어 오프누설특성의 저하가 없다.
- <148> 도 9a 내지 도 9h는 본 발명의 제4실시예에 따른 듀얼폴리게이트의 형성 방법을 도시한 공정 단면도이다.
- <149> 도 9a에 도시된 바와 같이, 셀어레이영역(Cell array), 주변회로 NMOS 영역(Peri NMOS)과 주변회로 PMOS 영역(Peri PMOS)이 정의된 반도체기판(51)에 소자분리막(52)을 형성한다. 여기서, 셀어레이영역과 주변회로 NMOS 영역에는 NMOSFET가 형성되고, 주변회로 PMOS 영역에는 PMOSFET가 형성된다. 그리고, 소자분리막(52)은 통상적인 STI(Shallow Trench Isolation) 공정에 의해 형성한 것이다.
- <150> 이어서, 트렌치 형상의 넥패턴(Neck pattern, 54A)과 볼패턴(Ball pattern, 54B)으로 이루어진 벌브형 리세스 채널영역(54)을 형성한다.
- <151> 위와 같은 일련의 공정에 의해 넥패턴(54A)과 볼패턴(54B)으로 이루어진 벌브형 리세스 채널 영역(54)이 완성되며, 볼패턴(54B)은 트렌치 형상인 넥패턴(54A)과 달리 폭이 더 큰 구형(Spherical)이다. 따라서, 벌브형 리세스 채널영역(54)은 다면 채널이 되며, 리세스채널영역보다 채널길이가 더 길다.
- <152> 이어서, 벌브형 리세스 채널 영역(54)을 포함한 반도체기판(51)의 전면에 게이트절연막(55)을 형성한다. 이때, 게이트절연막(55)은 실리콘산화막(SiO<sub>2</sub>), 실리콘산화질화막(SiON), 실리콘질화막(Si<sub>3</sub>N<sub>4</sub>), 하프늄실리케이트(Hf-silicate) 또는 하프늄실리옥시나이트라이드(Hf-siloxynitride, Hf-Si-O-N) 중에서 선택된 적어도 어느 하나이다.
- <153> 이어서, 게이트절연막(55) 상에 벌브형 리세스채널영역(54)을 채울 때까지 불순물이 도핑되지 않은 제1언도우프드폴리실리콘막(Undoped poly-silicon, 56)을 증착한다. 이때, 제1언도우프드폴리실리콘막(56)의 두께는 벌브형 리세스채널영역(54)의 넥패턴(54A) 폭의 절반보다 작은 두께로 하여, 제1언도우프드폴리실리콘막(56)을 반도체기판(51)의 전 표면에서 균일한 두께로 증착한다.
- <154> 바람직하게, 제1언도우프드폴리실리콘막(56)은 450~650℃의 증착온도에서 30~500Å의 두께로 증착한다.
- <155> 도 9b에 도시된 바와 같이, 제1언도우프드폴리실리콘막(56) 상부에 보론(B)이 도핑된 절연막, 예컨대 BSG막(Boron Silicate Glass, 57)을 형성한다. 이때, BSG막(57)에서 보론(B)의 농도는 1~20%이다.
- <156> 도 9c에 도시된 바와 같이, BSG막(57) 상에 포토마스크(Photomask) 공정을 진행하여 주변회로 NMOS 영역을 오픈시키는 제1감광막패턴(58)을 형성한다. 이로써, 제1감광막패턴(58)에 의해 셀어레이영역과 주변회로 PMOS 영역은 덮이게 된다.
- <157> 이어서, 제1감광막패턴(58)에 의해 오픈된 주변회로 PMOS 영역의 BSG막(57)을 선택적으로 식각한다. 이때, BSG막(57)의 식각은 건식식각 또는 습식식각을 이용하며, 이로써 남아있는 BSG막(57A)은 셀어레이영역 및 주변회로 PMOS 영역 상부에만 잔류한다.
- <158> 도 9d에 도시된 바와 같이, 제1감광막패턴(58)을 제거한다.
- <159> 이어서, 1차 고온 열처리(400)를 진행하여 BSG막(57A) 내부의 불순물인 보론(B)을 제1언도우프드폴리실리콘막(56) 내부로 확산(401)시킨다.
- <160> 이때, 셀어레이영역 및 주변회로 PMOS 영역의 제1언도우프드폴리실리콘막(56)은 보론이 도핑된 보론 도우프드폴리실리콘막(B-doped poly-si, 56A)으로 바뀐다. 반면에, 주변회로 NMOS 영역 상부에는 보론이 도핑되지 않은 제1언도우프드폴리실리콘막(56)이 그대로 잔류하게 된다. 따라서, 보론 도우프드 폴리실리콘막(56A)과 제1언도우프드폴리실리콘막(56)은 주변회로 NMOS 영역과 주변회로 PMOS 영역 사이 및 셀어레이영역과 주변회로 NMOS 영역 사이의 소자분리막(52) 위에서 경계면을 갖고 형성된다.
- <161> 위와 같이 보론을 확산시키기 위한 1차 고온열처리(500)는 600~1000℃에서 10초~60분동안 진행하므로써, 벌브형 리세스채널영역(54) 내부의 제1언도우프드폴리실리콘막(56)까지 충분히 보론(P)이 확산되도록 한다. 또한,

BSG막(57A)이 벌브형 리세스채널영역(54) 내부의 제1언도우프드폴리실리콘막(56) 위에 형성되어 있으므로, 벌브형 리세스채널 영역(54)의 불패턴(54B) 바닥 위까지 보론이 충분히 확산된다.

- <162> 도 9e에 도시된 바와 같이, 건식식각 또는 습식식각을 통해 남아있는 BSG막(57A)을 일부 제거하여 보론 도우프드 폴리실리콘막(56A)을 노출시킨다. 이때, 셀어레이영역의 벌브형 리세스채널영역(54) 내부에만 BSG막(57B)이 잔류한다. 그리고, 습식식각시에는 HF가 포함된 케미컬을 사용하며, 건식식각시에는  $CF_4/O_2$ 의 혼합가스를 사용한다.
- <163> 따라서, BSG막(57B)은 셀어레이영역의 벌브형 리세스채널영역(54) 내부를 매립하는 형태가 되며, 이에 따라 후속 제2언도우프드폴리실리콘막 증착시 겹필 불량을 방지한다.
- <164> 도 9f에 도시된 바와 같이, BSG막(57B) 및 보론 도우프드 폴리실리콘막(56A)을 포함한 전면에 제2언도우프드폴리실리콘막(56B)을 형성한다. 이때, 제2언도우프드폴리실리콘막(56B)은 450~650°C의 증착온도에서 100~2000Å의 두께로 증착한다.
- <165> 이와 같이, 제2언도우프드폴리실리콘막(56B)을 증착하면, BSG막(57B)은 보론 도우프드 폴리실리콘막(56A)과 제2언도우프드폴리실리콘막(56B)의 내부에 채워진 형태가 된다.
- <166> 도 9g에 도시된 바와 같이, 포토마스크공정을 진행하여 주변회로 NMOS 영역의 제2언도우프드 폴리실리콘막(56B)을 노출시키는 제2감광막패턴(59)을 형성한다.
- <167> 이어서, 선택적으로 주변회로 NMOS 영역의 제2언도우프드폴리실리콘막(56B)에만 인(P)의 이온주입(P-implant, 402)을 진행한다. 이로써, 제2언도우프드폴리실리콘막(56B) 중에서 주변회로 NMOS 영역 상부에 형성되는 부분은 인이 도핑된 인 도우프드 폴리실리콘막(P-doped poly-si, 56C)으로 바뀌고, 셀어레이영역 및 주변회로 PMOS 영역에는 제2언도우프드폴리실리콘막(56B)이 그대로 잔류한다.
- <168> 여기서, 인의 이온주입(402)시, 도즈(dose)는 적어도  $1E16/cm^2$  이하, 바람직하게는  $3E15 \sim 1E16/cm^2$ 으로 한다. 이때, 인의 이온주입(402)이 불순물이 도핑되지 않은 제2언도우프드폴리실리콘막(56B)에만 진행되므로 즉, 카운터도핑을 고려하지 않아도 되므로  $3E15 \sim 1E16/cm^2$ 와 같은 낮은 도즈로도 충분히 고농도의 인의 도핑이 가능하다. 이는 제2감광막패턴(59)의 경화를 방지하는 효과를 얻는다.
- <169> 한편, 주변회로 NMOS 영역 상부에 보론이 도핑되지 않은 채로 남아있던 제1언도우프드폴리실리콘막(56)에도 인이 이온주입된다.
- <170> 도 9h에 도시된 바와 같이, 제2감광막패턴(59)을 제거한 후 2차 고온 열처리 공정(403)을 진행하여 셀어레이영역 및 주변회로 PMOS 영역에는  $P^+$  폴리실리콘막(404A)을, 주변회로 NMOS 영역에는  $N^+$  폴리실리콘막(404B)을 형성한다. 바람직하게, 2차 고온열처리(403)는 600~1000°C에서 10초~60분동안 진행한다.
- <171> 부연 설명하면, 2차 고온 열처리(403)에 의해 BSG막(57B) 및 보론 도우프드 폴리실리콘막(56A)에 도핑되어 있던 보론(B)이 제2언도우프드폴리실리콘막(56B)까지 끌고루 확산되어 셀어레이영역과 주변회로 PMOS 영역에서는 전체적으로 보론(B)이 고농도로 균일하게 도핑된  $P^+$  폴리실리콘막(404A)이 형성된다. 더불어, 2차 고온열처리(403)에 의해 인 도우프드 폴리실리콘막(56C)과 제1언도우프드폴리실리콘막(56)에 도핑되어 있던 인(Ph)이 고르게 확산되어 전체적으로 인이 고농도로 균일하게 도핑된  $N^+$  폴리실리콘막(404B)이 형성된다.  $N^+$  폴리실리콘막(404B)과  $P^+$  폴리실리콘막(404A)에는 각각 적어도  $1E16/cm^2$  이하의 인(P) 및 보론(B)이 이온주입된다.
- <172> 위와 같은 일련의 공정에 의해 셀어레이영역 및 주변회로 PMOS 영역에서는 보론이 고농도로 도핑된  $P^+$  폴리실리콘막(B-doped  $P^+$  poly-si, 404A)이 형성되고, 동시에 주변회로 NMOS 영역에서는 인이 고농도로 도핑된  $N^+$  폴리실리콘막(Ph-doped  $N^+$  poly-si, 404B)이 형성됨에 따라 듀얼폴리게이트 구조가 완성된다.
- <173> 그리고, 셀어레이영역의 보론이 도핑된  $P^+$  폴리실리콘막(404A)의 내부에는 BSG막(57B)이 존재하며, 이 BSG막(57B)은 벌브형 리세스채널영역(54) 내부에 존재하는 것이고, BSG막(57B)은 소자특성에는 영향을 미치지 않는다.
- <174> 이처럼, 셀영역에서의 게이트전극으로서 보론(B)이 고농도로 도핑된  $P^+$  폴리실리콘막(404A)을 사용하면, 모든

위치에서 보론의 농도가 균일하므로 문턱전압의 상승효과를 얻게 되어 오프누설특성의 저하가 없다.

- <175> 도 10은 본 발명의 제5실시예에 따른 듀얼폴리게이트의 구조를 도시한 도면이다. 제5실시예의 반도체소자는 핀형 채널 트랜지스터가 셀어레이영역에 형성되고, 주변회로영역에는 플라나 트랜지스터가 형성된 소자이다.
- <176> 도 10을 참조하면, NMOS가 형성되는 셀어레이영역, 주변회로 NMOS 영역(Peri NMOS)과 주변회로 PMOS 영역(Peri PMOS)이 정의된 반도체기판(61)에 각 영역간 소자분리를 위한 소자분리막(62)이 형성된다.
- <177> 그리고, 셀어레이영역의 반도체기판(61)에 돌출 형상의 핀형 채널영역(63)이 형성되고, 핀형 채널영역(63) 및 반도체기판(61)의 표면 상에 게이트절연막(64)이 형성된다. 여기서, 핀형 채널영역(63)은 양측벽 및 상부면이 채널로 작용하여 다면 채널을 형성하며, 게이트절연막(64)은 실리콘산화막(SiO<sub>2</sub>), 실리콘산화질화막(SiON), 실리콘질화막(Si<sub>3</sub>N<sub>4</sub>), 하프늄실리케이트(Hf-silicate) 또는 하프늄실리옥시나이트라이드(Hf-silioxynitride, Hf-Si-O-N) 중에서 선택된 적어도 어느 하나이다.
- <178> 그리고, 핀형 채널영역(63) 양측을 에워싸면서 셀어레이영역 및 주변회로 PMOS 영역의 상부에 P<sup>+</sup> 폴리실리콘막(501A)이 형성되고, 주변회로 NMOS 영역 상부에 N<sup>+</sup> 폴리실리콘막(501B)이 형성된다. 여기서, N<sup>+</sup> 폴리실리콘막(501B)은 인(Ph)이 고농도로 도핑된 폴리실리콘막(Ph-doped N<sup>+</sup> poly-si)이고, P<sup>+</sup> 폴리실리콘막(501A)은 보론(B)이 고농도로 도핑된 폴리실리콘막(B-doped P<sup>+</sup> poly-si)이다.
- <179> 마지막으로, 핀형 채널영역(63) 외측의 P<sup>+</sup> 폴리실리콘막(501A) 내부에 BSG막이 형성된다. 여기서, BSG막은 보론(B)이 도핑된 절연막으로서, 보론의 농도가 1~20%이다.
- <180> 도 10과 같이, 제5실시예는 NMOS가 형성되는 셀어레이영역과 주변회로 PMOS 영역의 게이트전극이 보론(B)이 고농도로 도핑된 P<sup>+</sup> 폴리실리콘막(501A)으로 형성되고, NMOS가 형성되는 주변회로 NMOS 영역의 게이트전극이 인(Ph)이 고농도로 도핑된 N<sup>+</sup> 폴리실리콘막(501B)이 형성됨에 따라 듀얼폴리게이트(Dual poly si-gate, DPG) 구조가 된다. N<sup>+</sup> 폴리실리콘막(501B)과 P<sup>+</sup> 폴리실리콘막(501A)에는 각각 적어도 1E16/cm<sup>2</sup> 이하의 인(P) 및 보론(B)이 이온주입되어 있다.
- <181> 이처럼, 셀영역에서의 게이트전극으로서 보론(B)이 고농도로 도핑된 P<sup>+</sup> 폴리실리콘막(501A)을 사용하면, 모든 위치에서 보론의 농도가 균일하므로 문턱전압의 상승효과를 얻게 되어 오프누설특성의 저하가 없다.
- <182> 도 11은 본 발명의 제6실시예에 따른 듀얼폴리게이트를 갖는 반도체소자의 구조를 도시한 도면이다. 제6실시예의 반도체소자는 핀형 채널 트랜지스터가 셀어레이영역에 형성되고, 주변회로영역에는 플라나 트랜지스터가 형성된 소자이다.
- <183> 도 11을 참조하면, NMOS가 형성되는 셀어레이영역, 주변회로 NMOS 영역(Peri NMOS)과 주변회로 PMOS 영역(Peri PMOS)이 정의된 반도체기판(71)에 각 영역간 소자분리를 위한 소자분리막(72)이 형성된다.
- <184> 그리고, 셀어레이영역의 반도체기판(71)에 돌출 형상의 핀형 채널영역(73)이 형성되고, 핀형 채널영역(73) 및 반도체기판(71)의 표면 상에 게이트절연막(74)이 형성된다. 여기서, 핀형 채널영역(73)은 양측벽 및 상부면이 채널로 작용하여 다면 채널을 형성하며, 게이트절연막(74)은 실리콘산화막(SiO<sub>2</sub>), 실리콘산화질화막(SiON), 실리콘질화막(Si<sub>3</sub>N<sub>4</sub>), 하프늄실리케이트(Hf-silicate) 또는 하프늄실리옥시나이트라이드(Hf-silioxynitride, Hf-Si-O-N) 중에서 선택된 적어도 어느 하나이다.
- <185> 그리고, 핀형 채널영역(73) 양측을 에워싸면서 셀어레이영역 및 주변회로 NMOS 영역의 상부에 N<sup>+</sup> 폴리실리콘막(601A)이 형성되고, 주변회로 PMOS 영역 상부에 P<sup>+</sup> 폴리실리콘막(601B)이 형성된다. 여기서, N<sup>+</sup> 폴리실리콘막(601A)은 인(Ph)이 고농도로 도핑된(N<sup>+</sup>) 폴리실리콘막(Ph-doped N<sup>+</sup> poly-si)이고, P<sup>+</sup> 폴리실리콘막(601B)은 보론(B)이 고농도로 도핑된(P<sup>+</sup>) 폴리실리콘막(B-doped P<sup>+</sup> poly-si)이다.
- <186> 마지막으로, 핀형 채널영역(63) 외측의 N<sup>+</sup> 폴리실리콘막(601A) 내부에 PSG막이 형성된다. 여기서, PSG막은 인(Ph)이 도핑된 절연막으로서, 인의 농도가 1~20%이다.

<187> 도 11과 같이, 제6실시예는 NMOS가 형성되는 셀어레이영역과 주변회로 NMOS 영역의 게이트전극이 인(Ph)이 고농도로 도핑된  $N^+$  폴리실리콘막(601A)으로 형성되고, PMOS가 형성되는 주변회로 PMOS 영역의 게이트전극이 보론(B)이 고농도로 도핑된  $P^+$  폴리실리콘막(601B)이 형성됨에 따라 듀얼폴리게이트(Dual poly si-gate, DPG) 구조가 된다.  $N^+$  폴리실리콘막(601A)과  $P^+$  폴리실리콘막(601B)에는 각각 적어도  $1E16/cm^2$  이하의 인(Ph) 및 보론(B)이 이온주입되어 있다.

<188> 제5실시예 및 제6실시예는 리세스채널, 벌브형 리세스채널과 같이 다면채널로 알려진 핀형 채널을 갖는 트랜지스터를 구비하는 메모리 소자의 듀얼게이트 구조이며, 이의 제조 방법은 전술한 제1 실시예 내지 제4실시예에 따른 PSG막 및 BSG막을 이용한 인 및 보론의 확산을 위한 열처리, 보론의 이온주입, 인의 이온주입 방법을 이용할 수 있다.

<189> 이로써, 핀형 채널과 같이 돌출된 채널영역을 갖는 트랜지스터를 구비하는 메모리소자의 듀얼폴리게이트구조에서  $N^+$  폴리실리콘막과  $P^+$  폴리실리콘막에 각각 적어도  $1E16/cm^2$  이하( $3E15/cm^2 \sim 1E16/cm^2$ )의 인(P) 및/또는 보론(B)을 이온주입할 수 있다.

<190> 본 발명은 핀형 채널과 같이 돌출된 채널영역을 갖는 새들형 채널 트랜지스터를 구비하는 메모리소자의 듀얼폴리게이트 구조에도 적용이 가능하다.

<191> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

### 발명의 효과

<192> 상술한 본 발명은 리세스 채널 트랜지스터(RCAT), 벌브형 리세스 채널 트랜지스터(BRCAT), 핀형 채널 트랜지스터(FinFET), 새들 핀형 채널 트랜지스터(Saddle Fin FET) 등의 3차원의 다면채널을 갖는 트랜지스터를 갖는 메모리소자의 듀얼폴리게이트 공정시,  $1E16/cm^2$  이하의 보론 또는 인 이온주입만으로도 우수한 특성의 듀얼폴리게이트를 갖는 소자를 구현할 수 있는 효과가 있다.

<193> 또한, 본 발명은 보론과 같은 P형 불순물이 모든 위치에서 균일하게 도핑된  $P^+$  폴리실리콘을 셀영역에 형성되는 트랜지스터의 게이트전극으로 사용하므로써 오프누설특성 저하없이 전류구동능력을 향상시킬 수 있는 효과가 있다.

### 도면의 간단한 설명

- <1> 도 1a 내지 도 1c는 종래기술에 따른 듀얼폴리게이트 형성 방법을 도시한 공정 단면도.
- <2> 도 2는 본 발명의 제1실시예에 따른 듀얼폴리게이트를 갖는 반도체소자의 구조를 도시한 도면.
- <3> 도 3a 내지 도 3i는 본 발명의 제1실시예에 따른 듀얼폴리게이트의 형성 방법을 도시한 공정 단면도.
- <4> 도 4는 본 발명의 제2실시예에 따른 듀얼폴리게이트의 구조를 도시한 도면.
- <5> 도 5a 내지 도 5i는 본 발명의 제2실시예에 따른 듀얼폴리게이트의 형성 방법을 도시한 공정 단면도.
- <6> 도 6은 본 발명의 제3실시예에 따른 듀얼폴리게이트를 갖는 반도체소자의 구조를 도시한 도면.
- <7> 도 7a 내지 도 7h는 본 발명의 제3실시예에 따른 듀얼폴리게이트의 형성 방법을 도시한 공정 단면도.
- <8> 도 8은 본 발명의 제4실시예에 따른 듀얼폴리게이트를 갖는 반도체소자의 구조를 도시한 도면.
- <9> 도 9a 내지 도 9h는 본 발명의 제4실시예에 따른 듀얼폴리게이트의 형성 방법을 도시한 공정 단면도.
- <10> 도 10은 본 발명의 제5실시예에 따른 듀얼폴리게이트를 갖는 반도체소자의 구조를 도시한 도면.
- <11> 도 11은 본 발명의 제6실시예에 따른 듀얼폴리게이트를 갖는 반도체소자의 구조를 도시한 도면.

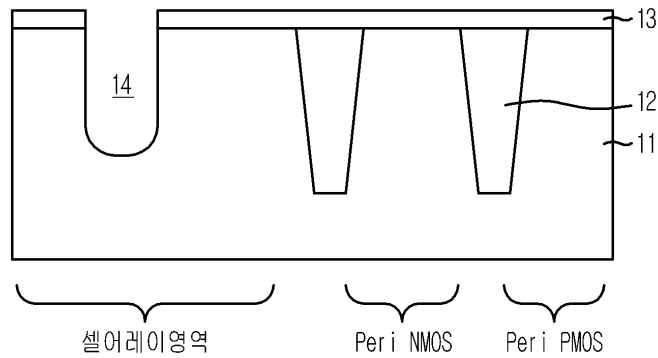
<12>

<13> \* 도면의 주요 부분에 대한 부호의 설명

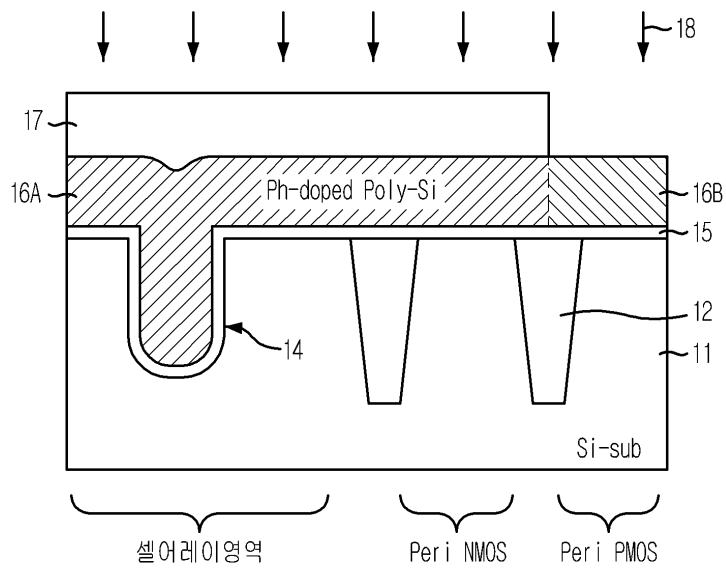
- <14> 21 : 반도체기판                                22 : 소자분리막
- <15> 23 : 하드마스크                                24 : 트렌치패턴
- <16> 25 : 게이트절연막                                26 : 제1언도우프드폴리실리콘막
- <17> 26A : 인 도우프드 폴리실리콘막     26B : 제2언도우프드폴리실리콘막
- <18> 26C : 보론 도우프드 폴리실리콘막    27, 27A, 27B : PSG막
- <19> 28 : 제1감광막패턴                            29 : 제2감광막패턴
- <20> 104A : N<sup>+</sup> 폴리실리콘막
- <21> 104B : P<sup>+</sup> 폴리실리콘막

**도면**

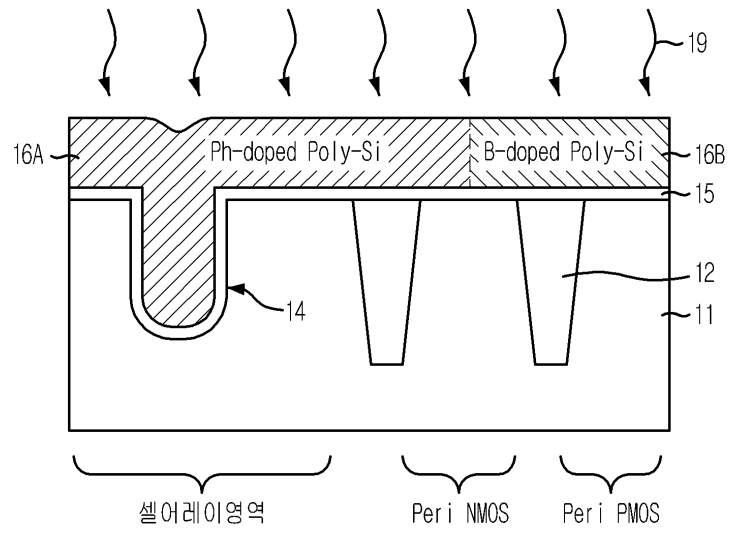
*도면1a*



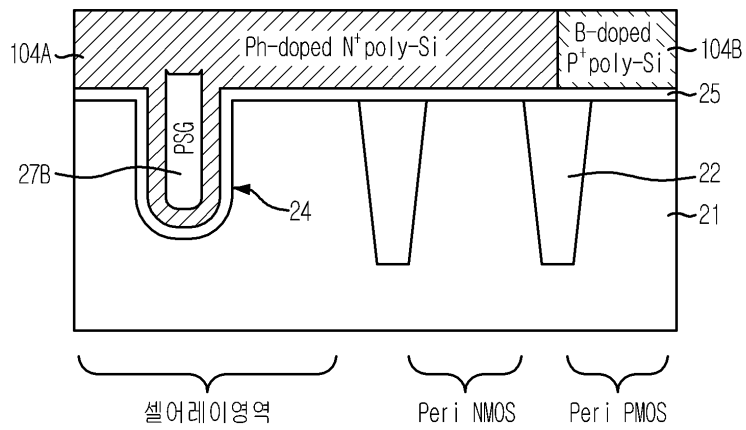
*도면1b*



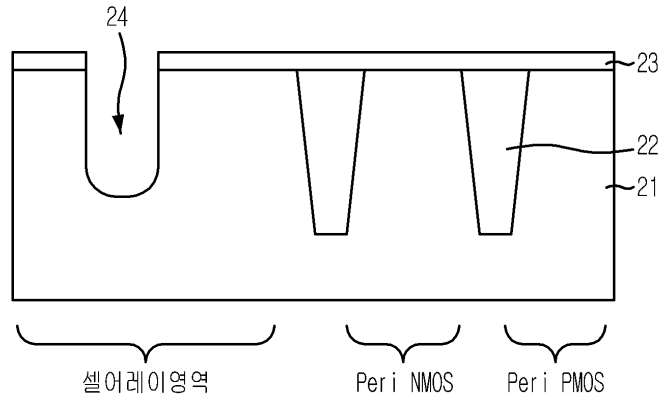
도면1c



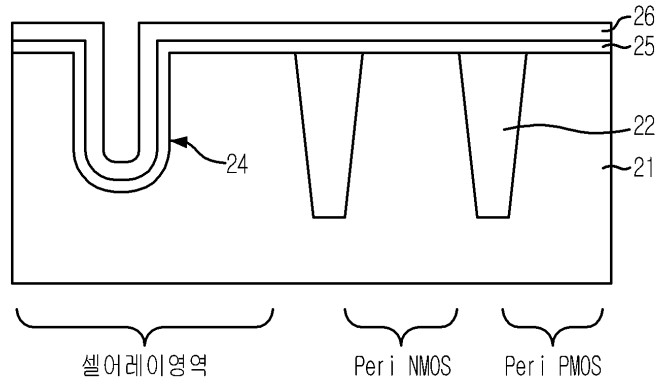
도면2



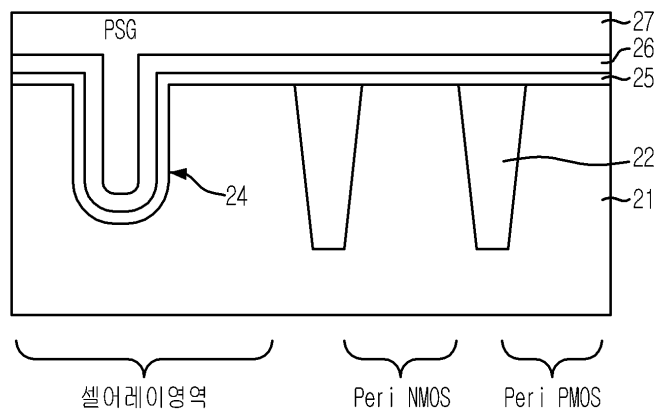
도면3a



도면3b

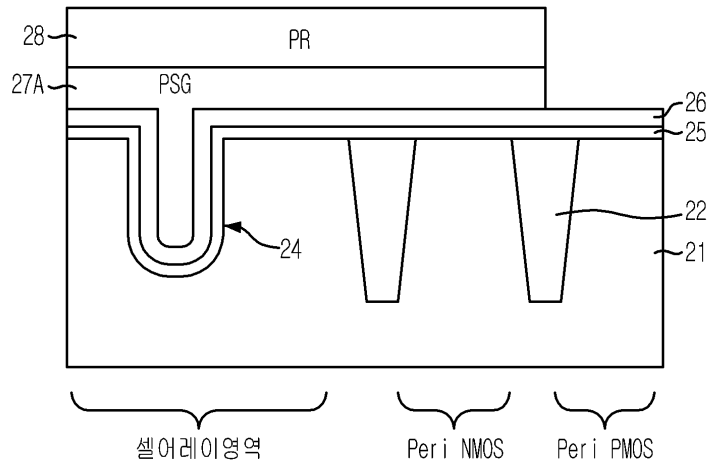


도면3c

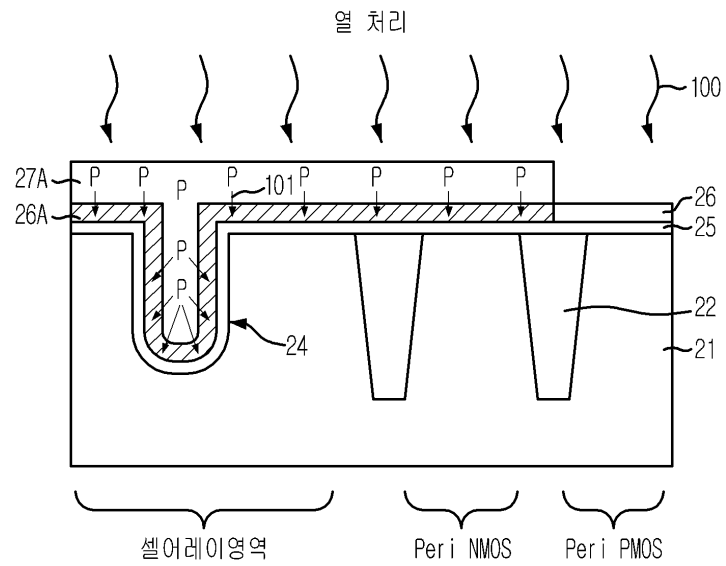




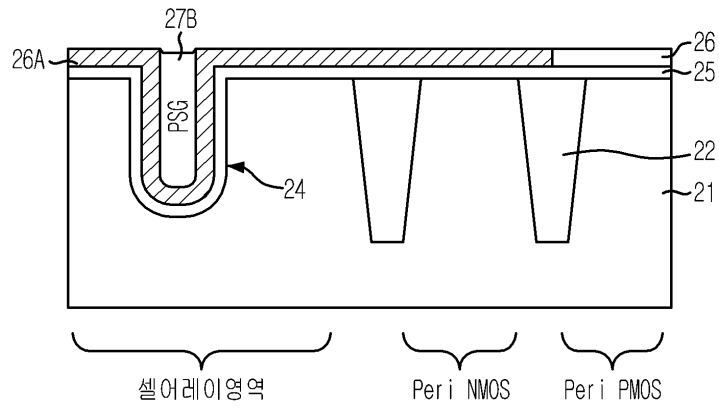
도면3d



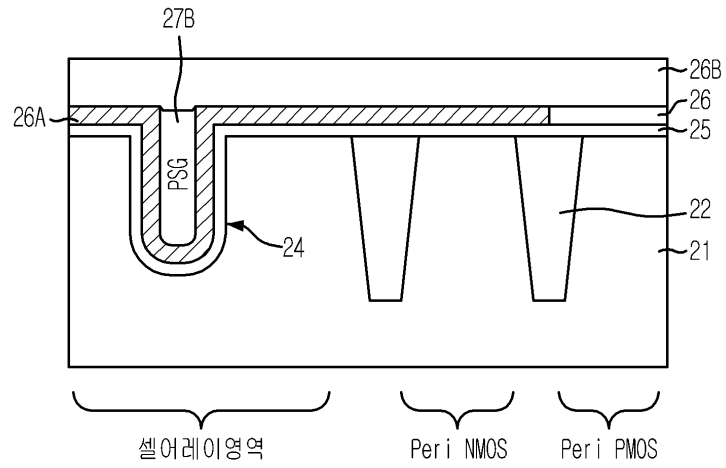
도면3e



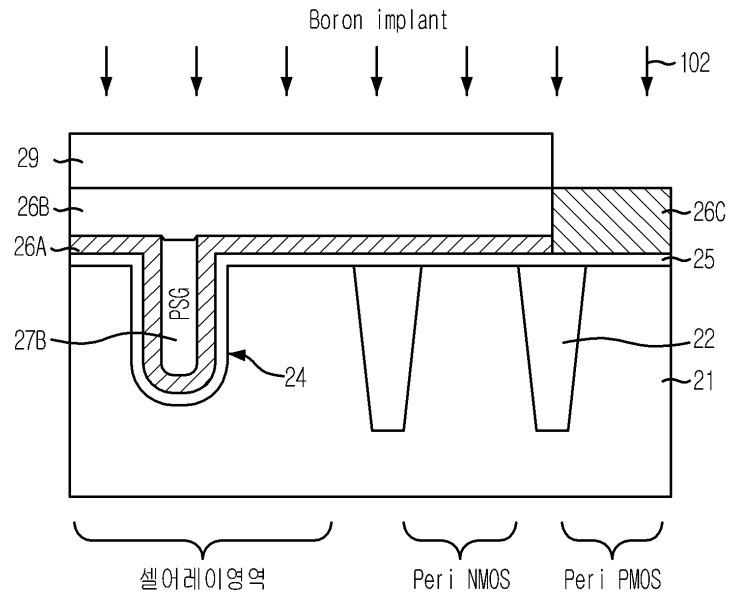
도면3f



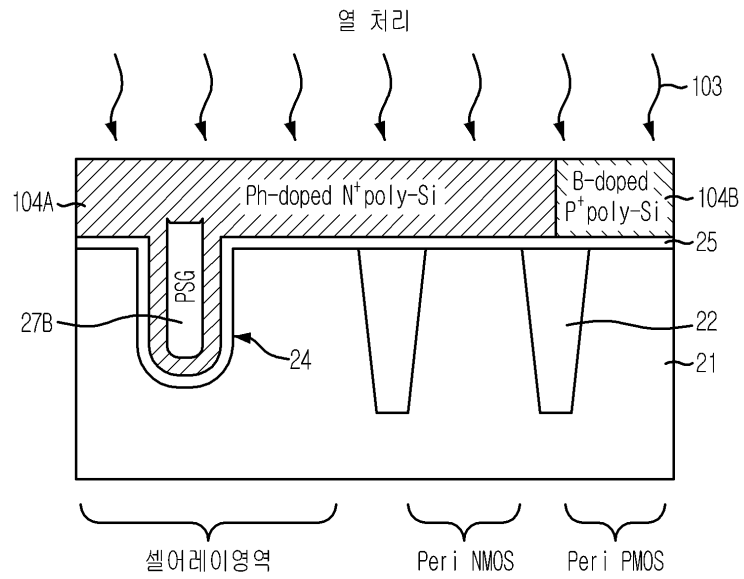
도면3g



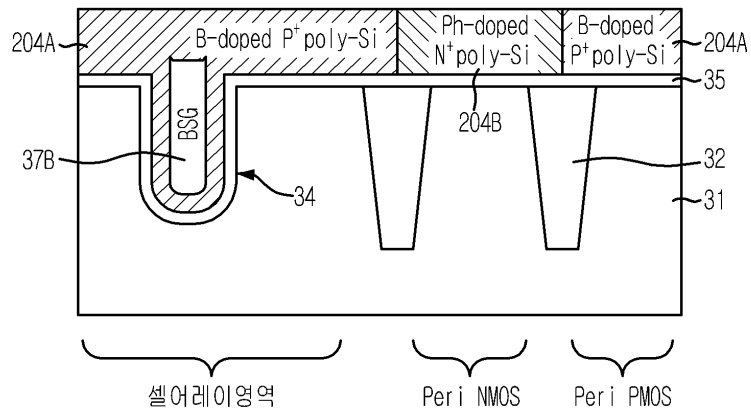
도면3h



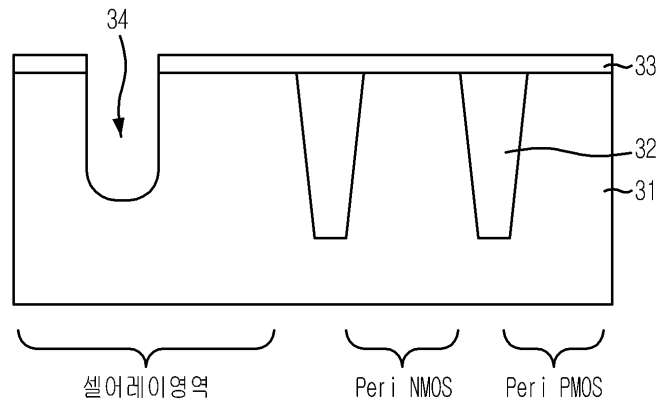
도면3i



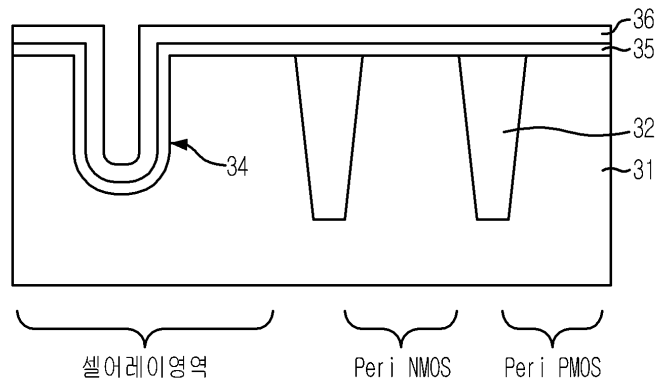
도면4



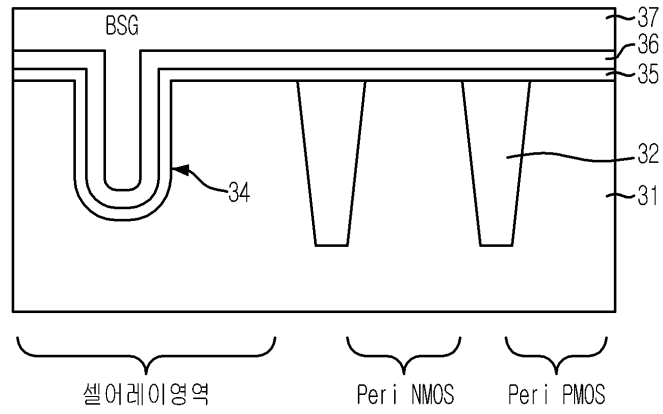
도면5a



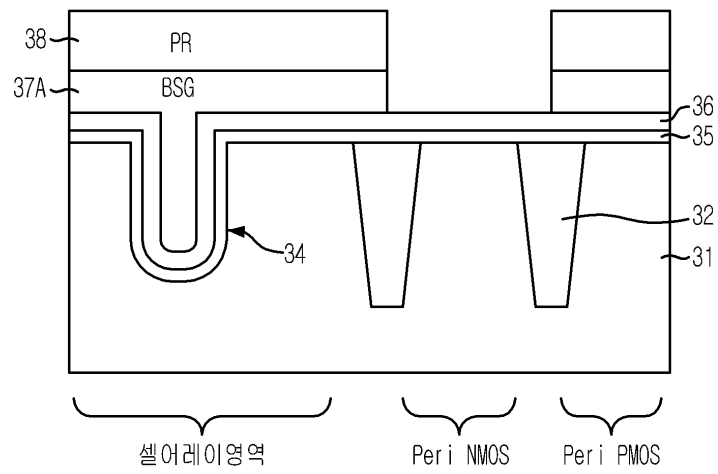
도면5b



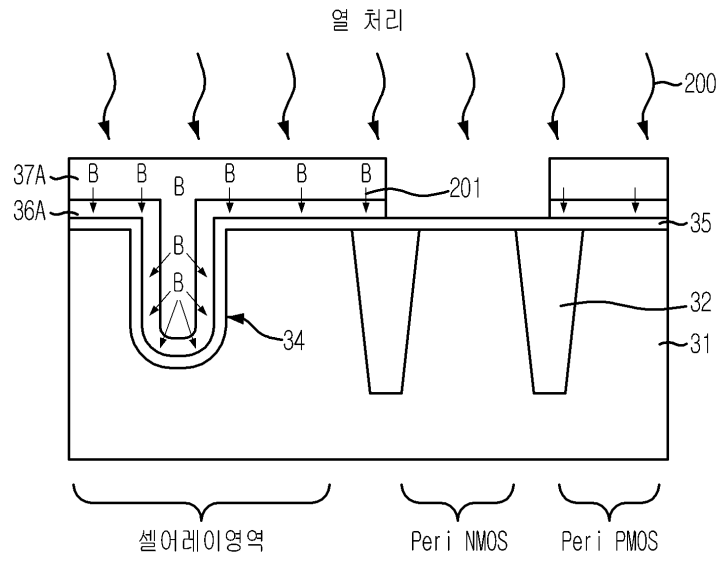
도면5c



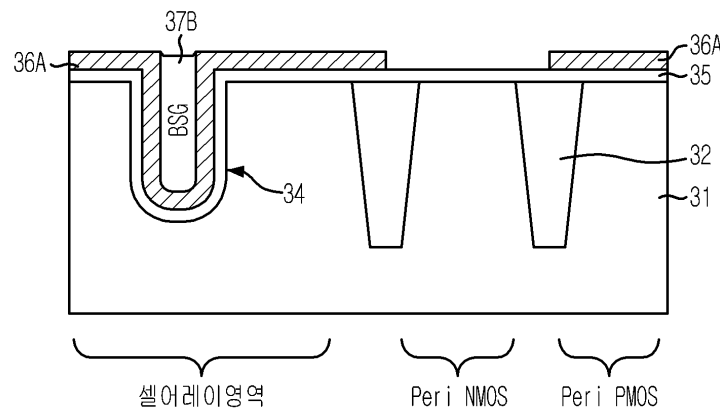
도면5d



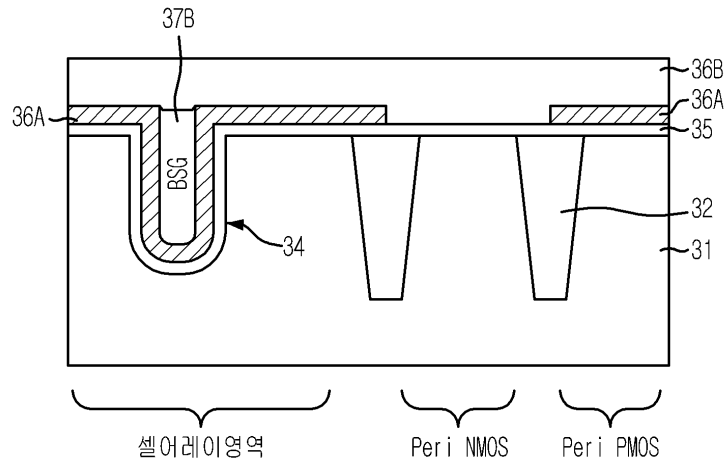
도면5e



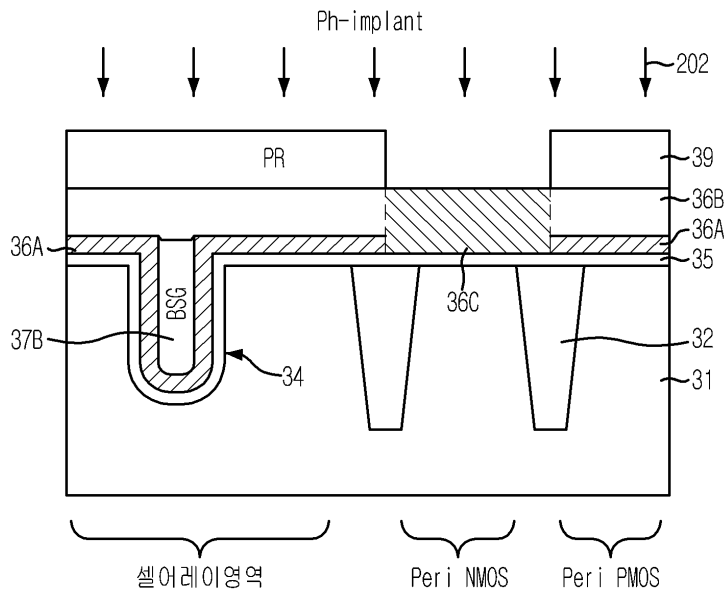
도면5f



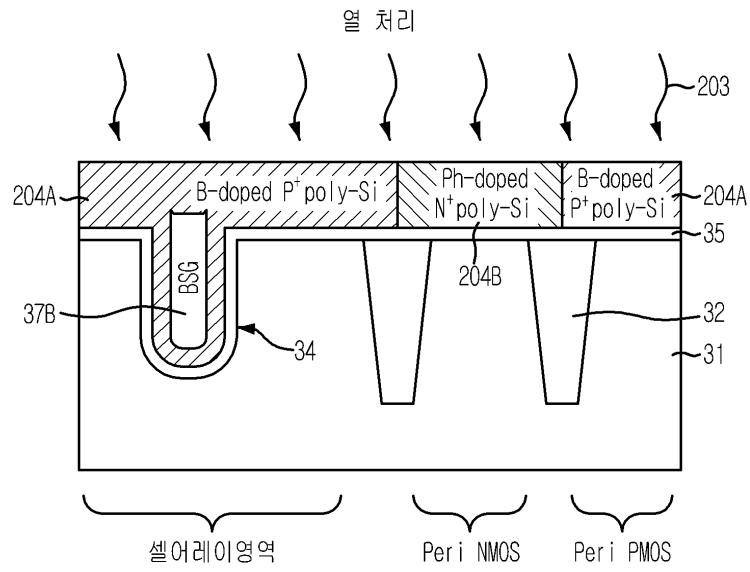
도면5g



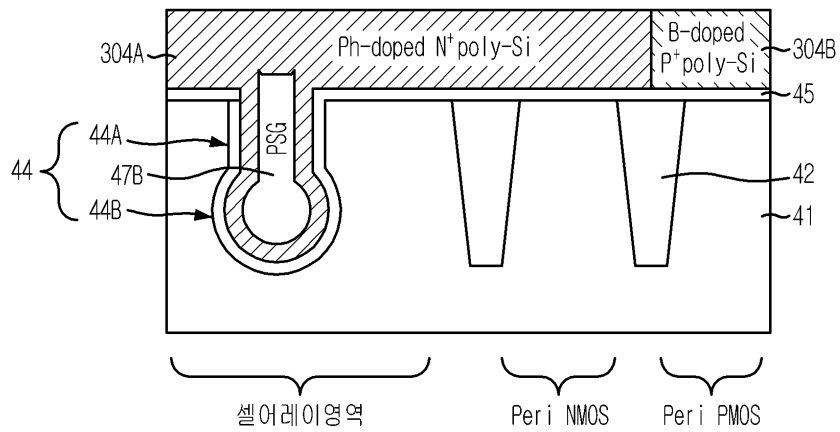
도면5h



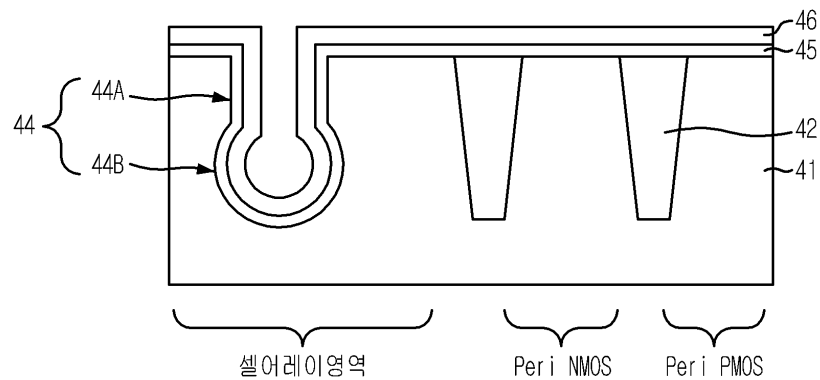
도면5i



도면6

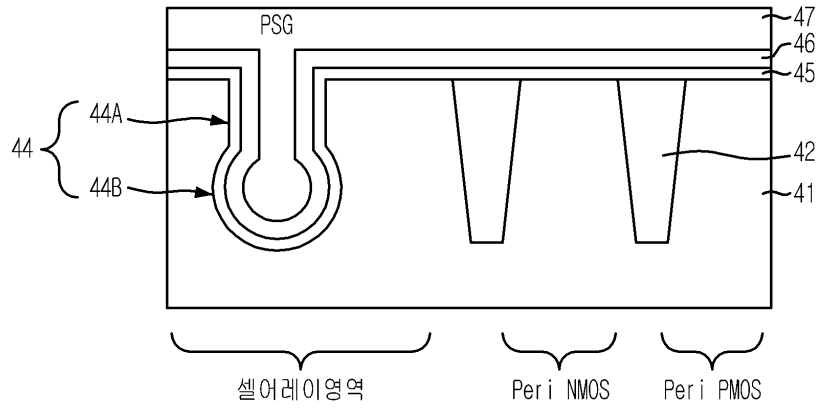


도면7a

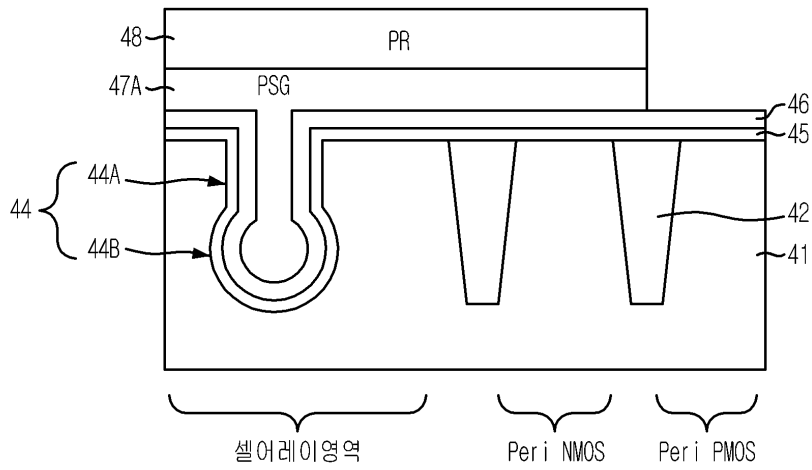




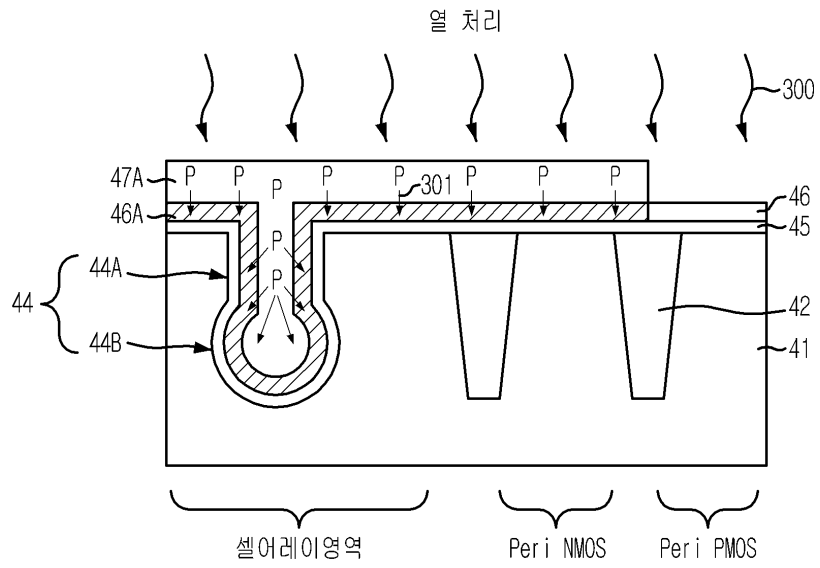
도면7b



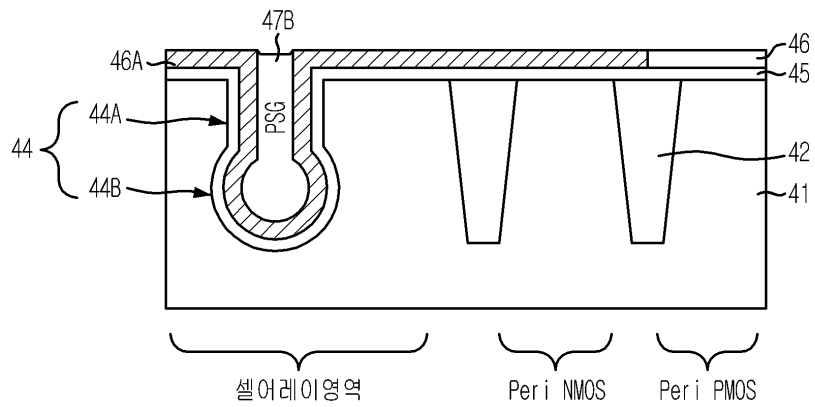
도면7c



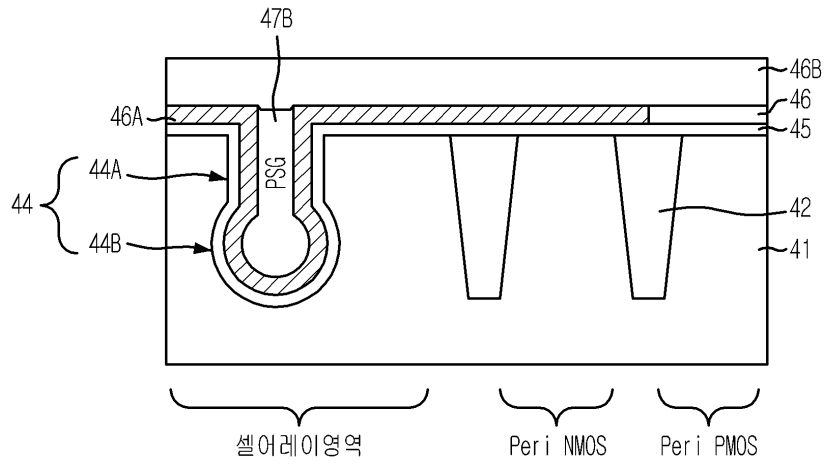
도면7d



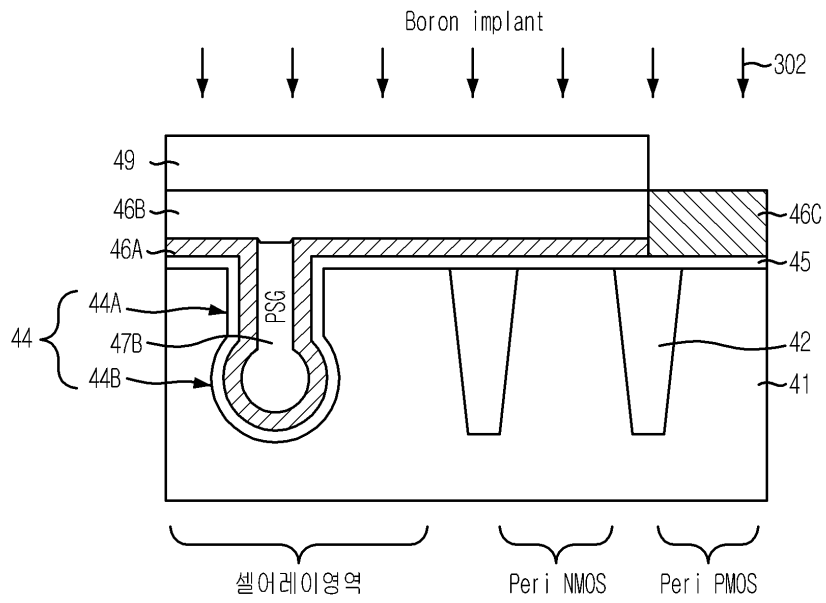
도면7e



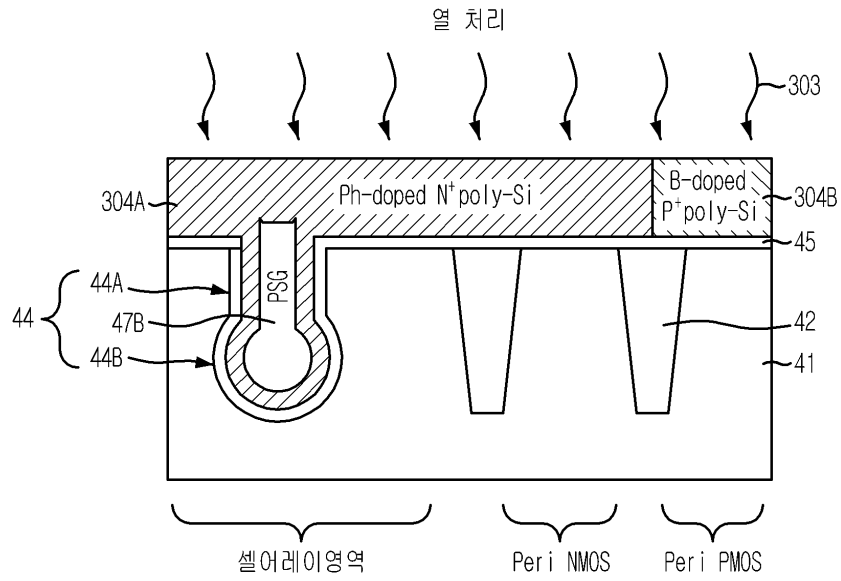
도면7f



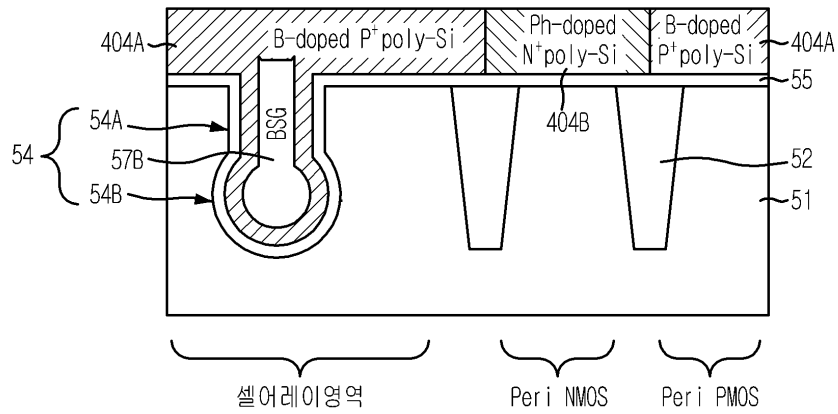
도면7g



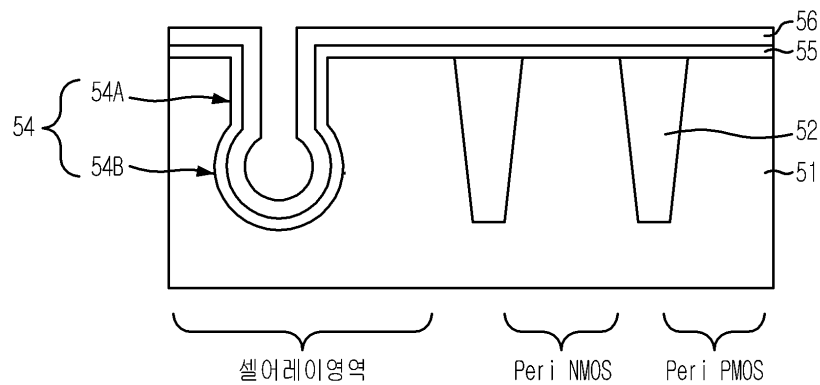
도면7h



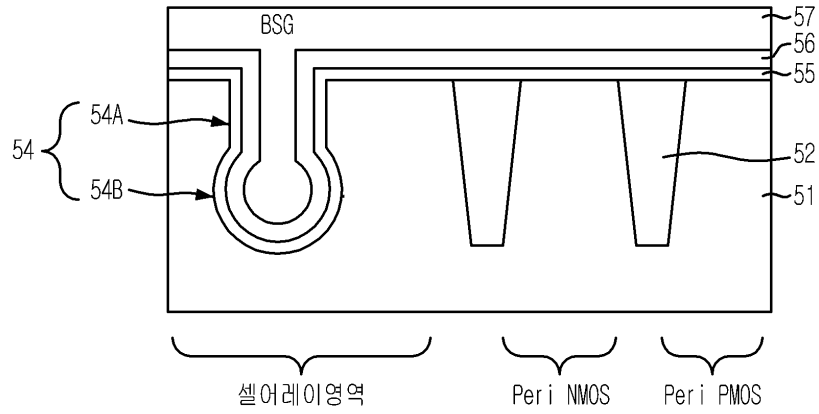
도면8



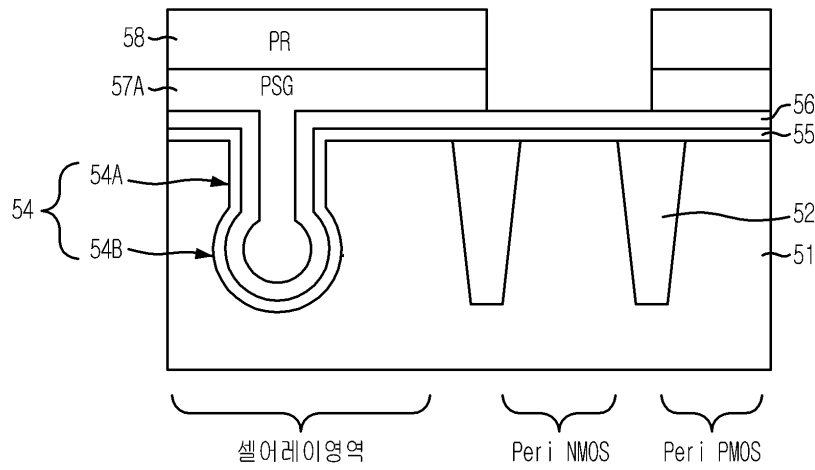
도면9a



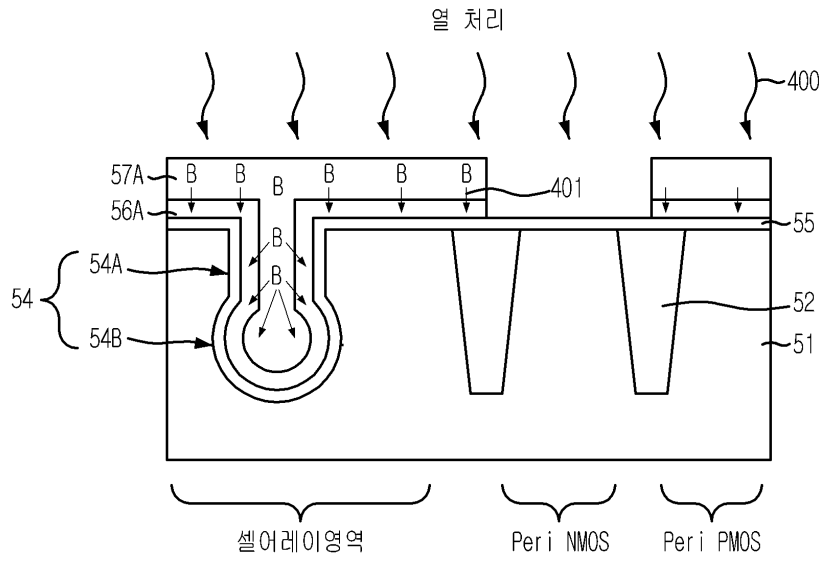
도면9b



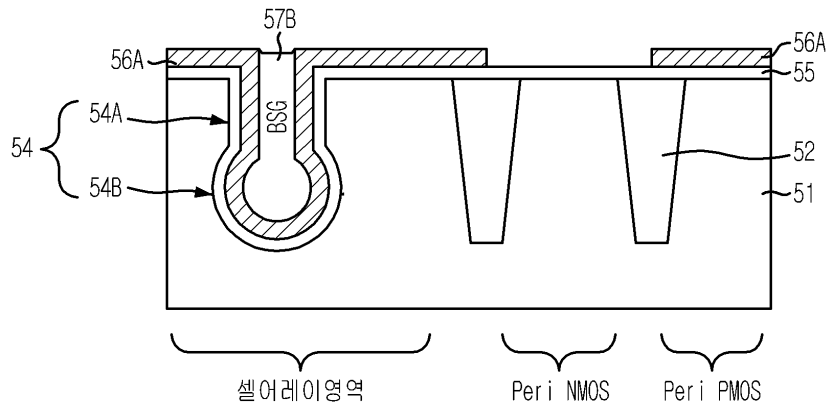
도면9c



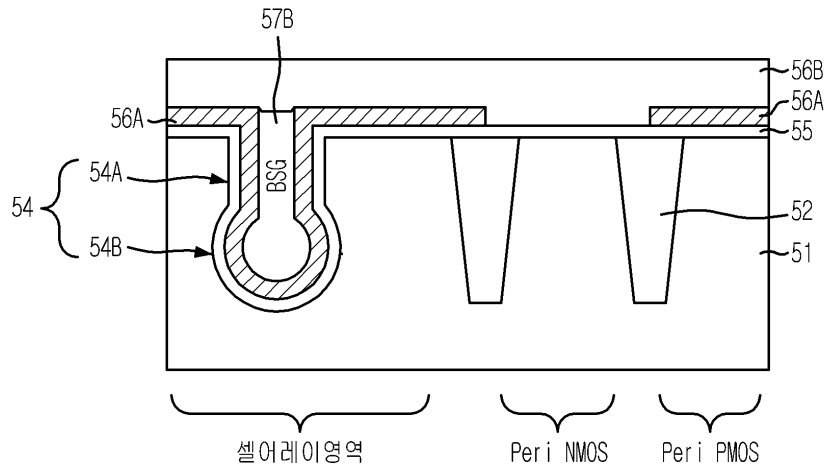
도면9d



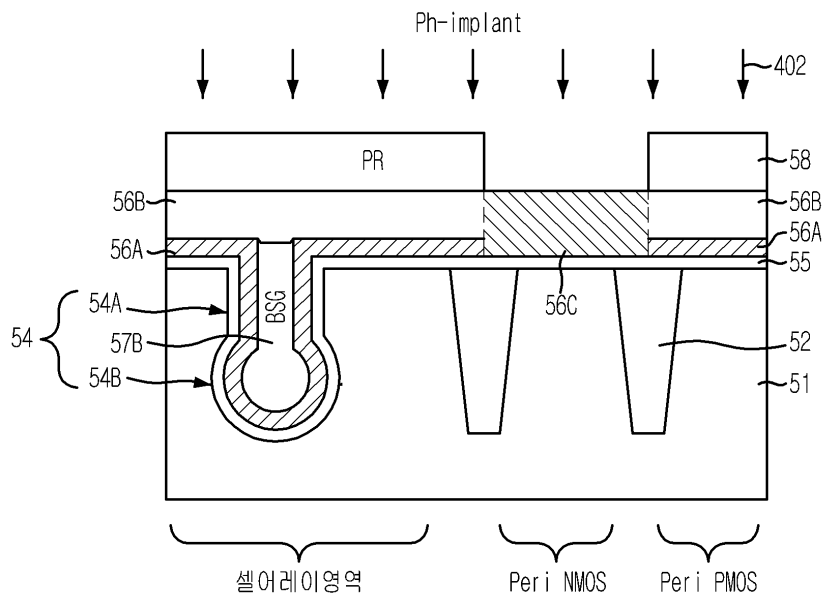
도면9e



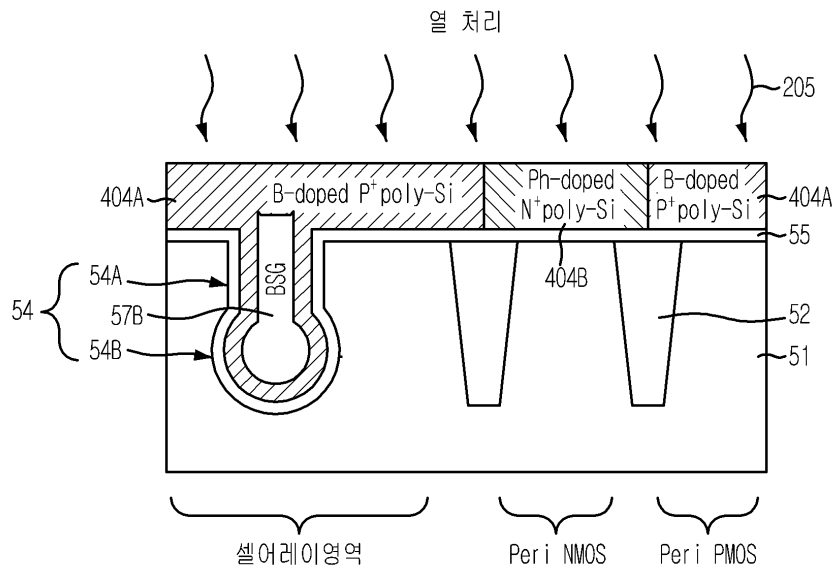
도면9f



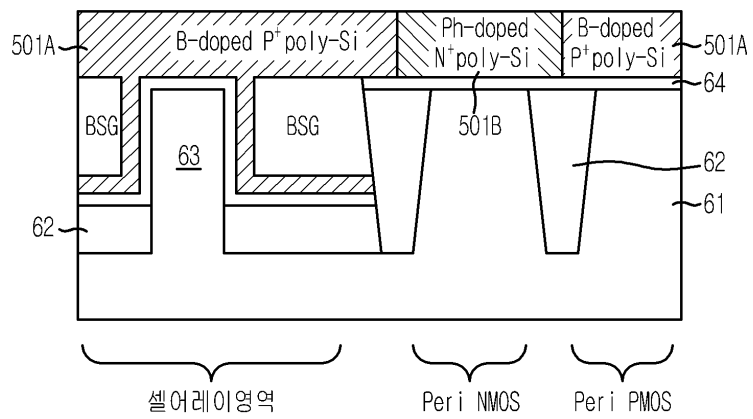
도면9g



도면9h



도면10





도면11

