(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第6591315号
(P6591315)
(45)発行日　令和1年10月16日(2019.10.16)　(24)登録日　令和1年9月27日(2019.9.27)

(51)Int.Cl.　F I
HO2M　3/07　(2006.01)　HO2M　3/07

請求項の数 12　(全 14 頁)

(21)出願番号　特願2016-45322(P2016-45322)
(22)出願日　平成28年3月9日(2016.3.9)
(65)公開番号　特開2017-163678(P2017-163678A)
(43)公開日　平成29年9月14日(2017.9.14)
審査請求日　平成30年10月12日(2018.10.12)

(73)特許権者　302062931
ルネサスエレクトロニクス株式会社
東京都江東区豊洲三丁目２番２４号
(74)代理人　100103894
弁理士　家入　健
(72)発明者　小山　慎一
東京都江東区豊洲三丁目２番２４号　ルネサスエレクトロニクス株式会社内
(72)発明者　楠　武志
東京都江東区豊洲三丁目２番２４号　ルネサスエレクトロニクス株式会社内
(72)発明者　周　偉
東京都江東区豊洲三丁目２番２４号　ルネサスエレクトロニクス株式会社内

最終頁に続く

(54)【発明の名称】半導体装置、チャージポンプ回路、半導体システム、車両及び半導体装置の制御方法

(57)【特許請求の範囲】
【請求項１】
電源電圧を減圧することにより生成された定電圧が供給される高電位側電圧端子と、第１出力端子と、の間に設けられた第１トランジスタと、
基準電圧が供給される低電位側電圧端子と、前記第１出力端子と、の間に設けられた第２トランジスタと、
前記第１及び前記第２トランジスタのオンオフを制御する制御回路と、
前記第１出力端子の電圧を用いて前記電源電圧を昇圧させることにより、出力電圧を生成する昇圧回路と、
前記高電位側電圧端子と前記第１トランジスタとを接続する電源ラインの過電圧を検出する過電圧検出回路と、を備え、
前記制御回路は、前記過電圧検出回路により過電圧が検出された場合、少なくとも前記第２トランジスタをオフに制御する、半導体装置。
【請求項２】
前記第２トランジスタの端子のうち、制御端子と、前記低電位側電圧端子側に設けられた第１端子と、の間に設けられた第３トランジスタをさらに備え、
前記制御回路は、前記過電圧検出回路により過電圧が検出された場合、さらに前記第３トランジスタをオンに制御する、
請求項１に記載の半導体装置。
【請求項３】

前記第２トランジスタの端子のうち、制御端子と、前記低電位側電圧端子側に設けられた第１端子と、の間に設けられた抵抗素子と、

前記抵抗素子に並列に設けられた第３トランジスタと、をさらに備え、

前記制御回路は、前記過電圧検出回路により過電圧が検出された場合、前記第２トランジスタの制御端子に対する出力をハイインピーダンス状態に設定するとともに、前記第３トランジスタをオンに制御する、

請求項１に記載の半導体装置。

【請求項４】

前記制御回路は、前記過電圧検出回路により過電圧が検出された場合、前記第２トランジスタをオフにするとともに、前記第１トランジスタをオフに制御する、

請求項１に記載の半導体装置。

【請求項５】

前記電源ライン上に設けられ、前記過電圧検出回路により過電圧が検出された場合にオフするスイッチ素子をさらに備えた、

請求項１に記載の半導体装置。

【請求項６】

前記スイッチ素子は、前記第１トランジスタとは異なる導電型のＭＯＳトランジスタである、

請求項５に記載の半導体装置。

【請求項７】

前記スイッチ素子は、前記過電圧検出回路が接続された前記電源ライン上のノードと、前記高電位側電圧端子と、の間の前記電源ライン上に設けられている、

請求項５に記載の半導体装置。

【請求項８】

前記昇圧回路は、

外部から前記電源電圧が供給される電圧入力端子から、前記出力電圧を外部に出力する電圧出力端子にかけて、順方向に設けられた第１及び第２ダイオード、を有し、

前記第１及び第２ダイオード間のノードに対して、容量素子を介して、前記第１出力端子の電圧が印加される、請求項１に記載の半導体装置。

【請求項９】

請求項８に記載の半導体装置と、

前記第１及び前記第２ダイオード間のノードと、前記第１出力端子と、の間に設けられた前記容量素子と、

を備えた、チャージポンプ回路。

【請求項１０】

請求項９に記載のチャージポンプ回路と、

前記電源電圧を減圧して前記定電圧を生成する定電圧生成回路と、

を備えた、半導体システム。

【請求項１１】

請求項１０に記載の半導体システムを備え、

前記電源電圧は、前記チャージポンプ回路と、当該チャージポンプ回路とは別の周辺回路と、によって共用されている、車両。

【請求項１２】

電源電圧を減圧することにより生成された定電圧が供給される高電位側電圧端子、及び、第１出力端子、の間に設けられた第１トランジスタと、基準電圧が供給される低電位側電圧端子、及び、前記第１出力端子、の間に設けられた第２トランジスタと、のそれぞれのオンオフを制御することにより、前記第１出力端子の電圧を前記定電圧又は前記基準電圧に周期的に切り替え、

前記第１出力端子の電圧を用いて前記電源電圧を昇圧させることにより、出力電圧を生成し、

前記高電位側電圧端子と前記第１トランジスタとを接続する電源ラインの過電圧を検出した場合、少なくとも前記第２トランジスタをオフに制御する、

半導体装置の制御方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、半導体装置、チャージポンプ回路、半導体システム、車両及び半導体装置の制御方法に関し、例えば過電流が流れることによるトランジスタや配線の劣化を防ぐのに適した半導体装置、チャージポンプ回路、半導体システム、車両及び半導体装置の制御方法に関する。

【背景技術】

【０００２】

特許文献１には、チャージポンプ回路の構成が開示されている。このチャージポンプ回路は、一定の電圧を出力する定電圧出力回路と、制御回路と、定電圧出力回路の出力が供給される入力部を有し、制御回路によってスイッチ制御される昇圧回路と、を備える。また、定電圧出力回路は、所定値以上の電流が所定時間以上流れた場合における過電流を検出する過電流検出回路と、過電流検出回路の検出結果に基づいて定電圧出力回路を保護する動作を行う過電流保護回路と、を有する。

【先行技術文献】

【特許文献】

【０００３】

【特許文献１】特開２００７－８２３６４号公報

【発明の概要】

【発明が解決しようとする課題】

【０００４】

特許文献１に開示されたチャージポンプ回路の構成では、定電圧出力回路に過電流が流れていることを検出する回路が設けられているにすぎず、昇圧回路をスイッチング制御する制御回路に過電流が流れているか否かについては考慮されていない。そのため、もし制御回路の出力端子が電源電圧ラインに短絡（即ち、天絡）した場合、制御回路に過電流が流れていることを検出することができない。その結果、制御回路に設けられたトランジスタや配線が劣化してしまうという問題があった。その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【０００５】

一実施の形態によれば、半導体装置は、電源電圧を減圧することにより生成された定電圧が供給される高電位側電圧端子と、第１出力端子と、の間に設けられた第１トランジスタと、基準電圧が供給される低電位側電圧端子と、前記第１出力端子と、の間に設けられた第２トランジスタと、前記第１及び前記第２トランジスタのオンオフを制御する制御回路と、前記第１出力端子の電圧を用いて前記電源電圧を昇圧させることにより、出力電圧を生成する昇圧回路と、前記高電位側電圧端子と前記第１トランジスタとを接続する電源ラインの過電圧を検出する過電圧検出回路と、を備え、前記制御回路は、前記過電圧検出回路により過電圧が検出された場合、少なくとも前記第２トランジスタをオフに制御する。

【０００６】

他の実施の形態によれば、半導体装置の制御方法は、電源電圧を減圧することにより生成された定電圧が供給される高電位側電圧端子、及び、第１出力端子、の間に設けられた第１トランジスタと、基準電圧が供給される低電位側電圧端子、及び、前記第１出力端子、の間に設けられた第２トランジスタと、のそれぞれのオンオフを制御することにより、前記第１出力端子の電圧を前記定電圧又は前記基準電圧に周期的に切り替え、前記第１出力端子の電圧を用いて前記電源電圧を昇圧させることにより、出力電圧を生成し、前記高

電位側電圧端子と前記第１トランジスタとを接続する電源ラインの過電圧を検出した場合、少なくとも前記第２トランジスタをオフに制御する。

【発明の効果】

【０００７】

前記一実施の形態によれば、過電流が流れることによるトランジスタや配線の劣化あるいは損傷を防ぐことが可能な半導体装置、チャージポンプ回路、半導体システム、車両及び半導体装置の制御方法を提供することができる。

【図面の簡単な説明】

【０００８】

【図１】実施の形態１にかかるチャージポンプ回路を備えた半導体システムの構成例を示す図である。

【図２】図１に示すチャージポンプ回路に設けられた過電圧検出回路の具体的な構成例を示す図である。

【図３】図１に示す半導体システムの変形例を示す図である。

【図４】実施の形態２にかかるチャージポンプ回路を備えた半導体システムの構成例を示す図である。

【図５】図４に示す半導体システムの変形例を示す図である。

【発明を実施するための形態】

【０００９】

以下、図面を参照しつつ、実施の形態について説明する。なお、図面は簡略的なものであるから、この図面の記載を根拠として実施の形態の技術的範囲を狭く解釈してはならない。また、同一の要素には、同一の符号を付し、重複する説明は省略する。

【００１０】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、応用例、詳細説明、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【００１１】

さらに、以下の実施の形態において、その構成要素（動作ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数等（個数、数値、量、範囲等を含む）についても同様である。

【００１２】

＜実施の形態１＞

図１は、実施の形態１にかかるチャージポンプ回路１を備えた半導体システムＳＹＳ１の構成例を示す図である。本実施の形態にかかるチャージポンプ回路１及びそれを備えた半導体システムＳＹＳ１は、昇圧回路の容量素子に対する印加電圧を周期的に切り替える駆動制御回路、の出力端子が天絡することによって発生する過電圧を検出するための過電圧検出回路を備える。そして、過電圧検出回路により電源ラインＷ１の過電圧が検出された場合には、駆動制御回路の出力段に設けられたトランジスタＴｒ１，Ｔｒ２を速やかにオフに制御する。それにより、本実施の形態にかかるチャージポンプ回路１及びそれを備えた半導体システムＳＹＳ１は、過電流が流れることによるトランジスタ及び配線の劣化を防ぐことができる。以下、具体的に説明する。

【００１３】

図１に示すように、半導体システムＳＹＳ１は、チャージポンプ回路１と、定電圧生成回路ＣＶＧ１と、を備える。半導体システムＳＹＳ１は、例えば車両に搭載される。

【００１４】
（定電圧生成回路ＣＶＧ１）
　定電圧生成回路ＣＶＧ１は、バッテリからの電源電圧ＶＢＡＴを減圧して、定電圧Ｖｉｎを生成する。なお、バッテリの電源電圧ＶＢＡＴは、車両に搭載されている場合には、一般的には１２Ｖ又は２４Ｖであることが多い。また、本実施の形態では、定電圧Ｖｉｎが電源電圧ＶＢＡＴよりも十分に低い７Ｖである場合を例に説明する。ここで、電源電圧ＶＢＡＴは、チャージポンプ回路１と、チャージポンプ回路１とは別の周辺回路（車両に搭載される他の電子機器）と、によって共用されるため、非常に高い電圧レベルを示したり（例えば１２Ｖ）、広範囲に変化したりすることがある（例えば、最大４０Ｖ）。そこで、定電圧生成回路ＣＶＧ１を用いることにより、例えば非常に高い電圧レベルの電源電圧ＶＢＡＴをチャージポンプ回路１で使用するレベルにまで減圧している。あるいは、定電圧生成回路ＣＶＧ１を用いることにより、例えば電圧レベルが広範囲に変化し得る電源電圧ＶＢＡＴをチャージポンプ回路１で使用できるレベルにまで安定させている。
【００１５】
（チャージポンプ回路１）
　チャージポンプ回路１は、電源電圧ＶＢＡＴを昇圧させることにより、出力電圧Ｖｏｕｔを生成する。
【００１６】
　具体的には、チャージポンプ回路１は、半導体チップ（半導体装置）ＣＨＰ１上に、ダイオードＤ１，Ｄ２、駆動制御回路１０、及び、過電圧検出回路ＤＴ１を備え、半導体チップＣＨＰ１の外部に、容量素子Ｃ１，Ｃ２を備える。駆動制御回路１０は、制御回路ＣＴＬ１と、ゲート駆動回路ＤＲ１，ＤＲ２と、トランジスタＴｒ１，Ｔｒ２と、抵抗素子Ｒ１，Ｒ２と、を有する。また、半導体チップＣＨＰ１上には、外部接続端子Ｔ１～Ｔ６がチップ外周辺に沿って設けられている。なお、ダイオードＤ１，Ｄ２及び容量素子Ｃ１，Ｃ２により昇圧回路が構成されている。
【００１７】
　外部接続端子の一つである高電位側電圧端子Ｔ２には、定電圧生成回路ＣＶＧ１により生成された定電圧Ｖｉｎが供給される。外部接続端子の一つである低電位側電圧端子Ｔ６には、基準電圧（本例では接地電圧ＧＮＤ）が供給される。
【００１８】
　トランジスタＴｒ１は、ＰチャネルＭＯＳトランジスタであって、高電位側電圧端子Ｔ２と、外部接続端子の一つである出力端子（第１出力端子）Ｔ３と、の間に設けられている。トランジスタＴｒ２は、ＮチャネルＭＯＳトランジスタであって、低電位側電圧端子Ｔ６と、出力端子Ｔ３と、の間に設けられている。
【００１９】
　抵抗素子Ｒ１は、トランジスタＴｒ１のゲート及びソース間に設けられている。抵抗素子Ｒ２は、トランジスタＴｒ２のゲート（制御端子）及びソース（第１端子）間に設けられている。
【００２０】
　制御回路ＣＴＬ１は、トランジスタＴｒ１，Ｔｒ２のオンオフを制御する回路である。
【００２１】
　具体的には、制御回路ＣＴＬ１は、昇圧動作時、Ｈレベル又はＬレベルに周期的に変化するパルス信号Ｐ１に同期して、Ｈレベル又はＬレベルに周期的に変化する制御信号Ｓ１，Ｓ２を出力する。
【００２２】
　ゲート駆動回路ＤＲ１は、制御信号Ｓ１に応じた駆動信号ＤＳ１を生成し、トランジスタＴｒ１のゲートに印加する。本例では、ゲート駆動回路ＤＲ１は、制御信号Ｓ１がＨレベルの場合に、出力をハイインピーダンス状態に設定し、制御信号Ｓ１がＬレベルの場合に、駆動信号ＤＳ１をＬレベルに設定する。ここで、ゲート駆動回路ＤＲ１の出力がハイインピーダンス状態の場合、定電圧Ｖｉｎが抵抗素子Ｒ１を介してトランジスタＴｒ１の

ゲートに印加されるため、トランジスタＴｒ１はオフする。他方、ゲート駆動回路ＤＲ１の出力がＬレベルの場合、トランジスタＴｒ１はオンする。

【００２３】

ゲート駆動回路ＤＲ２は、制御信号Ｓ２に応じた駆動信号ＤＳ２を生成し、トランジスタＴｒ２のゲートに印加する。本例では、ゲート駆動回路ＤＲ２は、制御信号Ｓ２がＨレベルの場合に、駆動信号ＤＳ２をＨレベルに設定し、制御信号Ｓ２がＬレベルの場合に、出力をハイインピーダンス状態に設定する。ここで、ゲート駆動回路ＤＲ２の出力がＨレベルの場合、トランジスタＴｒ２はオンする。他方、ゲート駆動回路ＤＲ２の出力がハイインピーダンス状態の場合、接地電圧ＧＮＤが抵抗素子Ｒ２を介してトランジスタＴｒ２のゲートに印加されるため、トランジスタＴｒ２はオフする。

【００２４】

それにより、昇圧動作時、トランジスタＴｒ１，Ｔｒ２は相補的にオンオフを繰り返す。なお、実際にはトランジスタＴｒ１，Ｔｒ２はデッドタイムを挟んで相補的にオンオフを繰り返すことが好ましい。即ち、トランジスタＴｒ２がオフからオンに切り替わる場合には、トランジスタＴｒ１がオンからオフに切り替わった後、デットタイム経過後に、トランジスタＴｒ２がオフからオンに切り替わることが好ましい。同様に、トランジスタＴｒ１がオフからオンに切り替わる場合には、トランジスタＴｒ２がオンからオフに切り替わった後、デットタイム経過後に、トランジスタＴｒ１がオフからオンに切り替わることが好ましい。それにより、トランジスタＴｒ１，Ｔｒ２が瞬間的に同時にオンすることを防ぐことができるため、貫通電流が流れることによるトランジスタＴｒ１，Ｔｒ２及び配線の劣化あるいは損傷を防ぐことができ、さらに消費電力の増大が抑制される。

【００２５】

例えば、トランジスタＴｒ１がオンし、かつ、トランジスタＴｒ２がオフしている場合、高電位側電圧端子Ｔ２に供給された定電圧Ｖｉｎが出力端子Ｔ３から出力される。他方、トランジスタＴｒ１がオフし、かつ、トランジスタＴｒ２がオンしている場合、低電位側電圧端子Ｔ６に供給された接地電圧ＧＮＤが出力端子Ｔ３から出力される。つまり、昇圧動作時、出力端子Ｔ３の電圧は、周期的に切り替わる定電圧Ｖｉｎ及び接地電圧ＧＮＤの何れかの値を示す。

【００２６】

外部接続端子の一つである電圧入力端子Ｔ１には、バッテリからの電源電圧ＶＢＡＴが供給される。また、外部接続端子の一つである電圧出力端子Ｔ５から、外部に出力電圧Ｖｏｕｔが出力される。

【００２７】

ダイオードＤ１，Ｄ２は、外部から電源電圧ＶＢＡＴが供給される電圧入力端子Ｔ１から、出力電圧Ｖｏｕｔを外部に出力する電圧出力端子Ｔ５にかけて順方向に設けられている。外部接続端子Ｔ４は、ダイオードＤ１，Ｄ２間のノードＮ１に接続されている。なお、以下では、説明の簡略化のため、ダイオードＤ１，Ｄ２の順方向電圧については考慮していない。あるいは、ダイオードＤ１，Ｄ２の代わりに、２つのトランジスタが用いられてもよい。この場合、ダイオードＤ１，Ｄ２のオンオフの切り替わりタイミングと同じタイミングで、２つのトランジスタのオンオフを切り替える必要がある。

【００２８】

容量素子Ｃ１，Ｃ２は、半導体チップＣＨＰ１に外付けされている。具体的には、容量素子Ｃ１は、半導体チップＣＨＰ１の外部において、外部接続端子Ｔ４と、出力端子Ｔ３と、の間に設けられている。容量素子Ｃ２は、半導体チップＣＨＰ１の外部において、電圧出力端子Ｔ５と、接地電圧端子ＧＮＤと、の間に設けられている。

【００２９】

出力端子Ｔ３の電圧は、容量素子Ｃ１を介して、ダイオードＤ１，Ｄ２間のノードＮ１に印加される。

【００３０】

チャージポンプ回路１の昇圧動作では、ダイオードＤ１，Ｄ２及び容量素子Ｃ１，Ｃ２

からなる昇圧回路が、駆動制御回路１０の出力電圧（出力端子Ｔ３の電圧）を用いて電源電圧ＶＢＡＴを昇圧させることにより、出力電圧Ｖｏｕｔを生成する。

【００３１】

具体的には、まず、制御回路ＣＴＬ１により、トランジスタＴｒ１がオフ、トランジスタＴｒ２がオンに制御される。それにより、低電位側電圧端子Ｔ６からトランジスタＴｒ２を介して出力端子Ｔ３に向けて、接地電圧ＧＮＤが供給される。また、このとき、電圧入力端子Ｔ１からダイオードＤ１を介してノードＮ１に向けて、電源電圧ＶＢＡＴが供給される。つまり、容量素子Ｃ１の一端に接地電圧ＧＮＤが供給され、容量素子Ｃ１の他端に電源電圧ＶＢＡＴが供給される。そのため、容量素子Ｃ１には、電源電圧ＶＢＡＴに相当する電荷が充電される。

【００３２】

その後、制御回路ＣＴＬ１により、トランジスタＴｒ１がオン、トランジスタＴｒ２がオフに制御される。それにより、高電位側電圧端子Ｔ２からトランジスタＴｒ１を介して出力端子Ｔ３に向けて、定電圧Ｖｉｎが供給される。つまり、容量素子Ｃ１の一端に供給される電圧が、接地電圧ＧＮＤから定電圧Ｖｉｎに切り替わる。ここで、容量素子Ｃ１には電源電圧ＶＢＡＴに相当する電荷が充電されているため、容量素子Ｃ１の他端の電圧（ノードＮ１の電圧）は、電源電圧ＶＢＡＴに定電圧Ｖｉｎを重畳した電圧レベルまで昇圧される。この昇圧された電圧は、ダイオードＤ２を介して、電圧出力端子Ｔ５に供給され、出力電圧Ｖｏｕｔとして外部に出力される。なお、出力電圧Ｖｏｕｔは、容量素子Ｃ２によって平滑化されている。

【００３３】

チャージポンプ回路１の昇圧動作では、このような動作が繰り返される。

【００３４】

（過電圧検出回路ＤＴ１）

過電圧検出回路ＤＴ１は、高電位側電圧端子Ｔ２とトランジスタＴｒ１とを接続する電源ラインＷ１上のノードＮ２の過電圧を検出する回路である。例えば出力端子Ｔ３が電源電圧ＶＢＡＴラインに短絡（即ち、天絡）した場合、出力端子Ｔ３からトランジスタＴｒ１の寄生ダイオード、電源ラインＷ１、及び、高電位側電圧端子Ｔ２に向けて電流が流れるため、電源ラインＷ１の電圧レベルが定電圧Ｖｉｎよりも高くなる。ここで、過電圧検出回路ＤＴ１は、電源ラインＷ１の電圧レベルが定電圧Ｖｉｎより高い所定電圧に達した場合、過電圧が発生したことを示す検出結果を制御回路ＣＴＬ１に対して出力する。

【００３５】

制御回路ＣＴＬ１は、過電圧検出回路ＤＴ１によって過電圧が検出された場合、昇圧動作を強制的に終了させて、トランジスタＴｒ１，Ｔｒ２を何れもオフに制御する。それにより、過電流が流れることによるトランジスタＴｒ１，Ｔｒ２及び配線の劣化を防ぐことができる。特に、トランジスタＴｒ２には非常に大きな電流が流れる可能性が高いため、電源ラインＷ１の過電圧を検出して速やかにトランジスタＴｒ２をオフすることは非常に有効である。

【００３６】

（過電圧検出回路ＤＴ１の具体的な構成例）

図２は、過電圧検出回路ＤＴ１の具体的な構成例を示す図である。

【００３７】

図２に示すように、過電圧検出回路ＤＴ１は、抵抗素子Ｒ１１，Ｒ１２と、所定電圧源ＶＧ１と、コンパレータＣＭＰ１と、を有する。

【００３８】

抵抗素子Ｒ１１，Ｒ１２は、電源ラインＷ１上のノードＮ２と、低電位側電圧端子Ｔ６と、の間に直列に設けられている。コンパレータＣＭＰ１は、抵抗素子Ｒ１１，Ｒ１２間のノードＮ３の電圧（即ち、電源ラインＷ１の電圧を抵抗分圧した電圧）と、所定電圧源ＶＧ１から出力される所定電圧Ｖｃと、を比較する。コンパレータＣＭＰ１の比較結果は、過電圧検出回路ＤＴ１の検出結果として制御回路ＣＴＬ１に出力される。

【００３９】
例えば、コンパレータＣＭＰ１は、ノードＮ３の電圧が、所定電圧源ＶＧ１から出力される所定電圧Ｖｃよりも低い場合、Ｌレベルの比較結果を出力する。このＬレベルの比較結果は、過電圧が発生していないことを示す検出結果として制御回路ＣＴＬ１に出力される。また、コンパレータＣＭＰ１は、ノードＮ３の電圧が、所定電圧Ｖｃ以上の場合、Ｈレベルの比較結果を出力する。このＨレベルの比較結果は、過電圧が発生したことを示す検出結果として制御回路ＣＴＬ１に出力される。
【００４０】
なお、過電圧検出回路ＤＴ１は、図２に示す回路構成に限られず、同等の機能を有する他の構成に適宜変更可能である。
【００４１】
このように、本実施の形態に係るチャージポンプ回路１及びそれを備えた半導体システムＳＹＳ１は、昇圧回路の容量素子Ｃ１に対する印加電圧を周期的に切り替える駆動制御回路、の出力端子が天絡することによって発生する過電圧を検出するための過電圧検出回路を備える。そして、過電圧検出回路により過電圧が検出された場合には、駆動制御回路の出力段に設けられたトランジスタＴｒ１，Ｔｒ２を速やかにオフに制御する。それにより、本実施の形態にかかるチャージポンプ回路１及びそれを備えた半導体システムＳＹＳ１は、過電流が流れることによるトランジスタ及び配線の劣化等を防ぐことができる。特に、トランジスタＴｒ２には非常に大きな電流が流れる可能性が高いため、電源ラインＷ１の過電圧を検出して速やかにトランジスタＴｒ２をオフすることは非常に有効である。
【００４２】
本実施の形態では、ゲート駆動回路ＤＲ１の出力をハイインピーダンス状態に設定することによりトランジスタＴｒ１をオフし、ゲート駆動回路ＤＲ２の出力をハイインピーダンス状態に設定することによりトランジスタＴｒ２をオフする場合を例に説明したが、これに限られない。ゲート駆動回路ＤＲ１からＨレベルの駆動信号ＤＳ１を出力することによりトランジスタＴｒ１をオフし、ゲート駆動回路ＤＲ２からＬレベルの駆動信号ＤＳ２を出力することによりトランジスタＴｒ２をオフする構成であってもよい。この場合、抵抗素子Ｒ１，Ｒ２は不要である。ただし、過電圧検出時などの異常発生時には、万が一駆動回路ＤＲ１，ＤＲ２が損傷した場合に備えて、駆動回路ＤＲ１，ＤＲ２とは別に設けられた抵抗素子Ｒ１，Ｒ２によって、トランジスタＴｒ１，Ｔｒ２をより確実にオフすることの方が好ましい。
【００４３】
また、本実施の形態では、過電圧検出回路ＤＴ１が、高電位側電圧端子Ｔ２とトランジスタＴｒ１とを接続する電源ラインＷ１上のノードＮ２の電圧をモニタすることによって過電圧を検出する場合を例に説明したが、これに限られない。過電圧検出回路ＤＴ１は、出力端子Ｔ３の電圧を直接モニタすることにより過電圧を検出する構成であってもよい。ただし、この場合、出力端子Ｔ３の電圧が周期的に変化することに留意する必要がある。
【００４４】
（半導体システムＳＹＳ１の変形例）
図３は、半導体システムＳＹＳ１の変形例を半導体システムＳＹＳ１ａとして示す図である。半導体システムＳＹＳ１ａは、半導体システムＳＹＳ１と比較して、チャージポンプ回路１に代えてチャージポンプ回路１ａを備える。チャージポンプ回路１ａは、チャージポンプ回路１と比較して、トランジスタＴｒ３をさらに備える。なお、チャージポンプ回路１ａにおける半導体チップＣＨＰ１ａ及び駆動制御回路１０ａは、それぞれチャージポンプ回路１における半導体チップＣＨＰ１及び駆動制御回路１０に対応する。
【００４５】
具体的には、トランジスタＴｒ３は、ＮチャネルＭＯＳトランジスタであって、トランジスタＴｒ２のゲート及びソース間に設けられている。
【００４６】
制御回路ＣＴＬ１は、トランジスタＴｒ１，Ｔｒ２のオンオフを制御するだけでなく、

トランジスタＴｒ３のオンオフも制御する。換言すると、制御回路ＣＴＬ１は、トランジスタＴｒ１，Ｔｒ２のオンオフを制御するための制御信号Ｓ１，Ｓ２を出力するだけでなく、トランジスタＴｒ３のオンオフを制御するための制御信号Ｓ３をさらに出力する。制御信号Ｓ３は、トランジスタＴｒ３のゲートに供給される。

【００４７】

例えば、昇圧動作時、制御回路ＣＴＬ１は、Ｌレベルの制御信号Ｓ３を出力することによりトランジスタＴｒ３をオフする。それに対し、過電圧検出時、制御回路ＣＴＬ１は、Ｈレベルの制御信号Ｓ３を出力することによりトランジスタＴｒ３をオンする。それにより、電源ラインＷ１の過電圧を検出した時に、トランジスタＴｒ２のゲートに蓄積された電荷が、オン状態のトランジスタＴｒ３を介して、低電位側電圧端子Ｔ６に向けて急速に放出されるため、トランジスタＴｒ２は速やかにオフする。それにより、過電流が流れることによるトランジスタＴｒ２及び配線の劣化あるいは損傷をさらに効果的に防ぐことができる。

【００４８】

チャージポンプ回路１ａ及びそれを備えた半導体システムＳＹＳ１ａのその他の構成については、チャージポンプ回路１及びそれを備えた半導体システムＳＹＳ１と同様であるため、その説明を省略する。

【００４９】

このように、本実施の形態に係るチャージポンプ回路１ａ及びそれを備えた半導体システムＳＹＳ１ａは、トランジスタＴｒ２のゲート及びソース間に設けられ、過電圧検出時にオンするトランジスタＴｒ３をさらに備える。それにより、過電圧検出時、トランジスタＴｒ２のゲートに蓄積された電荷が、オン状態のトランジスタＴｒ３を介して、低電位側電圧端子Ｔ６に向けて急速に放出されるため、トランジスタＴｒ２は速やかにオフする。その結果、過電流が流れることによるトランジスタＴｒ２及び配線の劣化をさらに効果的に防ぐことができる。

【００５０】

＜実施の形態２＞

図４は、実施の形態２にかかるチャージポンプ回路２を備えた半導体システムＳＹＳ２の構成例を示す図である。半導体システムＳＹＳ２は、半導体システムＳＹＳ１と比較して、チャージポンプ回路１に代えてチャージポンプ回路２を備える。チャージポンプ回路２は、チャージポンプ回路１と比較して、半導体チップ上に、ゲート駆動回路ＤＲ３及びトランジスタ（スイッチ素子）Ｔｒ４をさらに備える。なお、チャージポンプ回路２における半導体チップＣＨＰ２は、チャージポンプ回路１における半導体チップＣＨＰ１に対応する。

【００５１】

具体的には、トランジスタＴｒ４は、トランジスタＴｒ１とは異なる導電型のＮチャネルＭＯＳトランジスタであって、過電圧検出回路ＤＴ１が接続された電源ラインＷ１上のノードＮ２と、高電位側電圧端子と、の間の電源ラインＷ１上に設けられている。

【００５２】

ゲート駆動回路ＤＲ３は、過電圧検出回路ＤＴ１により過電圧が検出されていない場合には、トランジスタＴｒ４をオンに制御し、過電圧検出回路ＤＴ１により過電圧が検出された場合には、トランジスタＴｒ４をオフに制御する。

【００５３】

それにより、出力端子Ｔ３からトランジスタＴｒ１の寄生ダイオード、電源ラインＷ１を介して高電位側電圧端子Ｔ２に向けて流れる電流の電流経路を遮断することができる。その結果、例えば、過電流が流れることによるトランジスタＴｒ１及び電源ラインＷ１の劣化を防ぐことができるだけでなく、過電流が供給されることによる定電圧生成回路ＣＶＧ１の破壊を防ぐことができる。さらに、定電圧生成回路ＣＶＧ１により生成される定電圧Ｖｉｎがチャージポンプ回路２以外の他の回路にも供給されている場合には、当該他の回路の耐圧破壊を防ぐことができる。

【００５４】
なお、出力端子Ｔ３が天絡している期間中は、出力端子Ｔ３からトランジスタＴｒ１の寄生ダイオード、電源ラインＷ１を介して、過電圧検出回路ＤＴ１に向けて電流が流れ続けるため、過電圧検出回路ＤＴ１は、トランジスタＴｒ１，Ｔｒ４をオフにし続けることができる。
【００５５】
（半導体システムＳＹＳ２の変形例）
図５は、半導体システムＳＹＳ２の変形例を半導体システムＳＹＳ２ａとして示す図である。半導体システムＳＹＳ２ａは、半導体システムＳＹＳ２と比較して、チャージポンプ回路２に代えてチャージポンプ回路２ａを備える。チャージポンプ回路２ａは、チャージポンプ回路２と比較して、トランジスタＴｒ３をさらに備える。なお、チャージポンプ回路２ａにおける半導体チップＣＨＰ２ａ及び駆動制御回路１０ａは、それぞれチャージポンプ回路２における半導体チップＣＨＰ２及び駆動制御回路１０に対応する。
【００５６】
具体的には、トランジスタＴｒ３は、ＮチャネルＭＯＳトランジスタであって、トランジスタＴｒ２のゲート及びソース間に設けられている。
【００５７】
トランジスタＴｒ３の詳細については、既に説明した通りである。また、チャージポンプ回路２ａ及びそれを備えた半導体システムＳＹＳ２ａのその他の構成については、チャージポンプ回路２及びそれを備えた半導体システムＳＹＳ２と同様であるため、その説明を省略する。
【００５８】
このように、本実施の形態に係るチャージポンプ回路２ａ及びそれを備えた半導体システムＳＹＳ２ａは、トランジスタＴｒ２のゲート及びソース間に設けられ、過電圧検出時にオンするトランジスタＴｒ３をさらに備える。それにより、過電圧検出時、トランジスタＴｒ２のゲートに蓄積された電荷が、オン状態のトランジスタＴｒ３を介して、低電位側電圧端子Ｔ６に向けて急速に放出されるため、トランジスタＴｒ２は速やかにオフする。その結果、過電流が流れることによるトランジスタＴｒ２及び配線の劣化をさらに効果的に防ぐことができる。
【００５９】
以上のように、上記実施の形態１，２に係るチャージポンプ回路及びそれを備えた半導体システムは、昇圧回路の容量素子Ｃ１に対する印加電圧を周期的に切り替える駆動制御回路、の出力端子Ｔ３が天絡することによって発生する過電圧を検出するための過電圧検出回路を備える。そして、過電圧検出回路により過電圧が検出された場合には、駆動制御回路の出力段に設けられたトランジスタＴｒ１，Ｔｒ２を速やかにオフに制御する。それにより、本実施の形態にかかるチャージポンプ回路１及びそれを備えた半導体システムＳＹＳ１は、過電流が流れることによるトランジスタ及び配線の劣化等を防ぐことができる。特に、トランジスタＴｒ２には非常に大きな電流が流れる可能性が高いため、電源ラインＷ１の過電圧を検出して速やかにトランジスタＴｒ２をオフすることは非常に有効である。
【００６０】
さらに、上記実施の形態１，２に係るチャージポンプ回路及びそれを備えた半導体システムは、トランジスタＴｒ２のゲート及びソース間に設けられ、過電圧検出時にオンするトランジスタＴｒ３をさらに備える。それにより、過電圧検出時、トランジスタＴｒ２のゲートに蓄積された電荷が、オン状態のトランジスタＴｒ３を介して、低電位側電圧端子Ｔ６に向けて急速に放出されるため、トランジスタＴｒ２は速やかにオフする。その結果、過電流が流れることによるトランジスタＴｒ２及び配線の劣化をさらに効果的に防ぐことができる。
【００６１】
以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発

明は既に述べた実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々の変更が可能であることはいうまでもない。

【００６２】

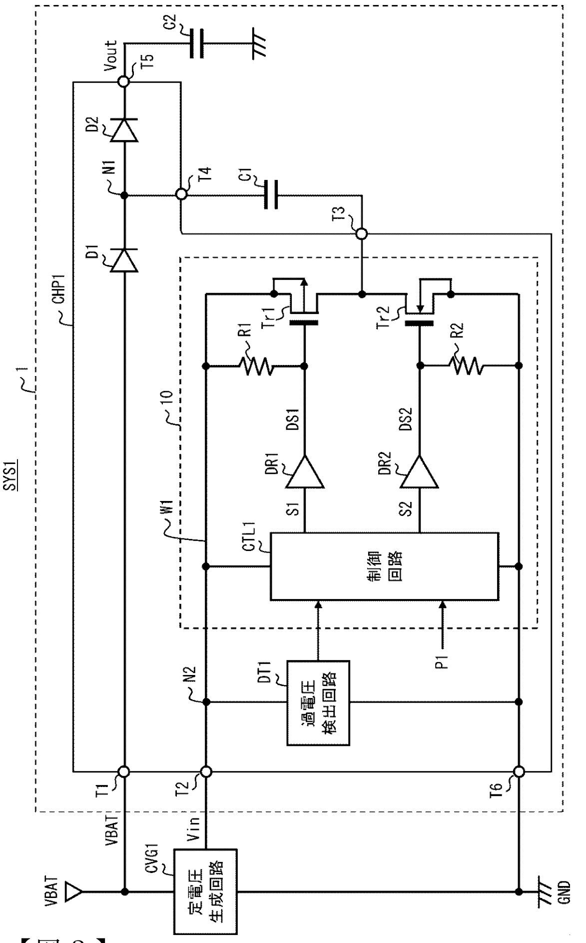
例えば、上記の実施の形態に係る半導体装置では、半導体基板、半導体層、拡散層（拡散領域）などの導電型（ｐ型もしくはｎ型）を反転させた構成としてもよい。そのため、ｎ型、及びｐ型の一方の導電型を第１の導電型とし、他方の導電型を第２の導電型とした場合、第１の導電型をｐ型、第２の導電型をｎ型とすることもできるし、反対に第１の導電型をｎ型、第２の導電型をｐ型とすることもできる。

【符号の説明】

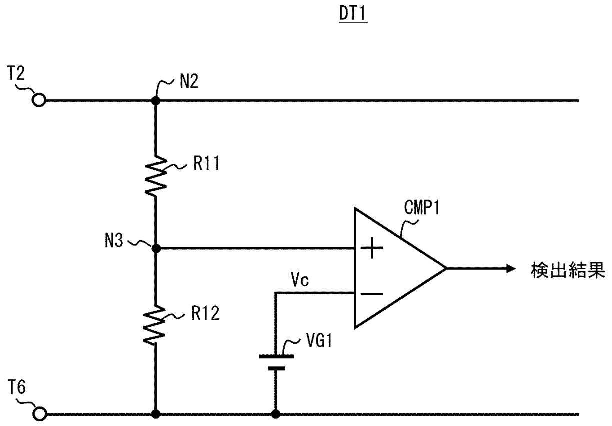
【００６３】

１　チャージポンプ回路
２　チャージポンプ回路
１０，１０ａ　駆動制御回路
Ｃ１，Ｃ２　容量素子
ＣＨＰ１，ＣＨＰ１ａ　半導体チップ
ＣＨＰ２，ＣＨＰ２ａ　半導体チップ
ＣＭＰ１　コンパレータ
ＣＴＬ１　制御回路
ＣＶＧ１　定電圧生成回路
Ｄ１，Ｄ２　ダイオード
ＤＲ１～ＤＲ３　ゲート駆動回路
ＤＴ１　過電圧検出回路
Ｎ１～Ｎ３　ノード
Ｒ１，Ｒ２　抵抗素子
Ｒ１１，Ｒ１２　抵抗素子
ＳＹＳ１，ＳＹＳ２　半導体システム
Ｔ１　電圧入力端子
Ｔ２　高電位側電圧端子
Ｔ３　出力端子
Ｔ４　外部接続端子
Ｔ５　電圧出力端子
Ｔ６　低電位側電圧端子
Ｔｒ１～Ｔｒ４　トランジスタ
ＶＧ１　所定電圧源
Ｗ１　電源ライン

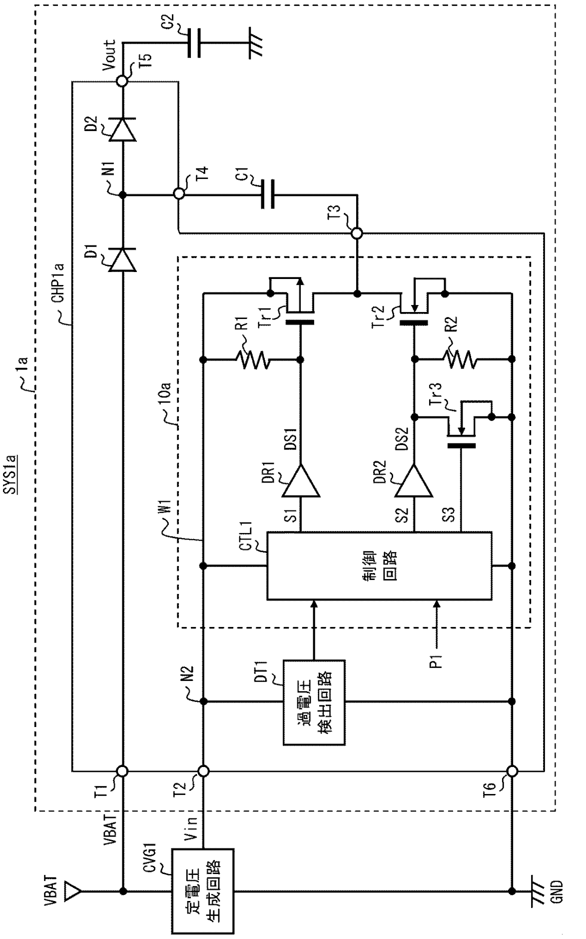
【図１】


SYS1
1
CHP1
10
C2
Vout
T5
D2
N1
T4
C1
T3
D1
Tr1
Tr2
R1
R2
DS1
DS2
DR1
DR2
S1
S2
W1
CTL1
制御回路
P1
N2
DT1
過電圧検出回路
T1
T2
T6
VBAT
Vin
CVG1
定電圧生成回路
GND

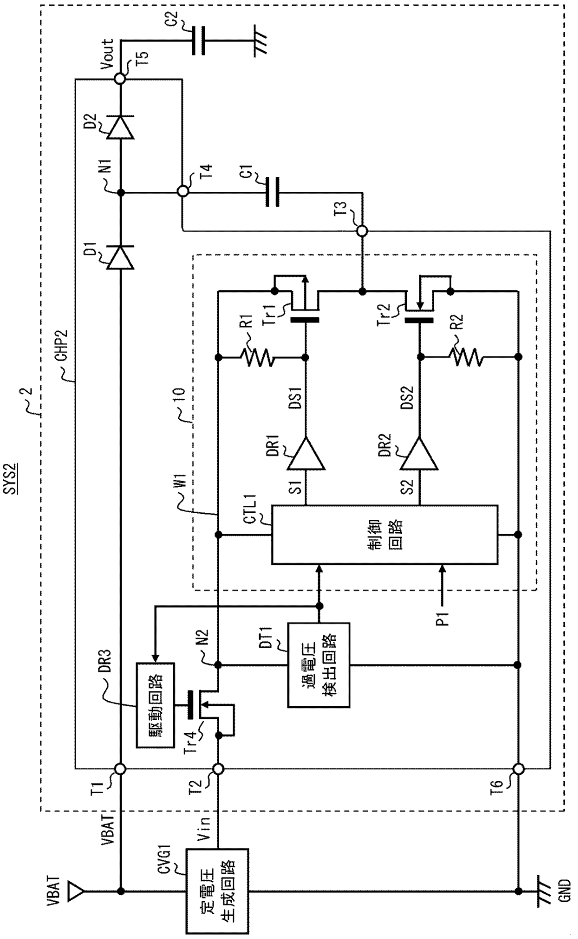
【図２】


DT1
T2
N2
R11
CMP1
N3
Vc
R12
VG1
T6
検出結果

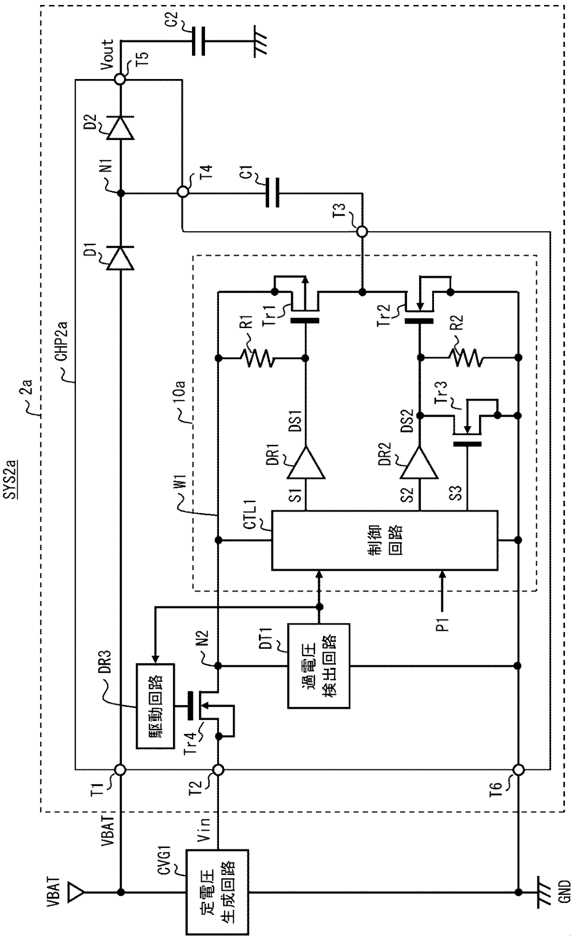
【図３】


SYS1a
1a
CHP1a
10a
C2
Vout
T5
D2
N1
T4
C1
T3
D1
Tr1
Tr2
Tr3
R1
R2
DS1
DS2
DR1
DR2
S1
S2
S3
W1
CTL1
制御回路
P1
N2
DT1
過電圧検出回路
T1
T2
T6
VBAT
Vin
CVG1
定電圧生成回路
GND

【図４】


SYS2
2
CHP2
10
C2
Vout
T5
D2
N1
T4
C1
T3
D1
Tr1
Tr2
R1
R2
DS1
DS2
DR1
DR2
S1
S2
W1
CTL1
制御回路
P1
N2
DT1
過電圧検出回路
DR3
駆動回路
Tr4
T1
T2
T6
VBAT
Vin
CVG1
定電圧生成回路
GND

【図５】


SYS2a
2a
CHP2a
10a
W1
CTL1
制御回路
過電圧検出回路
駆動回路
定電圧生成回路
CVG1
DT1
DR1
DR2
DR3
DS1
DS2
S1
S2
S3
P1
R1
R2
Tr1
Tr2
Tr3
Tr4
D1
D2
N1
N2
C1
C2
T1
T2
T3
T4
T5
T6
Vout
VBAT
Vin
GND

フロントページの続き

(72)発明者　鈴木　宏昌
東京都小平市上水本町五丁目２０番１号　ルネサスシステムデザイン株式会社内

審査官　遠藤　尊志

(56)参考文献　特開２００９－２８４６８９（ＪＰ，Ａ）
特開２００７－２６７５３７（ＪＰ，Ａ）
特開２０１５－１８０１４８（ＪＰ，Ａ）
特開２０１０－０２９００９（ＪＰ，Ａ）
特開２０１３－０８５３２８（ＪＰ，Ａ）
特開２０１０－２８３９５４（ＪＰ，Ａ）
特開２００３－２４４９６６（ＪＰ，Ａ）
米国特許出願公開第２０１２／０２４９１１６（ＵＳ，Ａ１）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０２Ｍ　　　３／００－３／４４