

(12) 发明专利

(10) 授权公告号 CN 101286517 B

(45) 授权公告日 2011. 04. 27

(21) 申请号 200810100510. 0

H01L 21/822(2006. 01)

(22) 申请日 2003. 10. 10

H01L 21/8242(2006. 01)

(30) 优先权数据

H01L 21/8247(2006. 01)

10248722. 7 2002. 10. 18 DE

审查员 刘乐

(62) 分案原申请数据

200380101541. 3 2003. 10. 10

(73) 专利权人 因芬尼昂技术股份公司

地址 德国新比贝格

(72) 发明人 R·布雷德洛 J·哈特维奇

C·帕查 W·雷斯纳 T·舒尔滋

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 卢江 王小衡

(51) Int. Cl.

H01L 27/12(2006. 01)

H01L 27/06(2006. 01)

H01L 27/108(2006. 01)

H01L 27/115(2006. 01)

H01L 21/84(2006. 01)

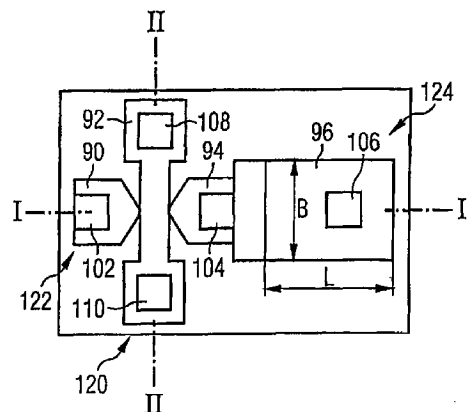
权利要求书 3 页 说明书 11 页 附图 9 页

(54) 发明名称

包含电容器的集成电路装置及制造方法

(57) 摘要

本发明提供一集成电路装置(120)的详细说明以及其它细节,所述的集成电路装置包含一晶体管(122),最好为一所谓的FinFET,以及一电容器(124)。所述的电容器(124)的底部电极于一SOI基板上与所述的晶体管(122)的一沟道区域设置在一起。所述的电路装置(120)可以简单的制造而且具有显著的电子特性。



1. 一种集成电路装置,其具有一绝缘区域,以及具有至少一序列的区域,该至少一序列的区域形成一电容器并且依序包含:

配置于该绝缘区域上的一第一电极区域;

一介电层区域;以及

远离该绝缘区域的一第二电极区域;

其中该绝缘区域为设置在一平面上的一绝缘层的一部份,而该电容器以及在该集成电路上的至少一有源组件设置在该绝缘层的同一侧,而该第一电极区域以及该有源组件的一有源区域设置在与用来设置该绝缘层的平面相互平行的一平面上,

该第一电极区域为含有多个鳍状结构的一单晶体的区域。

2. 如权利要求 1 所述的电路装置,其中

该第一电极区域以及该有源区域各具有少于 100nm 的厚度,

其中该有源区域为一单晶区域,

其中该绝缘层的一侧接于一载流子基板,

其中该绝缘层的另外一侧紧接于该第一电极区域,

其中介于该绝缘层与该第一电极区域之间的边界区域以及介于该绝缘层与该载流子基板之间的边界区域为完全位于两个相互平行的平面上,

其中该绝缘层包含一电绝缘的材料,或

其中该有源组件为一晶体管。

3. 如权利要求 2 所述的电路装置,其中该介电层区域包含二氧化硅,或

该第二电极区域包含一掺杂多晶硅。

4. 如权利要求 3 所述的电路装置,其中该介电层区域包含一个介电常数等于 25 或大于 100 的材料,或该第二电极区域包含一多晶硅。

5. 如权利要求 3 所述的电路装置,其中该第二电极区域含有一低阻抗的材料。

6. 如权利要求 3 所述的电路装置,其中该第二电极区域紧接于具有金属-半导体化合物的区域。

7. 如权利要求 1 所述的电路装置,其中该介电层区域包含二氧化硅,或

其中该第二电极区域含有一低阻抗的材料。

8. 如权利要求 1 所述的电路装置,其中该介电层区域以及该第二电极区域设置在该第一电极区域的侧边区域上,或

其中包含于该第一电极区域的该多个鳍状结构具有一鳍状高度,该鳍状高度大于一鳍状宽度。

9. 如权利要求 1 所述的电路装置,其特征在于至少一个场效应晶体管的沟道区域为该有源区域,该沟道区域是未经过掺杂的,

该至少一个场效应晶体管的栅极电极含有与该第二电极区域相同掺杂浓度的材料,或

该至少一个场效应晶体管的栅极电极的绝缘区域含有与该介电层区域相同的材料或具有相同厚度的材料。

10. 如权利要求 1 所述的电路装置,其特征在于至少一个场效应晶体管的栅极电极的绝缘区域具有与该介电层区域不同的材料或具有不同厚度的材料。

11. 如权利要求 9 或 10 所述的电路装置,其中多个栅极电极设置在该鳍状结构相对的

两侧，

至少一栅极电极紧接于含有一硅化物区域的区域，或
源极区域及漏极区域包含与该第二电极区域相同的材料或具有相同掺杂程度。

12. 如权利要求 9 或 10 所述的电路装置，其中该场效应晶体管的源极区域及漏极区域紧接于该绝缘层，

其中该源极区域及漏极区域紧接于含有一硅化物区域的区域，或
其中该源极区域及漏极区域具有一较有源区域更厚的厚度。

13. 如权利要求 9 或 10 所述的电路装置，其中一第一间隙物与一第二间隙物设置在该栅极电极的两侧，其中该第一间隙物与该第二间隙物包含与该栅极电极不同的材料，

其中一第三间隙物是设置在该第二电极区域的至少一侧，或

其中设置在该场效应晶体管的该栅极电极上的该第二间隙物与设置在该第二电极区域上的该第三间隙物彼此接触。

14. 如权利要求 13 所述的电路装置，其中该第一间隙物、该第二间隙物及该第三间隙物为氮硅化合物。

15. 如权利要求 12 所述的电路装置，其中该场效应晶体管的该漏极区域以及该电容器的该第一电极区域彼此紧接在一起而且在边界上具有一电传导性的连接。

16. 如权利要求 15 所述的电路装置，其中该第一电极区域在其紧接于该漏极区域的第一侧较该第一电极区域的第一侧长，该第二侧横向地与该第一侧彼此交错，及
该晶体管具有一晶体管宽度，该晶体管宽度为最小的特征尺寸的倍数。

17. 如权利要求 16 所述的电路装置，其中该第一电极区域在其紧接于该漏极区域的该第一侧较该第一电极区域的该第二侧长至少两倍，该第二侧横向地与该第一侧彼此交错，
该晶体管具有该晶体管宽度，该晶体管宽度大于最小的特征尺寸的三倍。

18. 如权利要求 15 所述的电路装置，其中该第一电极区域的第一侧横向地与该第一电极区域紧接于该漏极区域的第一侧彼此相交，该第一侧较该第二侧为长，及
该晶体管具有一晶体管宽度，该晶体管宽度小于最小的特征尺寸的三倍。

19. 如权利要求 18 所述的电路装置，其中该第一电极区域的该第一侧横向地与该第一电极区域紧接于该漏极区域的该第二侧彼此相交，该第一侧较该第二侧长至少两倍，及
该晶体管具有该晶体管宽度，该晶体管宽度小于最小的特征尺寸的两倍。

20. 如权利要求 9 或 10 所述的电路装置，其中该电路装置含有一微处理器，
其中该电容器以及该至少一有源组件形成一动态的 RAM 内存单元，或
其中一内存单元包含该电容器与一单一晶体管，或者是包含一电容与三个晶体管。

21. 如权利要求 1 至 8 之一所述的电路装置，其中该电路装置含有至少一处理器，
其中该电容器以及该至少一有源组件形成一内存单元，或
其中该内存单元包含该电容器与一单一晶体管，或者是包含一电容与超过一晶体管。

22. 一种用以制造具有一电容器的一集成电路装置的方法，其中包含下列步骤：

提供一基板，该基板包含一绝缘层以及一半导体层，其中该绝缘层是由电绝缘的材料所组成的，

图形化该半导体层以形成作为一电容的至少一第一电极区域以及作为一晶体管的至少一有源区域，

在图形化该半导体层后,于该半导体层上产生至少一介电层,且在产生该至少一介电层后,产生一电极层,

在该电极层上形成该电容器的一第二电极区域,该第二电极区域远离绝缘区域,以及在形成该第二电极区域时,同时形成该晶体管的一栅极电极,其中,该至少一第一电极区域含有多个鳍状结构。

23. 如权利要求 22 所述的方法,其特征在于下列步骤:

在图形化该半导体层前,在该半导体层上涂布至少一绝缘层,

对该至少一第一电极区域进行掺杂,

在产生该晶体管的该至少一有源区域上的一薄氧化物时,同时产生该介电层。

24. 如权利要求 23 所述的方法,其特征在于下列步骤:

在图形化该半导体层前,在该半导体层上涂布一氮化硅层或具有一第一厚度的一氧化层,或

在产生该介电层前,对该至少一第一电极区域进行掺杂。

25. 如权利要求 23 所述的方法,其特征在于下列步骤:

在产生该电极层后,产生一附属层,该附属层的厚度较该至少一绝缘层的厚度更大,或利用该附属层作为一掩模,以图形化该第二电极区域以及图形化该晶体管的该栅极电极。

26. 如权利要求 22 所述的方法,其特征在于下列步骤:

在产生该电极层后,产生一附属层,或

利用该附属层作为一掩模,以图形化该第二电极区域以及图形化该晶体管的该栅极电极。

27. 如权利要求 22 至 26 其中之一所述的方法,其特征在于下列步骤:

在图形化该晶体管的一栅极电极后,涂布另一附属层,或

在图形化该至少一绝缘层后,非等向性蚀刻该另一附属层。

28. 如权利要求 27 所述的方法,其特征在于该另一附属层为一氮化硅层。

29. 如权利要求 25 所述的方法,其特征在于下列步骤:

再次图形化该至少一绝缘层,藉此该附属层的厚度逐渐减少,或藉此该附属层的厚度不会完全被移除,或

在图形化该至少一绝缘层后,非等向蚀刻该另一附属层。

30. 如权利要求 25 所述的方法,其特征在于下列步骤:

在形成该第二电极区域或在图形化该晶体管的该栅极电极后,于该半导体层所组成的未覆盖区域上实施选择性地外延工艺过程,或

在形成该第二电极区域后,或在图形化该晶体管的该栅极电极后,对该晶体管的源极区域及漏极区域进行掺杂。

31. 如权利要求 30 所述的方法,其特征在于下列步骤:

在图形化该至少一绝缘层后或是在执行完该选择性外延后,移除该附属层,或

于该栅极电极上选择性的形成镍硅化物,或于未覆盖的半导体区域上选择性形成一单晶硅材。

包含电容器的集成电路装置及制造方法

[0001] 本申请是已于 2003 年 10 月 10 日提交的以下发明专利申请的分案申请：申请号为 200380101541.3、发明名称为“包含电容器的集成电路装置及制造方法”

技术领域

[0002] 本发明涉及集成电路装置，尤其涉及具有一电绝缘的绝缘区域与至少一电容的集成电路装置。

背景技术

[0003] 以一序列区域的型式所形成的电容在顺序上包含：

[0004] - 接近所述的绝缘区域的一电极区域，

[0005] - 一介电区域，以及

[0006] - 远离所述的绝缘区域的一电极区域。

[0007] 所述的电绝缘的绝缘区域包含，例如具有电阻率在室温 20°C 下远大于 $10^{12} \Omega \text{ cm}$ 的一电绝缘材料，例如，氧化物，特别是硅氧化物。所述的电极区域包含，例如，具有一电阻率在室温 20°C 小于 $10^{-4} \Omega \text{ cm}$ 的一种材料。或者是所述的电极材料包含高度掺杂的多晶硅的材料。所述的介电区域同样地包含一电绝缘的材料，例如一氧化物，特别是硅氧化物，其具有约为 3.9 的介电常数。然而，具有相对较大的介电常数的材料也同样可以用于所述的介电区域。

[0008] 本发明的目的在于提供可以简单制造的具有一电容的一集成电路装置。本发明使得所述的电路装置能够以特别是较少的制造工艺过程步骤以及较少的掩模数来制造。除此之外，本发明亦提供一简单的制造工艺过程方法以用于具有电容的集成电路的制造。

发明内容

[0009] 本发明与电路装置有关的目的部分通过一种集成电路装置来完成。另外还给出了其它相关的扩展方案。

[0010] 所述集成电路装置具有一绝缘区域，以及具有至少一序列的区域，所述的序列的区域形成一电容器并且依序包含：接近该绝缘区域的一电极区域、一介电层区域；以及远离该绝缘区域的一电极区域；其中该绝缘区域为设置在一平面上的一绝缘层的一部份，而该电容器以及在该集成电路上的至少一有源组件设置在该绝缘层的同一侧，而所述接近绝缘区域的电极区域以及该有源组件的一有源区域设置在与用来设置该绝缘层的平面相互平行的一平面上，所述接近绝缘区域的电极区域为含有多个网状结构的一单晶体的区域。

[0011] 在根据本发明的集成电路中，所述的绝缘区域为排列在一平面上的一绝缘层的一部份。所述的电容器以及所述的集成电路装置的至少一有源组件，或者更佳者所述的集成电路装置的所有有源组件都是与所述的绝缘层位在同一侧。除此之外，所述的接近所述的绝缘区域的电极区域以及所述的组件的有源区域都排列在平行于包含所述的绝缘层的平面的一平面上。

[0012] 根据本发明的电路装置是以一简单的方式来构成,而且可以以简单的方式来制造,因为所述的接近绝缘区域的电极区域以及所述的有源区域都座落在相同的一平面上。除此之外,所述的接近绝缘区域的电极区域以及所述的有源区域利用所述的绝缘区域而绝缘。因此,可随意选择的电动势可以应用于所述的电容器的两个电极区。

[0013] 所述的电容具有显著的电子性质:

[0014] - 与有效电容值有关的寄生电容值与电阻值之间的比例是微小的,不同的差动电容值可以归因于空间充电带。在对比电容值的情况下,所述的差动电容值在操作点下是有效的,

[0015] - 漏电流是微小的

[0016] - 电容值的差动非线性度是微小的

[0017] - 在较宽的操作范围下电容值为一常数

[0018] - 可以获得的电容值/面积比例是较大的,例如可以达成 $10\text{fF}/\mu\text{m}^2$ (femto-farads per square micrometer) 或者是甚至高达 $20\text{fF}/\mu\text{m}^2$ 。

[0019] 除此之外,在有源组件与所述的电容之间不需要存在其它结构层或其它结构层序列。这使得所需要的结构层的数目得以降低,因而可以增加集成电路装置的结构平整性。

[0020] 在一实施例中,接近绝缘区域的电极区域以及有源区域是包含一半导体材料的半导体区域,也就是具有一电阻值介于 10^{-5} 到 $10^{+12}\Omega\text{cm}$ 的材料,尤其是介于 10^{-6} 到 $10^{+10}\Omega\text{cm}$ 的材料,例如锗、硅或砷化镓等。所述的电容接近所述的绝缘区域的电极区域的电阻率可以通过掺杂在一组态中的掺杂物而降低。

[0021] 在根据本发明的电路装置的一实施例中,接近所述的绝缘区域的电极区域以及有源区域都是单晶体的区域,而且如果适合的话都是适度的具有掺杂物。在单晶体结构层中的有源组件的电子特性可以特别的显著。除此之外,所述的电容可以配置成使接近所述的绝缘区域的电极区域以及所述的有源区域具有小于 100nm 或甚至小于 50nm 的厚度。在这样薄的半导体层中,具有非常短的沟道长度的有源组件可以因此以一特别简单的方式来制造。

[0022] 在另一实施例中,所述的绝缘层紧接着一基材(含硅的绝缘层)。这个类型的基材可以以非常简单的方式来制造。除此之外,排列在这个基材上的电子电路具有特别良好的电子特性。

[0023] 在另一实施例中,所述的介电区域以及远离所述的绝缘区域的电极区域设置在所述的接近绝缘区域的电极区域的至少两边侧的面积。这个手段使得以一简单方式来增加所述的电容的电容值变得可能。假如所述的两个边侧设置在对应于所述的载流子基板的两个边侧上,那么几乎不需要或者只需要一小部份额外的芯片面积的需求用来增这个电容值。另一个用来增加电容值的方法在于含有多个交织的网络的电极区域。所述的网状组织的高度较佳者大于所述的网状区域的宽度。

[0024] 在另一个具体实施例中,所述的有源组件为一场效应晶体管,其具有下列特征:

[0025] - 所述的场效应晶体管的沟道区域为所述的有源区域。假如所述的沟道区域是未经掺杂的,那么特别良好的电子特性因而产生,尤其是所给定的非常短的沟道长度,例如 10nm。

[0026] - 所述的场效应晶体管的控制电极为经过图形化的电极层的一部份,其中所述的

电容的远离绝缘区域的电极区域也设置于其上。所述的控制电极与所述的远离绝缘区域的电极区域包含相同的材料。而这些区域的厚度以及掺杂的浓度也都相互对应。

[0027] 在一种组态中,所述的场效应晶体管的一控制电极区域包含与所述的电容的介电层区域相同的材料。这些区域的厚度也都相互对应。

[0028] 这个手段表示制造所述的场效应晶体管只需要有三个结构层的制造程序。设置在相同的结构层上的场效应晶体管与电容的区域可以共同进行图形化。而用以制造所述的电容的一额外的掩模只需要用在当所述的电容的底部电极区域掺杂了与所述的场效应晶体管的沟道不同浓度的掺杂物时才需要用到。而另一个需要用到额外的掩模的时刻是在当所述的材料以及 / 或是所述的控制电极绝缘区域以及或是所述的电容的介电区域具有不同的绝缘厚度时。不过,即使这样,制造这个电路装置所需要的掩模数目仍然是很少的。

[0029] 在下一个具体实施例中,所述的场效应晶体管包含一网状结构或一鳍状结构。所述的控制电极设置在所述的网状结构的相对的两侧。这使得所述的场效应晶体管具有显著的控制特性,也就是所谓的 FinFET。

[0030] 在一较佳的具体实施例中,有多个电传导连接到所述的控制电极的连接区域。在其中一种组态中,所述的控制区域通过一绝缘区域而与所述的沟道区域绝缘,其中所述的绝缘区域的绝缘厚度远大于所述的控制电极的绝缘区域的厚度。这个手段使得在所述的晶体管的控制期间所产生边缘效应可以避免。

[0031] 在另一个较佳的组态中,所述的控制电极紧接于一硅化物的区域。这个手段使得与所述的控制电极取得接触变得很容易。接触电阻以及薄片电子额外得以降低。

[0032] 根据本发明的电路装置的另一具体实施例中,所述的场效应晶体管的终端区域紧接于所述的绝缘层。在一种组态中,所述的终端区域可能紧接于硅化物的区域。而用于形成硅化物的材料,不论是在硅化物形成前或形成后,都会充足的出现于当所述的半导体层在终端区域的区域上相较于接近绝缘区域的电极的区域具有一较大厚度时。

[0033] 在另一个具体实施例中,间隙物设置于所述的控制电极的两侧,其中所述的间隙物也含有或者是包含与所述的电极层不同的材料,尤其是一种不适合用来作为在用以制造一半导体外延层,例如一氮化硅,的外延制造工艺过程方法期间,一外延层成长的起始点的材料。所述的间隙物的使用表示所述的控制电极的边侧区域被覆盖,因此不会有外延程序在那里进行,因而短路的现象可以避免。

[0034] 在一组态中,一间隙物可能设置在所述的远离绝缘区域的电极区域的一边侧。所述的这些间隙物达成与设置在控制电极的间隙物执行相同的任务。假如设置在栅极的一间隙物与设置在电容的一电极的一间隙物彼此接触,那么一个掩模因而产生,因此,举例来说能避免在掩模区域上的掺杂或者是硅化 (siliciding)。

[0035] 在一较佳的具体实施例中,所述的场效应晶体管的一终端区域以及所述的电容接近绝缘区域的电极区域彼此相邻在一起,因而形成电传导的连接。这造成一个 DRAM(动态随机存取存储器)的一个简化结构的内存单元,而且不需要额外的手段来制造接近绝缘区域的电极的接触。

[0036] 在一较佳的具体实施例中,所述的接近绝缘区域的电极区域,在紧邻于所述的晶体管的一终端区域的那个侧边相较于另一侧边,也就是所数的接近绝缘区域的电极区域在相较于所述的侧边的横切面上的另一侧边,还要长,较佳者为至少两倍长或至少五倍长。在

这个情况下,所述的晶体管具有为最小的特征尺寸的倍数的一晶体管宽度,较佳者为超过三倍或超过五倍的宽度。这个方法造成所述的晶体管与所述的电容之间的一个特别低阻抗的连接。这使得电子特性的改善,特别是在模拟电流中所谓的模拟电容值。这样的模拟电路的一个例子为模拟转数字的转换器。而所述的模拟电容值的另一个例子则是所谓的旁通电容值,可以用来缓和在一操作电压线路或一线路上的电压的激突。

[0037] 在一替代的具体实施例中,相对的,所述的接近绝缘区域的电极区域的一侧,也就是位在对应横切于位在所述的接近绝缘区域的电极区域、紧邻着所述的终端区域的一侧的那一侧,相较于紧邻着所述的终端区域的一侧还要长,较佳者为至少两倍或者是至少五倍长。在这个情况中,所述的晶体管具有小于最小特征尺寸的三倍的一晶体管宽度,较佳者为小于最小特征尺寸的两倍。通过这样的手段,特别是在内存单元的情况中所达成的功效在于所述的电容的底部电极的非反应电阻以及储存电容值的快速放电可以因此而抵销。

[0038] 在另一具体实施例中,所述的电容装置含有至少包含多个逻辑切换功能的一处理器。假如在其中一种组态中,所述的电路装置除了所述的处理器以外,额外的包含多个 DRAM 内存单元(动态随机存取存储器),那么这个电路装置也可以称为嵌入式的存储器。为了制造这个电路装置,除了制造工艺过程步骤以及用于制造任何逻辑所需要的掩模外,只有少数的额外步骤以及额外的掩模需要用于制造这个连接于所述的电路装置上的电容或晶体管。

[0039] 本发明在另一方面,额外与一种用以制造一集成电路装置的方法有关,尤其是用以制造根据本发明或任何一种发展的电路装置的一种方法有关。根据本发明的方法,下列各项制造工艺过程步骤将会被实施,而且不受次序上的限制:

[0040] - 提供含有由电绝缘的材料所组成的一绝缘层以及一半导体层的一基板,例如一 SOI 基板,

[0041] - 图形化所述的半导体层以为了形成一电容的至少一电极区域以及一晶体管的至少一有源区域,

[0042] - 在图形化所述的半导体层后,产生至少一介电层,

[0043] - 在产生所述的至少一介电层后,产生一电极层,

[0044] - 在所述的电极层上形成所述的电容远离绝缘区域的一电极以及形成所述的晶体管的一控制电极。

[0045] 根据本发明的方法,特别适合用于制造一所谓的 FinFET 以及一搭配的电容。前面所提到的根据本发明的电路装置以及其它相关类似发展的技术效应也同样适合这个根据本发明的方法以及其它相关类似发展的实施。

附图说明

[0046] 本发明的具体实施方式将参照下列的图标加以详细说明,其中:

[0047] 图 1A 到图 16B 表示制造一集成的 DRAM 单元的制造工艺过程阶段;

[0048] 图 17 表示所述的内存单元的平面图标;以及

[0049] 图 18 表示具有三个晶体管的一 DRAM 内存单元的平面图标。

具体实施方式

[0050] 图 1A 到图 16B 表示制造一集成的 DRAM 单元的制造工艺过程阶段, 图 1A 到图 16A 与沿着一截面平面 I 的一截面有关, 所述的截面位在一场效应晶体管的沟道的纵切面上, 尤其是也位在所述的沟道的电流流动方向的纵切面方向上。图 1B 到图 16B 的每一个情况中与沿着一截面平面 II 的一截面有关, 所述的截面位在一场效应晶体管的沟道的横切面上。

[0051] 所述的存储器单元的制造从在一 SOI 基板 10 开始, 所述的基板包含由单晶硅材料作成的一载流子基板 12、由例如, 硅氧化物材料作组成的一所谓的埋藏绝缘层 14 以及由单晶硅材料所组成的薄膜半导体层 16。在一具体实施例中, 所述的载流子基板 12 的厚度为 550nm, 所述的绝缘层 14 的厚度为 100nm 而所述的半导体层 16 的厚度则为 50nm。在图 1A 所示的制造工艺过程阶段中, 沿着截面平面 I 与图 1B 的截面平面 II 所示的图形并没有不同。

[0052] 而如同在图 2A 与图 2B 所示, 一氮化硅层 18 紧接着沉积于所述的 SOI 基板 10 上, 例如, 以一 CVD 的方式 (化学气相沉积法)。在一具体实施例中, 所述的氮化硅层 18 具有一 50nm 的厚度。一氧化硅层, 例如一 TEOS 层 20 (四乙基正硅酸盐) 随后通过一 TEOS 方法的协助而沉积覆盖于整个所述的氮化硅层 18 的区域上。在一较佳的实施例中, 所述的 TEOS 层 20 具有一 75nm 的厚度。而沿着截面平面 I 与截面平面 II 依然可以看到完全相同的情况, 如同图 2A 与图 2B。

[0053] 在另一个具体实施例中, 包含所述的氮化硅层 18 与所述的 TEOS 层 20 的双层可以以一单层来取代。这可以进一步使制造工艺过程变得更简便。

[0054] 如同在图 3A 与图 3B 中所示, 一光刻的方式随即实施于这个制造工艺过程上。为了执行这个目的, 一光刻胶层 22 涂布于整个区域, 并且根据一预先决定的图案进行曝光与显影。在那后, 所述的 TEOS 层 20、所述的氮化物层 18 以及所述的半导体层 16 的图形可通过一干蚀刻的方式来完成。这使得在截面平面 II 区域上的一叠层 30 或平台逐步变细 (如图 3B 所示), 以形成一网状组织, 而后再逐步变宽。所要制造的场效应晶体管的对称性以及电容的对称性可以符合规定, 而可以彼此独立地最佳化。

[0055] 所述的光刻胶层 22 随后可以移除。而在另一个实施例中, 一种可以用来取代这种光刻胶图形方法的替代方法中, 一电子束蚀刻 (EBeam) 方式或其它适当的方法都可以完成这个步骤。

[0056] 如同在图 4A 与图 4B 所示, 另一个光刻的方法随后继续实施, 其中, 一额外的掩模需要用来制造所述的电容器。涂布另一光刻胶层 32, 利用掩模进行曝光, 随后显影与成型。在成型过程中, 在半导体层 16 中的一底部电极 34 上的 TEOS 层 20 与氮化硅层 18 在这个过程中被移除。因此, 叠层 30 被分成一晶体管部 30a 与一电容部 30b。

[0057] 在那后, 一离子注入法利用所用来成型的光刻胶层 32 来实施, 因此底部电极 34 被重度 n 型掺杂, 并在图 4A 中以 n++ 来表示, 而实施过程则以箭头 40 来表示。所述的半导体层 16 在提供给晶体管的这部分是没有掺杂的。所述的底部电极 34 因为这样的额外注入而获得一较低的阻抗值。在一实施例中, 掺杂的密度可以高达每立方公分内包含 10^{20} 个掺杂原子。通常掺杂的密度较佳者是介于每立方公分内包含 10^{19} 到 10^{21} 个掺杂原子之间。随着掺杂密度的增加, 介电性质将会较没有掺杂或者是只有中级层度掺杂的掺杂区域更快速地增加。然而, 随着掺杂密度的增加, 所形成的空间充电带变得更小, 因此寄生效应可能变得

更小。

[0058] 随着所述的晶体管的沟道区域,特别是这个沟道区域这一侧的区域,受到光刻胶层 32 的保护,因此可能影响掺杂的区带并不会穿透到这些区域中。

[0059] 如同图 5A 与图 5B 所示,所述的光刻胶层 32 随后被移除。随后一薄氧化层在所述的半导体层 16 上所有未被覆盖的外侧上形成,而且尤其是也在所述的底部电极区域 34 的未经覆盖的表上外侧,因而这个氧化薄层在所述的晶体管的区域形成栅极氧化层 42 与 44,而在电容的区域则形成一介电层 46。在一较佳的具体实施例中,所述的氧化层是以加热的方式来形成。而在其它较佳实施例中,所述的氧化层在未经掺杂的硅区域中具有大约 2nm 的厚度。

[0060] 在利用另一个光刻方式的另一具体实施例中,在所述的电容部的区域的一介电层是由一不同的材料所组成以及 / 或是制造成与提供给晶体管部分具有一不同的厚度的介电层。

[0061] 如同在图 6A 与图 6B 所示,就地或随后经过掺杂的多晶体的硅随后沉积于其上,因此一多晶硅层 50 产生于其上。所述的多晶硅层 50 具有例如 100nm 的厚度以及每立方公分 10^{21} 个掺杂原子的掺杂浓度。这个 n 传导型重度的掺杂再一次以 n++ 的符号来表示。例如,磷原子被用来作为掺杂原子。

[0062] 如同在图 7A 与图 7B 所示,另一个比前面所述的 TEOS 层 20 更厚的 TEOS 层 52 达到 100nm。

[0063] 这个所述的 TEOS 层 52 具有双重的功能。如同接下来要进一步说明的,所述的 TEOS 层 52 首先应用于一用于图形化所述的晶体管的控制电极(栅极)的一硬掩模。接着,所述的 TEOS 层 52 又当成一个能避免所述的栅极电极重复被掺杂的注入罩。通过这样的方式,使所述的栅极电极与源极 / 漏极的区域能够进行不同的被掺杂。因而所述的栅极电极的功函数可以随意的选择。

[0064] 如同在图 8A 与图 8B 所示,另一个光刻的方法继续被实施以使一栅极电极 54 可以成型。为了这个目的,另一光刻胶层(没有表示于同中)再一次被涂布,随后同样进行曝光与显影的程序。随后,所述的 TEOS 层 52 以及多晶硅层 50 接着经过,例如一蚀刻程序,而形成另一种图形。这使得在晶体管的区域上形成一栅极电极 54 以及在电容区域上形成一覆盖电极 56。所述的栅极电极 54 被覆盖在一 TEOS 层区域 52a 之下,而所述的覆盖电极 56 则是被覆盖在另一 TEOS 区域 52b 之下。这个蚀刻的程序一直实施到所述的 TEOS 层 20 为止。在多晶硅层 50 的蚀刻期间,为了移除所有在叠层 30a 的边侧所寄生的多晶硅间隙物,一个严重程度的过蚀刻情况下将会发生。而在这个蚀刻过程后,这个外侧将只会被所述的薄层所覆盖。

[0065] 如同在图 9A 与图 9B 所示,一薄氮化硅层 60 随后以,例如一 CVD 方法的协助而沉积于所有的区域上。所述的氮化硅层 60 在一较佳的具体实施例中具有 50nm 的厚度。

[0066] 如同在图 10A 与图 10B 所示,所述的氮化硅层 60 随后以一非等向性蚀刻制造工艺过程在所述的晶体管部 30a 的边侧形成一间隙物 60a,以及在所述的栅极电极 54 与所述的 TEOS 层区域 52a 的边侧分别形成间隙物 60b 与 60c,而且也在覆盖电极 56 与所述的 TEOS 层区域 52b 的边侧形成一间隙物 60d。

[0067] 如同在图 11A 与图 11B 所示,所述的薄 TEOS 层 20 随后以一没有使用光刻的方式

来进行蚀刻,也就是通过,例如一 RIE (Reactive

[0068] ion etching) 的制造工艺过程以一自我排列的方式来进行蚀刻。于是,一 TEOS 层区域 20a 产生于间隙物 60b、60c 以及所述的栅极电极 54 之下。而另一 TEOS 层区域 20b 则是产生于所述的间隙物 60d 之下。在蚀刻的过程中,所述的另一个 TEOS 层区域 52a 与 52b 也同时被薄化到例如,25nm。这使得原来在栅极电极 54 的位置上形成一薄化的 TEOS 层区域 52c,以及在覆盖电极 56 上形成另一薄化的 TEOS 层区域 52d。除此之外,由于蚀刻的影响,造成所述的氮化硅层 18 在没有受到 TEOS 层区域 20a 覆盖的区域未受到任何的覆盖。而所述的间隙物 60a 到 60d 则是不会受到蚀刻的攻击,因此,他们稍微较薄化的 TEOS 层的区域 52c 与 52d 高出一点。

[0069] 如同在图 12A 与图 12B 所示,所述的氮化物层 18 随后以一自我排列的方式而图形化,造成氮化层 18 未经覆盖的区域被移除,形成一氮化物层 18a 依旧是位在所述的 TEOS 层区域 20a 之下,而另一氮化物层 18b 则依旧是位在所述的 TEOS 层区域 20b 之下。这样的蚀刻程序通过,例如一 RIE (Reactive ion etching) 的方法来完成。而所述的间隙物 60a 到 60d 也可能因这个制造工艺过程中而缩短。而这样的蚀刻以及薄层厚度经过尺寸调整后使得所述的栅极电极 54 在所述的氮化硅层 18 经过蚀刻后,仍然在外侧围绕着 60b 与 60c。经由前面所述,所述的栅极电极 54 更进一步通过一够厚的 TEOS 层,例如具有厚度 25nm 的一 TEOS 层 52c 来掩模。所述的源极 / 漏极区域在所述的氮化硅层 18 被蚀刻后便不再受到覆盖。

[0070] 所述的间隙物 60b 与 60c 到目前为止终止于所述的 TEOS 层区域 52c 的上表面。而间隙物 60d 则是终止于另一个 TEOS 层区域 52d 的上表面。

[0071] 如同在图 13A 与图 13B 所示,一选择性的外延 (epitaxy) 方法随后开始进行。一单晶成长的外延层只在所述的半导体层 16 上未受到覆盖的区域成长。外延的区域 62 与 64 在单晶硅材上产生。所述的外延区域 62 与 64 一直成长延伸到大约为所述的 TEOS 层区域 20a 与 20b 的高度的一半。所述的外延区域 62 与 64 也被视为是“提高的”源极 / 漏极区域。这个所述的外延区域 62 与 64 的外延层的厚度主要是根据半导体层 16 的厚度以及下面所要解释的硅转化 (siliciding) 来决定。所述的硅转化消耗所呈现的硅材,因而使得一对应数量的硅材可以用于外延过程的反应。这个方法可以避免在所述的源极 / 漏极区域上在沟道终端的“移除撕裂”。

[0072] 如同在图 14A 与图 14B 所示,在外延方法后,一离子注入程序,例如 n++, 也就是重度的 n 型掺杂的注入开始实施 (如图中的箭头 80 所示),以为了制造所述的高度掺杂的源极 / 漏极区域 70 与 72。在这里只需要利用一掩模来分离具有互补式金属氧化物半导体 (CMOS) 的区域。所述的外延区域 62 与 64 以及在图中所示的半导体层 16 在标线所标示的区域由于离子注入的结果而形成一 n++ 掺杂的低阻抗的型式。除此之外,在这个实施例中,在所述的源极 / 漏极区域 72 与所述的电容的底部电极区域 34 之间的连接也制造出来。一沟道区域 72 位在介于所述的半导体层 16 的源极 / 漏极区域 70 与 72 之间仍然维持未受到掺杂。

[0073] 所述的 TEOS 层区域 52c 与 52d 在注入制造工艺过程的期间是作为一注入掩模。因此,所述的栅极电极 54 的掺杂以及覆盖电极 56 的掺杂在离子注入的过程中不会受到改变。

[0074] 如同在图 15A 与图 15B 所示,所述的 TEOS 层 52,尤其是所述的 TEOS 层区域 52c 与

52d 在所述的 HDD(高密度漏极)注入后便加以蚀刻。一硅化物自我排列 (salicide) 的方式, (i. e. self-aligned silicide) 随即实施。为了这个目的,在一较佳的实施例中,一镍层沉积于整个区域上。在温度,例如达到 500°C 的条件下,镍硅化物形成于所述的外延区域 62 与 64、所述的栅极电极 54 以及所述的覆盖电极 56 上,如图上所示的硅化物区域 90 到 96。

[0075] 如同在图 16A 与图 16B 所示,一钝化层 100,例如由二氧化硅所组成的钝化层,随后被涂布上去。多个接触孔洞随后以蚀刻的方式蚀刻进入所述的钝化层 100 并且随后以例如,钨材加以充填,因此产生了连接区段 102、104、106、108 以及 110,这个些区段分别连接到硅化物区域 90、94、96 以及 92。在另一个具体实施例中,连接区段 108 与 110 替换成只有单一连接区段而连接到硅化物区域 92。这些连接区段 102 到 110 随后也连接到一金属化层或者多个金属化层的内部连结上。一传统的 CMOS 制造工艺过程方式,也被当作是“背端”的方式实施于这个实施例中。

[0076] 图 17 表示一存储器单元 120 的一平面图,其上包含一 FinFET 122 以及一电容 124。所述的电容 124 在尺寸上以表现出相较于从前面图 1A 到图 17 中所述的晶体管 122 具有较小的面积。

[0077] 所述的电容 124 的有效面积可由下式产生:

$$[0078] \quad A = L \cdot B + H \cdot (2 \cdot L + B)$$

[0079] 其中, A 表示电容 124 的有效面积, B 表示电容的宽度, L 表示电容的长度,而 H 则表示如同图 16A 中所述的底部电极区域 34 的高度。

[0080] 对于这样一个嵌入 DRAM 电容值的应用的一个较佳区域面积的具体实施例为通过一个快速地嵌入式 DRAM 取代中级尺寸的 SRAM 内存单元,例如在一微处理器内存阶层中的第二与第三存取等级,也就是在第二与第三等级的快取 (cache)。举例来说,到目前为止,一 SRAM 内存单元具有一 $134F^2$ 的面积,其中 F 表示最小的特征尺寸。假如使用具有一介电常数 ϵ_r 相等于 25 的一介电层,例如五氧化钽,那么根据下列计算式的计算后,这个接口层可能可以达成传统嵌入式 DRAM 的电容值 CMEM 达到每内存单元 25fF (femto-farads)。这个氧化物的电容值达到:

$$[0081] \quad COX = \epsilon_r \epsilon_0 / t_{phys} = 110fF / \mu m^2$$

[0082] 其中, t_{phys} 为氧化层厚度,在一较佳的具体实施例中通常达到 2nm。这形成储存电容值所需要的面积:

$$[0083] \quad AMEM = CMEM / COX = 0.18 \mu m^2$$

[0084] 如果最小特征尺寸 F 相等于 50nm,这使得对应的电容达到 $72F^2$ 。这样的面积可以用来产生,例如具有一基本面积 $L \cdot B = 8F \cdot 6F$ 的一平行六面体的底部电极区域 34,而高度 H 则相等于 1F。这样的面对应于一直平面的 SOI 制造工艺过程可以造成 33% 的面积减少。这样的面积获得更高的高度 H 的增压加。包括所述的存取晶体管在内,所述的 FinFET 以及电容装置的具有 $68F^2$ 的全部面积大小因而产生,所述的 FinFET 122 并以一栅极接触而具体实施。因此,所述的嵌入式 DRAM 内存单元的面积可以小于所述的 SRAM 单元 $134F^2$ 的尺吋大小。

[0085] 在本发明的情况下,一电容值整合于所述的 FET 平面上,也就是说整合于一 SOI 基材上所谓的顶部硅材上。对比于 SOI-CMOS 平面利用完全空阔的 SOI 晶体管的技术,本发明使用的是 FinFET,因而在边侧的两个控制沟道上具有较佳的控制性质。而假如所述的晶体

管特别高品质的栅极介电层用来当成电容的介电层时，SOI 电容值得制造只需要一额外的步骤。

[0086] 假如一有效地氧化厚度是 1nm，而在栅极与顶部的硅空阀区具有 0.8nm 的校正厚度，并考虑量子力学的效应，每单位面积所具有的电容量为：

$$[0087] \quad COX = 3.9 \epsilon_0 / t_{fox} = 19fF / \mu m^2$$

[0088] 其中，相等于 1.8nm 的 t_{fox} 表示电性有效氧化厚度，而 ϵ_0 则表示自由空间的电容率。若已知一金属栅极的使用，电性有效氧化厚度为了考虑栅极的空阀区降低 0.4nm 而使空阀区不再出现，那么所造成的每单位面积所具有的电容量为：

$$[0089] \quad COX = 3.9 \epsilon_0 / t_{fox} = 24fF / \mu m^2$$

[0090] 根据本发明的电容量也被当成所谓的旁通电容量以减弱在集成电路装置上的电压供应时所谓的突起 (spike) 以及串音 (cross talk) 的效应。

[0091] 在另一较佳的具体实施例中，一个别高 k 值的 DRAM 介电层 (其中 ϵ_r 值远大于 100) 被用来取代所述的栅极氧化物。例如，包含钡锶钛 (BST) 化合物或钡锶钛的外延。因此，所需要的面积减少至大约 $22F^2$ 。一第二掩模用来定义这个在 SOI 叠层上所述的高 k 值的接口层的区域。

[0092] 前面所提到的技术概念的带的另一个优势在于一平面晶体管位在纯逻辑区块以及嵌入式 DRAM 区块之间。除此之外，深层的沟道与接触都可以避免。

[0093] 在 FinFET 上的因为具有低泄漏电流以及较低的寄生电容量因而增加全部电容量中有效电容量的比例，因此所述的 FinFET 额外地造成另一个降低的嵌入式 DRAM 电容量 C_{MEM} 等于 10fF。

[0094] 在图 1A 到图 17 的所有具体实施例中，并没有提到 LDD 掺杂 (低度掺杂的漏极) 的实施。因此，在另一具体实施例中，除了 HDD 掺杂外，一 LDD 掺杂也可以执行于所述的制造工艺过程中。

[0095] 在另一个具体实施例中，一晶体管以及所述的电容在空间上是排列成彼此相互远离，而且各自连接到所指定的连接区段上。

[0096] 尤其是在只具有一个晶体管的 DRAM 内存单元 (动态随机存取存储器) 中，所述的连接区段 104 是不必要的。所述的间隙物 60c 与 60d 随后可以彼此接触以使得他们在终端区域 70 的掺杂期间以及在所述的选择性的硅转化 (siliciding) 期间当成是一个掩模。一终端区域随后透过所掺杂的原子的扩散从所述的底部电极区域 34 形成于间隙物 60c 与 60d 之下。

[0097] 图 18 表示一 DRAM 内存单元 (动态随机存取存储器) 200 的电路图，其具有三个晶体管 M1 到 M2 以及具有一电容 C_s ，并通过参照图 1A 到图 16A 所解释的制造工艺过程步骤的方式来制造。举例来说，如图 17 中所述的晶体管 122 是第一的情况中的晶体管 M1。而所述的电容 124 则为对应的电容 C_s 。在这个第一个情况中，一电传导的连接形成于从接近于所述的半导体层 16 上的底部电极区域 34 的一额外的接点或从连接区段 104 到晶体管 M2 的栅极之间。

[0098] 在另一个替代的实施例中，在第二个情况下的电路布局为选择成使得所述的晶体管 122 对应到图 18 中的晶体管 M2，而电容 124 则是再一次的对应的电容 C_s 。在这个第二个情况中，所述的覆盖电极 56 电传导性地连接到所述的晶体管 M1 的一终端区域以及连接

到所述的晶体管 M2 的栅极。

[0099] 所述的存储器单元 200 的电路包含用以进行写入的一子电路以及用以进行读取的一子电路,在进行读取的期间,所述的电容 Cs 的充电状况不会改变,因而这个结果使得在一读取操作结束后不需要更新所述的充电状况。

[0100] 所述的用以进行写入的子电路包含写入晶体管 M1 以及电容 Cs。所述的晶体管 M1 的栅极端连接到一写入字符线路 WWL。而所述的晶体管 M1 的源极端则是连接到一写入位线 BL1。根据前面的第一个情况中所提到的在具有特定的良好电子特性的电路装置的情况中,所述的地晶体管 M1 的漏极端引导到由所述的电容 124 的底部电极 34 所形成的一储存节点 X。所述的电容 Cs 的覆盖电极 56 连接到接地的电动势 VSS。根据上述的第二种情况的另一个替代的实施例中,所述的晶体管 M1 的漏极引导到由所述的电容 124 的覆盖电极 56 所形成的一储存节点。所述的电容 Cs 的底部电极 34 则是连接到接地的电动势 VSS。

[0101] 所述的用以进行读取的子电路包含写入晶体管 M2 与 M3。所述的晶体管 M3 的栅极端连接到一读取字符线路 RWL。而所述的晶体管 M3 的源极端则是连接到一写入位线 BL2,并且在读取操作开始前,以一操作电动势,例如 VDD 来充电。所述的晶体管 M3 的源极端电连接到所述的晶体管 M1 的一漏极端。所述的晶体管 M2 的栅极则是连接到储存节点 X。所述的晶体管 M2 的源极端则是连接到接地的电动势 VSS。

[0102] 所述的晶体管 M2 执行一放大器的任务,以使得即使是在储存节点 X 上具有充电损失的情况下,一个可靠的读取程序仍然可以进行。假如在储存节点 X 上具有一正型充电,那么所述的晶体管 M2 便是在其打开 (switch on) 的状态,而预先充电的读取位线路 BL2 则是在读区操作的期间放电。

[0103] 因为所述的晶体管 M2 的栅极-源极的电容值与所述的电容 Cs 是并联连结的,所述的有效储存电容 Ceff 增加为:

$$[0104] \quad C_{eff} = C_s + C_{GS}(M2)$$

[0105] 式中 Cs 表示所述的电容 Cs 的电容值,而 CGS 则为所述的晶体管 M2 的栅极-源极的电容值。考虑到制造的方法时,所述的储存电容 Cs 以及所述的晶体管 M2 的每单位面积的电容值可以,例如是相同量值,假如其中的栅极氧化物以及电容的介电层是制造在同一个介电层上而且在该层的每一点都具有相同的厚度时。

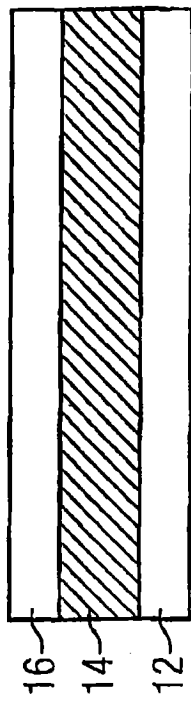
[0106] 所述的内存单元 200 的面积需求是通过组成有效储存电容 Ceff 的需要所决定。假如已知所述的内存单元 200 具有造成一高读取电流的低泄漏电流以及一高晶体管增益,进一步降低所述的储存电容 Cs 的尺寸是可能的。关于电容 Cs 所需要的面积,以及其内部的电子特性是具有多重的内存单元 200 的一内存单元是否能够合乎经济效益地制造的主要关键。具有多重的内存单元 200 的一内存单元也适合用来取代在一处理器内存阶层上的一 SRAM。

[0107] 在另一个具体的较佳实施例中,除了所述的 FinFET 晶体管之外,也可以使用一 muti-FinFET 晶体管取代不止一个网状组织 (web),因而多个网状组织彼此平行排列于其漏极端区域以及其源极端区域之间。

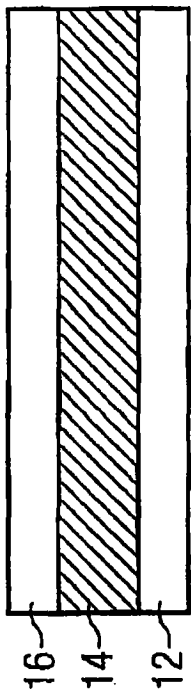
[0108] 附图标记说明

10	SOI 基板	12	载流子基板
14	埋藏绝缘层	16	半导体层

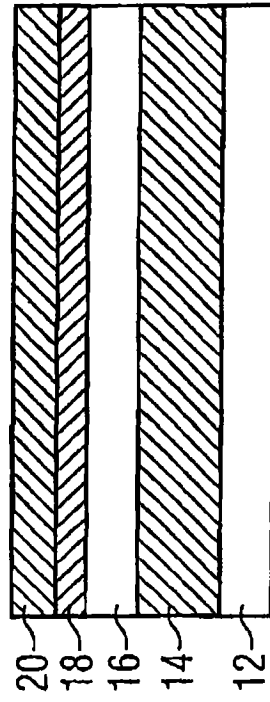
20、20a、20b	TEOS 层		
22	光刻胶层 30	叠层	
30a	晶体管部	30b	电容部
34	底部电极	40	离子注入制造工
[0109]			艺过程
42	栅极氧化层	44	栅极氧化层
46	介电层	50	多晶硅层
52	TEOS 层	52	TEOS 层
[0110]		a-d	
54	栅极电极	56	覆盖电极
60	氮化硅层	60	间隙物
[0111]		a-d	
62	外延区域	64	外延区域
70	源极 - 漏极区域	72	源极 - 漏极区域
80	离子注入制造工	82	有源区域
[0112]	艺过程		
90-96	硅化物区域	100	钝化层
102-110	连接区段	120	内存单元
122	晶体管	124	电容器
200	DRAM 内存单元		



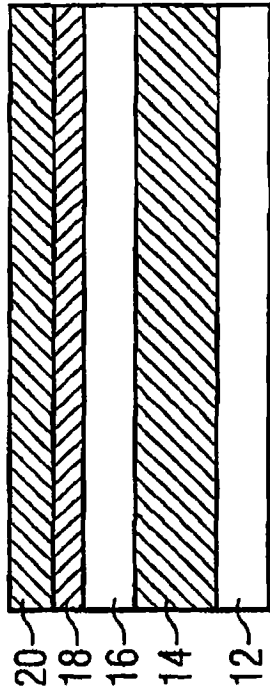
10 图 1A



10 图 1B



10 图 2A



10 图 2B

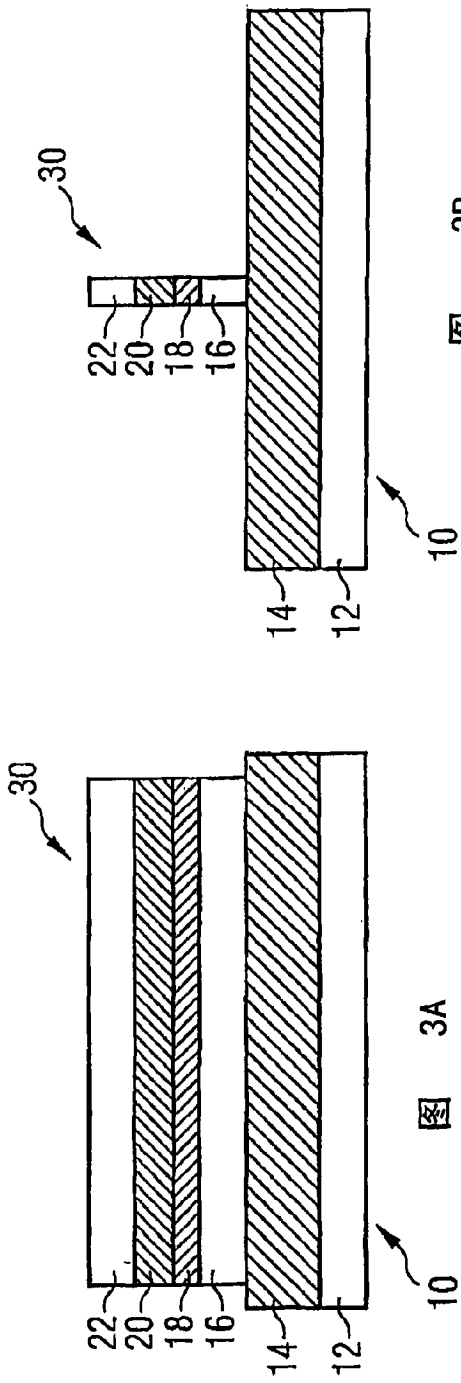


图 3A

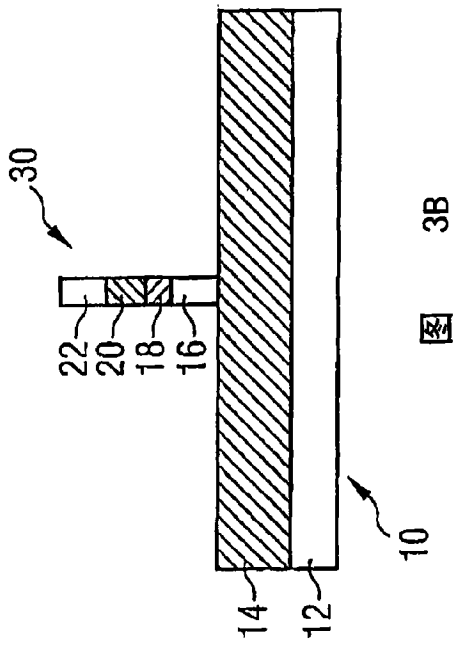


图 3B

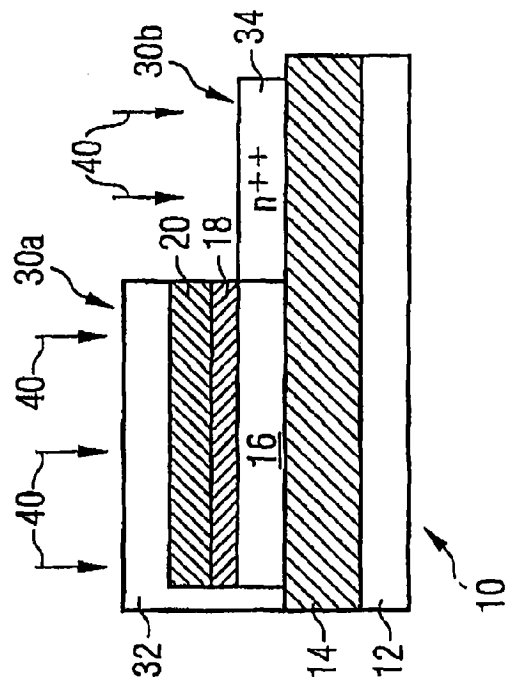


图 4A

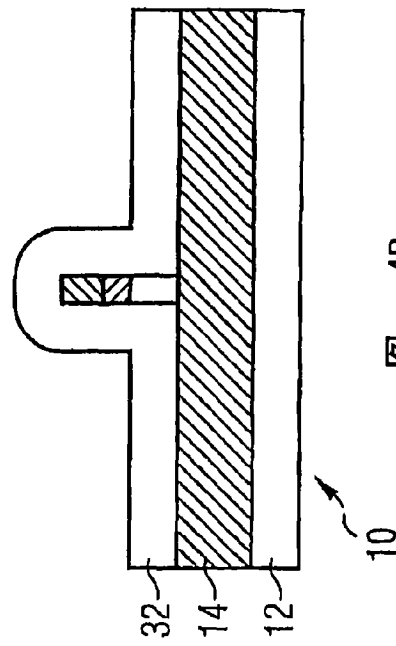


图 4B

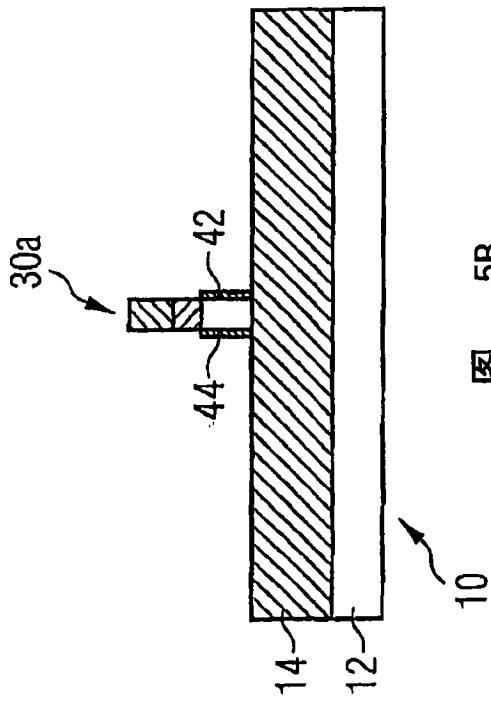


图 5B

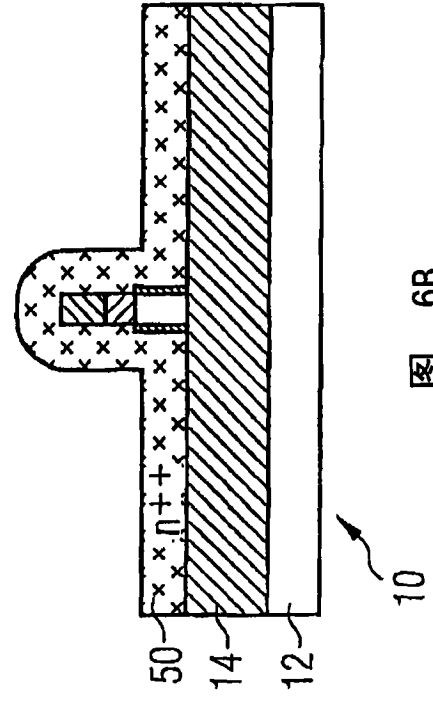


图 6B

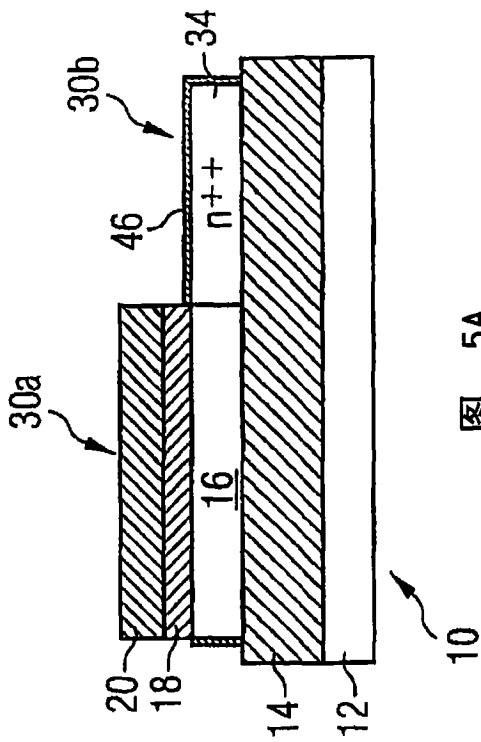


图 5A

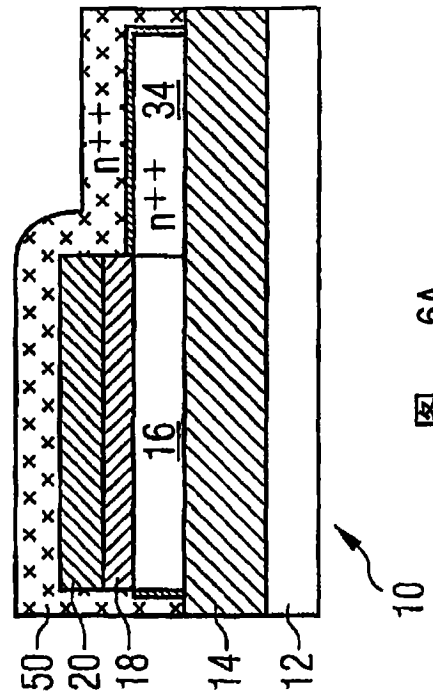


图 6A

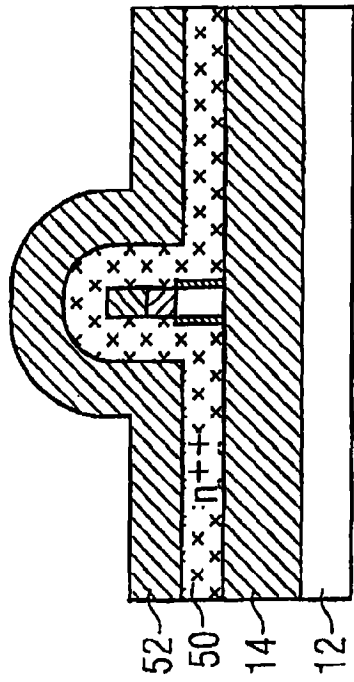


图 7B

10

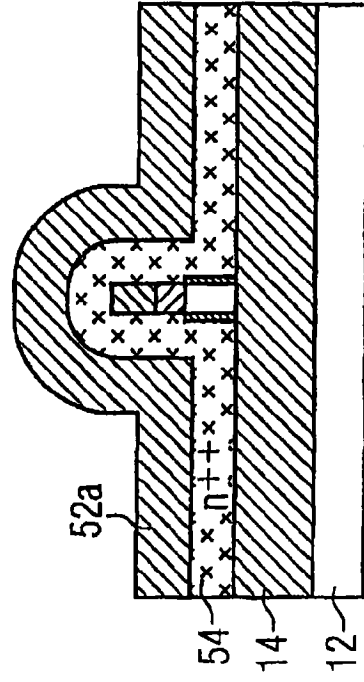


图 8B

10

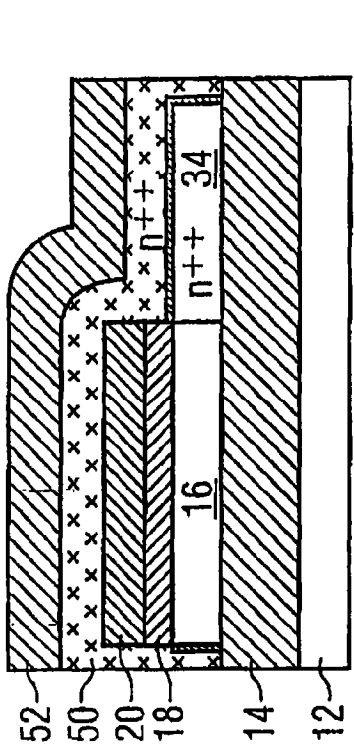


图 7A

10

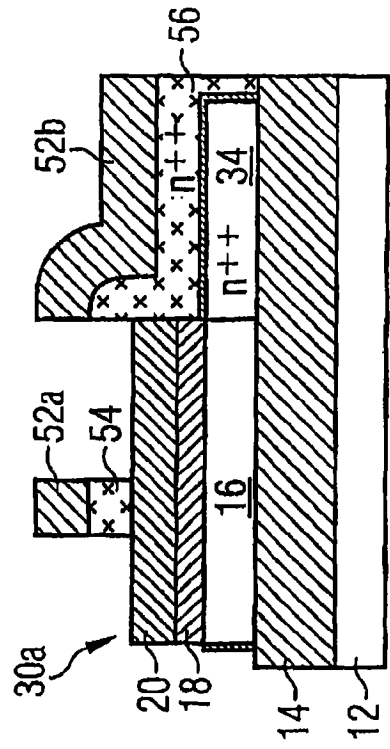


图 8A

10

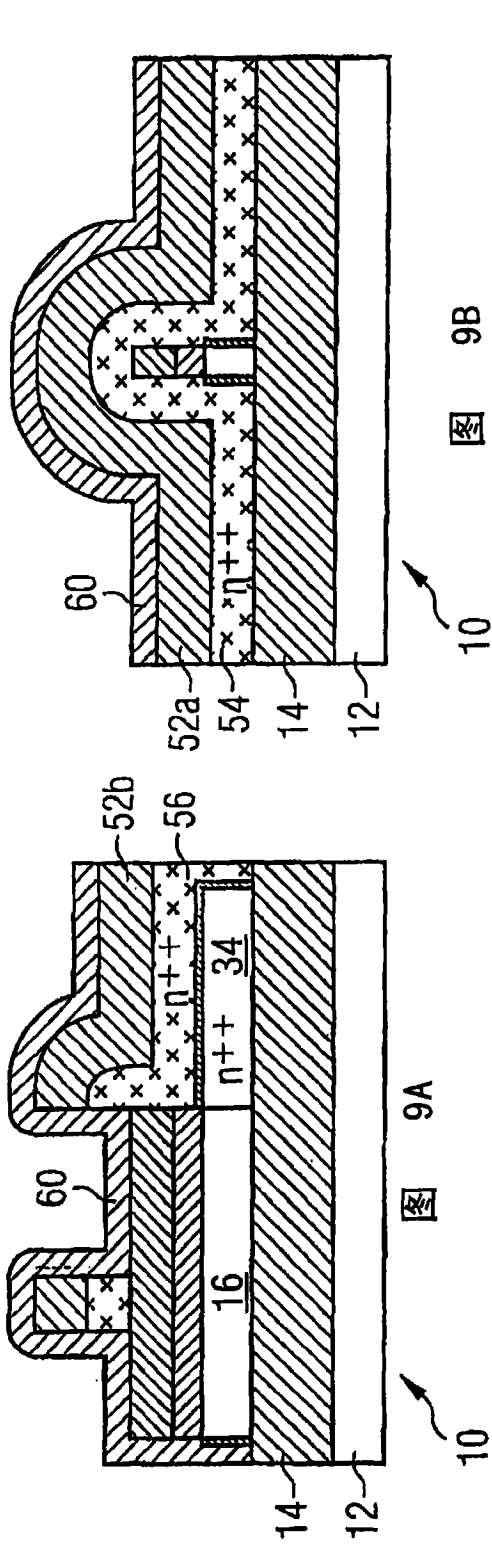


图 9A

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

图 9B

10

10

10

10

10

10

10

10

10

10

10

10

10

10

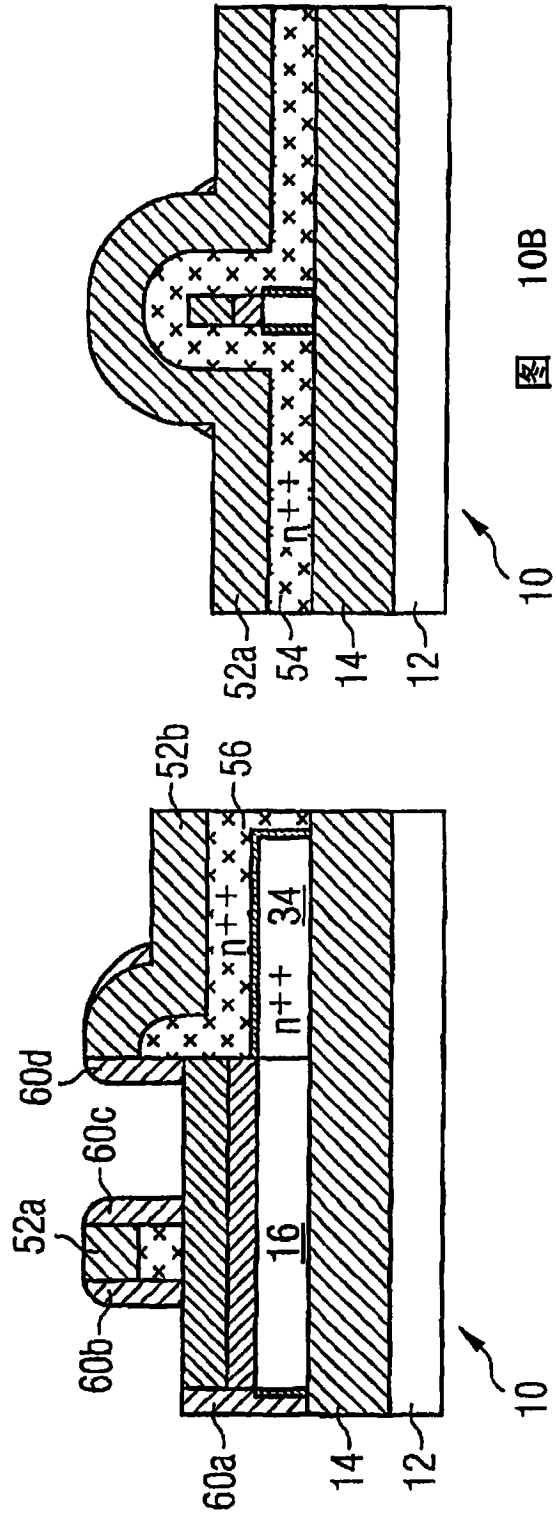


图 10A

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

图 10B

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

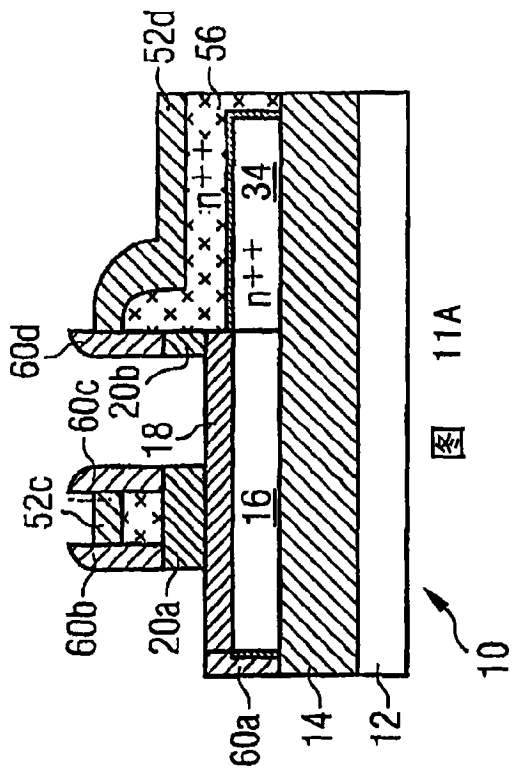


图 11A

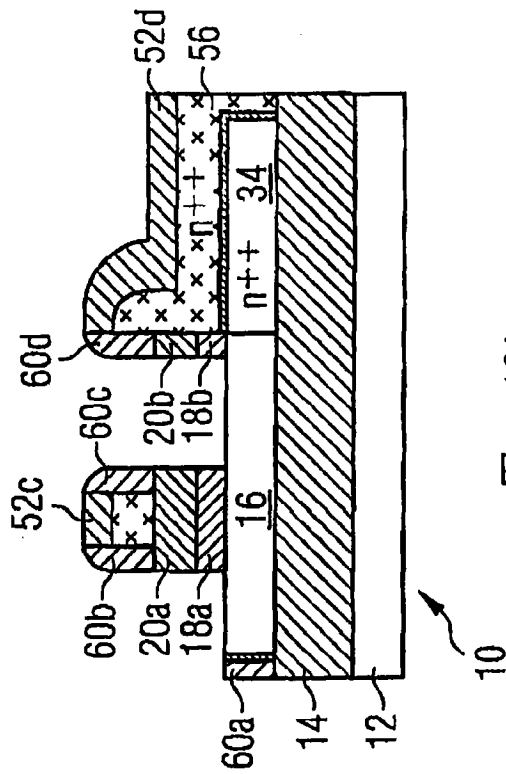


图 12A

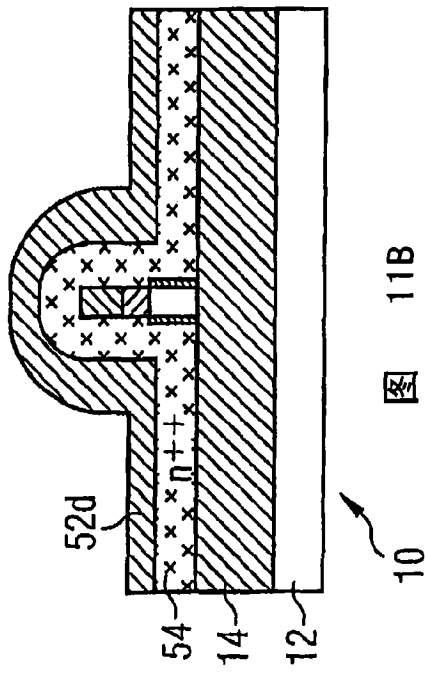


图 11B

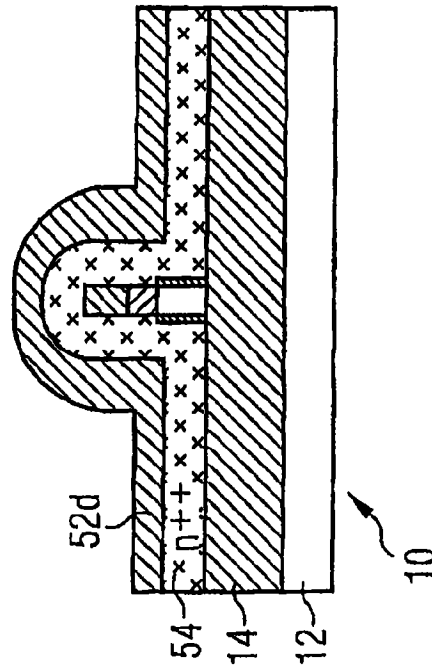


图 12B

