



(12)发明专利申请

(10)申请公布号 CN 107275395 A

(43)申请公布日 2017. 10. 20

(21)申请号 201710220403.0

(22)申请日 2017.04.06

(30)优先权数据

2016-076271 2016.04.06 JP

(71)申请人 三菱电机株式会社

地址 日本东京

(72)发明人 铃木健司 高桥彻雄 金田充

上马场龙

(74)专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 何立波 张天舒

(51) Int. Cl.

H01L 29/739(2006.01)

H01L 29/06(2006.01)

H01L 21/331(2006.01)

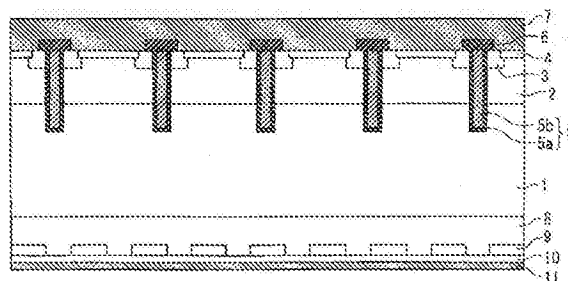
权利要求书2页 说明书6页 附图7页

(54)发明名称

半导体装置及其制造方法

(57)摘要

得到一种能够实现泄漏电流的降低以及断开时的电压振荡的防止、并且改善短路耐量的半导体装置。IGBT具有： p 基极层(2)，其形成于 n 型硅衬底(1)的表面(第1主面)侧，与 n 型硅衬底(1)相比杂质浓度高；以及深 n^+ 缓冲层(8)及浅 n^+ 缓冲层(9)，它们形成于 n 型硅衬底(1)的背面(第2主面)侧，与 n 型硅衬底(1)相比杂质浓度高。深 n^+ 缓冲层(8)遍布 n 型硅衬底(1)的背面侧的整体而形成。浅 n^+ 缓冲层(9)选择性地形成于 n 型硅衬底(1)的背面侧。浅 n^+ 缓冲层(9)与深 n^+ 缓冲层(8)相比杂质浓度高，与深 n^+ 缓冲层(8)相比从背面起的深度浅。



1. 一种半导体装置,其特征在于,具有:
半导体衬底,其具有第1主面及第2主面;
n型的第1半导体层,其形成于所述半导体衬底;
p型的第2半导体层,其形成于所述第1半导体层的所述第1主面侧,与所述第1半导体层相比杂质浓度高;以及
n型的第3半导体层及第4半导体层,它们形成于所述第1半导体层的所述第2主面侧,与所述第1半导体层相比杂质浓度高,
所述第3半导体层遍布所述第1半导体层的所述第2主面侧的整体而形成,
所述第4半导体层选择性地形成于所述第1半导体层的所述第2主面侧,
所述第4半导体层与所述第3半导体层相比杂质浓度高,与所述第3半导体层相比从所述第2主面起的深度浅。
2. 根据权利要求1所述的半导体装置,其中,
所述第4半导体层的非形成区域各自的尺寸小于或等于 $6\mu\text{m}$ 。
3. 根据权利要求1或2所述的半导体装置,其中,
所述第3半导体层的从所述第2主面起的深度大于或等于 $10\mu\text{m}$ 。
4. 根据权利要求1至3中任一项所述的半导体装置,其中,
所述第4半导体层的从所述第2主面起的深度小于或等于 $3\mu\text{m}$ 。
5. 根据权利要求1至4中任一项所述的半导体装置,其中,
所述第3半导体层的掺杂剂是硼或者磷,
所述第4半导体层的掺杂剂是磷或者砷。
6. 根据权利要求1至5中任一项所述的半导体装置,其中,
所述第3半导体层的深度方向的杂质浓度曲线在多个部位具有浓度峰值。
7. 根据权利要求1至6中任一项所述的半导体装置,其中,
所述半导体装置是IGBT,
所述第2半导体层是所述IGBT的基极层。
8. 一种半导体装置的制造方法,其特征在于,具有下述工序,即:
准备半导体衬底,该半导体衬底具有第1主面及第2主面,该半导体衬底形成有n型的第1半导体层;
在所述第1半导体层的所述第1主面侧形成与所述第1半导体层相比杂质浓度高的p型的第2半导体层;以及
在所述第1半导体层的所述第2主面侧形成与所述第1半导体层相比杂质浓度高的n型的第3半导体层及第4半导体层,
所述第3半导体层遍布所述第1半导体层的所述第2主面侧的整体而形成,
所述第4半导体层选择性地形成于所述第1半导体层的所述第2主面侧,
所述第4半导体层形成为,与所述第3半导体层相比杂质浓度高,与所述第3半导体层相比从所述第2主面起的深度浅。
9. 根据权利要求8所述的半导体装置的制造方法,其中,
所述第4半导体层的非形成区域各自的尺寸小于或等于 $6\mu\text{m}$ 。
10. 根据权利要求8或9所述的半导体装置的制造方法,其中,

所述第3半导体层的从所述第2主面起的深度大于或等于 $10\mu\text{m}$ 。

11. 根据权利要求8至10中任一项所述的半导体装置的制造方法,其中,所述第4半导体层的从所述第2主面起的深度小于或等于 $3\mu\text{m}$ 。

12. 根据权利要求8至11中任一项所述的半导体装置的制造方法,其中,所述第3半导体层的掺杂剂是硼或者磷,所述第4半导体层的掺杂剂是磷或者砷。

13. 根据权利要求8至12中任一项所述的半导体装置的制造方法,其中,形成所述第3半导体层的工序是通过加速电压不同的多次离子注入而进行的。

14. 根据权利要求8至13中任一项所述的半导体装置的制造方法,其中,还具有通过激光退火而进行使所述第4半导体层激活的热处理的工序。

15. 根据权利要求8至14中任一项所述的半导体装置的制造方法,其中,还具有通过大于或等于 350°C 而小于或等于 450°C 的炉退火而进行使所述第3半导体层激活的热处理的工序。

16. 根据权利要求8至15中任一项所述的半导体装置的制造方法,其中,还具有在所述第2主面形成电极的工序,

用于所述第3半导体层的激活的热处理和用于使所述电极与所述第2主面欧姆连接的热处理是同时进行的。

17. 根据权利要求8至16中任一项所述的半导体装置的制造方法,其中,所述半导体装置是IGBT,

所述第2半导体层是所述IGBT的基极层。

半导体装置及其制造方法

技术领域

[0001] 本发明涉及例如绝缘栅型双极晶体管 (IGBT) 等半导体装置。

背景技术

[0002] 从节能的角度出发,在通用逆变器、AC伺服等领域中,在用于进行三相电动机的可变速控制的功率模块等中使用IGBT、二极管。为了减少逆变器损耗,要求降低IGBT、二极管的通断损耗及导通电压。

[0003] IGBT的导通电压的大半是保持耐压所需的厚的n型基极层(漂移层)的电阻,为了降低该电阻,使构成IGBT的晶片(半导体衬底)变薄是有效的。但是,如果使晶片变薄,则在集电极电极施加了电压时,耗尽层到达至晶片的背面(集电极侧的面),发生耐压的下降、泄漏电流的增大。因此,在通常的IGBT的集电极侧浅浅地形成有与衬底相比杂质浓度高的n⁺缓冲层(以下将该缓冲层称为“浅n⁺缓冲层”)。

[0004] 另一方面,与晶片的加工技术的进步相伴,IGBT的晶片的厚度能够薄至接近于可确保所期望的耐压的极限。在将晶片加工得薄的情况下,即使在晶片的背面侧形成有浅n⁺缓冲层,如果IGBT进行通断动作,电源电压和电涌电压(=L×di/dt)被施加于集电极-发射极间,则耗尽层也到达至背面侧。如果耗尽层到达至背面侧,则载流子枯竭,发生电压及电流进行振荡这一问题。

[0005] 作为其对策,存在下述技术,即,在晶片的背面侧设置与浅n⁺缓冲层相比杂质浓度低、且从背面起的深度大(大于或等于10μm)的n⁺缓冲层(以下将该缓冲层称为“深n⁺缓冲层”)。通过设置深n⁺缓冲层,从而在通断动作时,即使对集电极电极施加高电压,也能够平缓地阻止耗尽层的扩展。其结果,通过防止背面侧的载流子的枯竭,使载流子滞留,从而能够防止急剧的电压上升。

[0006] 但是,在使用深n⁺缓冲层的技术中,由于在IGBT断开时,需要使耗尽层止于深n⁺缓冲层内,在背面侧残留载流子,因此深n⁺缓冲层的杂质浓度的最优化非常难。在杂质浓度基于杂质的注入量、注入后的热处理的条件而波动的情况下,断开时的电压振荡可能会变大,或者在对集电极电极施加了高电压时耗尽层可能会到达至背面侧而使泄漏电流增大。

[0007] 为了解决上述问题,提出了具有浅n⁺缓冲层和深n⁺缓冲层这两者的“2级缓冲构造”(例如下述专利文献1、2)。

[0008] 专利文献1:日本专利第3325752号公报

[0009] 专利文献2:日本特开2013-138172号公报

[0010] 现有的2级缓冲构造的IGBT能够实现泄漏电流的降低以及断开时的电压振荡的防止。但是,另一方面,由于来自晶片背面的空穴的供给量变少,因此产生短路动作时的破坏耐量(短路耐量)下降这一问题。

发明内容

[0011] 本发明就是为了解决上述课题而提出的,其目的在于得到一种半导体装置,该半导体装置能够实现泄漏电流的降低以及断开时的电压振荡的防止,并且改善短路耐量。

[0012] 本发明所涉及的半导体装置具有:半导体衬底,其具有第1主面及第2主面;n型的第1半导体层,其形成于所述半导体衬底;p型的第2半导体层,其形成于所述第1半导体层的所述第1主面侧,与所述第1半导体层相比杂质浓度高;以及n型的第3半导体层及第4半导体层,它们形成于所述第1半导体层的所述第2主面侧,与所述第1半导体层相比杂质浓度高,所述第3半导体层遍布所述第1半导体层的所述第2主面侧的整体而形成,所述第4半导体层选择性地形成于所述第1半导体层的所述第2主面侧,所述第4半导体层与所述第3半导体层相比杂质浓度高,与所述第3半导体层相比从所述第2主面起的深度浅。

[0013] 发明的效果

[0014] 根据本发明所涉及的半导体装置,由于能够通过2级缓冲构造,防止泄漏电流的增加以及断开时的电压振荡,并且确保来自半导体衬底的第2主面(背面)的空穴供给量,因此破坏耐量得到改善。

附图说明

[0015] 图1是表示IGBT处的短路动作时的电场分布的模拟结果的图。

[0016] 图2是本发明的实施方式1所涉及的IGBT的剖视图。

[0017] 图3是表示实施方式1所涉及的IGBT为导通状态时的空穴的导电路径的图。

[0018] 图4是用于对实施方式1所涉及的IGBT的制造方法进行说明的工序图。

[0019] 图5是用于对实施方式1所涉及的IGBT的制造方法进行说明的工序图。

[0020] 图6是用于对实施方式1所涉及的IGBT的制造方法进行说明的工序图。

[0021] 图7是用于对实施方式1所涉及的IGBT的制造方法进行说明的工序图。

[0022] 图8是用于对实施方式1所涉及的IGBT的制造方法进行说明的工序图。

[0023] 图9是用于对实施方式1所涉及的IGBT的制造方法进行说明的工序图。

[0024] 图10是用于对实施方式1所涉及的IGBT的制造方法进行说明的工序图。

[0025] 图11是用于对实施方式1所涉及的IGBT的制造方法进行说明的工序图。

[0026] 图12是用于对实施方式1所涉及的IGBT的制造方法进行说明的工序图。

[0027] 图13是表示实施方式1所涉及的IGBT的背面部分的杂质浓度曲线的例子的图。

[0028] 图14是表示对实施方式1所涉及的IGBT的浅 n^+ 缓冲层的非形成区域的尺寸和泄漏电流之间的关系进行模拟的结果的图。

[0029] 标号的说明

[0030] 1n型硅衬底,2p基极层,3 n^+ 发射极层,4 p^+ 接触层,5a栅极绝缘膜,5b栅极电极,5沟槽栅极,6层间绝缘膜,7发射极电极,8深 n^+ 缓冲层,9浅 n^+ 缓冲层,10p集电极层,11集电极电极,13抗蚀层。

具体实施方式

[0031] <实施方式1>

[0032] 本发明人进行了IGBT的短路动作时的电场分布的模拟。图1是表示其模拟结果的图,示出对耐压为1200V等级的IGBT的短路电路施加了 $V_{ce}=800V$ 、 $V_{ge}=15V$ 的电压的情况

下的IGBT器件内部的电场分布。如图1所示可知,在空穴的供给量少的情况下,由于耗尽层从IGBT的背面侧(集电极侧)扩展,因此背面侧的电场比表面侧(发射极侧)高。如果成为上述电场分布,则IGBT元件容易破坏。另一方面,可知在空穴的供给量多的情况下,电场峰值产生于表面侧,短路耐量提高。本发明人对如下的缓冲层的构造进行研究而得到本发明,该缓冲层能够在确保空穴的供给量的同时抑制泄漏电流的增加,并且防止断开时的电压振荡。

[0033] 图2是本发明的实施方式1所涉及的半导体装置即IGBT的剖视图。如图2所示,该IGBT是使用半导体衬底1(以下称为“n型硅衬底”)形成的,该n型硅衬底1是形成了n型半导体层(第1半导体层)的硅晶片。在n型硅衬底1的表面(第1主面)侧的表层部,形成有与n型硅衬底1相比杂质浓度高的、p型的基极层2(第2半导体层,以下称为“p基极层”)。在p基极层2的表层部,形成有 n^+ 型的发射极层3(以下称为“ n^+ 发射极层”)、以及 p^+ 型的接触层4(以下称为“ p^+ 接触层”)。

[0034] 在n型硅衬底1,以将 n^+ 发射极层3及p基极层2贯穿的方式形成有沟槽,沟槽栅极5被填埋于该沟槽内。沟槽栅极5由栅极绝缘膜5a和栅极电极5b构成,栅极绝缘膜5a设置于栅极电极5b的侧面及底面。沟槽栅极5的侧面与 n^+ 发射极层3以及其下的p基极层2接触,沟槽栅极5的底部到达至p基极层2之下的n型区域。由此,栅极绝缘膜5a隔在栅极电极5b与n型硅衬底1、p基极层2、 n^+ 发射极层3之间。

[0035] 在n型硅衬底1的上表面,以将沟槽栅极5覆盖的方式形成有层间绝缘膜6。在层间绝缘膜6形成有到达至 n^+ 发射极层3及 p^+ 接触层4的接触孔。在层间绝缘膜6之上形成有发射极电极7,该发射极电极7穿过上述接触孔而与 n^+ 发射极层3及 p^+ 接触层4连接。

[0036] 另外,在n型硅衬底1的背面(第2主面)侧的表层部形成有 n^+ 型的缓冲层8(第3半导体层,以下称为“深 n^+ 缓冲层”),该深 n^+ 缓冲层8的从晶片的背面起的深度形成得较深。另外,在深 n^+ 缓冲层8的背面侧的表层部形成有 n^+ 型的缓冲层9(第4半导体层,以下称为“浅 n^+ 缓冲层”),该浅 n^+ 缓冲层9的从晶片的背面起的深度形成得较浅。上述深 n^+ 缓冲层8及浅 n^+ 缓冲层9的杂质浓度比n型硅衬底1高。

[0037] 浅 n^+ 缓冲层9与深 n^+ 缓冲层8相比杂质浓度高。即,浅 n^+ 缓冲层9的杂质的峰值浓度设定得比深 n^+ 缓冲层8的杂质的峰值浓度高。另外,深 n^+ 缓冲层8遍布n型硅衬底1的背面侧整体而形成,但浅 n^+ 缓冲层9是选择性地形成的,而没有形成于背面侧整体。即,在深 n^+ 缓冲层8的背面侧的表层部设置有不形成浅 n^+ 缓冲层9的区域(非形成区域)。

[0038] 此外,能够使用磷或者硼作为深 n^+ 缓冲层8的杂质(掺杂剂),但在实施方式1中使用硼。能够使用磷或者砷作为浅 n^+ 缓冲层9的杂质。

[0039] 另外,在晶片的背面侧的最表层部形成有p集电极层10。另外,在晶片的背面之上,以与p集电极层10接触的方式形成有集电极电极11。

[0040] 图3是表示图2的IGBT为导通状态时的空穴的导通路径的图。在图3中,以箭头示出从IGBT的背面起的空穴的导通路径。在形成有浅 n^+ 缓冲层9的区域,由于空穴进行再耦合而消失,因此空穴浓度下降,但是在未形成浅 n^+ 缓冲层9的区域,空穴浓度变高。其结果,即使在短路动作时,也能够使IGBT的背面侧的空穴浓度高,能够抑制IGBT的背面侧的电场的增大。即,IGBT内的电场分布如图1的虚线的曲线图那样在表面侧呈现出峰值,短路耐量提高。

[0041] 另外,通过由深 n^+ 缓冲层8和浅 n^+ 缓冲层9构成的“2级缓冲构造”,还得到IGBT的泄

漏电流的降低以及断开时的电压振荡的防止这些效果。由此,根据本实施方式,能够得到泄漏电流少、可防止电压振荡、并且破坏耐量高的IGBT。

[0042] 特别地,通过将深 n^+ 缓冲层8的深度设为大于或等于 $10\mu\text{m}$,从而能够防止在断开时背面侧的载流子的枯竭,有效地防止电压振荡。另外,通过设置深度小于或等于 $3\mu\text{m}$ 的浅 n^+ 缓冲层9,从而在集电极电极11处对集电极电极施加了电压时,有效地使耗尽层的扩展停止,防止泄漏电流的增加。

[0043] 下面,对图2所示的IGBT的制造方法进行说明。图4~图12是表示该制造方法的工序图。

[0044] 由于图2的IGBT的表面(第1主面)侧的构造与现有的IGBT相同,能够通过现有方法相同的方法来形成,因此在这里简单地说明。首先,准备 n 型硅衬底1,通过将各种杂质选择性地离子注入至该 n 型硅衬底1的表面侧的表层部,从而分别形成 p 基极层2、 n^+ 发射极层3、 p^+ 接触层4。然后,选择性地对 n 型硅衬底1的表面进行蚀刻,形成将 n^+ 发射极层3及 p 基极层2贯穿的沟槽。然后,在包含该沟槽在内的 n 型硅衬底1的表面之上形成绝缘膜及电极材料,对它们进行图案化或者回蚀,从而在该沟槽内形成由栅极绝缘膜5a及栅极电极5b构成的沟槽栅极5。然后,在 n 型硅衬底1的表面侧的整体形成层间绝缘膜6,在该层间绝缘膜6形成到达至 n^+ 发射极层3及 p^+ 接触层4的上表面的接触孔,然后在层间绝缘膜6之上形成发射极电极7。通过到此为止的工序,得到图4所示的构造。此时的晶片厚度大致与裸晶片相同($700\mu\text{m}$ 左右)。

[0045] 然后,形成IGBT的背面(第2主面)侧的构造。首先,针对 n 型硅衬底1的背面侧,由研磨机进行研磨,或者进行湿式蚀刻,如图5所示,使晶片变薄至所期望的厚度。

[0046] 然后,如图6所示,通过以 $500\text{keV}\sim 1500\text{keV}$ 的加速电压对硼进行多次离子注入,从而如图7所示,在 n 型硅衬底1的底面侧的表层部形成深 n^+ 缓冲层8。由于硼的射程在加速电压 500keV 时为 $6\mu\text{m}$ 左右、在加速电压 1500keV 时为 $30\mu\text{m}$ 左右,因此能够利用通常的半导体制造用离子注入装置,形成具有对于防止断开时的电压振荡而言有效的大于或等于 $10\mu\text{m}$ 的深度的深 n^+ 缓冲层8,而无需使用回旋加速器、范德格拉夫(Van de Graaff)等加速器。

[0047] 另外,通过由加速电压不同的多次离子注入来进行深 n^+ 缓冲层8的形成,从而能够形成像通过热扩散而制作的那样的、具有宽阔(broad)的杂质曲线的深 n^+ 缓冲层8。在图13中示出对深 n^+ 缓冲层8进行了多次(4次)离子注入的情况下的、IGBT的背面部分处的深度方向的杂质浓度曲线的例子。可知,通过加速电压不同的多次离子注入,从而在多处形成有深 n^+ 缓冲层8的浓度峰值。在形成了深 n^+ 缓冲层8后,进行 $350^{\circ}\text{C}\sim 450^{\circ}\text{C}$ 左右的炉退火(furnace anneal),将被注入至深 n^+ 缓冲层8的硼激活。

[0048] 然后,使用照相制版技术,如图8所示,形成对浅 n^+ 缓冲层9的形成区域开设了开口的抗蚀层13(反过来说,抗蚀层13成为将浅 n^+ 缓冲层9的非形成区域覆盖的图案)。然后,如图9所示,将磷或者砷在从晶片的背面起深度小于或等于 $3\mu\text{m}$ 的浅区域进行离子注入,将抗蚀层13去除。由此,如图10所示,在深 n^+ 缓冲层的表层部选择性地形成浅 n^+ 缓冲层9。然后,通过激光退火,进行将注入至浅 n^+ 缓冲层9的磷或者砷激活的热处理。

[0049] 然后,如图11所示,将硼在晶片的背面进行离子注入。由此,如图12所示,在深 n^+ 缓冲层8及浅 n^+ 缓冲层9的表层部形成 p 集电极层10。然后,通过激光退火,进行将注入至 p 集电极层10的硼激活的热处理。

[0050] 然后,通过溅射法,例如,在晶片的背面形成Al/Ti/Ni/Au的层叠膜、AlSi/Ti/Ni/Au的层叠膜等,从而形成集电极电极11。然后,进行用于使集电极电极11和硅(深n⁺缓冲层8及浅n⁺缓冲层9)欧姆连接的热处理。由此,使集电极电极11和硅之间的接触电阻降低。由此,得到图2所示的构造的IGBT。

[0051] <实施方式2>

[0052] 在实施方式1中,将深n⁺缓冲层8的杂质(掺杂剂)设为硼,但是如前所述,也可以使用磷。在使用磷的情况下,能够通过将磷在晶片的背面进行离子注入,然后通过大于或等于1100℃的高温的热处理使磷扩散,从而形成深n⁺缓冲层8。在该情况下,以使IGBT的表面侧的MOS(Metal-Oxide Semiconductor)构造、电极不受上述热处理的影响的方式确定各工序的顺序即可。即,优选在形成IGBT的表面侧的MOS构造前,对背面进行研磨或者湿式蚀刻而使晶片变薄,然后制作深n⁺缓冲层8。例如设为下述顺序即可,即,首先形成背面侧的深n⁺缓冲层8,然后制作表面侧的MOS构造,随后形成背面侧的浅n⁺缓冲层9。

[0053] <实施方式3>

[0054] 如实施方式1所示,在选择性地形成了浅n⁺缓冲层9的情况下,由于在保持耐压时从浅n⁺缓冲层9的非形成区域供给空穴,因此如果浅n⁺缓冲层9的非形成区域的尺寸过大,则泄漏电流可能增大。因此,本发明人对浅n⁺缓冲层9的非形成区域的最优尺寸进行了研究。

[0055] 图14是表示对实施方式1(图2)的IGBT的浅n⁺缓冲层9的非形成区域的尺寸和泄漏电流的大小之间的关系进行模拟的结果的图。在这里模拟的是,在对耐压为1200V等级的IGBT施加V_{ce}=1200V的电压的情况下,改变浅n⁺缓冲层9的非形成区域的尺寸(直径)时的泄漏电流的变化。其结果,如图14所示可知,如果浅n⁺缓冲层9的非形成区域的尺寸超过6μm,则泄漏电流急剧增加。因此,优选浅n⁺缓冲层9的尺寸小于或等于6μm。

[0056] 此外,关于由浅n⁺缓冲层9的形成区域和非形成区域构成的单位单元的尺寸,例如,如果减小单位单元的尺寸但不改变非形成区域的尺寸,则由于芯片面内的非形成区域实质上增加,因此泄漏电流增加,但短路耐量趋向于得以改善。就泄漏电流的容许值而言,由于是由在允许温度内对器件施加了电压时不会发生热失控的值决定的,因此考虑到泄漏电流而决定由形成区域和非形成区域构成的单位单元的尺寸即可。

[0057] <实施方式4>

[0058] 在实施方式1中,通过炉退火进行使深n⁺缓冲层8激活的热处理,通过激光退火进行使浅n⁺缓冲层9激活的热处理。通过炉退火实现的深n⁺缓冲层8的硼的激活率为1%左右,而通过激光退火实现的浅n⁺缓冲层9的磷或者砷的激活率为70%左右。因此,即使浅n⁺缓冲层9的掺杂剂(磷或者砷)的注入量比深n⁺缓冲层8的硼的注入量少,也能够使浅n⁺缓冲层9的杂质浓度峰值与深n⁺缓冲层8的杂质浓度峰值相比充分高。

[0059] 通过抑制浅n⁺缓冲层9的掺杂剂的注入量,从而能够抑制离子注入所导致的晶片背面侧的损伤。特别地,在深n⁺缓冲层8的掺杂剂是硼的情况下,由于硼的激活率还影响到晶体缺陷的量,因此,通过抑制背面侧的损伤,从而能够抑制其激活率的波动,还有助于提高器件的可靠性。

[0060] <实施方式5>

[0061] 在实施方式1中,将用于使利用硼形成的深n⁺缓冲层8激活的热处理、和用于降低集电极电极11的接触电阻的热处理设为不同的工序,但是由于各热处理都是以350℃~450

°C的温度进行的,因此也可以在同一工序中实施这两者。即,也可以在形成了集电极电极11后集中地同时进行深 n^+ 缓冲层8的热处理和集电极电极11的热处理这两者。通过减少热处理的次数,从而能够使制造成本降低。

[0062] 在以上的实施方式中,将半导体衬底1作为硅衬底进行了说明,但半导体衬底1也可以是碳化硅(SiC)衬底。通过使用碳化硅衬底来形成本发明所涉及的半导体装置,从而与使用硅衬底的情况相比,能够得到高电压、大电流、高温动作优异的半导体装置。

[0063] 此外,本发明能够在该发明的范围内对各实施方式自由地进行组合,或者对各实施方式适当地进行变形、省略。

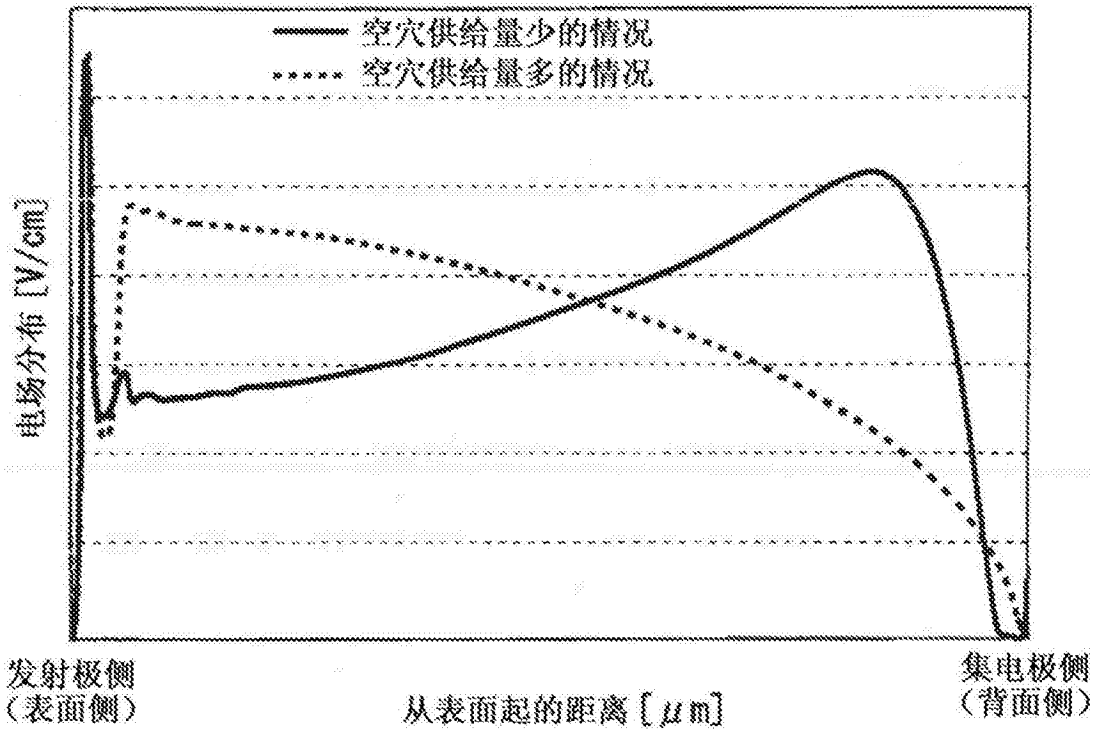


图1

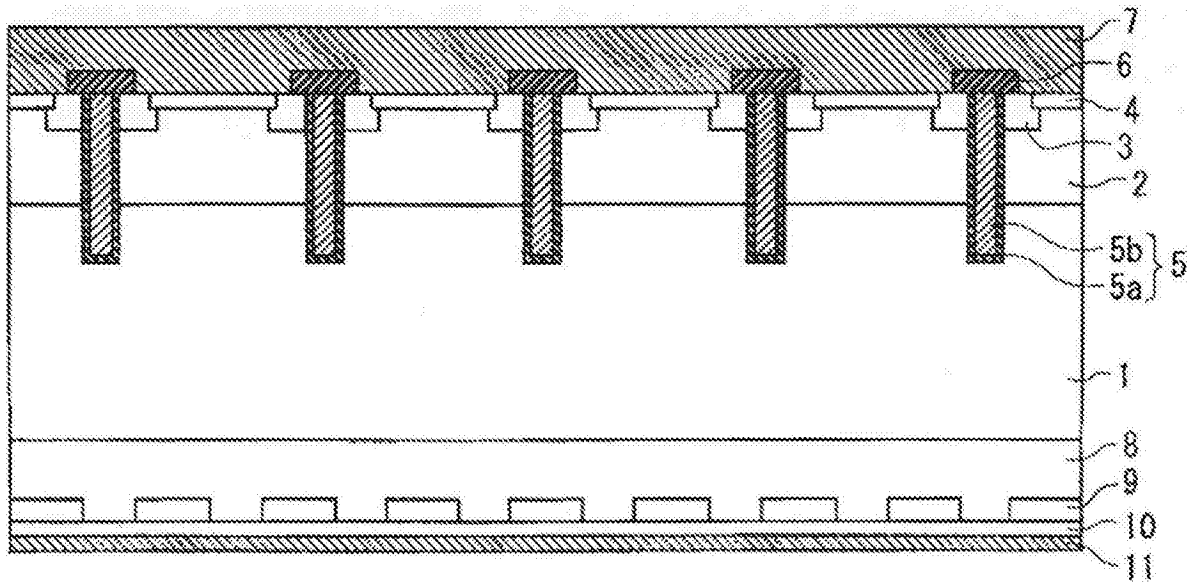


图2

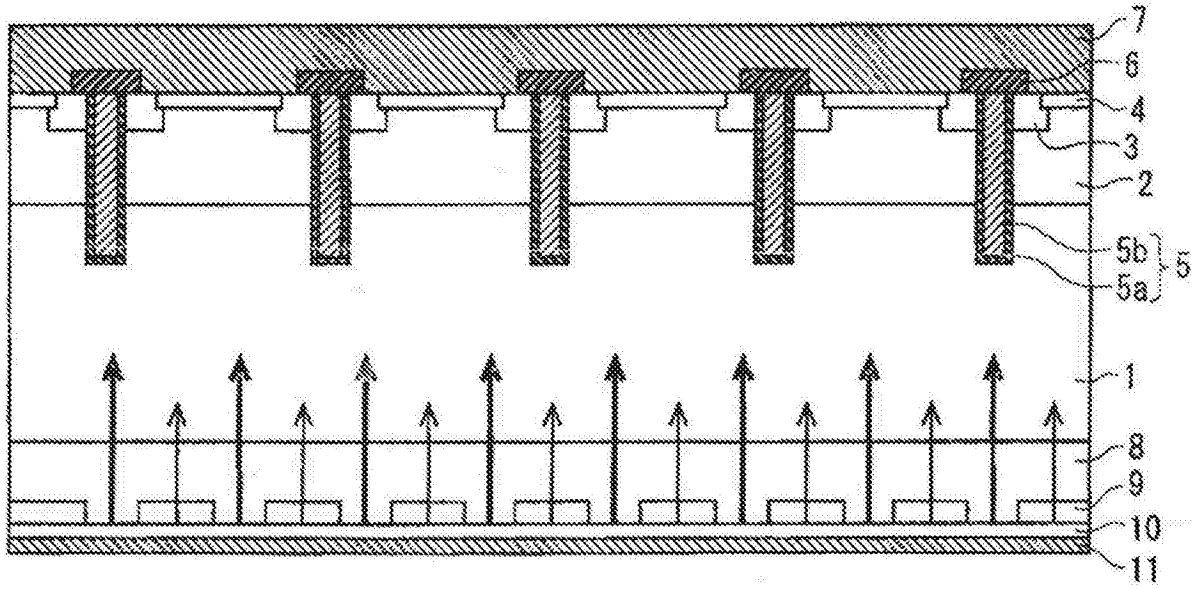


图3

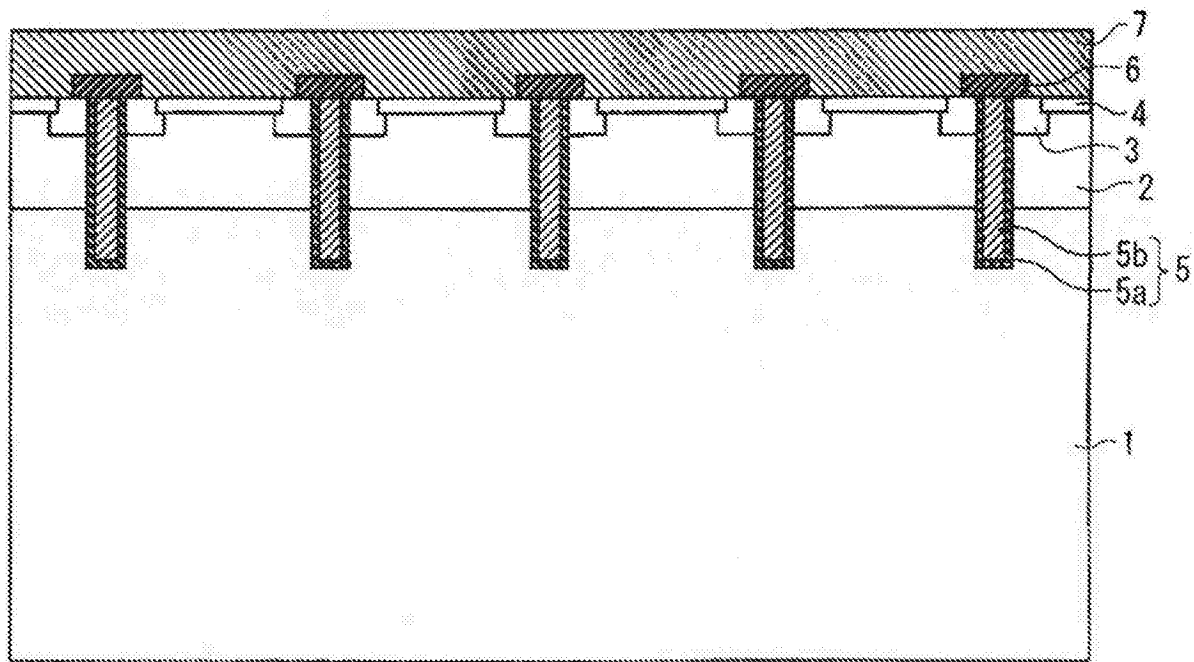


图4

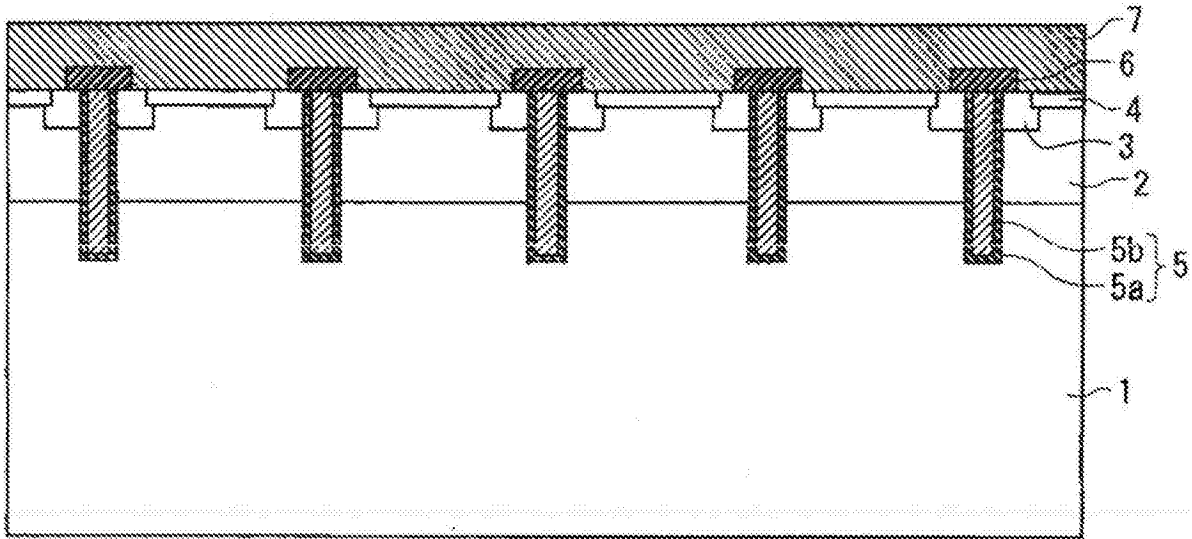


图5

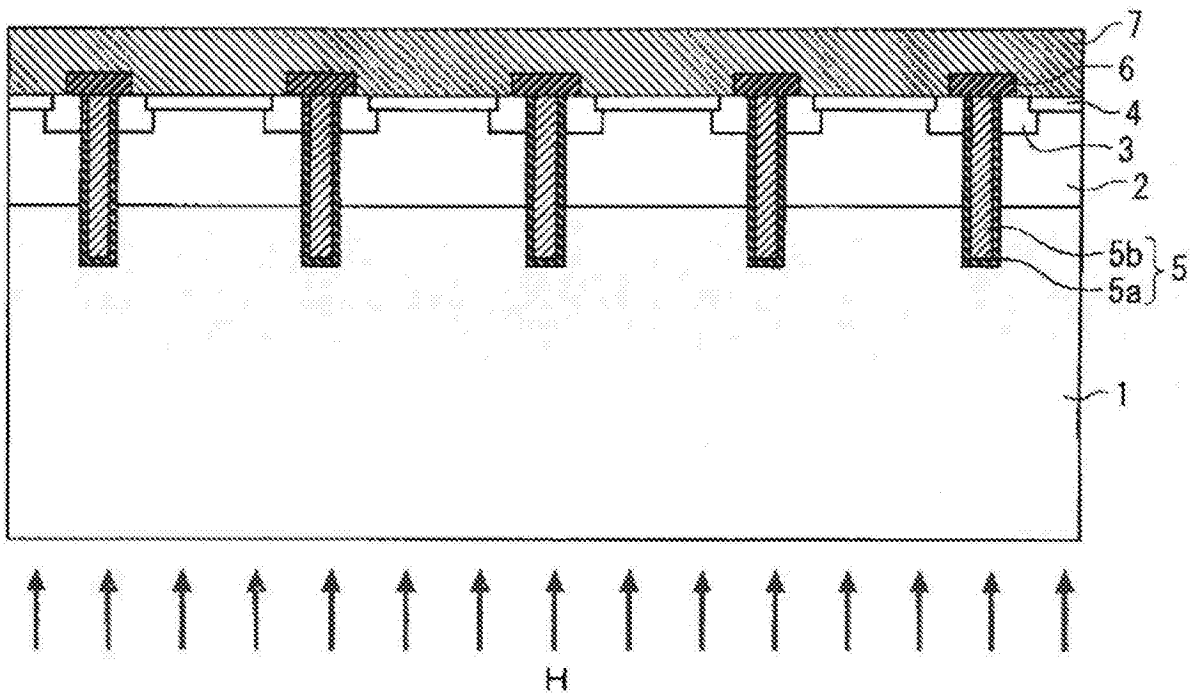


图6

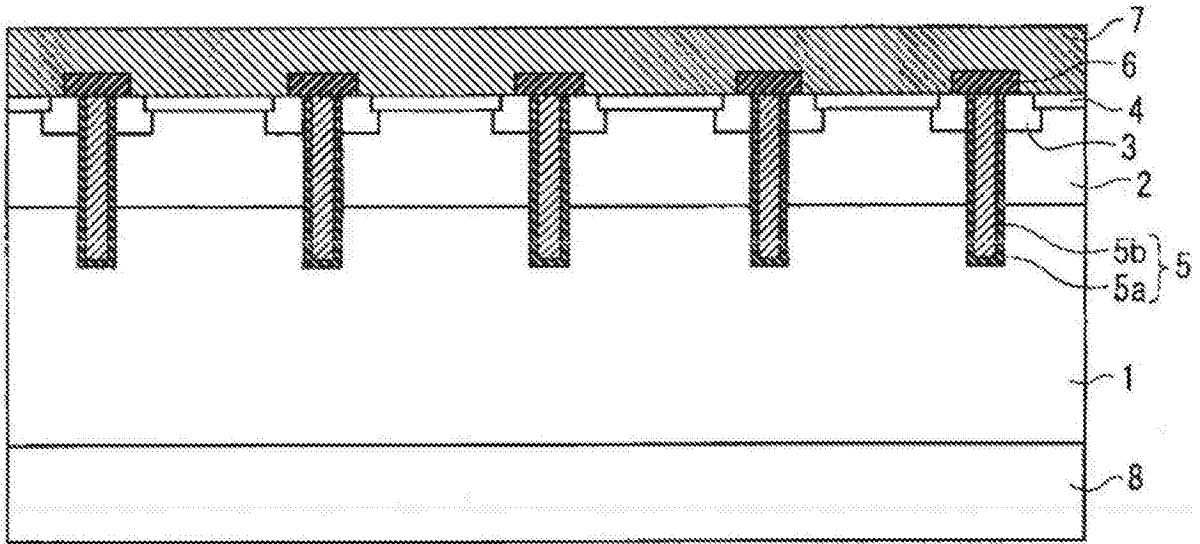


图7

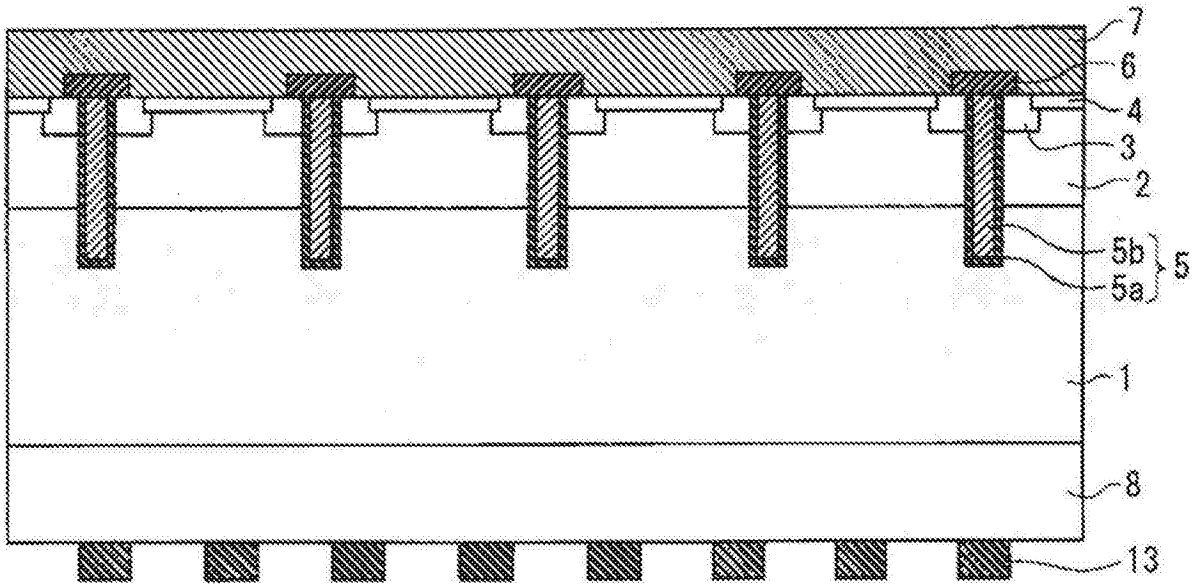


图8

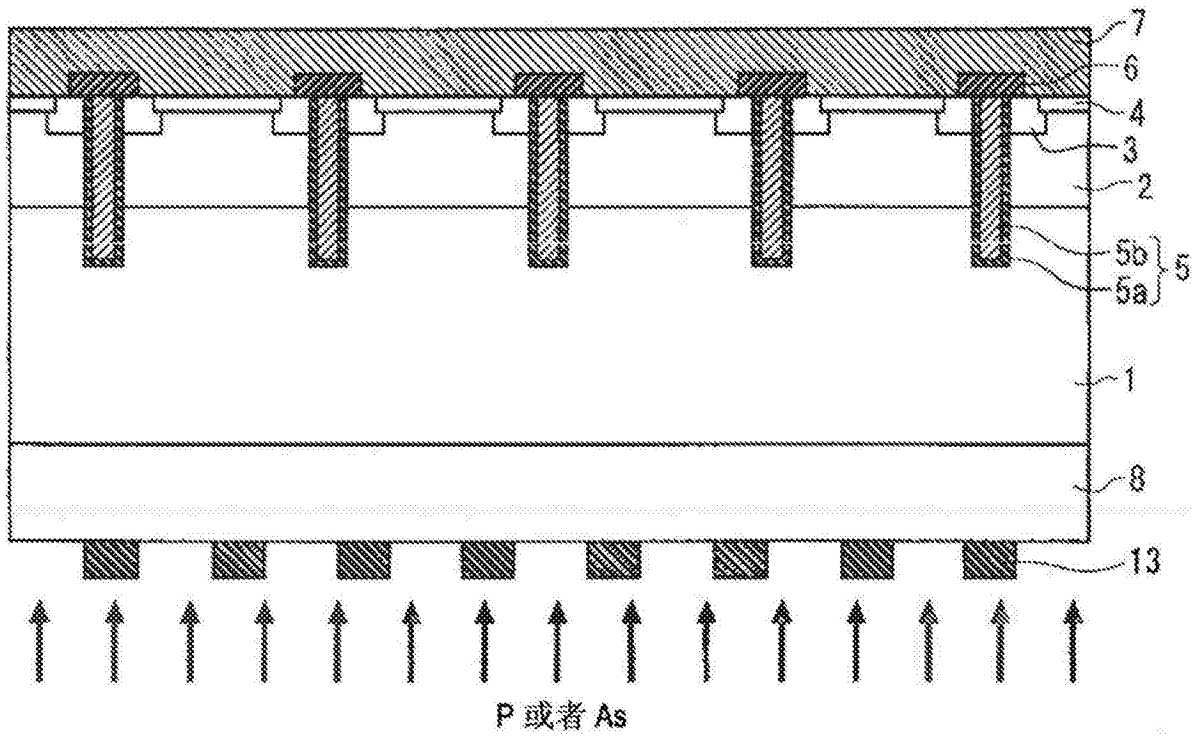


图9

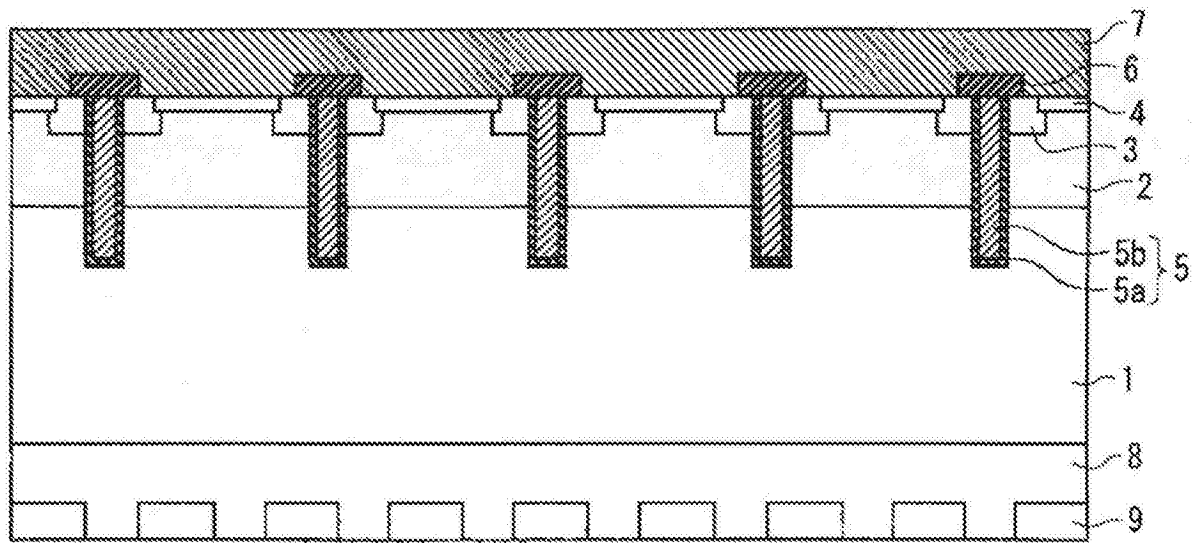


图10

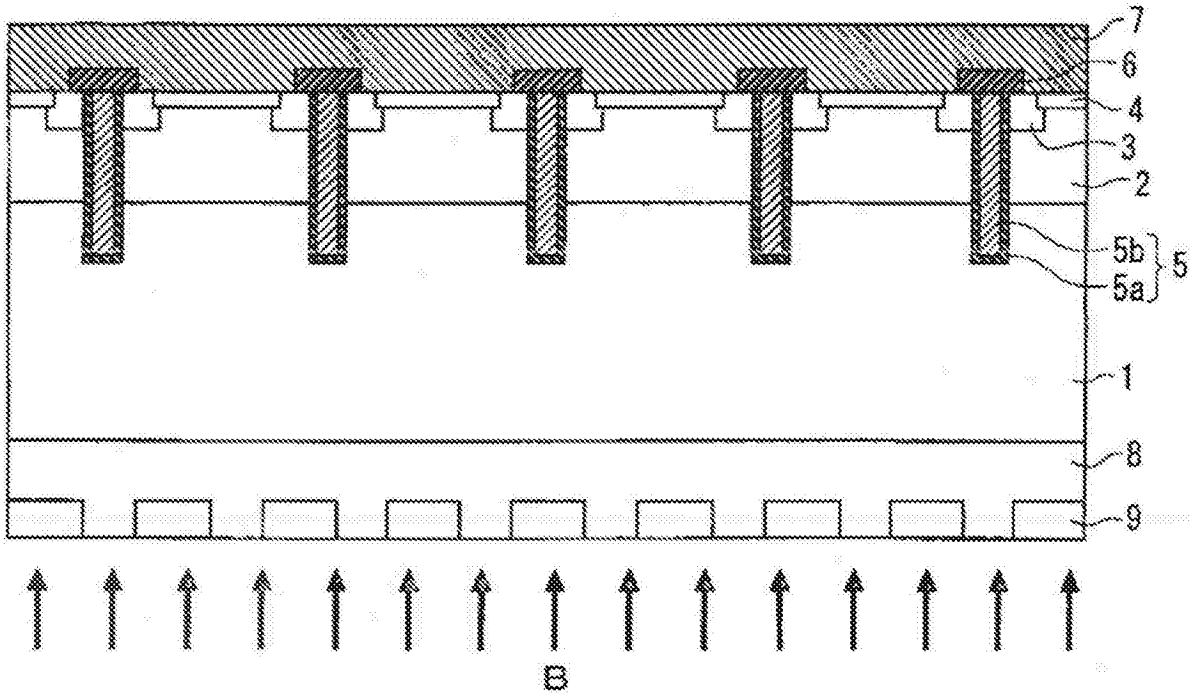


图11

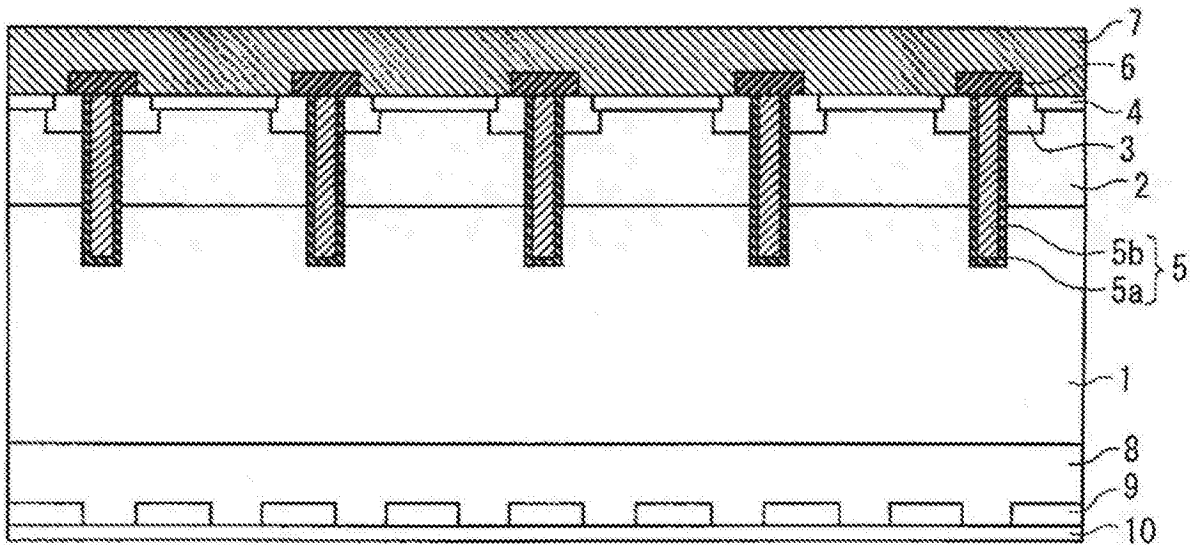


图12

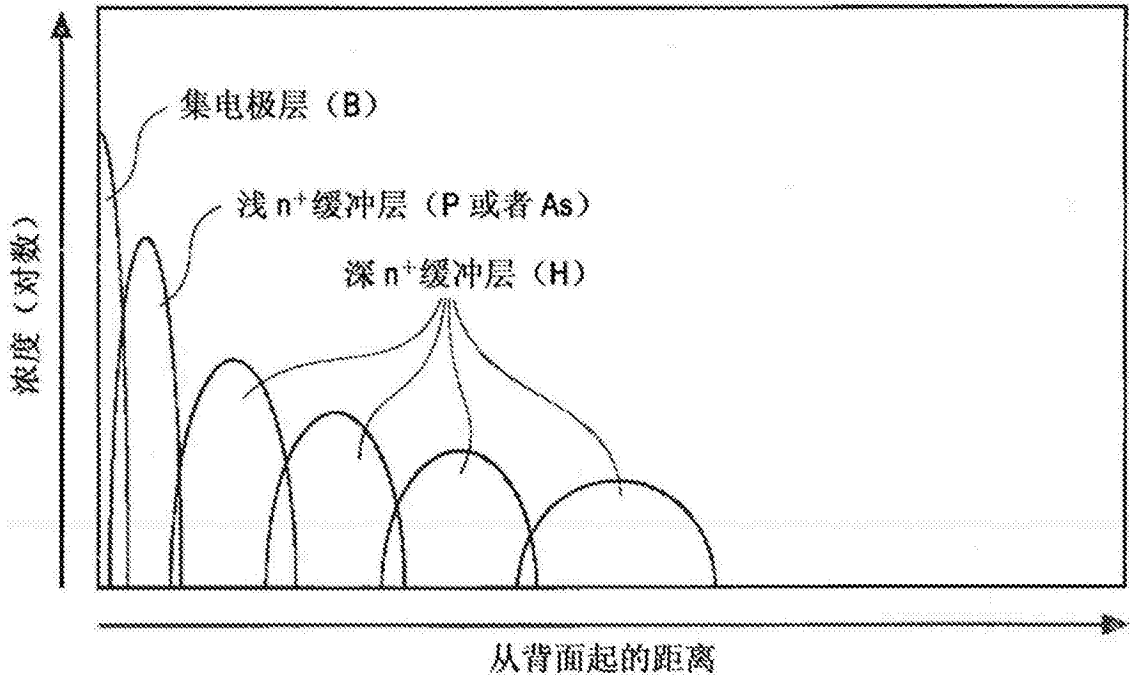


图13

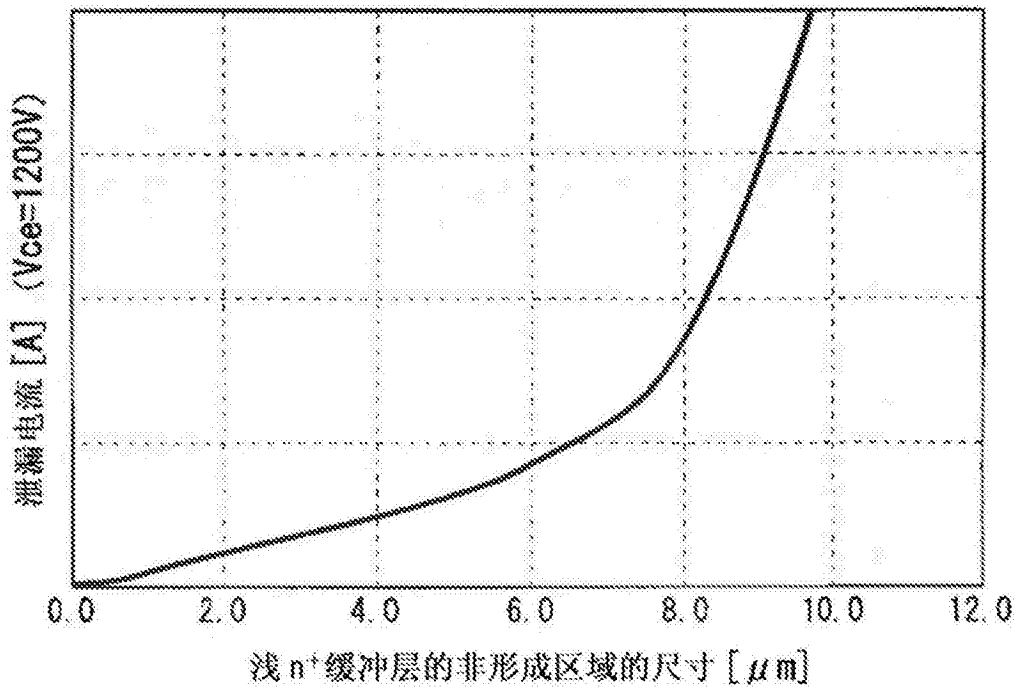


图14