

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-84750
(P2013-84750A)

(43) 公開日 平成25年5月9日(2013.5.9)

(51) Int.Cl. F I テーマコード (参考)
 H O 1 L 33/32 (2010.01) H O 1 L 33/00 1 8 6 5 F O 4 1
 5 F 1 4 1

審査請求 未請求 請求項の数 8 O L (全 34 頁)

(21) 出願番号 特願2011-223416 (P2011-223416)
 (22) 出願日 平成23年10月7日 (2011.10.7)

(71) 出願人 000005968
 三菱化学株式会社
 東京都千代田区丸の内一丁目1番1号
 (74) 代理人 100076428
 弁理士 大塚 康德
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100116894
 弁理士 木村 秀二
 (72) 発明者 小林 由季
 茨城県牛久市東端穴町1000番地 三菱
 化学株式会社内

最終頁に続く

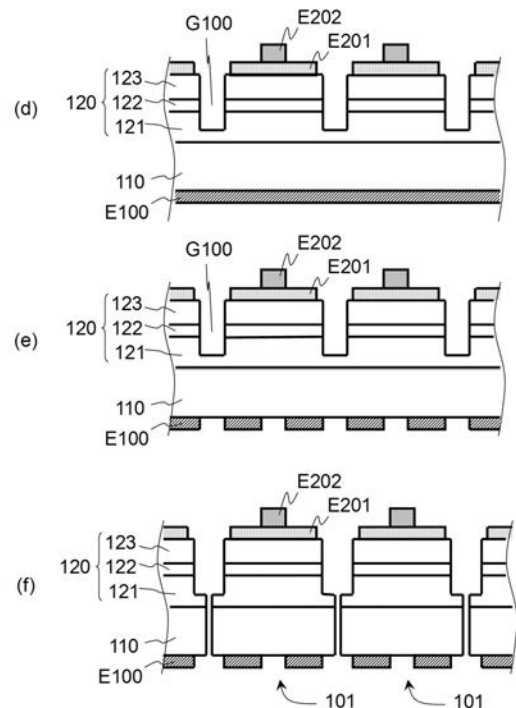
(54) 【発明の名称】 GaN系発光ダイオードの製造方法

(57) 【要約】 (修正有)

【課題】 m面 GaN基板の裏面に形成された低接触抵抗の n側電極を有する GaN系発光ダイオードを製造する方法を提供する。

【解決手段】 GaN系発光ダイオードの製造方法は、 n型導電性の m面 GaN基板である基板 110 と、 基板 110 上にエピタキシャル成長した GaN系半導体からなり p n 接合型の発光構造を含むエピ層 120 と、 を有するエピウェハを準備する第 1ステップと、 前記エピウェハに含まれる基板 110 の裏面をポリッシングする第 2ステップと、 前記第 2ステップでポリッシュされた基板 110 の裏面全体に n側オーミック電極を形成する第 3ステップと、 前記第 3ステップで形成された前記 n側オーミック電極をエッチングによりパターニングする第 4ステップと、 を有する。

【選択図】 図 8



【特許請求の範囲】

【請求項 1】

(i) n 型導電性の m 面 GaN 基板である基板と、該基板上にエピタキシャル成長した GaN 系半導体からなり pn 接合型の発光構造を含むエピ層と、を有するエピウェハを準備する第 1 ステップと、

(ii) 前記エピウェハに含まれる前記基板の裏面をポリッシングする第 2 ステップと、

(iii) 前記第 2 ステップでポリッシュされた前記基板の裏面全体に n 側オーミック電極を形成する第 3 ステップと、

(iv) 前記第 3 ステップで形成された前記 n 側オーミック電極をエッチングによりパターニングする第 4 ステップと、

を有する GaN 系発光ダイオードの製造方法。

10

【請求項 2】

前記第 4 ステップで露出した前記基板の裏面を粗く加工する第 5 ステップを更に有する、請求項 1 に記載の製造方法。

【請求項 3】

前記第 5 ステップでは、前記第 4 ステップで露出した前記基板の裏面に周期性を有する凹凸パターンを形成する、請求項 2 に記載の製造方法。

【請求項 4】

前記 n 側オーミック電極が多結晶質の透明導電性酸化物膜であり、前記第 4 ステップでは前記 n 側オーミック電極の一部をその残渣が前記基板上に残るようにエッチングし、更に、前記第 5 ステップでは、該残渣をエッチングマスクとして利用してドライエッチングすることにより前記基板の露出した裏面を粗く加工する、請求項 2 に記載の製造方法。

20

【請求項 5】

前記第 4 ステップで露出した前記基板の裏面に反射膜を形成する第 6 ステップを更に有する、請求項 1 に記載の製造方法。

【請求項 6】

前記反射膜が誘電体反射膜である、請求項 5 に記載の製造方法。

【請求項 7】

前記第 2 ステップでポリッシングする前記基板の裏面を、前記第 2 ステップの直前にラッピングする、請求項 1 ~ 6 のいずれか一項に記載の製造方法。

30

【請求項 8】

前記基板のキャリア濃度が 10^{17} cm^{-3} である、請求項 1 ~ 7 のいずれか一項に記載の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は GaN 系半導体を用いて形成された発光構造を有する GaN 系発光ダイオードを製造する方法に関し、とりわけ、エピタキシャル成長により形成された pn 接合型の発光構造を m 面 GaN 基板上に有する GaN 系発光ダイオードを製造する方法に関する。GaN 系半導体は、一般式 $\text{Al}_a \text{In}_b \text{Ga}_{1-a-b} \text{N}$ ($0 \leq a < 1$ 、 $0 \leq b < 1$ 、 $0 \leq a + b < 1$) で表される化合物半導体であり、窒化物半導体、窒化物系化合物半導体などとも呼ばれる。

40

【背景技術】

【0002】

GaN 系半導体をエピタキシャル成長させることにより形成された pn 接合型の発光構造を m 面 GaN 基板上に有する半導体発光素子が公知である (非特許文献 1 ~ 4)。

【0003】

非特許文献 1 ~ 3 に開示されているのは発光ダイオード (LED) であり、いずれの素子においても、m 面 GaN 基板上にエピタキシャル成長した n 型の Si ドープ GaN 層に n 側オーミック電極が形成されている。非特許文献 4 に開示されているのはレーザダイオ

50

ード(LD)であり、この素子ではm面GaN基板の裏面にn側オーミック電極が形成されている。このレーザダイオードの閾値電流はCW駆動時で36mA、パルス駆動時で28mAであり、閾値電圧は約7~8Vとなっている。

【0004】

GaN基板上に発光構造を形成した発光素子においては、GaN基板の裏面に良好なn側オーミック電極を形成することが難しいといわれている(特許文献1~6)。そこで、特許文献2に記載された方法では、GaN基板の裏面を粒径10 μ m以上の研磨剤で研磨して粗くすることにより、該裏面上に形成するn側オーミック電極の接触抵抗の低減が図られている。また、特許文献3に記載された方法では、同じ目的のために、GaN基板の裏面をウェットエッチングまたはドライエッチングで粗くしている。一方、特許文献4によれば、GaN基板の厚さを落とすためにその裏面をグラインディング、ラッピングまたはポリッシングしたときにダメージ層が形成され、これが良好なオーミック電極の形成を阻害することである。そこで、該特許文献4に記載の方法では、研磨加工後のGaN基板の裏面をドライエッチングまたはウェットエッチングで削っている。しかし、特許文献5には、ウェットエッチングではこの目的は達成できなかったと記載されている。特許文献6に記載された方法では、GaN基板の裏面をドライエッチングして、機械研磨により発生した結晶欠陥を含む部分を削り取ることにより、GaN基板とn側オーミック電極との接触抵抗の低減が図られている。なお、これら特許文献1~6に記載された知見や発明は、基本的にはc面GaN基板に関するものである。

10

【0005】

金属ワイヤ、金属パンプまたはハンダのような給電部材が接合される部品として発光ダイオードに必須なのが、素子表面に金属材料を用いて形成される電極パッドである。電極パッドは光透過性を有さないので、発光構造を流れる電流が光取出し方向から見て電極パッドの影となる部位に集中する発光ダイオードは、発光効率の低いものとなる。なぜなら、この部位で発生する光は電極パッドによる遮蔽と吸収を受けるので、素子外部に効率的に取り出せないからである。そこで、電流がこの部位に集中しないように、電極パッドと発光構造の間に電流ブロック構造として高抵抗膜(絶縁膜)または高抵抗領域を設けて、素子内を流れる電流の経路を制御することが行われている(特許文献7~9)。

20

【先行技術文献】

【特許文献】

30

【0006】

- 【特許文献1】特開平11-340571号公報
- 【特許文献2】特開2002-16312号公報
- 【特許文献3】特開2004-71657号公報
- 【特許文献4】特開2003-51614号公報
- 【特許文献5】特開2003-347660号公報
- 【特許文献6】特開2004-6718号公報
- 【特許文献7】特開平1-151274号公報
- 【特許文献8】特開平7-193279号公報
- 【特許文献9】特開10-229219号公報

40

【非特許文献】

【0007】

- 【非特許文献1】Kuniyoshi Okamoto et al., Japanese Journal of Applied Physics, Vol. 45, No. 45, 2006, pp. L1197-L1199
- 【非特許文献2】Mathew C. Schmidt et al., Japanese Journal of Applied Physics, Vol. 46, No. 7, 2007, pp. L126-L128
- 【非特許文献3】Shih-Pang Chang et al., Journal of The Electrochemical Society, 157 (5) H501-H503 (2010)
- 【非特許文献4】Kuniyoshi Okamoto et al., Japanese Journal of Applied Physics, Vol. 46, No. 9, 2007, pp. L187-L189

50

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明の主たる目的は、 m 面 GaN 基板の裏面に形成された低接触抵抗の n 側電極を有する GaN 系発光ダイオードを製造する方法を提供することである。

【課題を解決するための手段】

【0009】

本発明によれば以下に記載する GaN 系発光ダイオードの製造方法が提供される。

(1) (i) n 型導電性の m 面 GaN 基板である基板と、該基板上にエピタキシャル成長した GaN 系半導体からなり pn 接合型の発光構造を含むエピ層と、を有するエピウェハを準備する第 1 ステップと、(ii) 前記エピウェハに含まれる前記基板の裏面をポリッシングする第 2 ステップと、(iii) 前記第 2 ステップでポリッシュされた前記基板の裏面全体に n 側オーミック電極を形成する第 3 ステップと、(iv) 前記第 3 ステップで形成された前記 n 側オーミック電極をエッチングによりパターンニングする第 4 ステップと、を有する GaN 系発光ダイオードの製造方法。

(2) 前記第 4 ステップで露出した前記基板の裏面を粗く加工する第 5 ステップを更に有する、前記 (1) の製造方法。

(3) 前記第 5 ステップでは、前記第 4 ステップで露出した前記基板の裏面に周期性を有する凹凸パターンを形成する、前記 (2) の製造方法。

(4) 前記 n 側オーミック電極が多結晶質の透明導電性酸化物膜であり、前記第 4 ステップでは前記 n 側オーミック電極の一部をその残渣が前記基板上に残るようにエッチングし、更に、前記第 5 ステップでは、該残渣をエッチングマスクとして利用してドライエッチングすることにより前記基板の露出した裏面を粗く加工する、前記 (2) の製造方法。

(5) 前記第 4 ステップで露出した前記基板の裏面に反射膜を形成する第 6 ステップを更に有する、前記 (1) の製造方法。

(6) 前記反射膜が誘電体反射膜である、前記 (5) の製造方法。

(7) 前記第 2 ステップでポリッシングする前記基板の裏面を、前記第 2 ステップの直前にラッピングする、前記 (1) ~ (6) のいずれかの製造方法。

(8) 前記基板のキャリア濃度が 10^{17} cm^{-3} である、前記 (1) ~ (7) のいずれかの製造方法。

【発明の効果】

【0010】

本発明に係る上記の GaN 系発光ダイオード製造方法によれば、 m 面 GaN 基板の裏面に形成された低接触抵抗の n 側電極を有する GaN 系発光ダイオードを製造することができる。

【図面の簡単な説明】

【0011】

【図 1】本発明者等が試作した GaN 系発光ダイオードの構造を示す模式図であり、図 1 (a) は上面図、図 1 (b) は図 1 (a) の X - X 線の位置における断面図である。

【図 2】マスクパターンの平面図である。

【図 3】マスクパターンの向きを説明するための平面図である。

【図 4】加工 e を施した m 面 GaN 基板の裏面の SEM 像である。

【図 5】本発明の製造方法により製造することのできる GaN 系発光ダイオードの構造を模式的に示す図面であり、図 5 (a) はエピ層側から見た平面図、図 5 (b) は図 5 (a) の X - X 線の位置における断面図である。

【図 6】図 5 に示す GaN 系発光ダイオードを基板側から見た平面図である。

【図 7】本発明の製造方法を説明するための工程断面図である。

【図 8】本発明の製造方法を説明するための工程断面図である。

【図 9】本発明の製造方法により製造することのできる GaN 系発光ダイオードの構造を模式的に示す断面図である。

【図10】図10(a)および(b)は、それぞれ、本発明の製造方法により製造することのできるGaN系発光ダイオードの構造を模式的に示す断面図である。

【図11】図11(a)および(b)は、それぞれ、基板の裏面上でn側オーミック電極が呈するパターンを例示する図面である。

【図12】本発明の製造方法により製造することのできるGaN系発光ダイオードの構造を模式的に示す図面であり、図12(a)は基板側から見た平面図、図12(b)は図12(a)のX-X線の位置における断面図である。

【図13】本発明の製造方法により製造することのできるGaN系発光ダイオードの構造を模式的に示す図面であり、図13(a)は基板側から見た平面図、図13(b)は図13(a)のP-Q線の位置における断面図である。

10

【図14】本発明の製造方法により製造することのできるGaN系発光ダイオードの構造を模式的に示す図面であり、図14(a)は基板側から見た平面図、図14(b)は図14(a)のP-Q線の位置における断面図である。

【図15】本発明の製造方法により製造することのできるGaN系発光ダイオードの構造を模式的に示す図面であり、図15(a)は基板側から見た平面図、図15(b)は図15(a)のX-X線の位置における断面図である。

【図16】本発明の製造方法を説明するための工程断面図である。

【図17】本発明の製造方法を説明するための工程断面図である。

【図18】本発明の製造方法により製造することのできるGaN系発光ダイオードの構造を模式的に示す図面であり、図18(a)は基板側から見た平面図、図18(b)は図18(a)のP-Q線の位置における断面図である。

20

【発明を実施するための形態】

【0012】

本発明の製造方法を用いて製造することのできるGaN系発光ダイオードの構造を図5に模式的に示す。図5に示すGaN系発光ダイオード101は、基板110と、その上にエピタキシャル成長したGaN系半導体からなるエピ層120とを有している。図5(a)はGaN系発光ダイオード101をエピ層120側から見た平面図であり、図5(b)は図5(a)のX-X線の位置における断面図である。図6には、GaN系発光ダイオード101を基板110側から見た平面図を示す。

【0013】

30

基板110はn型導電性のm面GaN基板である。エピ層120はpn接合を構成するn型層121とp型層123を含んでいる。ダブルヘテロ構造が形成されるように、n型層121とp型層123との間には活性層122が設けられている。基板110の裏面にはオーミック電極と電極パッドを兼用するn側電極E100が形成されている。エピ層120上には、透光性電極であるp側オーミック電極E201が形成されている。n側電極E100と、p側オーミック電極E201上の一部に形成されたp側電極パッドE202とを通して、エピ層120に順方向電圧を印加することにより活性層122で発光が生じる。この光は、p側オーミック電極E201の表面、エピ層120の端面、基板110の端面などから、GaN系発光ダイオード101の外部に放出される。

【0014】

40

n側電極E100は、少なくとも基板110と接触する部分がAl、Ti、Cr、V、W、ITOのような、n型GaN系半導体とオーミック接触を形成する材料で形成される。好ましい実施形態において、n側電極E100は、基板110と接触する部分がAl、Ti、Cr、V、W、ITOなどで形成され、その上にAu、Al、Cu、Agのような導電性の高い金属からなる層が積層された、多層構造とされる。

【0015】

p側オーミック電極E201は、ITOのような透明導電性酸化物(TCO; Transparent Conductive Oxide)で形成される。好ましくは、p側オーミック電極E201は、p型層123の上面全体を覆うように設けられる。p側電極パッドE202は金属を用いて形成される。好ましい実施形態において、p側電極パッドE202は、p側オーミック電

50

極 E 2 0 1 と接する部分が Cr、Ti、Ni、Pt、Rh のような、TCO との密着性に優れた金属で形成され、その上に Au、Al、Cu、Ag のような導電性の高い金属からなる層が積層された、多層構造とされる。TCO からなる p 側オーミック電極 E 2 0 1 の厚さは好ましくは $0.1 \mu\text{m} \sim 0.5 \mu\text{m}$ であり、金属からなる p 側電極パッド E 2 0 2 の厚さは好ましくは $0.5 \mu\text{m} \sim 5 \mu\text{m}$ である。

【0016】

図 6 に示すように、基板 1 1 0 の裏面上に形成された n 側電極 E 1 0 0 は特定の形状にパターンニングされている。n 側電極 E 1 0 0 の中央部には、基板 1 1 0 の裏面への p 側電極パッド E 2 0 2 の正射影と重なる位置に、円形の開口部が設けられている。この開口部があるために、p 側電極パッド E 2 0 2 からエピ層 1 2 0 に流れる電流は p 側電極パッド E 2 0 2 の真下に集中することがない。つまり、電流が図 5 (b) 中に矢印で示す経路に集中することがない。その結果として、この経路に電流が集中した場合と比べて、活性層 1 2 2 で発生する光が p 側電極パッド E 2 0 2 により受ける遮蔽および吸収が低減される。加えて、活性層 1 2 2 を横切って流れる電流の密度がより均一となるので、ドループ現象 (GaN 系発光ダイオードに特有の、電流密度が高くなるにつれて発光効率が低下する現象) による発光効率低下が抑制される。

10

【0017】

次に、本発明の実施形態に係る製造方法を、図 5 に示す GaN 系発光ダイオード 1 0 1 を製造する場合を例にして説明する。GaN 系発光ダイオード 1 0 1 は以下に記す (A) ~ (G) のステップを順次実行することにより製造することができる。

20

(A) エピウェハの準備

最初のステップでは、図 7 (a) に示すように、n 型導電性の m 面 GaN 基板 1 1 0 上に、GaN 系半導体からなる n 型層 1 2 1、活性層 1 2 2 および p 型層 1 2 3 を含むエピ層 1 2 0 が形成されたエピウェハを準備する。この段階における基板 1 1 0 の厚さは、典型的には $300 \mu\text{m} \sim 1 \text{mm}$ である。

(B) エピ層の加工

このステップでは、図 7 (b) に示すように、エピ層 1 2 0 をドライエッチング加工して素子分離溝 G 1 0 0 を形成する。そして、素子分離溝 G 1 0 0 によって区画される各発光ダイオード部の p 型層 1 2 3 上に、p 側オーミック電極 E 2 0 1 と p 側電極パッド E 2 0 2 を順次形成する。素子分離溝 G 1 0 0 と p 側オーミック電極 E 2 0 1 の形成の順序に限定はなく、素子分離溝 G 1 0 0 を形成する前に p 側オーミック電極 E 2 0 1 を形成してもよい。また、この例では、素子分離溝 G 1 0 0 は n 型層 1 2 1 に達する深さとされているが、基板 1 1 0 の表面または内部に達する深さに形成することもできる。好ましくは、素子分離溝 G 1 0 0、p 側オーミック電極 E 2 0 1 および p 側電極パッド E 2 0 2 を形成した後、p 側オーミック電極 E 2 0 1 の表面とエピ層 1 2 0 の露出面を SiO_2 、 SiN_x のような透明材料からなる絶縁性の保護膜 (図示せず) で被覆する。

30

(C) 基板の薄肉化

このステップでは、基板 1 1 0 の裏面をグラインディングまたはラッピングして、図 7 (c) に示すように基板 1 1 0 の厚さを減じる。グラインディングを行った場合には、続けてラッピングを行って、加工された面の粗さを減じる。このラッピングの際には、使用するダイヤモンド砥粒の粒径を段階的に小さくしていくことが好ましい。

40

(D) 基板の裏面のポリッシング

このステップでは、酸性の CMP スラリーを用いて、 $0.5 \mu\text{m} / \text{h}$ 以下という低いポリッシングレートで基板 1 1 0 の裏面をポリッシングし、AFM を用いて測定される $10 \mu\text{m}$ 角の範囲の算術平均粗さ Ra を 0.1nm 以下とする。ポリッシング前の基板 1 1 0 の裏面がグラインドされたままの表面のような荒れた面である場合は、予備加工としてラッピングを行って粗さを減じてから、ポリッシングを行う。このラッピングの際には、使用するダイヤモンド砥粒の粒径を段階的に小さくしていくことが望ましい。ポリッシング後は基板 1 1 0 に付着したスラリーを水で洗い流し、乾燥させる。水洗の後に、有機洗浄や紫外線オゾン洗浄を行ってもよい。

50

(E) n側電極の形成

このステップでは、図8(d)に示すように、基板110の裏面全体にn側電極E100を、蒸着、スパッタ、CVDなどの気相法を用いて薄膜状に形成する。このように、酸性スラリーを用いて低いレートで基板110の表面をポリッシングした後に、そのポリッシュされたままの表面にn側電極E100を形成することによって、n側電極E100の接触抵抗を低くすることができる。

(F) n側電極のパターニング

このステップでは、必要な部分をマスクで保護したうえで不要部分をエッチングにより除去する方法、すなわちサブトラクティブ法によって、図8(e)に示すようにn側電極E100を所定形状にパターニングする。マスクのパターニングは、よく知られたフォトリソグラフィ技法を用いて行うことができる。エッチング方法は、ウェットエッチングとドライエッチングのいずれでもよい。ウェットエッチングで用いるエッチャント、ドライエッチングで用いるエッチングガスについては、公知技術を適宜参照して選択すればよい。好ましい実施形態においては、n側電極E100のパターニング後、基板110の露出面をSiO₂、SiN_xのような透明材料からなる絶縁性の保護膜(図示せず)で被覆する。

(G) ダイシング

最後のステップとして、エピ層120に形成した素子分離溝G100の位置でエピウェハを切断し、チップ状のGaN系発光ダイオード101を得る。

【0018】

以下に説明するのは、図5に示すGaN系発光ダイオード101の変形例であり、いずれも上記(A)~(G)のステップを順次実行することにより製造することができる。図9~図18では、図5に示すGaN系発光ダイオード101と共通する構成要素については同一の符号を付している。

【0019】

図9に示すGaN系発光ダイオード102では、基板110の裏面のn側電極E100に覆われていない部分に、活性層122で生じる光を乱反射させ得る凹凸パターンが設けられている。この凹凸パターンは、例えば、ドット状の凹部または凸部が周期的に配列されたパターンであり、フォトリソグラフィとドライエッチングによって形成することができる。凹凸パターンは、凹部の深さまたは凸部の高さと同様の効果が奏する、周期性を有する凹凸パターンの形成に代えて、ランダムエッチングマスクを用いたドライエッチングあるいはサンドブラストによって、同様の効果を奏する、周期性を有さない粗面を形成することもできる。

【0020】

図9に示すGaN系発光ダイオード102を製造する場合、基板110の裏面を凹凸状に加工するステップは、n側電極E100をパターニングするステップの後に行う。

【0021】

図10(a)に示すGaN系発光ダイオード103および図10(b)に示すGaN系発光ダイオード104では、オーミック電極と電極パッドを兼用するn側電極E100に代えて、パターニングされたn側オーミック電極E101と、それを覆うn側電極パッドE102が、基板110の裏面上に形成されている。基板110の裏面上でn側オーミック電極E101が呈するパターンは、図11(a)に一例を示すドットパターンや、図11(b)に一例を示すネットパターンなどとすることができる。n側オーミック電極E101は、基板110の裏面全体を覆うように形成された後、不要部分を除去することによってパターニングされる。つまり、サブトラクティブ法によりパターニングされる。

【0022】

図10(a)のGaN系発光ダイオード103では、n側電極パッドE102が基板110の露出した裏面と接するように設けられているが、図10(b)のGaN系発光ダイ

10

20

30

40

50

オード104では、基板110の裏面とn側電極パッドE102との間に誘電体反射膜R100が介在している。誘電体反射膜Rの好適例はブラッグ反射膜(DBR)であるが、限定されるものではなく、基板110より屈折率の低い誘電体からなる単層膜であってもよい。

【0023】

GaN系発光ダイオード103、104において、n側オーミック電極E101は、Al、Ti、Cr、V、W、ITOのような、n型GaN系半導体とオーミック接触を形成する材料を用いて、蒸着、スパッタ、CVDのような気相法により、好ましくは0.05 μm ~0.5 μm の厚さに形成される。n側電極パッドE102は、Au、Al、Cu、Agのような導電性の高い金属からなる厚さ0.5 μm ~5 μm の層を含むことが望ましい。また、n側電極パッドE102は基板110側に、Ag、Al、Rh、Ptのような近紫外~可視波長域における反射率の高い金属からなる高反射部を含むことが望ましい。

10

【0024】

図12に示すGaN系発光ダイオード105では、p型層123上に設けられる電極が、オーミック電極と電極パッドを兼用するp側電極E200とされるとともに、活性層122で生じる光が基板110の裏面からGaN系発光ダイオード100の外部に放出されるように、n側電極E100の面積が小さくされている。好ましい実施形態においては、p側電極E200は、p型層123と接触する部分がp型GaN系半導体とオーミック接触を形成する材料で形成され、その上にAu、Al、Cu、Agのような導電性の高い金属からなる層が積層された、多層構造とされる。p型GaN系半導体とオーミック接触を形成する材料としては、Ni、Au、Pd、Rh、Pt、Coなどの金属が挙げられる他、ITO、亜鉛添加酸化インジウム、酸化亜鉛、酸化錫、酸化チタン、酸化ガリウムなどの透明導電性酸化物が挙げられる。導電性の高い金属からなる層は、好ましくは0.5 μm ~5 μm の厚さに形成される。

20

【0025】

図13に示すGaN系発光ダイオード106は、図12に示すGaN系発光ダイオード105の変形例である。相違点として、平面図である図13(a)に示すように、GaN系発光ダイオード106ではn側電極E100が、ボンディングワイヤ等が接続される部分である接続部E100aと、電流を横方向(基板110の厚さ方向と直交する方向)に拡げるための延長部E100bとから構成されている。加えて、GaN系発光ダイオード106では、断面図である図13(b)に示すように、基板110の裏面の露出した部分が粗く加工されている。この粗く加工された部分には、活性層122で生じる光を乱反射させ得るミクロンサイズの凹凸、活性層122で生じる光を回折させ得るサブミクロンサイズの周期的凹凸パターン、あるいは、活性層122で生じる光の全反射を抑制し得るサブミクロンサイズの微細な凹凸が形成される。サブミクロンサイズの凹凸は、ポリマー微粒子やシリカ微粒子をマスクに用いて基板110をエッチング加工する方法を用いて形成することができる。

30

【0026】

図14に示すGaN系発光ダイオード107は、図12に示すGaN系発光ダイオード105の別の変形例である。相違点として、図14(a)(b)に示すように、GaN系発光ダイオード107では、オーミック電極と電極パッドを兼用するn側電極E100に代えて、ITOのような透明導電性酸化物で形成された透光性のn側オーミック電極E101と、その一部上に設けられたn側電極パッドE102が、基板110の裏面上に形成されている。

40

【0027】

n側電極パッドE102は、図13のGaN系発光ダイオード106におけるn側電極E100と同様に、ボンディングワイヤ等が接続される部分である接続部E102aと、電流を横方向に拡げるための延長部E102bとから構成されている。透光性のn側オーミック電極E101はサブトラクティブ法によりパターンニングされており、n側電極パッドE102aの直下の部分に円形の開口部を有している。

50

【0028】

図15に示すGaN系発光ダイオード108は、図12に示すGaN系発光ダイオード105の更に別の変形例である。相違点として、図15(a)(b)に示すように、発光ダイオード108では、オーミック電極と電極パッドを兼用するn側電極E100に代えて、ITOのような透明導電性酸化物で形成された透光性のn側オーミック電極E101と、その一部上に設けられたn側電極パッドE102が、基板110の裏面上に形成されている。ただし、図14のGaN系発光ダイオード107とは異なり、n側オーミック電極E101は基板110の裏面を広く覆っておらず、その面積はn側電極パッドE102よりも僅かに大きいだけである。加えて、GaN系発光ダイオード108では、図12のGaN系発光ダイオード105と異なり、基板110の裏面のうちn側オーミック電極E101に覆われていない部分が粗面とされている。

10

【0029】

図15に示すGaN系発光ダイオード108を製造するには、まず、n型導電性のm面GaN基板110上に、GaN系半導体からなるn型層121、活性層122およびp型層123を含むエピ層120が形成されたエピウェハを準備する。そして、エピ層120をドライエッチング加工して素子分離溝G100を形成するとともに、素子分離溝G100によって区画される各発光ダイオード部のp型層123上に、p側電極E200を形成する。

【0030】

p側電極E200の形成後、基板110の裏面をグラインディングまたはラッピングして、基板110の厚さを減じる。グラインディングを行った場合には、続けてラッピングを行って、加工された面の粗さを減じる。その後、酸性のCMPスラリーを用いて、 $0.5\mu\text{m}/\text{h}$ 以下という低いポリッシングレートで基板110の裏面をポリッシングし、AFMを用いて測定される $10\mu\text{m}$ 角の範囲の算術平均粗さRaを 0.1nm 以下とする。ポリッシング後は基板110に付着したスラリーを水で洗い流し、乾燥させる。水洗の後に、有機洗浄や紫外線オゾン洗浄を行ってもよい。

20

【0031】

次に、ポリッシュされたままの基板110の裏面全体にITOからなるn側オーミック電極E101を、蒸着、スパッタ、CVDなどの気相法を用いて薄膜状に形成する。このステップまで完了したエピウェハの断面図が図16(a)である。

30

【0032】

次のステップでは、必要な部分をレジストマスクで保護したうえで不要部分をエッチングにより除去する方法、すなわちサブトラクティブ法によって、図16(b)に示すようにn側オーミック電極E101を所定形状にパターンニングする。レジストマスクのパターンニングは、通常のリソグラフィ技法を用いて行うことができる。ITOのエッチングは、好ましくは、エッチャントに塩化鉄水溶液または塩酸を用いて、ウェット法により行う。このウェットエッチングの際には、ITOの不要部分を完全に取り除かないで、その残渣が基板110上に残るようにエッチング時間などを調節する。

【0033】

ITOのような多結晶質のTCO薄膜は、成膜後にアニールして結晶部分の結晶性を向上させることによって、ウェットエッチング時の結晶部分と粒界部分とのエッチングレート差を大きくすることができる。従って、n側オーミック電極E101をITOのような多結晶質のTCO膜とする場合には、これを熱処理することによって、ウェットエッチング後にTCOの残渣が基板110上に残留し易くすることができる。

40

【0034】

次のステップでは、前のステップでn側オーミック電極E101の保護に用いたレジストマスクを引き続きマスクとして残したまま、露出した基板110の裏面を塩素ガスをエッチングガスに用いてドライエッチングする。このとき、残留したITOの残渣が微細マスクとして働くことによって、図16(c)に示すように、基板110のドライエッチされた部分には微細な凹凸が無数に形成される。

50

【0035】

ドライエッチング後、図17(d)に示すようにn側オーミック電極E101上にn側電極パッドE102を形成する。好ましい実施形態においては、この後、基板110の露出面を SiO_2 、 SiN_x のような透明材料からなる絶縁性の保護膜(図示せず)で被覆する。そして、最後のステップとして、エピ層120に形成した素子分離溝G100の位置でエピウェハを切断し、チップ状のGaN系発光ダイオード108を得る。

【0036】

図18に示すGaN系発光ダイオード109は、図15に示すGaN系発光ダイオード108の変形例である。相違点として、GaN系発光ダイオード109では図18(a)(b)に示すように、n側電極パッドE102が、ボンディングワイヤ等が接続される部分である接続部E102aと、電流を横方向(基板110の厚さ方向と直交する方向)に拡げるための、グリッド状の延長部E102bとから構成されている。n側電極パッドE102とp型層123との間に介在されたn側オーミック電極E101は、n側電極パッドE102と略同じ形状に形成されている。

10

(実験結果)

本発明者によるGaN系発光ダイオード(以下では単に「LED」ともいう)の試作および評価の結果を以下に記す。

1. 試作したLEDの基本構造

図1に、試作したLEDの基本構造を模式的に示す。図1(a)は上面図、図1(b)は図1(a)のX-X線の位置における断面図である。図1(a)に示すように、LED1の平面形状は矩形であり、サイズは $350\mu m \times 340\mu m$ である。

20

【0037】

図1(b)に示すように、LED1は、基板10の上にGaN系半導体からなる半導体積層体20を有している。基板10はm面GaN基板であり、半導体積層体20は該基板10のおもて面11上に配置されている。半導体積層体20は基板10側から順に、第1のアンドープGaN層21、Siドープされたn型GaNコンタクト層22、第2のアンドープGaN層23、Siドープされたn型GaNクラッド層24、MQW活性層25、Mgドープされたp型 $Al_{0.1}Ga_{0.9}N$ クラッド層26、Mgドープされたp型 $Al_{0.03}Ga_{0.97}N$ コンタクト層27を有している。

30

【0038】

MQW活性層25は、交互に積層されたアンドープ $In_{0.04}Ga_{0.96}N$ バリア層とアンドープ $In_{0.16}Ga_{0.84}N$ ウェル層とを有している。アンドープInGaNバリア層の数は4層、アンドープInGaNウェル層の数は3層であり、ゆえに、MQW活性層25の最下層と最上層はいずれもバリア層である。ウェル層の組成は発光ピーク波長が $445 \sim 465\text{nm}$ の範囲内に入るように調整されたものである。

【0039】

LED1は2つのn側電極と1つのp側電極を有している。n側電極のひとつは第1のn側メタルパッドE11であり、基板10の裏面12全体を覆うように設けられている。もうひとつは第2のn側メタルパッドE12であり、半導体積層体20を一部除去することにより露出したn型GaNコンタクト層22の表面上に形成されている。第1のn側メタルパッドE11と第2のn側メタルパッドE12は、どちらもオーミック電極を兼用している。p側電極を構成するのは、p型 $AlGaN$ コンタクト層27の上面に形成されたオーミック性の透光性電極E21と、該透光性電極E21上の一部に形成されたp側メタルパッドE22である。MQW活性層25への電流印加は、第1のn側メタルパッドE11とp側メタルパッドE22を通して行うこともできるし、第2のn側メタルパッドE12とp側メタルパッドE22を通して行うこともできる。

40

【0040】

第1のn側メタルパッドE11は多層膜であり、基板10側から順にTiW層、Au層、Pt層、Au層、Pt層、Au層、Pt層、Au層を有している。第2のn側メタルパッドE12も同様の積層構造を備える多層膜であり、n型GaNコンタクト層22側から

50

順にTiW層、Au層、Pt層、Au層、Pt層、Au層、Pt層、Au層を有している。透光性電極E21はITO（インジウム錫酸化物）膜である。p側メタルパッドE12は第1のn側メタルパッドE11および第2のn側メタルパッドE12と同様の積層構造を備える多層膜であり、透光性電極E21側から順にTiW層、Au層、Pt層、Au層、Pt層、Au層、Pt層、Au層を有している。

2. LEDの試作

LED1を次の手順により作製した。

2-1. エピタキシャル成長

サイズが7mm（c軸方向）×15mm（a軸方向）×330μm（厚さ）、おもて面（半導体積層体を設ける側の主面）のオフ角が $0 \pm 0.5^\circ$ の範囲内で、n型不純物としてSiが添加されたn型導電性のm面GaN基板を準備した。ホール測定により調べた該m面GaN基板のキャリア濃度は $1.3 \times 10^{17} \text{ cm}^{-3}$ であった。

10

【0041】

このm面GaN基板のおもて面上に、常圧MOVPE法を用いて複数のGaN系半導体層をエピタキシャル成長させて半導体積層体を形成した。III族原料にはTMG（トリメチルガリウム）、TMI（トリメチルインジウム）およびTMA（トリメチルアルミニウム）、V族原料にはアンモニア、Si原料にはシラン、Mg原料にはビスエチルシクロペンタジエニルマグネシウム（ $(\text{EtCp})_2\text{Mg}$ ）を用いた。

【0042】

各層の成長温度および膜厚を表1に示す。

20

【0043】

【表1】

層	成長温度(°C)	膜厚(nm)
第1のアンドープGaN層	1040	10
n型GaNコンタクト層	1040	1500
第2のアンドープGaN層	800	200
n型GaNクラッド層	800	20
アンドープInGaNバリア層	800	19
アンドープInGaN井戸層	760	5
p型AlGaInクラッド層	1032	140
p型AlGaInコンタクト層	1067	60

30

【0044】

n型GaNコンタクト層、n型GaNクラッド層、p型AlGaInクラッド層およびp型AlGaInコンタクト層に添加した不純物の濃度は表2に示す通りである。

【0045】

【表2】

層	不純物	濃度(cm^{-3})
n型GaNコンタクト層	Si	7×10^{18}
n型GaNクラッド層	Si	2.5×10^{18}
p型AlGaInクラッド層	Mg	3×10^{19}
p型AlGaInコンタクト層	Mg	4.6×10^{19}

40

【0046】

p型AlGaInクラッド層およびp型AlGaInコンタクト層に添加したMgの活性化は、p型AlGaInコンタクト層を所定時間成長させた後、MOVPE装置の成長炉内で基板温度が室温まで降下する間に、該成長炉内に流す窒素ガスおよびアンモニアガスの流量を制御する方法を用いて行った。

50

2 - 2 . p 側電極および第 2 の n 側メタルパッドの形成

上記エピタキシャル成長により形成した半導体積層体の表面 (p 型 A l G a N コンタクト層の表面) に、電子ビーム蒸着法により I T O 膜を 2 1 0 n m の厚さに形成した。続いて、フォトリソグラフィとエッチングの技法を用いて、この I T O 膜を所定の形状にパターンニングして、透光性電極を形成した。パターンニング後、反応性イオンエッチング (R I E) 加工により半導体積層体の一部を除去して、第 2 の n 側メタルパッドを形成すべき部位に n 型 G a N コンタクト層を露出させるとともに、メサ形成を行った。R I E 加工においては、エッチングガスとして C l ₂ を用い、アンテナ / バイアスを 1 0 0 W / 2 0 W、チャンパー内圧力を 0 . 5 P a と設定した。

【 0 0 4 7 】

R I E 加工に続いて、上記作製した I T O 膜に対し、大気雰囲気中、5 2 0 °C で 2 0 分間の熱処理を施した。更に続けて、R T A (Rapid Thermal Annealing) 装置を用いて、この I T O 膜に対し、窒素ガス雰囲気中、5 0 0 °C で 1 分間の熱処理を施した。

【 0 0 4 8 】

I T O 膜の熱処理後、リフトオフ法を用いて、第 2 の n 側メタルパッドと p 側メタルパッドを同時に所定のパターンに形成した。第 2 の n 側メタルパッドと p 側メタルパッドを構成するメタル多層膜に含まれる全ての層 (T i W 層、A u 層および P t 層) は、スパッタリング法で形成した。T i W 膜を形成する際は、ターゲットに T i 含有量が 1 0 w t % の T i - W ターゲット、スパッタガスに A r (アルゴン) を使用し、スパッタ条件は R F 電力 8 0 0 W、A r 流量 5 0 s c c m、スパッタガス圧 2 . 2 × 1 0 ⁻¹ P a とした。最下層である T i W 層とその直上に積層する A u 層の厚さは 1 0 8 n m とし、それ以外の P t 層および A u 層の厚さはいずれも 8 9 n m とした。

【 0 0 4 9 】

第 2 の n 側メタルパッドと p 側メタルパッドを形成した後、露出した半導体積層体の表面および透光性電極の表面に、S i O ₂ からなるパッシベーション膜を 2 1 3 n m の厚さに形成した。

2 - 3 . m 面 G a N 基板の裏面の加工

上記パッシベーション膜の形成後、m 面 G a N 基板の裏面に対し、以下に加工 a ~ 加工 f として記す 6 通りの異なる加工を行った。

【 0 0 5 0 】

加工 a : m 面 G a N 基板の裏面にラッピングおよびポリッシングをこの順に施すことにより、該基板の厚さを 2 0 0 μ m に減じた。

【 0 0 5 1 】

ラッピング工程では、定法に従い、使用するダイヤモンド砥粒の粒径を段階的に小さくしていった。

【 0 0 5 2 】

ポリッシング工程では、酸性コロイダルシリカ (粒径 7 0 ~ 1 0 0 n m) に酸を添加して p H を 2 未満に調整した C M P スラリーを用い、ポリッシングレートが 0 . 5 μ m / h となるように荷重を調整し、ポリッシング加工時間は約 1 4 時間とした。この条件でポリッシュされた m 面 G a N 基板の表面は、A F M (例えば DIGITAL INSTRUMENTS 社製 DIMENSION 5000) を用いて測定される 1 0 μ m 角の範囲の算術平均粗さ R a が 0 . 1 n m 以下となる。

【 0 0 5 3 】

ポリッシングされた面 (m 面 G a N 基板の裏面) は水で洗った後、更に室温の I P A およびアセトンを用いて洗浄し、乾燥後に 5 分間の紫外線オゾン洗浄 (1 1 0 m W / c m ² 、酸素流量 5 L / 分) を施した。

【 0 0 5 4 】

加工 b : 加工 a を行った後、更に、R I E によって m 面 G a N 基板の裏面から表層部分を削り取った。R I E 条件は上記 2 - 2 . で半導体積層体に対して R I E 加工を施したときの条件と同じとし、エッチング深さが 0 . 1 μ m となるよう、エッチング時間を 6 0 秒

10

20

30

40

50

に設定した。R I E 加工後の表面の粗さを触針式段差計（株式会社小坂研究所製 E T 3 0 0 0 ）で測定したところ、算術平均粗さ R a は $0.02 \mu\text{m}$ 、最大高さ R z は $0.04 \mu\text{m}$ であった。

【 0 0 5 5 】

加工 c : 加工 a を行った後、更に、R I E によって m 面 G a N 基板の裏面から表層部分を削り取った。R I E 条件は上記 2 - 2 . で半導体積層体に対して R I E 加工を施したときの条件と同じとし、エッチング深さが $1.0 \mu\text{m}$ となるよう、エッチング時間を 6 1 0 秒に設定した。R I E 加工後の表面の粗さを触針式段差計で測定したところ、算術平均粗さ R a は $0.06 \mu\text{m}$ 、最大高さ R z は $0.55 \mu\text{m}$ であった。

【 0 0 5 6 】

加工 d : 加工 a を行った後、更に、R I E によって m 面 G a N 基板の裏面から表層部分を削り取った。R I E 条件は上記 2 - 2 . で半導体積層体に対して R I E 加工を施したときの条件と同じとし、エッチング深さが $2.0 \mu\text{m}$ となるよう、エッチング時間を 1 2 2 0 秒に設定した。R I E 加工後の表面の粗さを触針式段差計で測定したところ、算術平均粗さ R a は $0.07 \sim 0.12 \mu\text{m}$ 、最大高さ R z は $1.30 \mu\text{m}$ であった。

【 0 0 5 7 】

加工 e : 加工 a を行った後の m 面 G a N 基板の裏面に、ノボラック樹脂を用いたポジ型フォトレジスト（住友化学株式会社製 スミレジスト P F I - 3 4 A L ）を $1.6 \mu\text{m}$ の厚さにコーティングし、フォトリソグラフィ技法を用いて該フォトレジストをパターンニングすることによって、図 2 に示すマスクパターンを形成した。すなわち、複数の円形エッチングマスクが三角格子の格子位置に配置されたマスクパターンである。各円形マスクの直径（図 2 中の R ）は $2 \mu\text{m}$ 、隣り合う円形マスク間のスペース（図 2 中の S ）は $2.5 \mu\text{m}$ とした。マスクパターンの方向は、図 3 に示すように、三角格子の 6 つの格子位置を頂点とする正六角形 A B C D E F の 2 つの辺 B C 、 E F が、m 面 G a N 基板の c 軸と直交するように定めた。

【 0 0 5 8 】

上記のように形成したマスクパターンをエッチングマスクに用いて R I E を行うことにより、m 面 G a N 基板の裏面を凹凸状に加工した。エッチングガスとして Cl_2 を用い、アンテナ/バイアスを $100\text{W}/20\text{W}$ 、チャンバー内圧力を 0.5Pa と設定して、エッチング選択比が約 1 となるようにした。なお、ここでいうエッチング選択比は、エッチング時間が約 8 0 0 秒以下であるときの、〔 G a N のエッチングレート〕/〔マスクのエッチングレート〕である。この条件で、1 5 0 0 秒間、R I E 加工を行った。マスクパターンは、エッチング時間が約 8 0 0 秒に達したところで殆ど消失した。R I E 加工後、有機溶剤を用いてウェハを洗浄し、続けて、R I E 加工された面に 5 分間の紫外線オゾン洗浄（1 1 0 、酸素流量 $5\text{L}/\text{分}$ ）を施した。

【 0 0 5 9 】

加工 e を施した m 面 G a N 基板の裏面の S E M 像を図 4 に示す。図 4 において（ a ）は平面図、（ b ）は断面方向から見た図、（ c ）は斜視図である。図 4 （ a ）～（ c ）のいずれにおいても紙面内で右から左に向かう方向が、G a N の [0 0 0 1] 方向（ c + 方向）であり、左から右に向かう方向が G a N の [0 0 0 - 1] 方向（ c - 方向）である。m 面 G a N 基板の裏面に形成された突起の高さは $1.5 \mu\text{m}$ であった。

【 0 0 6 0 】

加工 f : 加工 a を行った後の m 面 G a N 基板の裏面に、加工 e と同じ手順でマスクパターンを形成したが、R I E チャンバー内に設置した後、薄いサファイア板で m 面 G a N 基板の裏面を覆うことにより、該裏面が R I E 加工を受けないように保護した。このことを除いて、加工 f で行った処理は、加工 e と同じである。すなわち、加工 f を施した m 面 G a N 基板の裏面には、フォトレジストを用いてマスクパターンを形成する処理、該マスクパターンを有機溶剤を用いて取り除く処理、及び、該マスクパターン除去後の紫外線オゾン洗浄処理が行われている。

2 - 4 . 第 1 の n 側メタルパッドの形成

10

20

30

40

50

上記加工 a ~ f のいずれかを行った m 面 GaN 基板の裏面に、第 1 の n 側メタルパッドとなるメタル多層膜を形成した。このメタル多層膜に含まれる全ての層 (TiW 層、Au 層および Pt 層) は、スパッタリング法で形成した。TiW 膜を形成する際は、ターゲットに Ti 含有量が 10 wt % の Ti - W ターゲット、スパッタガスに Ar (アルゴン) を使用し、スパッタ条件は RF 電力 800 W、Ar 流量 50 sccm、スパッタガス圧 2.2×10^{-1} Pa とした。最下層である TiW 層とその直上に積層する Au 層の厚さは 108 nm とし、それ以外の Pt 層および Au 層の厚さはいずれも 89 nm とした。

【0061】

上記メタル多層膜の形成後、スクライブおよびブレーキングを行うことによりウェハを分断し、LED をチップにした。上記メタル多層膜はこの工程で GaN 基板と共に分断した。従って、第 1 の n 側メタルパッドの平面形状は m 面 GaN 基板の裏面の形状と同じとなった。また、第 1 の n 側メタルパッドのサイズはチップサイズと略同じ $350 \mu\text{m} \times 340 \mu\text{m}$ となった。

2 - 5 . 順方向電圧の評価

上記手順にて得た LED チップに対して、第 1 の n 側メタルパッドと p 側メタルパッドを通して電流を印加したときの順方向電圧 (V_{f1}) と、第 2 の n 側メタルパッドと p 側メタルパッドを通して電流を印加したときの順方向電圧 (V_{f2}) を比較した。印加電流はパルス幅 1 msec、パルス周期 100 msec のパルス電流とし、電流値は 20 mA および 60 mA の 2 通りとした。結果を表 3 に示す。

【0062】

【表 3】

m面GaN基板の裏面加工	V_{f1} (V)		V_{f2} (V)		$V_{f1}-V_{f2}$ (V)	
	20mA	60mA	20mA	60mA	20mA	60mA
加工a	3.7	4.3	3.7	4.3	0.0	0.0
加工b	7.3	9.2	3.7	4.3	3.6	4.9
加工c	7.3	9.1	3.7	4.3	3.5	4.8
加工d	6.6	8.3	3.8	4.4	2.8	3.9
加工e	8.2	9.5	3.7	4.3	4.5	5.2
加工f	4.3	5.6	3.7	4.3	0.6	1.4

【0063】

表 3 に示すように、m 面 GaN 基板の裏面に加工 a のみを行った LED チップでは V_{f1} と V_{f2} は一致したのに対し、加工 b ~ f を行った LED チップではいずれも V_{f1} が V_{f2} よりも大きくなった。特に、RIE 加工を含む加工 b ~ e を行った LED チップでは、その差は数 V 以上にもなった。

【符号の説明】

【0064】

101、102、103、104、105、106、107、108、109 GaN 系発光ダイオード

110 基板

120 エピ層

121 n 型層

122 活性層

123 p 型層

E100 n 側電極

E101 n 側オーミック電極

E102 n 側電極パッド

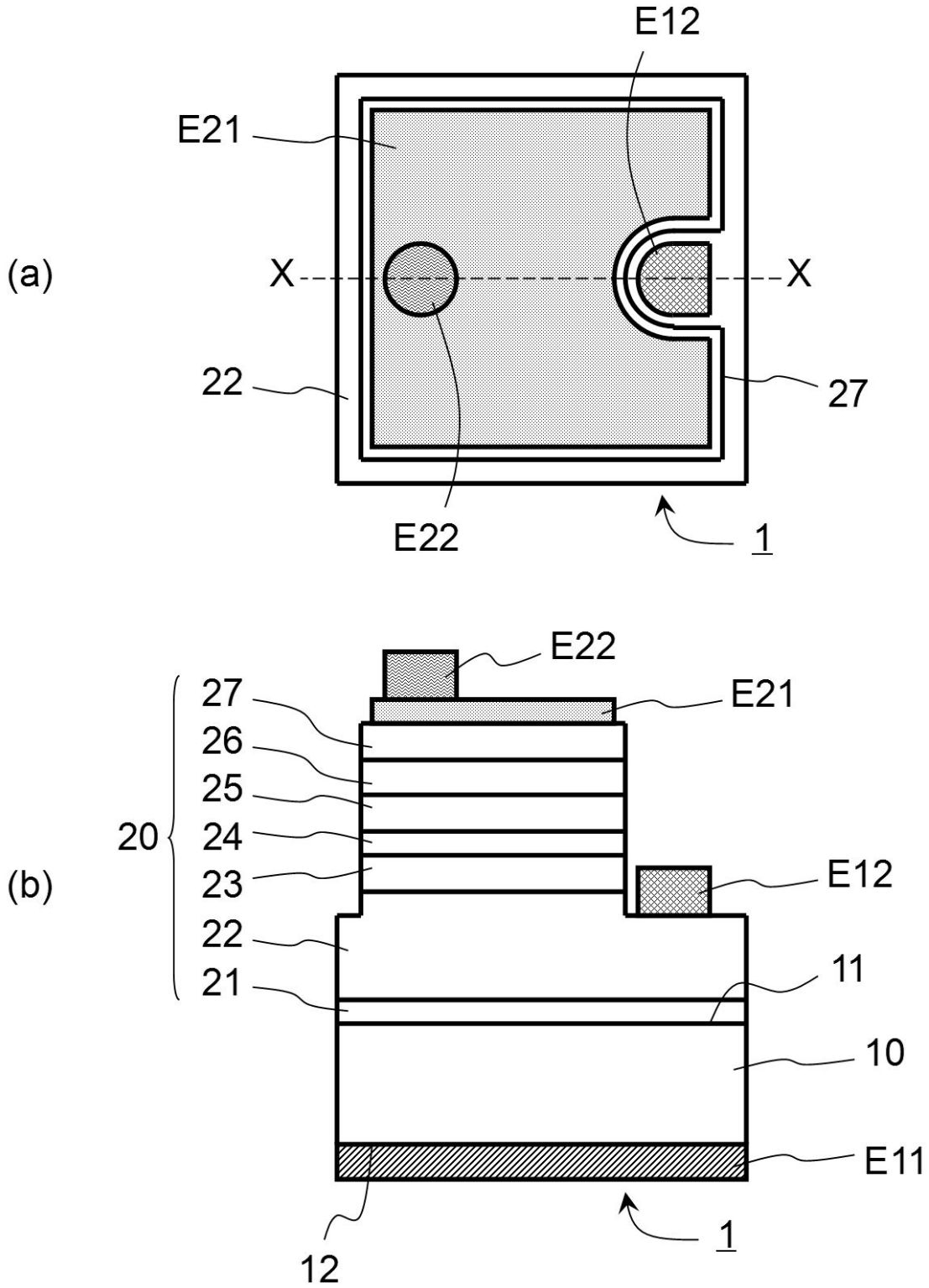
E200 p 側電極

E201 p 側オーミック電極

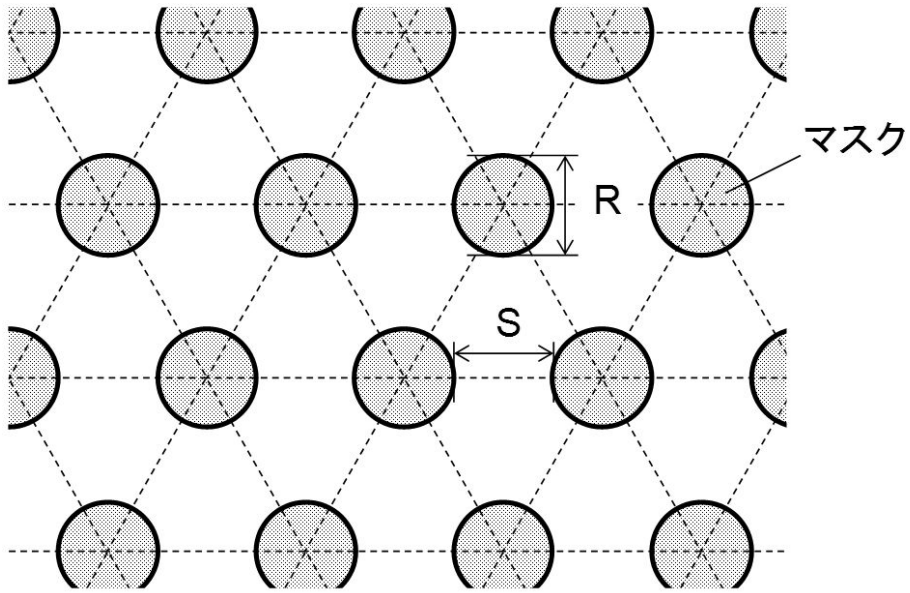
E202 p 側電極パッド

G 1 0 0 素子分離溝
R 1 0 0 誘電体反射膜

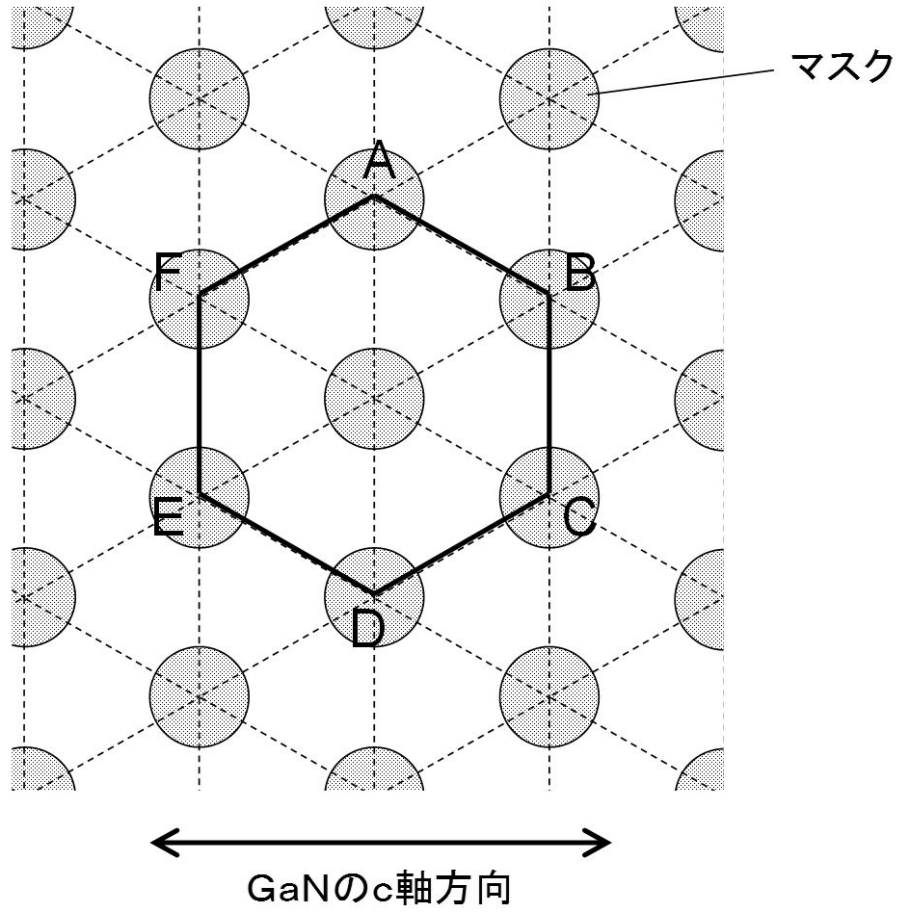
【図 1】



【 図 2 】

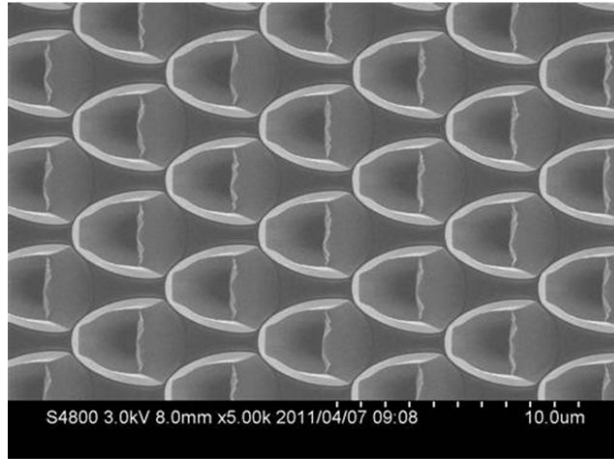


【 図 3 】

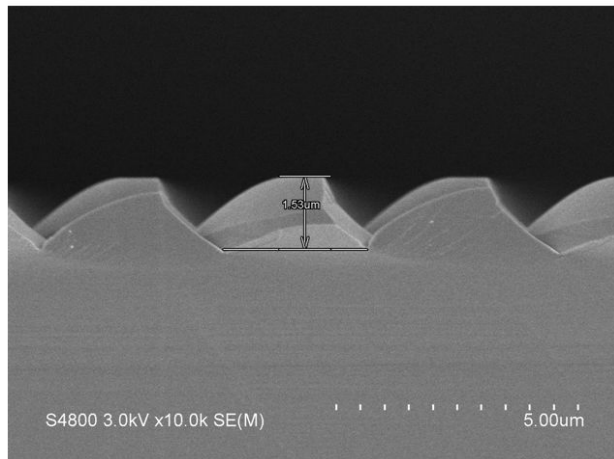


【 図 4 】

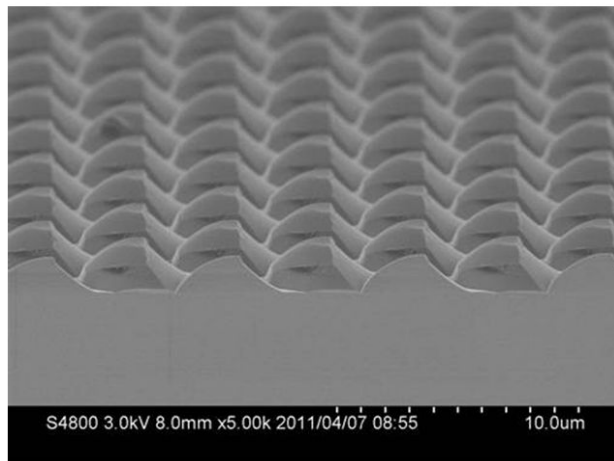
(a)



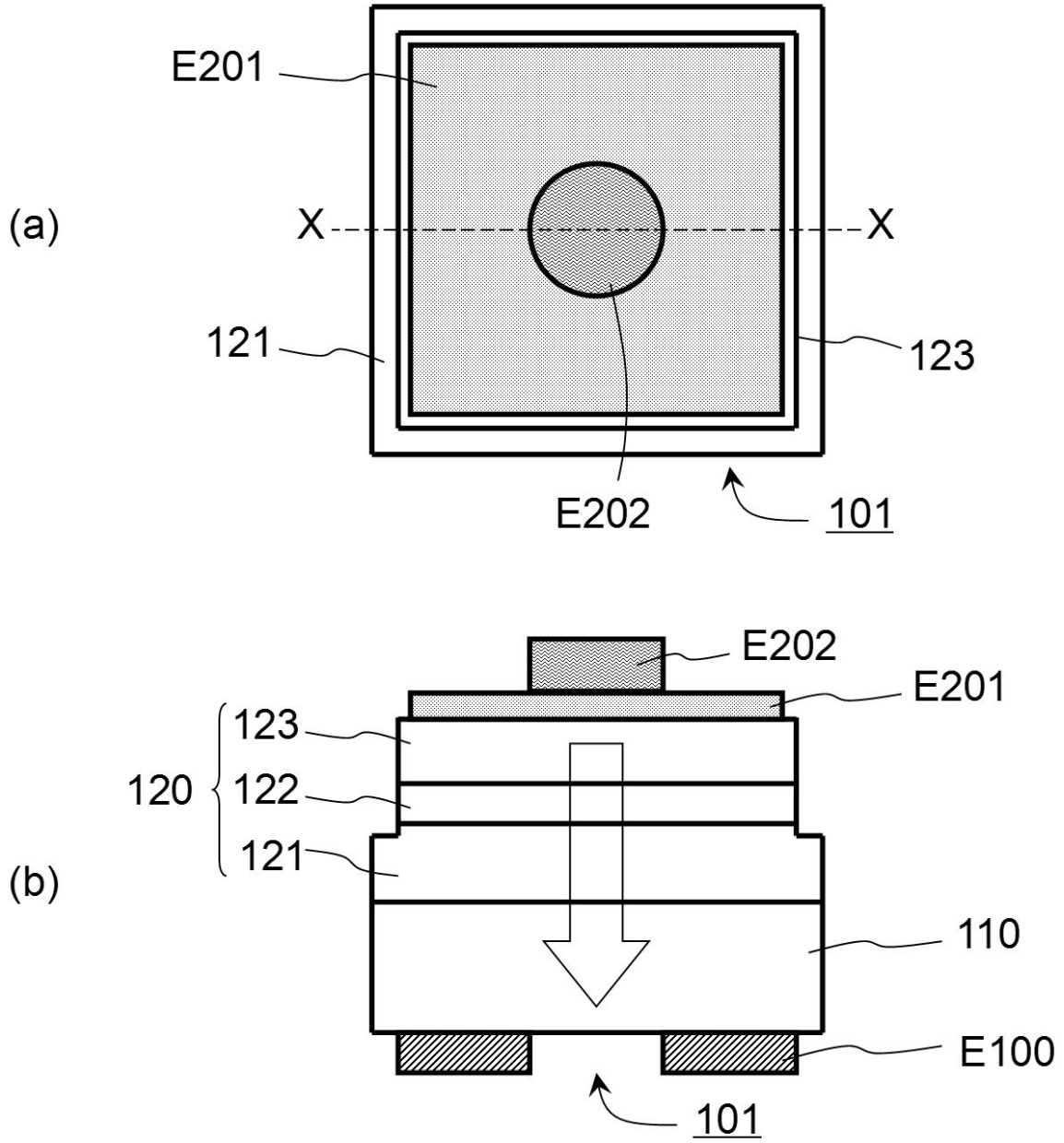
(b)



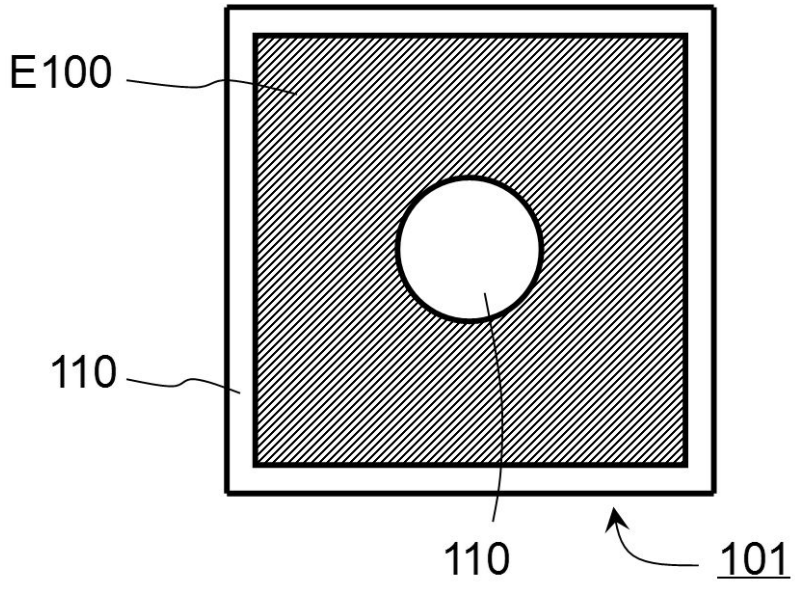
(c)



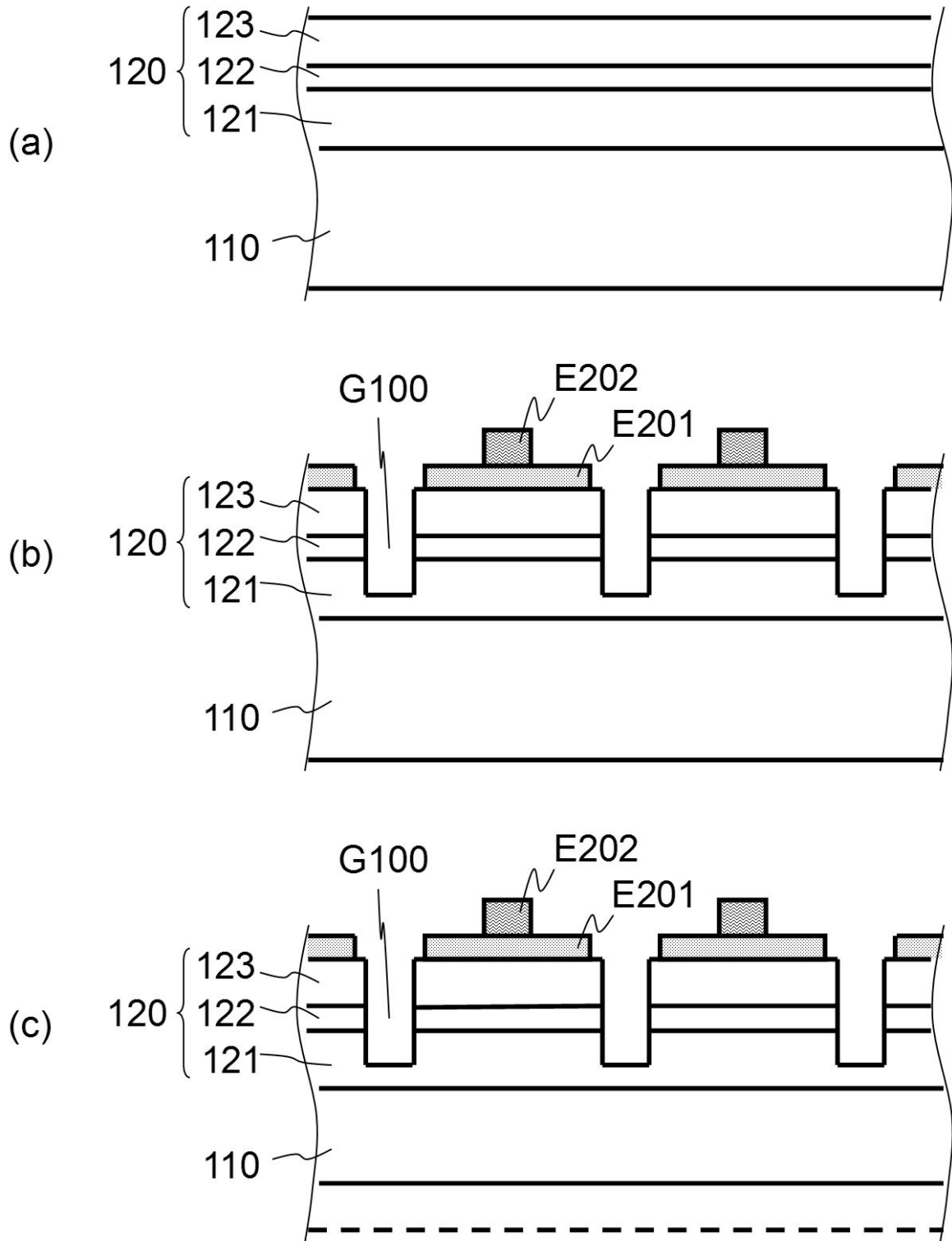
【 図 5 】



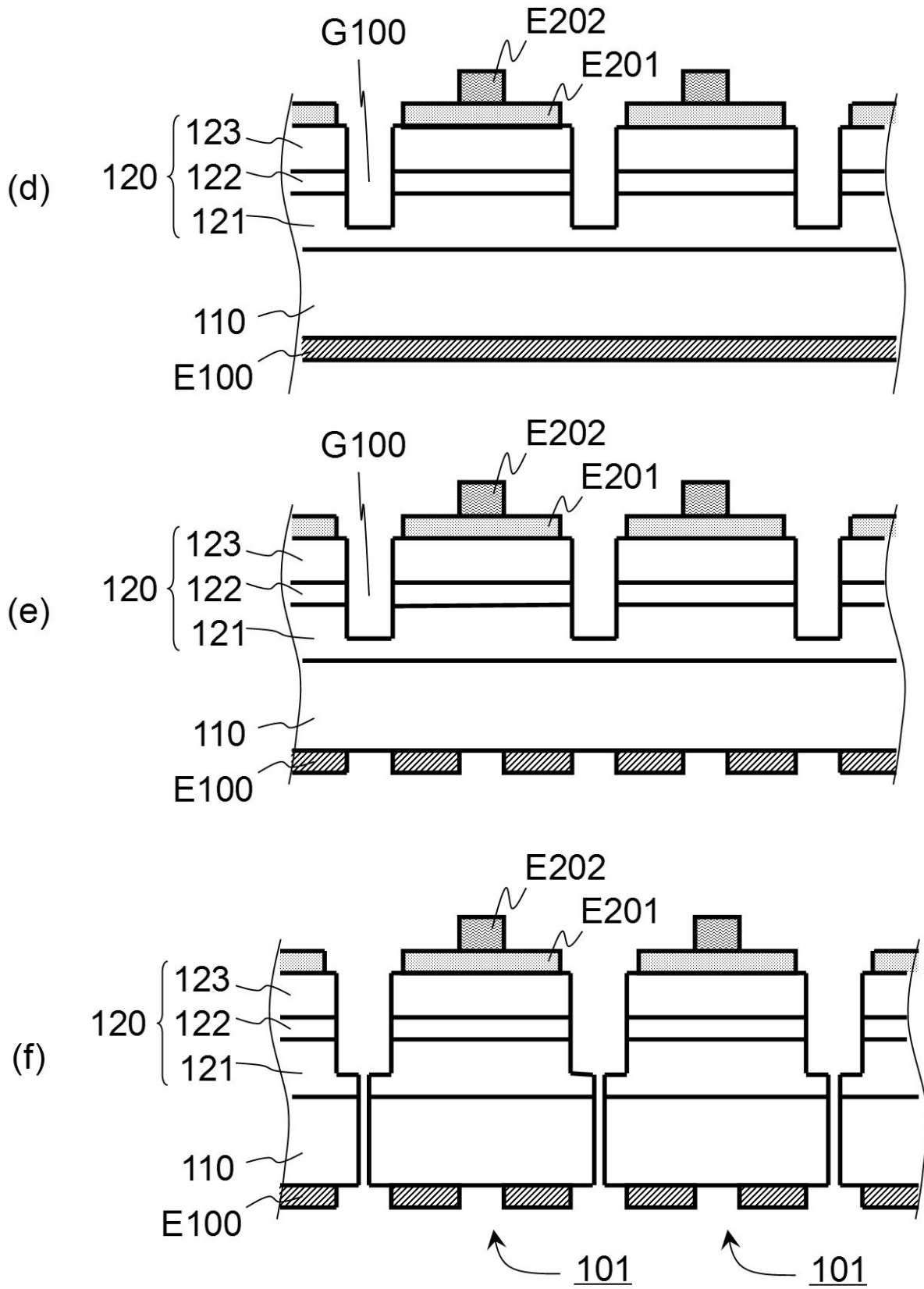
【 図 6 】



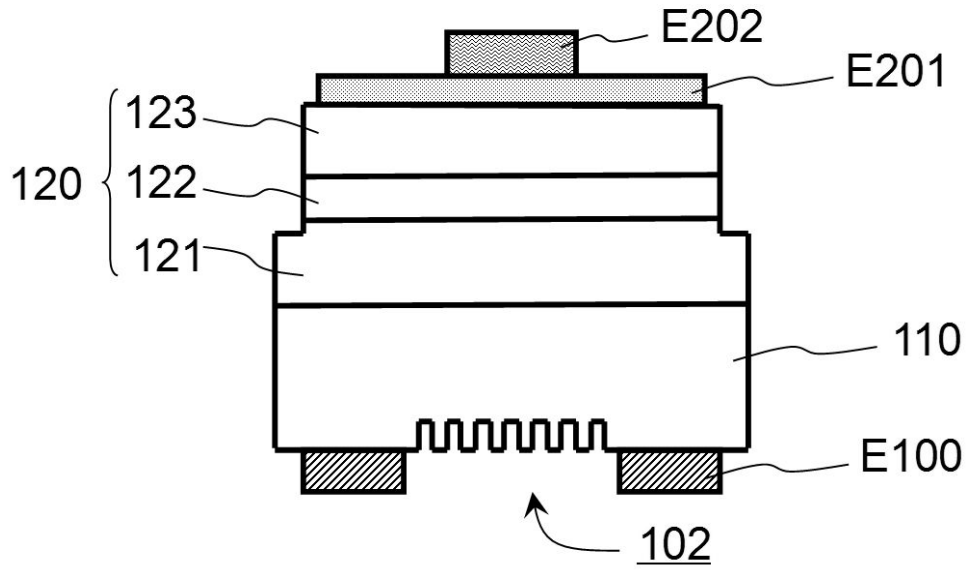
【 図 7 】



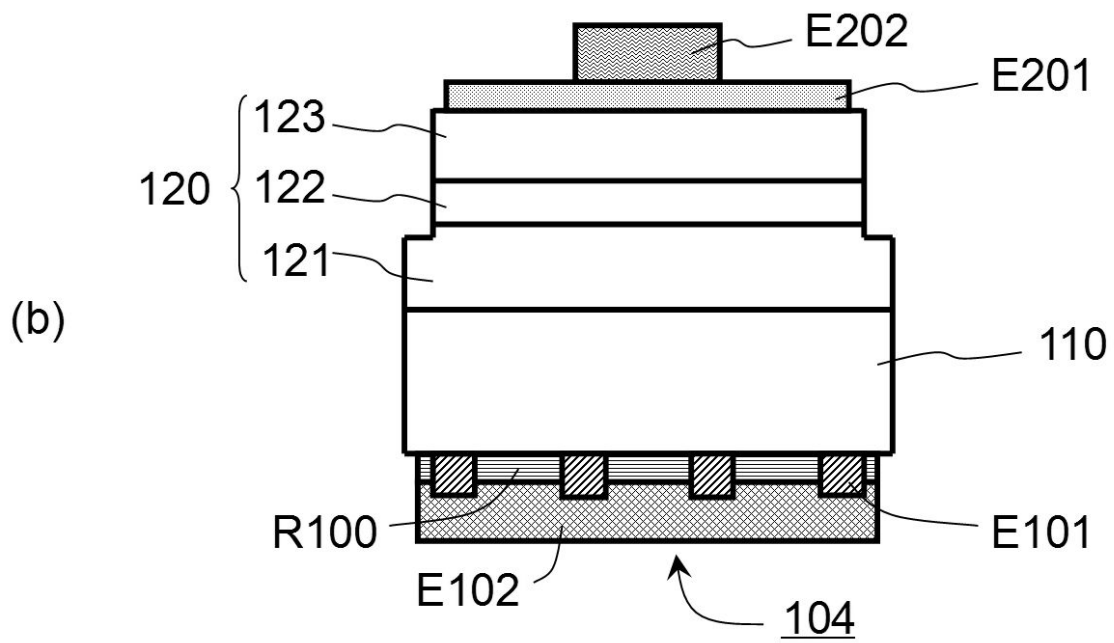
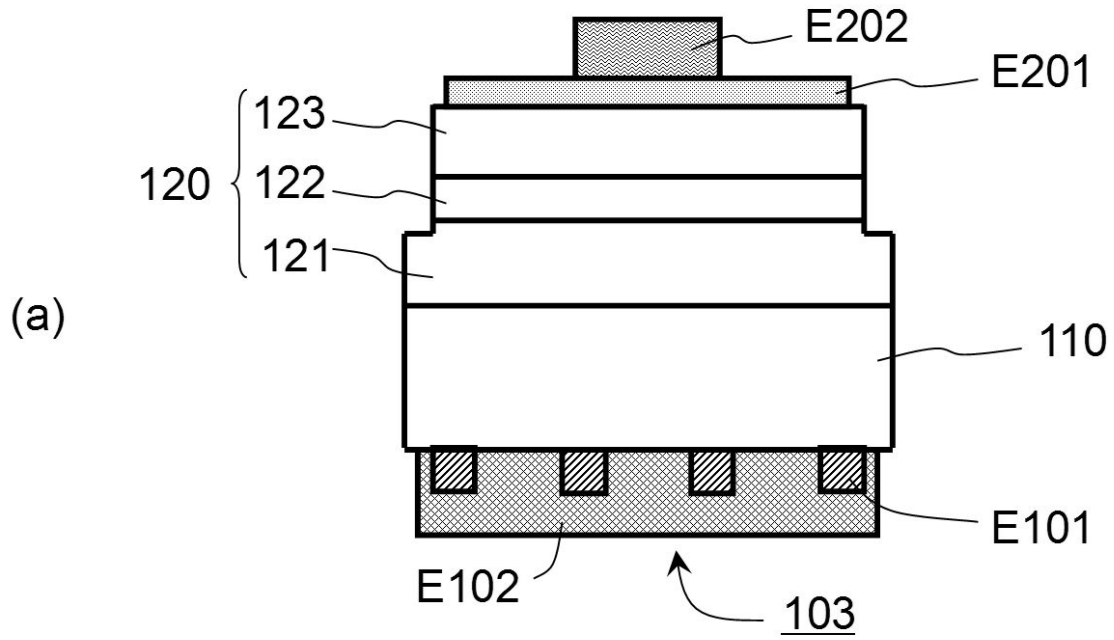
【 図 8 】



【 図 9 】

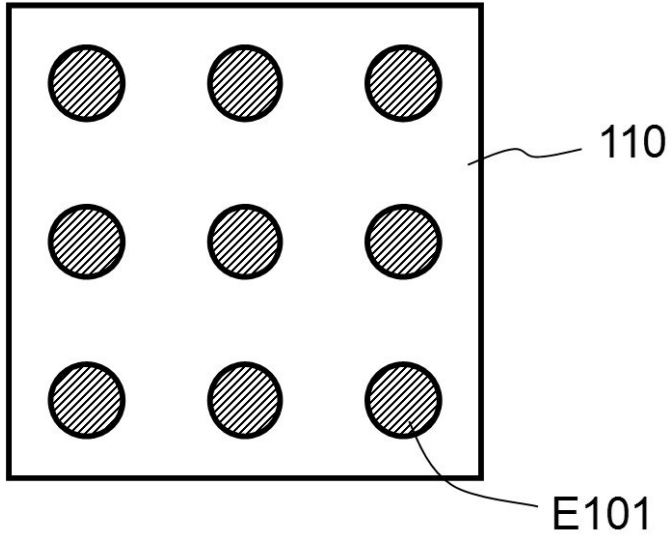


【 図 1 0 】

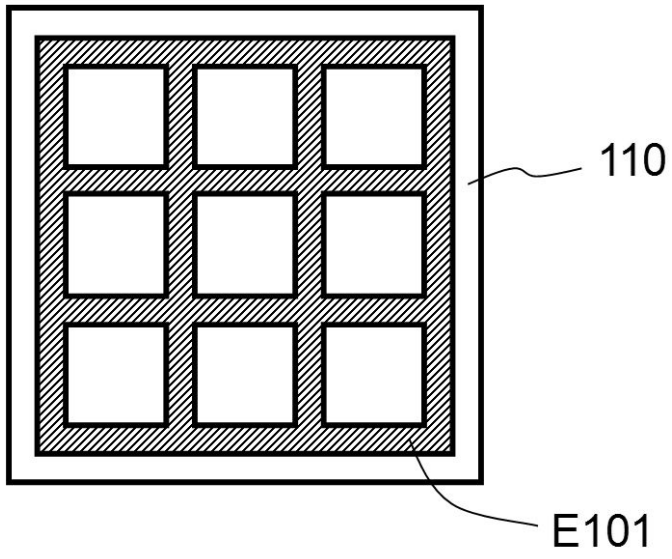


【 図 1 1 】

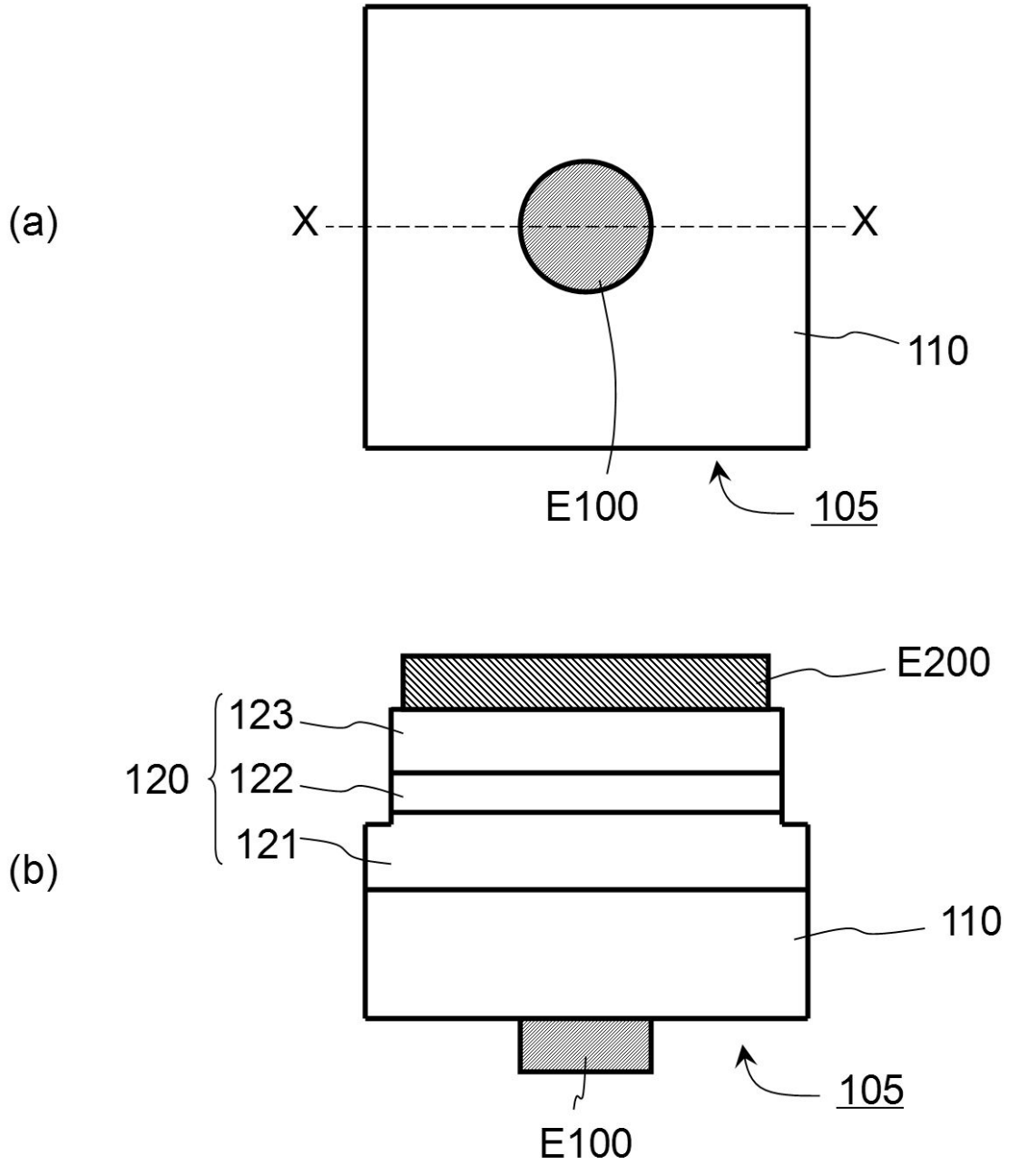
(a)



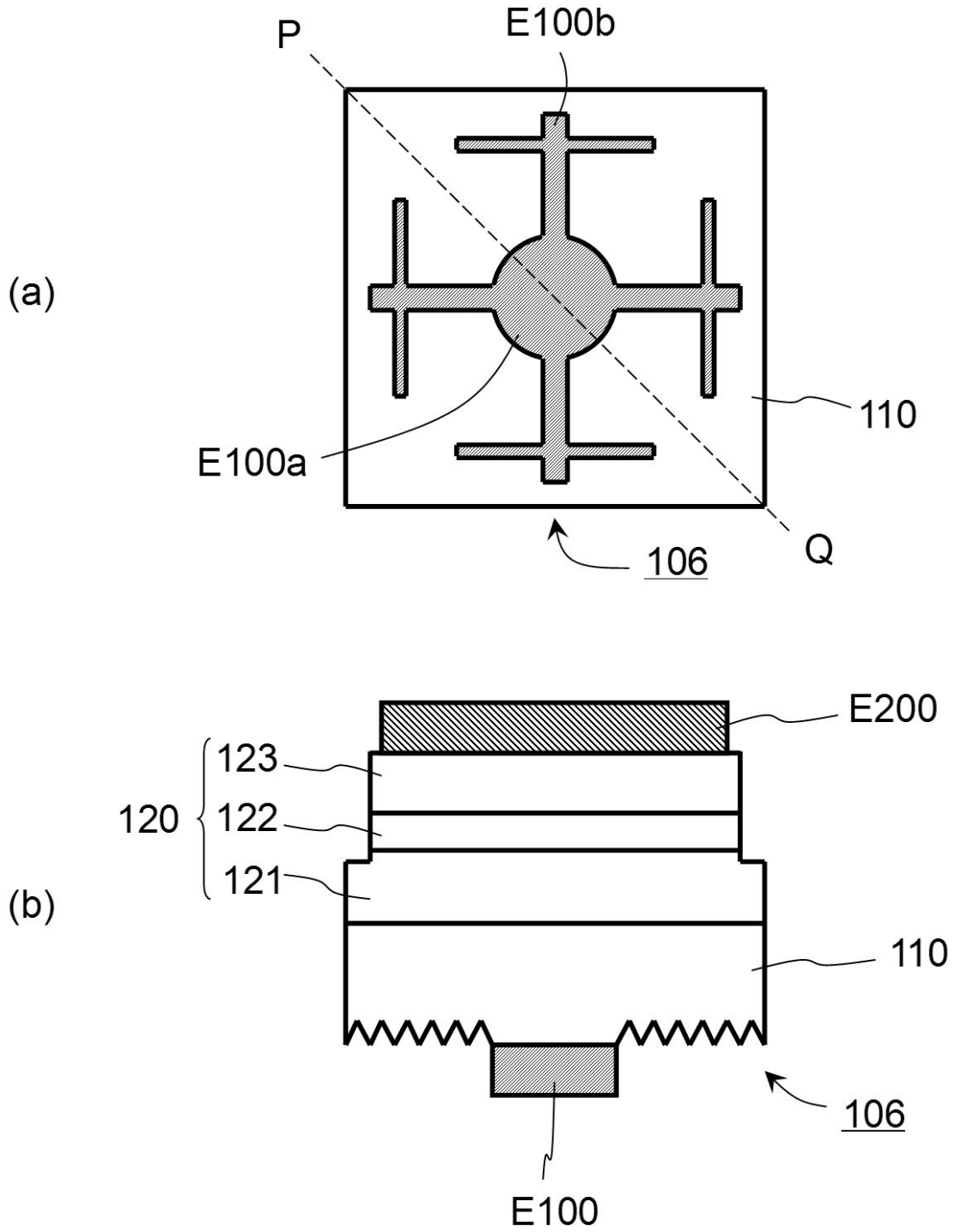
(b)



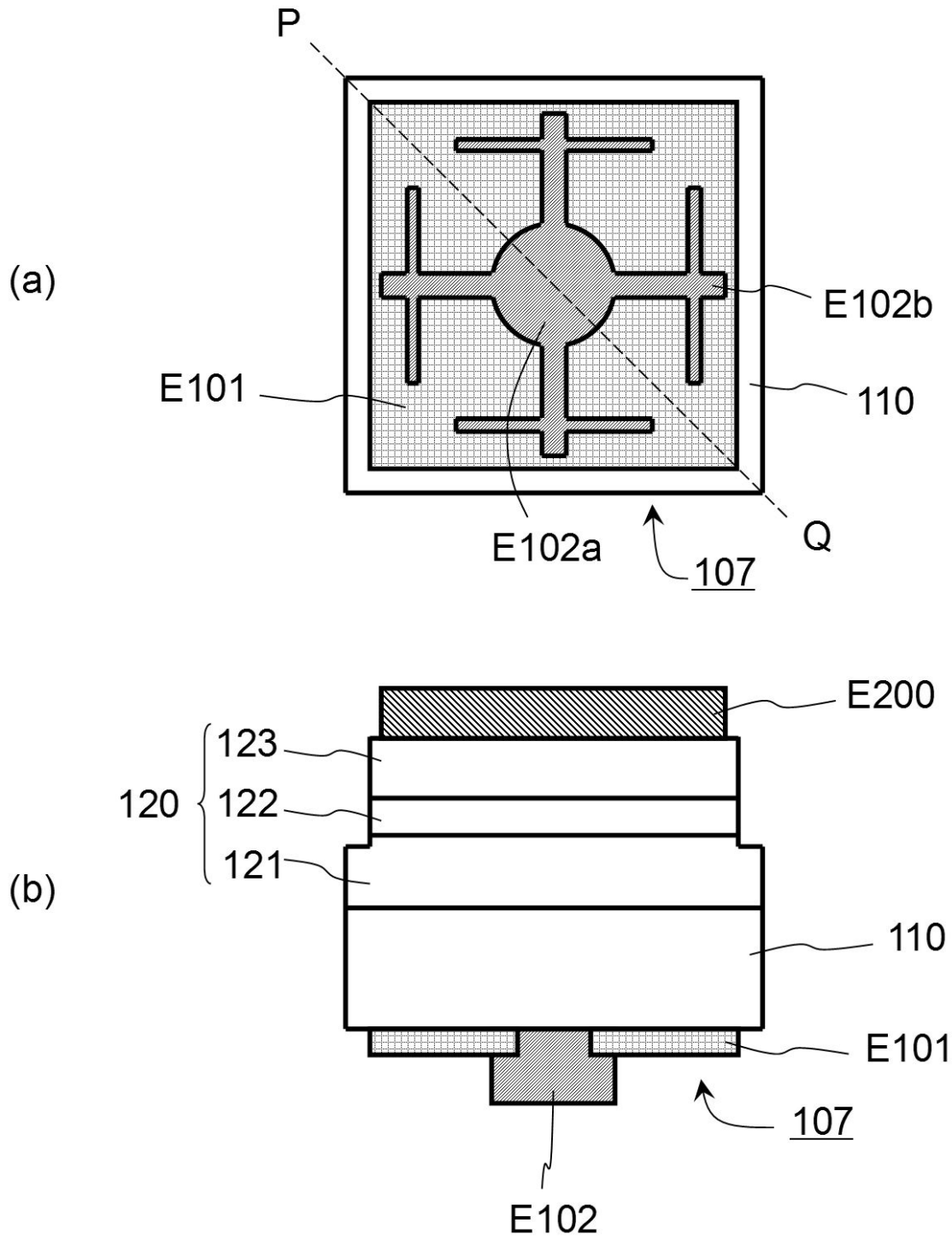
【 図 1 2 】



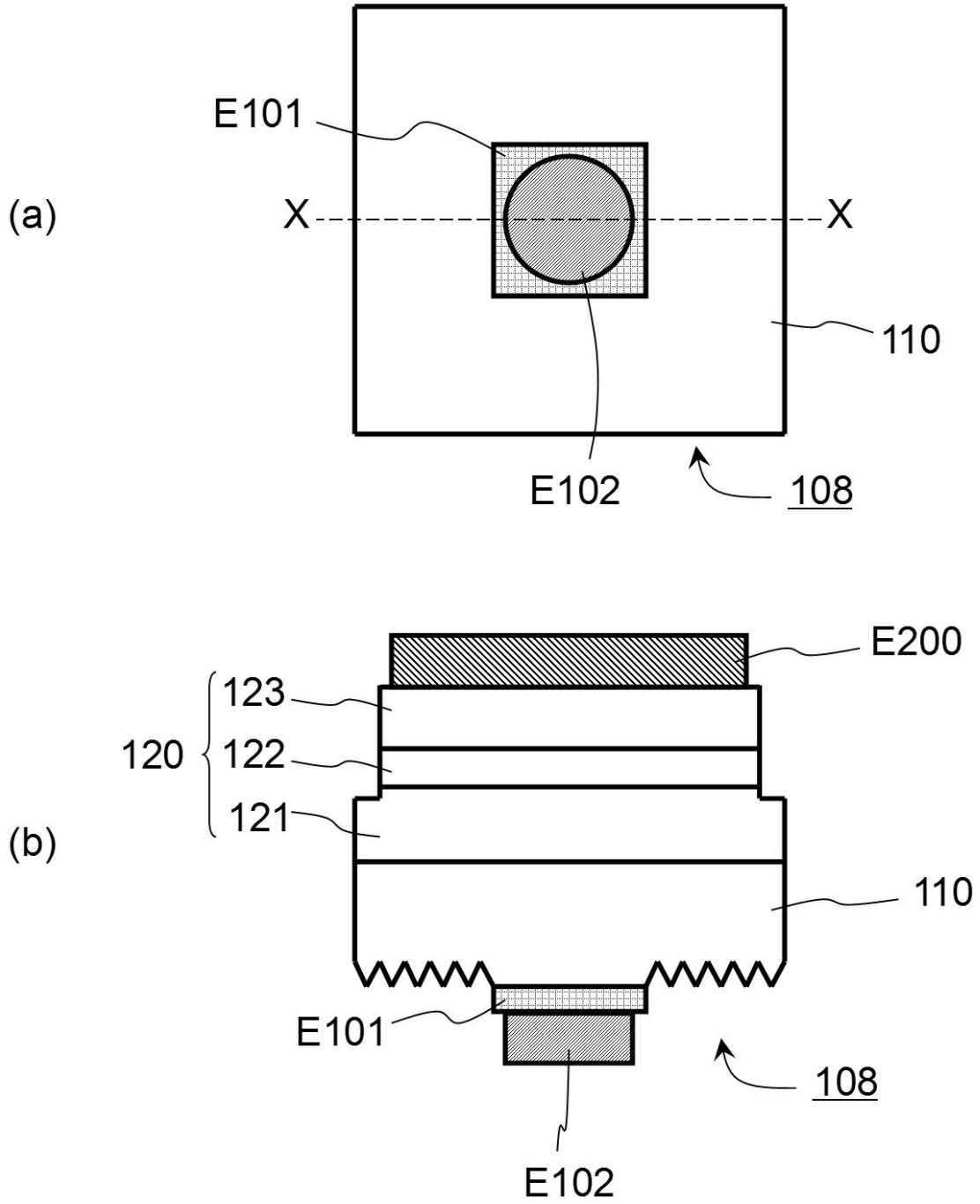
【 図 1 3 】



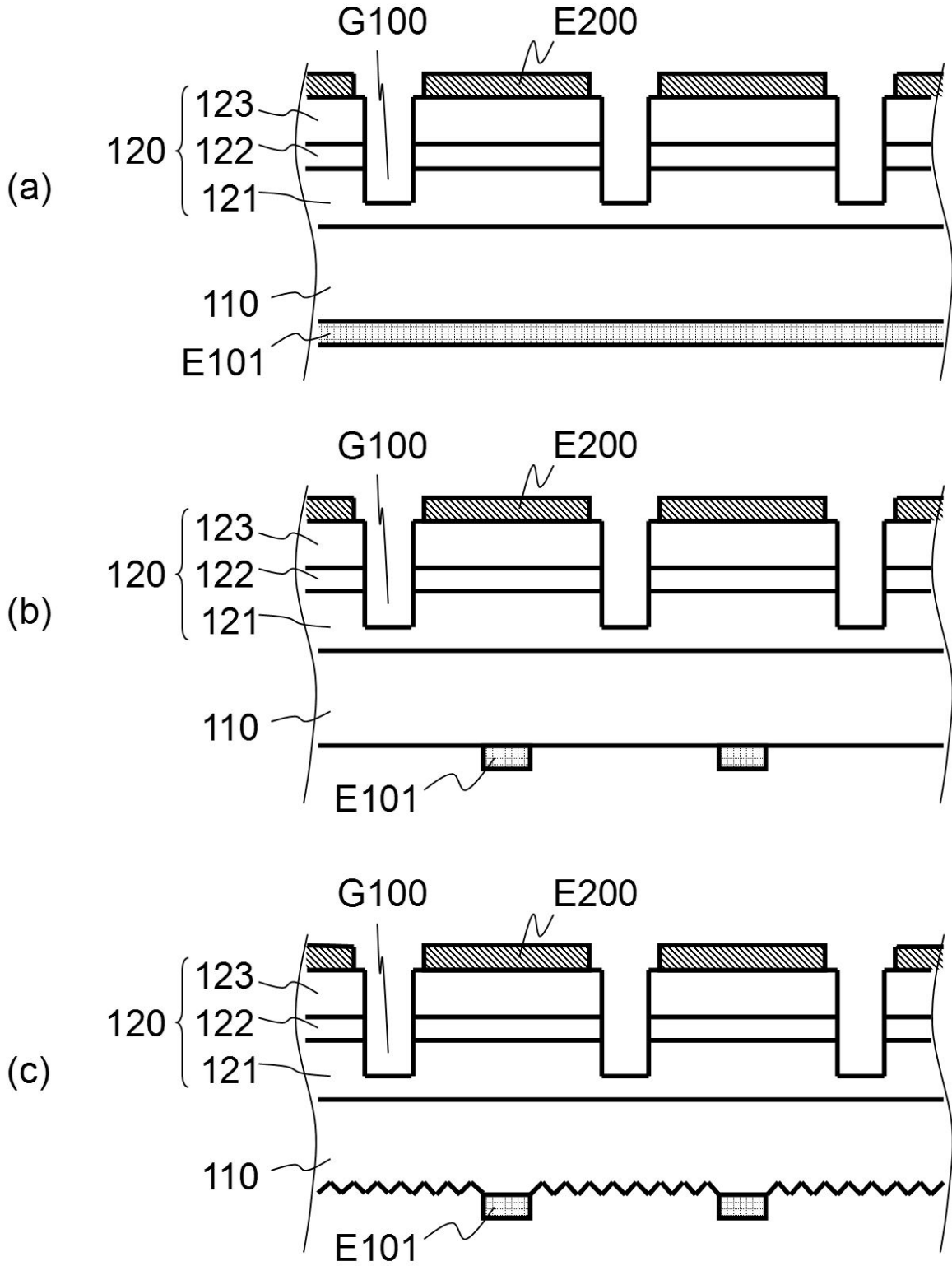
【 図 1 4 】



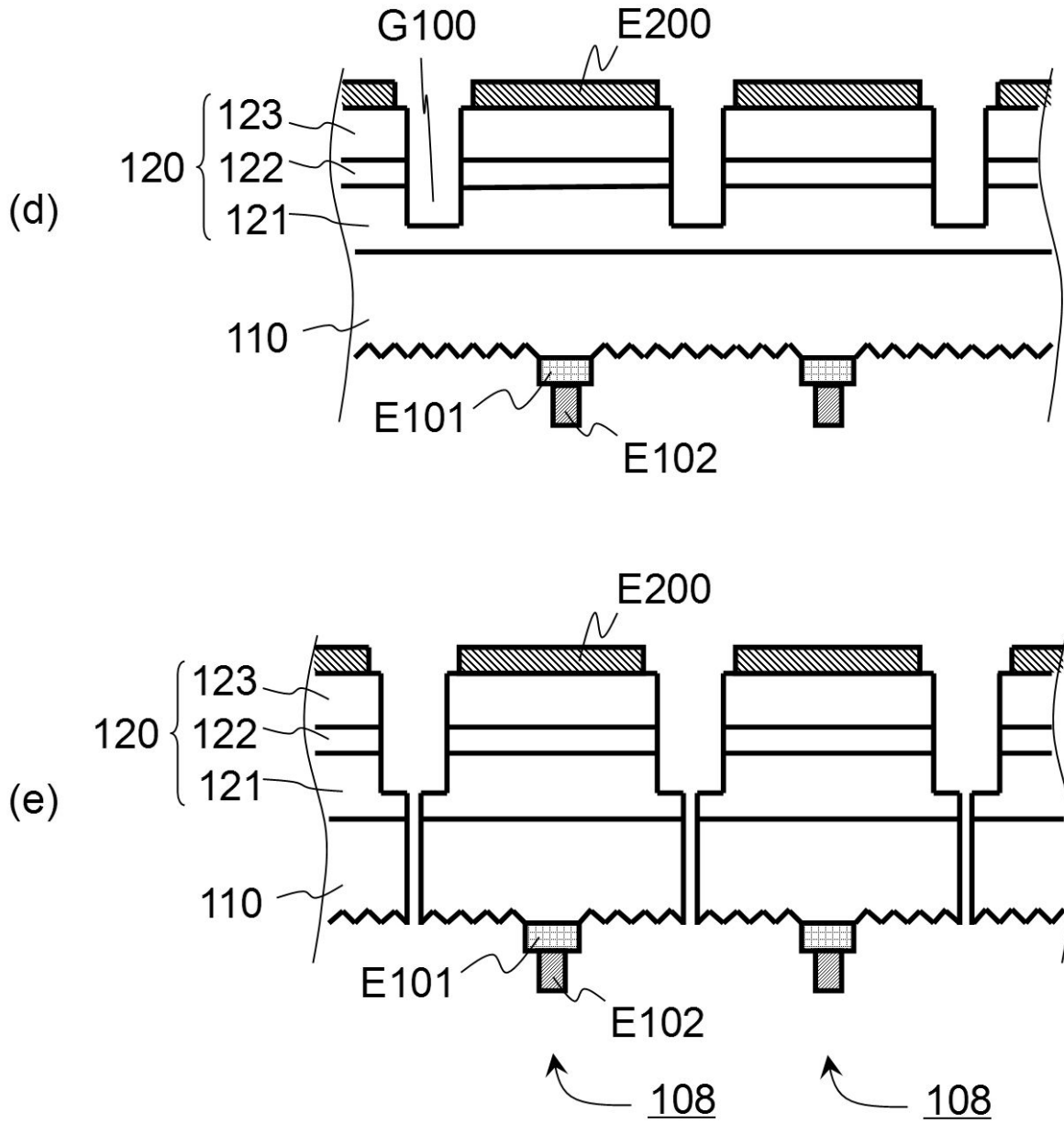
【 図 1 5 】



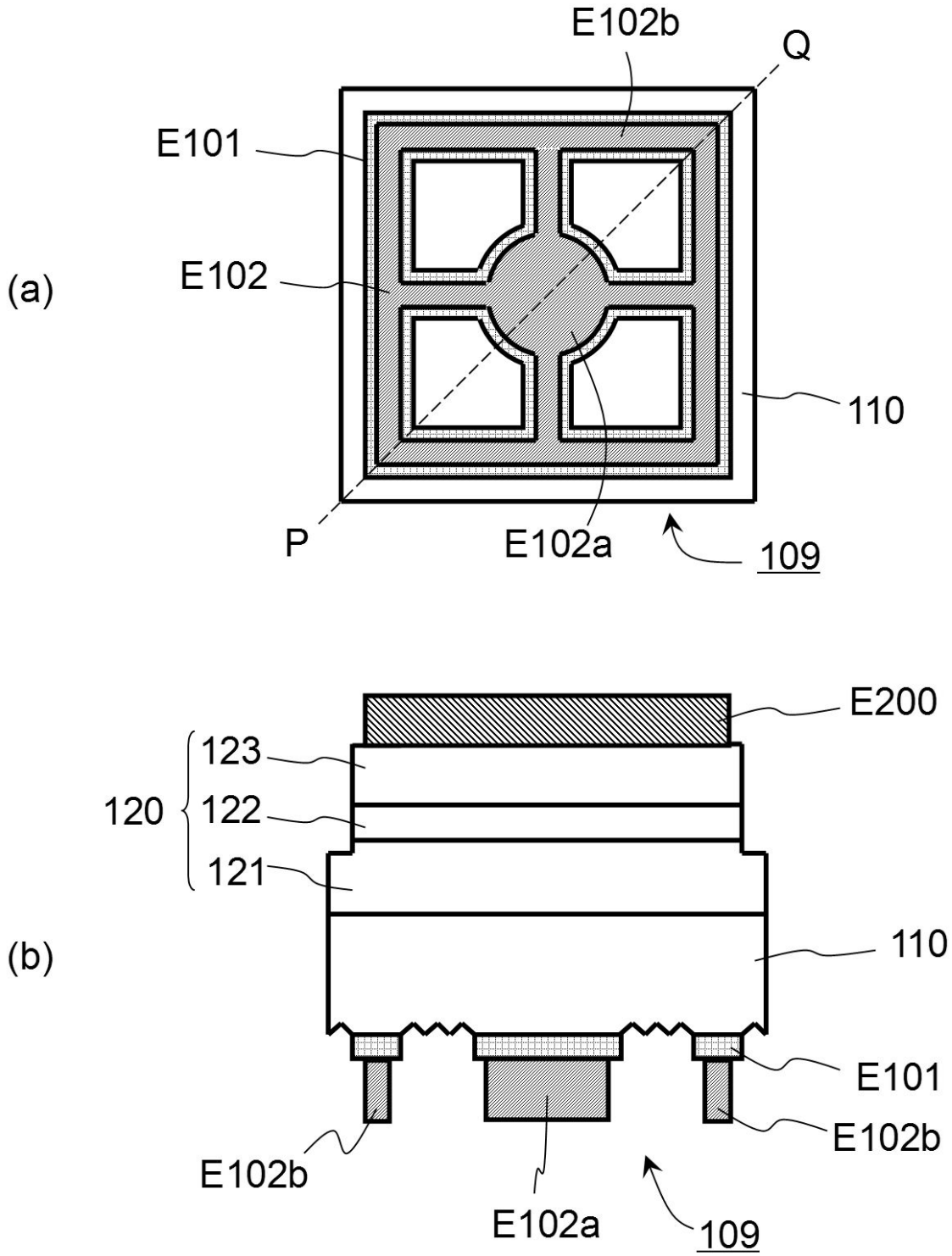
【図16】



【 図 17 】



【 図 1 8 】



フロントページの続き

Fターム(参考) 5F041 AA21 CA04 CA05 CA23 CA34 CA40 CA49 CA57 CA65 CA73
CA74 CA75 CA76 CA77 CA83 CA88 CA92 CA93 CA98 CB11
CB15
5F141 AA21 CA04 CA05 CA23 CA34 CA40 CA49 CA57 CA65 CA73
CA74 CA75 CA76 CA77 CA83 CA88 CA92 CA93 CA98 CB11
CB15