

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3820600号
(P3820600)

(45) 発行日 平成18年9月13日(2006.9.13)

(24) 登録日 平成18年6月30日(2006.6.30)

(51) Int. Cl.	F I				
G06K 19/07 (2006.01)	G06K	19/00		H	
G07B 15/00 (2006.01)	G06K	19/00		N	
G07C 9/00 (2006.01)	G07B	15/00		E	
	G07B	15/00	501		
	G07C	9/00		Z	

請求項の数 11 (全 24 頁)

<p>(21) 出願番号 特願平6-326948</p> <p>(22) 出願日 平成6年12月28日(1994.12.28)</p> <p>(65) 公開番号 特開平8-185497</p> <p>(43) 公開日 平成8年7月16日(1996.7.16)</p> <p>審査請求日 平成13年12月26日(2001.12.26)</p>	<p>(73) 特許権者 000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号</p> <p>(74) 代理人 100082131 弁理士 稲本 義雄</p> <p>(72) 発明者 有沢 繁 東京都品川区北品川6丁目7番35号 ソニー株式会社内</p> <p>審査官 前田 浩</p> <p style="text-align: right;">最終頁に続く</p>
--	---

(54) 【発明の名称】 ICカードおよび半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

電磁波を受信する受信部と、前記受信部に接続された半導体集積回路とを有するICカードにおいて、

前記半導体集積回路のP極性もしくはN極性のサブストレート、または前記サブストレートと同極性のウェルをPN接合の一極として、前記受信部の出力電流を整流する、CMOSのプロセス上で形成された対接地構造のダイオードで構成される整流手段と、

前記整流手段の出力から、電源電圧となる信号を生成する生成手段と、

前記整流手段の出力に対応して、所定の処理を実行する実行手段と、

前記整流手段の後段に設けられた、エミッタとベースが前記P極性またはN極性のサブストレートの電位と異なる電位をとるトランジスタにより構成され、前記受信部の出力電流の正極性または負極性のいずれか一方の極性のもののみをバイパスさせることにより、前記受信部の出力電圧のピーク値を所定値以下に制限する保護回路と

を備え、

前記整流手段、前記生成手段、前記実行手段、および前記保護回路は、前記CMOSのプロセスで前記半導体集積回路上に構成されている

ことを特徴とするICカード。

【請求項2】

前記整流手段は、

P極性のサブストレートとNウェルとのPN接合の部分で構成されたダイオード、

10

20

またはN極性のサブストレートとPウェルとのPN接合の部分で構成されたダイオード

である

ことを特徴とする請求項1に記載のICカード。

【請求項3】

前記整流手段は、

P極性のサブストレートの上部に形成されたPウェルと、そのPウェルの上部に形成された高濃度N層とのPN接合の部分で構成されたダイオード、

またはN極性のサブストレートの上部に形成されたNウェルと、そのNウェルの上部に形成された高濃度P層とのPN接合の部分で構成されたダイオード

である

ことを特徴とする請求項1に記載のICカード。

【請求項4】

前記整流手段は、

P極性のサブストレートとNウェルとのPN接合の部分で構成される第1のダイオードと、前記Nウェルの上部に形成された高濃度P層と前記NウェルとのPN接合の部分で構成された第2のダイオードとから構成され、

またはN極性のサブストレートとPウェルとのPN接合の部分で構成される第1のダイオードと、前記Pウェルの上部に形成された高濃度N層と前記PウェルとのPN接合の部分で構成された第2のダイオードから構成される

ことを特徴とする請求項1に記載のICカード。

【請求項5】

前記受信部は、アンテナとコンデンサとが並列に接続された共振回路で構成される

ことを特徴とする請求項1に記載のICカード。

【請求項6】

前記保護回路は、前記トランジスタを多段接続することにより構成される

ことを特徴とする請求項1に記載のICカード。

【請求項7】

電磁波を受信する受信部に接続される半導体集積回路において、

前記半導体集積回路のP極性もしくはN極性のサブストレート、または前記サブストレートと同極性のウェルをPN接合の一極として、前記受信部の出力電流を整流する、CMOSのプロセス上で形成された対接地構造のダイオードで構成される整流手段と、

前記整流手段の出力から、電源電圧となる信号を生成する生成手段と、

前記整流手段の出力に対応して、所定の処理を実行する実行手段と、

前記整流手段の後段に設けられた、エミッタとベースが前記P極性またはN極性のサブストレートの電位と異なる電位をとるトランジスタにより構成され、前記受信部の出力電流の正極性または負極性のいずれか一方の極性のもののみをバイパスさせることにより、前記受信部の出力電圧のピーク値を所定値以下に制限する保護回路と

を備え、

前記整流手段、前記生成手段、前記実行手段、および前記保護回路は、前記CMOSのプロセスで前記半導体集積回路上に構成されている

ことを特徴とする半導体集積回路。

【請求項8】

前記整流手段は、

P極性のサブストレートとNウェルとのPN接合の部分で構成されたダイオード、

またはN極性のサブストレートとPウェルとのPN接合の部分で構成されたダイオード

ド

である

ことを特徴とする請求項7に記載の半導体集積回路。

【請求項9】

10

20

30

40

50

前記整流手段は、

P極性のサブストレートの上部に形成されたPウェルと、そのPウェルの上部に形成された高濃度N層とのPN接合の部分で構成されたダイオード、

またはN極性のサブストレートの上部に形成されたNウェルと、そのNウェルの上部に形成された高濃度P層とのPN接合の部分で構成されたダイオードである

ことを特徴とする請求項7に記載の半導体集積回路。

【請求項10】

前記整流手段は、

P極性のサブストレートとNウェルとのPN接合の部分で構成される第1のダイオードと、前記Nウェルの上部に形成された高濃度P層と前記NウェルとのPN接合の部分で構成された第2のダイオードとから構成され、

またはN極性のサブストレートとPウェルとのPN接合の部分で構成される第1のダイオードと、前記Pウェルの上部に形成された高濃度N層と前記PウェルとのPN接合の部分で構成された第2のダイオードから構成される

ことを特徴とする請求項7に記載の半導体集積回路。

【請求項11】

前記保護回路は、前記トランジスタを多段接続することにより構成される

ことを特徴とする請求項7に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、例えば自動改札システムなどに用いられる定期券などに用いて好適なICカードおよび半導体集積回路に関する。

【0002】

【従来の技術】

現在、自動改札システムなどで用いられている定期券には、磁気的に情報が記録されており、自動改札機では、定期券が挿入されると、その磁気記録がなされている部分に磁気ヘッドを接触させて、情報を読み取るようになされている。

【0003】

このため、利用者は、定期券をケースに収納している場合には、そこから取り出して、自動改札機に挿入する必要がある、面倒であった。

【0004】

そこで、本件出願人は、非接触カードシステムを先に提案している。この非接触カードシステムによれば、非接触で情報のやりとり（データ通信）などを行うことができるので、これを、上述したような自動改札システムに適用した場合には、利用者は、定期券をケースに収納したままでも、自動改札機を出入りすることが可能となる。

【0005】

図15は、本件出願人が、先に提案した非接触カードシステムの構成例を示している。この非接触カードシステムは、上述した定期券に相当するICカードと、電磁波を媒体としてICカードに対して、非接触で電源となる電力を供給するとともに、データの読み書きやその他必要な処理を行うリーダ/ライタで構成されている。

【0006】

リーダ/ライタは、次のように構成されている。即ち、ホストコンピュータ91は、例えば図示せぬ他の装置や、あるいはシステムの管理者の指示に対応して、所定のアプリケーションプログラムをデジタル信号処理部92に送信してロードさせたり、リーダ/ライタの動作モードを決めたり、あるいはデジタル信号処理部92から、後述するようにして受信されたデータを読み出すようになされている。

【0007】

デジタル信号処理部92は、ホストコンピュータ92から送信されてきたアプリケーション

10

20

30

40

50

ョンプログラムをロードし、そのプログラムにしたがった処理を行うようになされている。また、デジタル信号処理部 9 2 は、ホストコンピュータ 9 2 の指示にしたがって、アンプ 9 4 の増幅率を制御したり、あるいはアンプ 1 0 0 より送信されてきたデータを受信し、そのデータに対して所定の処理を施し、ホストコンピュータ 9 1 に送信するようになされている。

【 0 0 0 8 】

キャリア発生器 9 3 は、その一方の出力端子がループアンテナ 9 7 の一端と接続され、また他方の出力端子がアンプ 9 4 の入力端子に接続されており、所定の周波数のキャリアを出力するようになされている。アンプ 9 4 は、電圧制御型のアンプで、その出力端子は、抵抗 9 5 を介して、ループアンテナ 9 7 の他端と接続されている。上述したように、アンプ 9 4 における増幅率は、デジタル信号処理部 9 2 によって制御されるようになされており、従ってキャリア発生器 9 3 が出力するキャリアは、デジタル信号処理部 9 2 によってアンプ 9 4 の増幅率が変化されることにより振幅変調されるようになされている。

10

【 0 0 0 9 】

コンデンサ 9 6 は、その一端が、キャリア発生器 9 3 とループアンテナ 9 7 との接続点と接続され、他端が、抵抗 9 5 とループアンテナ 9 7 との接続点に接続されている。ループアンテナ 9 7 は、コイルと等価であるから、コンデンサ 9 6 とループアンテナ 9 7 とで共振回路（並列共振回路）が構成されている。なお、ループアンテナ 9 7 は、例えばプリント基板上にパターンとして形成されている。

【 0 0 1 0 】

抵抗 9 5 とループアンテナ 9 7 との接続点には、検波用のダイオード 9 8 のアノードが接続されており、そのカソードは、カップリングコンデンサ（結合コンデンサ）9 9 を介して、アンプ 1 0 0 の入力端子と接続されている。そして、アンプ 1 0 0 の出力端子は、デジタル信号処理部 9 2 と接続されている。

20

【 0 0 1 1 】

次に、図 1 6 のフローチャートを参照して、その動作について説明する。リーダ/ライタでは、まず最初に、ステップ S 1 において、電磁波として、コマンドおよび必要ならば書き込みデータが送出され、さらに一定期間、無変調波が送出される。即ち、まずホストコンピュータ 9 1 において、他の装置や、あるいはシステムの管理者の指示に対応して、所定のアプリケーションプログラムおよび必要なら書き込みデータがデジタル信号処理部 9 2 に送信される。その後、ホストコンピュータ 9 1 では、デジタル信号処理部 9 2 に対し、起動がかけられる。

30

【 0 0 1 2 】

デジタル信号処理部 9 2 は、ホストコンピュータ 9 1 からプログラムを受信すると、それを内蔵するメモリにロードする（書き込みデータも受信した場合には、それも記憶される）。そして、ホストコンピュータ 9 1 から起動がかけられると、ロードしたプログラムにしたがって処理を行う。即ち、例えば IC カードに対して処理を指示するコマンドや、IC カードに行わせるべきプログラム、その他の書き込みデータなどに対応して、アンプ 9 4 の増幅率を制御する。

【 0 0 1 3 】

アンプ 9 4 には、キャリア発生器 9 3 からキャリアが入力されており、従ってアンプ 9 4 では、キャリアが、デジタル信号処理部 9 2 からコマンドや、プログラム、データにしたがって振幅変調されて出力される。よって、キャリア発生器 9 3 とアンプ 9 4 とは振幅変調器を構成している。

40

【 0 0 1 4 】

アンプ 9 4 より出力された振幅変調波は、抵抗 9 5 を介して、共振回路を構成するコンデンサ（共振容量）9 6 およびループアンテナ 9 7 に出力される。このコンデンサ 9 6 およびループアンテナ 9 7 で構成される共振回路の共振周波数は、キャリア発生器 9 3 が出力するキャリアの周波数に設定されており、従ってアンプ 9 4 より出力された振幅変調波は、ループアンテナ 9 7 より電磁界として、効率良く放射される。

50

【 0 0 1 5 】

その後、リーダ/ライタでは、デジタル信号処理部 9 2 によって、アンプ 9 4 の増幅率が一定値になるように制御され、これにより無変調波が、上述した振幅変調波と同様にして、電磁界として、効率良く放射される。

【 0 0 1 6 】

そして、ステップ S 2 に進み、ICカードから応答があったか否かが判定される。ここで、ICカードから応答があったか否かは、次のようにして判定される。即ち、ICカードにおいては、後述するように、ループアンテナ 3 1 とコンデンサ (共振容量) 3 2 とが並列に接続されて共振回路が構成されている。さらに、コンデンサ 3 2 には、コンデンサ 3 8 と F E T (N チャンネル F E T) 3 9 とが直列接続された直列回路が並列接続されており、従って、F E T 3 9 がオン/オフすることで、共振回路は、ループアンテナ 3 1 およびコンデンサ 3 2、またはループアンテナ 3 1、コンデンサ 3 2、および 3 9 で構成されるようになり、その共振周波数 (インピーダンス) が変化するようになされている。

10

【 0 0 1 7 】

ICカードでは、リーダ/ライタに応答する場合、F E T 3 9 をオン/オフするようになされており、これにより、その共振回路の共振周波数 (インピーダンス) を変化させる。この場合、ICカードとリーダ/ライタとが、ループアンテナ 3 1 と 9 7 との間で相互誘導を生じる距離にあれば、上述したように無変調波に対応する電磁界を放射しているリーダ/ライタのコンデンサ 9 6 とループアンテナ 9 7 との接続点である点 A および B からループアンテナ 9 7 側を見たインピーダンスは、F E T 3 9 のオン/オフに対応して変化することになり、従って点 A (B) の電圧も変化することになる。点 A における電圧は、ダイオード 9 8 で検波され、コンデンサ 9 9 で直流分をカットされ、さらにアンプ 1 0 0 で増幅されて、デジタル信号処理部 9 2 に入力されるので、ICカードから応答があったか否かは、デジタル信号処理部 9 2 において、アンプ 1 0 0 からの信号に基づいて判定される。

20

【 0 0 1 8 】

ステップ S 2 において、ICカードから応答がなかったと判定された場合、即ちICカードとリーダ/ライタとが、ループアンテナ 3 1 と 9 7 との間で相互誘導を生じる距離にない場合、ステップ S 1 に戻り、再びステップ S 1 からの処理を繰り返す。また、ステップ S 2 において、ICカードから応答があったと判定された場合、ステップ S 3 に進み、デジタル信号処理部 9 2 において、上述したように得られる応答としてのアンプ 1 0 0 の出力信号が復調され、その復調データに基づいて、必要な処理が行われて、処理を終了する。

30

【 0 0 1 9 】

次に、ICカードについて説明する。ICカードは、次のように構成される。即ち、ループアンテナ 3 1 とコンデンサ 3 2 とは並列に接続されている。ループアンテナ 3 1 は、上述したループアンテナ 9 7 と同様にコイルと等価であるから、ループアンテナ 3 1 とコンデンサ 3 2 とは並列共振回路を構成している。ループアンテナ 3 1 とコンデンサ 3 2 との接続点の一方は、コンデンサ 3 8 の一端に接続されており、他方は、F E T 3 9 のソースと接続されている。そして、F E T 3 9 のドレインは、コンデンサ 3 8 の他端と接続されている。

40

【 0 0 2 0 】

ループアンテナ 3 1 とコンデンサ 3 2 との接続点と、コンデンサ 3 8 との接続点には、抵抗 3 3 の一端、およびダイオード 8 3 のアノードが接続されている。ダイオード 8 3 は、整流、検波用のもので、そのカソードは、定電圧レギュレータ 3 7 の入力端子と接続されている。

【 0 0 2 1 】

抵抗 3 3 の他端には、複数のダイオードが直列に多段接続されたダイオード群 8 1 のアノード、およびダイオード群 8 2 のカソードが接続されている。ダイオード群 8 1 のカソード、およびダイオード群 8 2 のアノードは、ともに F E T 3 9 のソースと接続されている

50

。なお、F E T 3 9 のソースは接地されている。

【 0 0 2 2 】

ダイオード 8 3 と、定電圧レギュレータ 3 7 の入力端子との接続点には、平滑用のコンデンサ 3 5 の一端が接続されており、その他端は接地されている。定電圧レギュレータ 3 7 は、その入力端子に印加される電圧を、所定の一定の電圧 V D D に安定化して、その出力端子から出力するようになされている。定電圧レギュレータ 3 7 の出力端子には、バイパスコンデンサ 3 6 の一端が接続されており、その他端は接地されている。なお、定電圧レギュレータ 3 7 はアース端子を有し、そのアース端子は接地されている。

【 0 0 2 3 】

カップリングコンデンサ 4 0 の一端は、ダイオード 8 3 と定電圧レギュレータ 3 7 との接続点に接続されており、その他端は、アンプ 4 1 の入力端子と接続されている。アンプ 4 1 は、その入力端子に入力される信号を増幅して出力端子から出力するようになされており、その出力端子は、デジタル信号処理部 4 2 の入力端子に接続されている。デジタル信号処理部 4 2 は、アンプ 4 1 から入力される信号に対応して、所定の処理を行うようになされている。また、デジタル信号処理部 4 2 は出力端子を有し、その出力端子は、F E T 3 9 のゲートに接続されている。従って、F E T 3 9 は、デジタル信号処理部 4 2 より、そのゲートに印加される電圧に対応してオン/オフするようになされている。

10

【 0 0 2 4 】

なお、アンプ 4 1 およびデジタル信号処理部 4 2 は、定電圧レギュレータ 3 7 が出力する電圧 V D D が電源として供給されるようになされている。また、アンプ 4 1 およびデジタル信号処理部 4 2 はアース端子を有し、そのアース端子は接地されている。さらに、デジタル信号処理部 4 2 は、不揮発性メモリ 4 3 を有し、アンプ 4 1 からのデータなどを記憶し、また記憶したデータなどに応じて、F E T 3 9 をオン/オフさせるようになされている。

20

【 0 0 2 5 】

次に、図 1 7 のフローチャートを参照して、その動作について説明する。I C カードでは、まず最初に、ステップ S 1 1 において、リーダ/ライタから放射された電磁波が受信される。即ち、I C カードが、リーダ/ライタに近づけられ、ループアンテナ 3 1 と 9 7 との間で相互誘導を生じる距離となると、ループアンテナ 3 1 は、ループアンテナ 9 7 より放射された電磁界（磁束）のうち、そこに鎖交する磁束の変化（磁界の変化）に応じて逆起電力を生じる。このようにして発生した電圧のうち、ループアンテナ 3 1 およびコンデンサ 3 2 で構成される共振回路の共振周波数を中心とする所定の周波数帯域のものは、効率良く、後段のブロックに通過される。

30

【 0 0 2 6 】

なお、ループアンテナ 3 1 およびコンデンサ 3 2 で構成される共振回路の共振周波数は、例えばリーダ/ライタが有するキャリア発生器 9 3 が発生するキャリアの周波数とされている。

【 0 0 2 7 】

そして、ステップ S 1 2 に進み、動作するのに電源を必要とするブロックであるアンプ 4 1 およびデジタル信号処理部 4 2 に、電圧 V D D が電源として供給され、さらにループアンテナ 3 1 およびコンデンサ 3 2 で構成される共振回路を通過した信号が検波される。

40

【 0 0 2 8 】

即ち、ループアンテナ 3 1 およびコンデンサ 3 2 で構成される共振回路を通過した信号は、ダイオード 8 3 を介することにより整流され、さらに平滑用のコンデンサ 3 5 を介することによりリップルが除去される。このリップルの除去された信号は、定電圧レギュレータ 3 7 に供給され、そこで安定化されることにより所定の一定電圧 V D D とされる。そして、この電圧 V D D が、電源として、アンプ 4 1 およびデジタル信号処理部 4 2 に供給される。

【 0 0 2 9 】

以上のようにして、アンプ 4 1 およびデジタル信号処理部 4 2 に電源が供給され、その

50

動作が可能な状態となった後、ループアンテナ 3 1 およびコンデンサ 3 2 で構成される共振回路を通過した信号は、ダイオード 8 3 を介することにより検波され、コンデンサ 4 0 に供給される。

【 0 0 3 0 】

そして、ステップ S 1 3 に進み、リーダ/ライタから電磁波として放射されたコマンドやデータなどが、デジタル信号処理部 4 2 に出力される。即ち、コンデンサ 4 0 では、ダイオード 8 3 で検波された信号から直流分が除去され、アンプ 4 1 に供給される。アンプ 4 1 では、コンデンサ 4 0 からの信号が、必要なレベルに増幅され、デジタル信号処理部 4 2 に供給される。

【 0 0 3 1 】

デジタル信号処理部 4 2 では、ステップ S 1 4 において、アンプ 4 1 から供給された信号に含まれるコマンドが解釈され、ステップ S 1 5 に進み、そのコマンドが、書き込みを要求するものであるか否かが判定される。ステップ S 1 5 において、コマンドが書き込みを要求するものであると判定された場合、ステップ S 1 6 に進み、アンプ 4 1 から供給された信号に含まれるデータが、不揮発性メモリ 4 3 に書き込まれ、ステップ S 1 7 に進む。

【 0 0 3 2 】

また、ステップ S 1 5 において、コマンドが書き込みを要求するものでないと判定された場合、ステップ S 1 6 をスキップして、ステップ S 1 7 に進み、そのコマンドが、読み出しを要求するものであるか否かが判定される。ステップ S 1 7 において、コマンドが読み出しを要求するものであると判定された場合、ステップ S 1 8 に進み、データの読み出し処理が行われ、ステップ S 1 9 に進む。即ち、ステップ S 1 8 では、不揮発性メモリ 4 3 に記憶されているデータが読み出され、そのデータに対応して、F E T 3 9 のゲートに電圧が印加され、ステップ S 1 9 に進む。

【 0 0 3 3 】

ここで、F E T 3 9 は、そのゲートに印加される電圧に応じてオン/オフし（なお、通常は、オフ状態になっている）、F E T 3 9 がオンになった場合には、ループアンテナ 3 1 およびコンデンサ 3 2 でなる並列共振回路に、コンデンサ 3 8 が並列に接続されることになるので、上述したようにして、リーダ/ライタにおける点 A の電圧は、読み出されたデータに対応して変化することになる。

【 0 0 3 4 】

また、ステップ S 1 7 において、コマンドが読み出しを要求するものでないと判定された場合、ステップ S 1 9 に進み、そのコマンドに対応した処理、即ち、例えばアンプ 4 1 から供給された信号に含まれるプログラムを実行するなどの処理が行われ、処理を終了する。

【 0 0 3 5 】

なお、I C カードが、リーダ/ライタに極端に近づけられた場合、ループアンテナ 3 1 において、高い電圧（過剰電圧）が発生し、これにより I C カードに、大きな電流（過剰電流）が流れ、I C カードが破壊されることが考えられる。そこで、I C カードでは、そのような大きな電流が、ループアンテナ 3 1 およびコンデンサ 3 2 でなる共振回路から出力された場合に、そのうちの一部をバイパスさせることにより、共振回路の出力電圧をピーク値が所定値以下に制限するようになされている。

【 0 0 3 6 】

即ち、例えば、いまダイオード 8 3 に順方向電圧または逆方向電圧が印加されるときに、ループアンテナ 3 1 およびコイル 3 2 でなる共振回路から出力される電流の極性を、それぞれ正極性または負極性というすると、共振回路から正極性の電流が出力されている場合に、抵抗 3 3 とダイオード群 8 2 との間の電位差が、所定値以上になると、抵抗 3 3 およびダイオード群 8 2 を介してバイパス電流が流れ、また負極性の電流が流れている場合に、ダイオード群 8 1 と抵抗 3 3 との間の電位差が、所定値以上になると、ダイオード群 8 1 および抵抗 3 3 を介してバイパス電流が流れるようになされている。

10

20

30

40

50

【0037】

従って、ダイオード群 8 1 または 8 2 それぞれが、例えば 5 個のダイオードで構成されており、順方向に電流が流れるときの、各ダイオードにおける電圧降下が、例えば 0.7 V だとすると、ループアンテナ 3 1 およびコンデンサ 3 2 の接続点間の電位差が 3.5 (= 0.7 × 5) V 以上になると、抵抗 3 3 およびダイオード群 8 2、またはダイオード群 8 1 および抵抗 3 3 を介してバイパス電流が流れ、これによりループアンテナ 3 1 およびコンデンサ 3 2 の接続点間の電位差は、3.5 V 以下に制限される。

【0038】

よって、抵抗 3 3、ダイオード群 8 1、および 8 2 は保護回路を構成していることができる。

10

【0039】

【発明が解決しようとする課題】

ところで、ICカードは、利用者が携帯するものであるから、小型かつ安価に構成できることが望ましい。ICカードを小型化する方法としては、例えばループアンテナ 3 1 およびコンデンサ 3 2 で構成される共振回路の後段の部分を、例えば 1 チップの CMOS (C-MOS) で構成することが考えられる。

【0040】

しかしながら、CMOSのプロセス上で実現可能なダイオードには制限があり、ICカードにおける整流(かつ検波)用のダイオード 8 3、並びに保護回路を構成するダイオード群 8 1 および 8 2 は、図 1 5 に示した回路構成では、CMOS上に実現するのが困難であった。

20

【0041】

本発明は、このような状況に鑑みてなされたものであり、ICカードを、1 チップの CMOS上に構成することができるようにするものである。

【0042】

【課題を解決するための手段】

本発明のICカードは、半導体集積回路のP極性もしくはN極性のサブストレート、またはサブストレートと同極性のウェルをPN接合の一極として、受信部の出力電流を整流する、CMOSのプロセス上で形成された対接地構造のダイオードで構成される整流手段と、整流手段の出力から、電源電圧となる信号を生成する生成手段と、整流手段の出力に対応して、所定の処理を実行する実行手段と、整流手段の後段に設けられた、エミッタとベースがP極性またはN極性のサブストレートの電位と異なる電位をとるトランジスタにより構成され、受信部の出力電流の正極性または負極性のいずれか一方の極性のもののみをバイパスさせることにより、受信部の出力電圧のピーク値を所定値以下に制限する保護回路とを備え、整流手段、生成手段、実行手段、および保護回路は、CMOSのプロセスで半導体集積回路上に構成されていることを特徴とする。

30

本発明の半導体集積回路は、半導体集積回路のP極性もしくはN極性のサブストレート、またはサブストレートと同極性のウェルをPN接合の一極として、受信部の出力電流を整流する、CMOSのプロセス上で形成された対接地構造のダイオードで構成される整流手段と、整流手段の出力から、電源電圧となる信号を生成する生成手段と、整流手段の出力に対応して、所定の処理を実行する実行手段と、整流手段の後段に設けられた、エミッタとベースがP極性またはN極性のサブストレートの電位と異なる電位をとるトランジスタにより構成され、受信部の出力電流の正極性または負極性のいずれか一方の極性のもののみをバイパスさせることにより、受信部の出力電圧のピーク値を所定値以下に制限する保護回路とを備え、整流手段、生成手段、実行手段、および保護回路は、CMOSのプロセスで半導体集積回路上に構成されていることを特徴とする。

40

【0048】

【作用】

本発明のICカードおよび半導体集積回路においては、半導体集積回路のP極性もしくはN極性のサブストレート、またはサブストレートと同極性のウェルをPN接合の一極と

50

して、受信部の出力電流を整流する、CMOSのプロセス上で形成された対接地構造のダイオードで構成される整流手段と、整流手段の出力から、電源電圧となる信号を生成する生成手段と、整流手段の出力に対応して、所定の処理を実行する実行手段と、整流手段の後段に設けられた、エミッタとベースがP極性またはN極性のサブストレーットの電位と異なる電位をとるトランジスタにより構成され、受信部の出力電流の正極性または負極性のいずれか一方の極性のもののみをバイパスさせることにより、受信部の出力電圧のピーク値を所定値以下に制限する保護回路とが、CMOSのプロセスで半導体集積回路上に構成されている。

【0050】

【実施例】

以下、図面を参照して本発明のICカードの実施例について説明するが、その前段階の準備として、CMOS上に実現可能なダイオードについて説明する。

【0051】

なお、ここでは、CMOSのサブストレーットの極性がPチャネルの場合に限定して説明する。但し、CMOSのサブストレーットの極性はNチャネルであっても良く、その場合には、以下の説明における極性がすべて逆になるだけである。

【0052】

また、サブストレーットの電位は、最低電位に設定すべきであるので、ここでは、グラウンドレベルとされる（サブストレーットが接地される）ものとして説明を行う。但し、サブストレーットの極性がNチャネルである場合には、その電位は最高電位に設定する必要がある。

【0053】

図1乃至図3は、サブストレーットをPチャネルとした場合のCMOSのプロセス上で実現可能なダイオードを示している。まず図1(A)に示すCMOSは、P層のサブストレーット(Pサブストレーット)(Psub)1の上部に、N層のウェル(Nウェル)(Nwell)2および高濃度P層(P⁺)3が形成され、さらにNウェル2の上部に、高濃度N層(N⁺)4が形成されて構成されている。このCMOSの高濃度P層3または高濃度N層4に、それぞれ電極(端子)T1またはT2を取り付けて構成されるダイオードは、図1(B)に示すシンボルで表される(図1(A)に示すCMOSのうちの、説明に必要なパラメータをモデル化すると、図1(B)に示すようになる)。

【0054】

即ち、この場合、Pサブストレーット1とNウェル2とのPN接合の部分でダイオード5が構成され、そのカソードは、高濃度N層4を介して端子T2と接続されている。また、ダイオード5のアノードは、Pサブストレーット1(上述したように、その電位はグラウンドレベルとする)および高濃度P層3を介して端子T1と接続されている。なお、ダイオード5と端子T2との間にある抵抗6は、Nウェル2と高濃度N層4との間に形成される、いわゆるバルク抵抗である。

【0055】

次に、図2(A)に示すCMOSは、Pサブストレーット1の上部に、P層のウェル(Pウェル)(Pwell)11および高濃度P層3が形成され、さらにPウェル11の上部に、高濃度N層4および高濃度P層(P⁺)12が形成されて構成されている。高濃度P層3、高濃度N層4、または高濃度P層12に、それぞれ電極(端子)T1, T2、またはT3を取り付けた場合には、このCMOSは、図2(B)に示すシンボルで表される。

【0056】

即ち、この場合、Pウェル11と高濃度N層4とのPN接合の部分でダイオード13が構成され、そのカソードは、高濃度N層4を介して端子T2と接続されている。また、そのアノードは、Pサブストレーット1に接続されている。さらに、そのアノードは、高濃度P層12を介して端子T3と、Pサブストレーット1および高濃度P層3を介して端子T1とも接続されている。

【0057】

次に、図3(A)に示すCMOSは、Pウェル11に代えて、Pウェル2が形成されてい

10

20

30

40

50

る他は、図2(A)のCMOSと同様に構成されている。このCMOSは、図3(B)に示すシンボルで表される。

【0058】

即ち、この場合、Pサブストレータ1とNウェル2とのPN接合の部分と、高濃度P層12とNウェル2とのPN接合の部分とで、それぞれダイオードが構成されるが、さらにこれらのPサブストレータ1、Nウェル2、および濃度P層12の部分は、PNP構造となっているので、PNPトランジスタ(寄生トランジスタ)21を構成する。

【0059】

このトランジスタのベースは、図1で説明したバルク抵抗6および高濃度N層4を介して、端子T2と接続されており、また、そのエミッタは、高濃度P層12を介して端子T3と接続されている。さらに、そのコレクタは、Pサブストレータ1と、そのPサブストレータ1および高濃度P層3を介して端子T1とに接続されている。

10

【0060】

次に、前述した図15におけるICカードの整流、検波用のダイオード83を、上述したCMOSに構成可能なダイオードで置き換えることが可能であるかどうかについて説明する。

【0061】

まず、図1(B)に示したダイオード5を用いる場合、そのアノードがPサブストレータ1に接続されているため、その電位はグラウンドレベルとしなければならないことになる。さらに、ダイオード5と端子T2の間にはバルク抵抗6があるから、ダイオード5がオン状態のときに、バルク抵抗6でロスが生じることになる。従って、ダイオード5を、整流、検波用のダイオードとしてICカードに採用することは好ましくない。

20

【0062】

次に、図2(B)に示したダイオード13を用いる場合、そのアノードがPサブストレータ1に接続されているため、やはりアノードの電位は、グラウンドレベルとしなければならない。さらに、ダイオード13は、上述したように、Pウェル11と高濃度N層4とのPN接合の部分で構成されるダイオードであるから、ブレイクダウン電圧(降伏電圧)が低く(ブレイクダウン電圧は、PN接合を構成するPおよびN層のうちの濃度の低い方のものによって決まり、濃度の低い方の層の濃度が低いほど、ブレイクダウン電圧は高くなる)、従って整流、検波用のダイオードとして用いるのは好ましくない。

30

【0063】

次に、図3(B)に示したトランジスタ21の、例えばエミッタとベースとの間のPN接合をダイオードとして用いた場合を考えると、やはり、この場合も、図1における場合と同様に、バルク抵抗6でロスが生じる。しかしながら、この場合、エミッタおよびベースのいずれもPサブストレータ1に接続されていないので、エミッタまたはベースにそれぞれ相当するダイオードのアノードまたはカソードの電位は制約されない。

【0064】

そこで、ICカードのダイオード83を、このトランジスタ21で置き換えると、そのコレクタは、Pサブストレータ1に接続されているため強制的に接地されてしまい、その構成は、図4に示すようになる。なお、図中、図15のICカードにおける場合と対応する部分については、同一の符号を付してある。また、同図においては、ループアンテナ31、コンデンサ32、およびトランジスタ21以外の図示を省略してある。また、トランジスタ21におけるバルク抵抗6の図示も省略してある。

40

【0065】

この場合、トランジスタ21のエミッタおよびベースで構成されるPN接合により、ダイオード83と同様、整流、検波が可能であるが、エミッタからベースに電流が流れる場合には、トランジスタ21の増幅作用により、その電流よりかなり大きなロス電流が、エミッタからコレクタに流れる。この電流により生じるロスは、バルク抵抗6で生じるロスよりもかなり大きいので、図4に示すようなトランジスタ21の使用方法は好ましくない。

【0066】

50

アノードおよびカソードのとる電位が制限されないダイオードは、図3(B)に示したトランジスタ21のエミッタとベースとで構成されるPN接合の部分だけであり、このダイオードを用いるのは、上述したように好ましくないので、次に、アノードまたはカソードのうちの、例えばアノードのとる電位が、Pサブストレート1の電位に制限される場合について考えてみる。

【0067】

アノードのとる電位が、Pサブストレート1の電位に制限されるダイオードとしては、図1および図2に示したものの他、例えば図3(B)に示したトランジスタ21のコレクタとベースとの間で構成されるダイオード、図3(C)に示すように、図3(B)に示した回路の端子T3をPサブストレート1に接続した場合におけるトランジスタ21のエミッタとベースとの間で構成されるダイオード、さらには、例えば図3(D)に示すように、ベース(端子T2)とエミッタ(端子T3)とを接続したトランジスタ21のコレクタとベースとの間で構成されるダイオードがある。

10

【0068】

まず、図3(B)に示したトランジスタ21のコレクタとベースとの間で構成されるダイオードは、Pサブストレート1とNウェル2とのPN接合に対応するものであるから、ブレークダウン電圧が高いが、図1における場合と同様に、バルク抵抗6でロスが生じる。

【0069】

次に、図3(C)に示したトランジスタ21のエミッタとベースとの間で構成されるダイオードは、実質的に、図1に示す場合と同様であり、さらに、この場合、エミッタからベースに、トランジスタ21が飽和するような大きな電流が流れた後に、逆方向の電流が流れると、トランジスタ21が即座にオフせず、従って所定の期間、逆方向の電流が、ベースからエミッタに流れる。従って、これを、図15のダイオード83に代えて用いた場合には、後段のコンデンサ35に逆方向の電流が流れ込むことになる。コンデンサ35では、そこに供給された電流が積分され、その積分値である電圧が定電圧レギュレータ37に入力されるから、コンデンサ35に逆方向の電流が流れ込んだ場合には、定電圧レギュレータ37に印加される電圧が低くなり、従って、アンプ41およびデジタル信号処理部42に対し、電源として安定した電圧を供給することが困難となる。

20

【0070】

そこで、図3(D)に示した端子T2とT3とを接続したトランジスタ21におけるコレクタとベースとの間で構成されるダイオードを考えてみると、そのダイオードで整流がなされることにより、端子T1、Pサブストレート1、コレクタ、ベース、バルク抵抗6、端子T2の経路で、電流が流れる。従って、この経路で流れる電流によれば、やはりバルク抵抗6によるロスが生じる。

30

【0071】

ここで、トランジスタは、コレクタとエミッタとを、通常とは逆に用いた場合でも、即ち、図5に示すように、PNPトランジスタであるトランジスタ21のコレクタからベースに電流を流した場合でも、逆電流増幅作用により、そのコレクタからエミッタに大きな電流 i' (電流 i が増幅されたもの)が流れる。

【0072】

しかしながら、この場合、端子T2とT3とが接続されているので(図3(D))、大きな電流 i' は、バルク抵抗6を介さずに、端子T2に流れる。電流 i' は、トランジスタ21のコレクタからベースに流れる電流を増幅したものであるから、整流されているに等しく、従って、トランジスタ21のコレクタに流れる電流 i は、コレクタからベースに流れる電流 i'' と、コレクタからエミッタに流れる電流 i' に分かれて整流されることになる。

40

【0073】

そして、この場合、電流 i' は、電流 i'' に比較してかなり大きく、従ってバルク抵抗6に流れる電流 i'' は、図1における場合に比較して小さく、そこで生じるロスは小さなものとなる。

50

【 0 0 7 4 】

以上から、ダイオード 8 3 に代えて用いるダイオードとしては、図 3 (D) に示すトランジスタ 2 1 で構成されるものが最良ということになる。

【 0 0 7 5 】

ところで、図 3 (D) におけるトランジスタ 2 1 は、ダイオードのアノードに相当するコレクタが P サブストレート 1 に接続されているから、電流が入力される入力端子としてのコレクタを接地して用いる必要があり、従って図 1 5 に示したダイオード 8 3 の位置には設けることができない。

【 0 0 7 6 】

そこで、コレクタの電位が所定の基準レベルとしてのグラウンドレベルとされた状態で、整流（および検波）を行うことができるようにするため、ダイオード 8 3 に代えて設けるトランジスタ 2 1、即ち対接地構造のダイオードを、図 6 に示すように配置して、IC カードを構成するようにする。なお、図 6 においては、ループアンテナ 3 1 およびコンデンサ 3 2 でなる共振回路、並びにトランジスタ 2 1 以外の図示は省略してある。また、トランジスタ 2 1 におけるバルク抵抗 6 の図示も省略してある。

10

【 0 0 7 7 】

即ち、端子 T 2 に相当するベースと、端子 T 3 に相当するエミッタとを短絡したトランジスタ 2 1 のコレクタ（整流した電流を出力する出力端子）を接地し、ベースとエミッタとの接続点を、共振回路を構成するループアンテナ 3 1 とコンデンサ 3 2 との 2 つの接続点 C または D のうちの点 D に接続する。

20

【 0 0 7 8 】

このようにすることで、ループアンテナ 3 1 およびコンデンサ 3 2 で構成される共振回路の出力を整流、検波するダイオードとしてのトランジスタ 2 1 を CMOS のプロセス上で構成することができ、さらに、バルク抵抗 6 で生じるロスを微小なものとすることができる。

【 0 0 7 9 】

ところで、図 1 5 に示した、ループアンテナ 3 1 およびコンデンサ 3 2 で構成される共振回路の共振周波数を変化させるためのコンデンサ 3 8 は、共振回路の出力を、整流、検波するダイオードとしてのトランジスタ 2 1 より、共振回路側に設ける必要がある（コンデンサ 3 8 をトランジスタ 2 1 の後段に設けたのでは、F E T 3 9 のオン/オフによって共振周波数が変化しなくなる）。従って、ダイオード 8 3 に代えてトランジスタ 2 1 を用いる場合には、IC カードは、図 7 (A) に示すように、トランジスタ 2 1 のベースとエミッタとの接続点を、F E T 3 9 のドレインとコンデンサ 3 2 との接続点に接続して構成する必要がある。なお、図 7 においては、トランジスタ 2 1、ループアンテナ 3 1、コンデンサ 3 2、3 8、および F E T 3 9 以外の図示は省略してある。

30

【 0 0 8 0 】

ここで、図 8 および図 9 は、CMOS 上に実現される F E T の構成を示している。なお、図 8 は、N チャネル F E T の構成を、図 9 は、P チャネル F E T の構成を、それぞれ示している。

【 0 0 8 1 】

N チャネル F E T は、図 8 (A) に示すように、P サブストレート (P s u b) の上部に、P ウェル (P w e l l) および高濃度 P 層 (P ⁺) が形成され、さらに P ウェルの上部に、2 つの高濃度 N 層 (N ⁺) および 1 つの高濃度 P 層 (P ⁺) が形成され、P サブストレートの上部に形成された高濃度 P 層と、P ウェルの上部に形成された高濃度 P 層とが接続され、P ウェルの上部に、2 つの高濃度 N 層で挟まれるように、電極が配置されて構成される。

40

【 0 0 8 2 】

この F E T は、電極をゲート (G) とするとともに、2 つの高濃度 N 層のうち的一方をドレイン (D) とし、また他方をソース (S) として、図 8 (B) に示すシンボルで表される。同図に示すように、N チャネル F E T においては、P サブストレートと、ソースまた

50

はドレインそれぞれとの間には、寄生ダイオードが、Pサブストレートから、ソースまたはドレインそれぞれの方向に電流が流れる向きに形成される。

【0083】

次に、PチャンネルFETは、図9(A)に示すように、Pサブストレート(Psub)の上部に、Nウェル(Nwell)が形成され、さらにNウェルの上部に、2つの高濃度P層(P⁺)および1つの高濃度N層(N⁺)が形成され、Nウェルの上部に、2つの高濃度P層で挟まれるように、電極が配置されて構成される。

【0084】

このFETは、電極をゲート(G)とするとともに、2つの高濃度P層のうち的一方をドレイン(D)とし、また他方をソース(S)とし、さらに高濃度N層をバックゲート(BG)として、図9(B)に示すシンボルで表される。同図に示すように、PチャンネルFETにおいては、バックゲートと、ソースまたはドレインそれぞれとの間には、寄生ダイオードが、ソースまたはドレインそれぞれから、バックゲートの方向に電流が流れる向きに形成される。

10

【0085】

なお、NチャンネルおよびPチャンネルFETにおいては、寄生容量も形成されるが、図8および図9においては、その図示を省略してある。

【0086】

図15に示したFET39は、NチャンネルFETであるから、これを、図8のCMOS上に構成可能なNチャンネルFETに置き換えて、図7(A)に示したICカードを構成すると、それは、図7(B)に示すようになる。

20

【0087】

寄生ダイオードのアノードは、図8(B)に示したように、Pサブストレートに接続しているから、図7(B)に示すように、トランジスタ21のコレクタとも接続されることとなる。従って、この場合、トランジスタ21と、FETのソースにカソードが接続している寄生ダイオード(図7(B)の2つの寄生ダイオードのうちの下段のもの)とは並列に接続される。

【0088】

寄生ダイオードのブレイクダウン電圧は、一般的に、約5V程度と低いため、ダイオードとしてのトランジスタ21の逆方向電圧に対する耐圧、即ちブレイクダウン電圧が高くて、トランジスタ21のベースとエミッタとの接続点と、FETのソースとの接続点に、高い逆方向電圧が印加された場合には、寄生ダイオードのカソードからアノードの方向に電流が流れ、その結果、整流が行われなくなる。

30

【0089】

そこで、寄生ダイオードが、トランジスタ21と並列に接続されないようにするためには、図10に示すように、コンデンサ38の、FET39と接続されていない方の一端を、コンデンサ32とトランジスタ21との接続点に接続し、FET39のソースを接地、即ちPサブストレートに接続することにより、コンデンサ38が、コンデンサ32と交流的にのみ並列に接続されるようにしてICカードを構成するようにする。なお、図10においては、トランジスタ21(およびバルク抵抗6)、ループアンテナ31、コンデンサ32, 35, 36、定電圧レギュレータ37、コンデンサ38、およびFET39以外の図示は省略してある。

40

【0090】

この場合、FET39がオンされた場合における、FET39、Pサブストレート、点H、F、コンデンサ35、点E、Cという経路を考えると、その経路は、交流的には、短絡されているのに等しく、また、平滑用のコンデンサ35のキャパシタンスは充分大きいから、コンデンサ38は、コンデンサ32と交流的に並列に接続されているのと等価になる。従って、この場合、FET39をオン/オフさせることにより、共振周波数を変化させることが可能となる。

【0091】

50

次に、前述した図15におけるICカードの保護回路を構成するダイオード群81および82を、図1乃至図3に示したCMOSで構成可能なダイオードで置き換える場合について説明する。

【0092】

ダイオード群81および82は、順方向に、ICカードの保護を行う必要のある程度の電圧（ここでは、前述したように3.5Vととし、以下、適宜、この電圧を保護電圧という）が印加された場合にのみオンさせる必要があり、さらに、1個あたりのダイオードの電圧降下（順方向に電流が流れるときの電圧降下）は、0.7V程度であるから、1個のダイオードで構成するのは困難であり、複数のダイオードをシリーズに接続して構成する必要がある。従って、ダイオード群81および82に用いるダイオードは、そのアノードおよびカソードが、Pサブストレートの電位と異なる電位をとれるものである必要がある。

10

【0093】

CMOSで構成したダイオードで、そのアノードおよびカソードが、Pサブストレートの電位と異なる電位をとれるものは、上述した図3(B)に示したものだけであり、そこで、これを、複数個シリーズに接続したダイオード群を考えてみる。

【0094】

図3(B)に示したトランジスタ21を、アノードとカソードのとり電位が制限されないダイオードとすることができる場合は、上述したように、そのエミッタとベースとの間のPN接合をダイオードとして用いた場合である。そこで、PNPトランジスタ21を複数個用意し、各トランジスタ21のベースを、他のトランジスタ21のエミッタに接続することによって、トランジスタ21を多段接続すると、それは図11に示すようになる。なお、図11においては、バルク抵抗6の図示を省略してある。

20

【0095】

図11(A)は、複数のトランジスタ21で、図15のトランジスタ群82を構成した場合を示しており、また図11(B)は、複数のトランジスタ21で、図15のトランジスタ群81を構成した場合を示している。なお、図3(B)に示したように、トランジスタ21は、そのコレクタをPサブストレートの電位にする必要があるから、図11に示したトランジスタ群を構成するトランジスタ21のコレクタは、すべてPサブストレートの電位とされている（ここでは、接地されている）。

【0096】

図11(A)に示した場合においては、端子To（最終段のトランジスタ21のベースに接続された端子）に対する端子Ti（最前段のトランジスタ21のエミッタに接続された端子）の電圧が、トランジスタ21のエミッタとベースとの間で生じる電圧降下分（例えば、0.7V程度）の多段接続されたトランジスタ21の個数倍となると、端子Tiから、多段接続されたトランジスタ21のエミッタおよびベースを介して、端子Toに電流（バイパス電流）が流れ、端子Toに対する端子Tiの電圧が保護電圧（=トランジスタ21のエミッタとベースとの間で生じる電圧降下分×多段接続されたトランジスタ21の個数）以下に制限される。

30

【0097】

なお、この場合、トランジスタ21はオン状態となるから、そのエミッタからコレクタに電流が流れ、さらに、図11(A)においては図示していないバルク抵抗6でロスが生じるが、これらは保護が働くことによるものであるから問題はない。

40

【0098】

一方、図11(B)に示した場合には、図中、矢印で示すように、Pサブストレートから、最終段のトランジスタ21のコレクタおよびベース、即ち1つのPN接合を介して、端子Toに電流が流れることのできるパスが形成される。従って、この場合、端子Toの電位が、グラウンドレベルより、最終段のトランジスタ21のコレクタとベースとの間の電圧降下分（例えば、0.7V程度）だけ低くなると、端子Toに対する端子Tiの電圧が保護電圧（上述したように、ここでは、3.5V程度）以上でなくても、Pサブストレートから端子Toへ電流が流れ、いわば保護の必要のない電圧で保護が働くことになり、大きな口

50

スが生じることになる。

【 0 0 9 9 】

以上から、図 1 1 (A) に示したダイオード群は、図 1 5 のダイオード群 8 2 に代えて用いることができるが、図 1 1 (B) に示したダイオード群を、図 1 5 のダイオード群 8 1 に代えて用いることは好ましくない。

【 0 1 0 0 】

ところで、ICカードでは、図 1 5 に示したように、ループアンテナ 3 1 およびコンデンサ 3 2 でなる共振回路の後段に、保護回路を構成するダイオード群 8 1 および 8 2 が設けられている（共振回路と組み合わせて保護回路が設けられている）。

【 0 1 0 1 】

図 1 5 に示した場合においては、ループアンテナ 3 1 およびコンデンサ 3 2 でなる共振回路の出力電流のうちの正極性または負極性のものを、それぞれダイオード群 8 2 または 8 1 によってバイパスさせることにより、即ち共振回路の出力電流の正および負の両方の極性のものをバイパスさせることにより、その出力電圧のピーク値を所定値以下に制限するようになされているが、共振回路においては、その特性から、その出力電流の正または負のいずれか一方の極性のみをバイパスさせた場合であっても、その極性の電圧とともに、他方の極性の電圧も、いわば従属的に制限される。

【 0 1 0 2 】

従って、共振回路の出力電圧を保護電圧以下に制限することは、図 1 5 に示したダイオード群 8 1 および 8 2 の両方を設けなくても、いずれか一方を設けることによっても行うことができる。

【 0 1 0 3 】

そこで、ここでは、図 1 5 のダイオード群 8 1 および 8 2 に代えて、共振回路の出力電流のうちの正極性のもののみをバイパスさせる図 1 1 (A) に示したダイオード群（トランジスタ群）を設けるようにする。このようにすることで、ループアンテナ 3 1 およびコンデンサ 3 2 で構成される共振回路の出力電圧を保護電圧以下に制限する保護回路を構成するダイオード群を CMOS で構成することができる。

【 0 1 0 4 】

次に、上述したように図 1 5 のダイオード群 8 1 および 8 2 に代えて、図 1 1 (A) に示したダイオード群（トランジスタ群）と同様のトランジスタ群 3 4（但し、バルク抵抗の図示は省略する）を設けた IC カードは、図 1 2 に示すようになる。なお、図中、ループアンテナ 3 1、コンデンサ 3 2、抵抗 3 3、トランジスタ群 3 4、およびダイオード 8 3 以外の図示は省略してある。

【 0 1 0 5 】

この場合、トランジスタ群 3 4 は、ループアンテナ 3 1 およびコンデンサ 3 2 で構成される共振回路の後段であって、整流、検波用のダイオード 8 3 の前段に設けられているため、点 I と J との間に印加される電圧は交流電圧であり、従って、点 J に対する点 I の電圧が保護電圧以上でなくても、図 1 2 に矢印で示すように、抵抗 3 3、トランジスタ群 3 4 の最前段のトランジスタのエミッタ、およびコレクタを介してロス電流が流れることになる。

【 0 1 0 6 】

これを防止するためには、抵抗 3 3 およびトランジスタ群 3 4 でなる保護回路を、ダイオード 8 3 の後段に設け、そこに印加される電圧が直流電圧となるようにすれば良い。

【 0 1 0 7 】

図 1 3 は、以上の条件を満たすようにして構成した IC カードの第 1 実施例の構成を示している。なお、図中、図 1 5 における場合と対応する部分については、同一の符号を付してある。

【 0 1 0 8 】

図 1 5 の整流、検波用のダイオード 8 3 に代えて設けられた、ベースとエミッタとが接続されたトランジスタ 2 1 のコレクタは接地されており、またそのベースとエミッタとの接

10

20

30

40

50

続点は、ループアンテナ 3 1 とコンデンサ 3 2 との接続点 D に接続されている。さらに、点 D には、ループアンテナ 3 1 およびコンデンサ 3 2 でなる共振回路の共振周波数を変化させるためのコンデンサ 3 8 の一端が接続されており、その他端には、F E T 3 9 のドレインが接続されている。F E T 3 9 のソースは接地されており（P サブストレートに接続されており）、また、そのゲートは、図 1 5 における場合と同様に、デジタル信号処理部 4 2 に接続されている。

【 0 1 0 9 】

図 1 5 の抵抗 3 3、ダイオード群 8 1、および 8 2 でなる保護回路に代わる抵抗 3 3 およびトランジスタ群 3 4 でなる保護回路は、整流、検波用のトランジスタ 2 1 の後段に設けられており、抵抗 3 3 の一端は、ループアンテナ 3 1 とコンデンサ 3 2 との接続点 C または D のうちの点 C（I）に接続されている。また、抵抗 3 3 の他端は、トランジスタ群 3 4 を構成する最前段のトランジスタ（PNP トランジスタ）のエミッタに接続されており、その最終段のトランジスタ（PNP トランジスタ）のベースは接地されている。

10

【 0 1 1 0 】

なお、トランジスタ群 3 4 を構成する各トランジスタのエミッタとベースとの間では、例えば 0.7 V の電圧降下を生じるようになされており、トランジスタ群 3 4 は、例えば 5 個のトランジスタ（PNP トランジスタ）で構成されている。従って、抵抗 3 3 およびトランジスタ群 3 4 で構成される保護回路は、図 1 5 における抵抗 3 3、ダイオード群 8 1、および 8 2 で構成される保護回路と同様に、ループアンテナ 3 1 およびコンデンサ 3 2 の接続点 C と D の間の電位差を制限するようになされている。

20

【 0 1 1 1 】

以上のように構成される IC カードでは、例えば図 1 5 に示したようなリーダ/ライタから電磁波が放射されると、ループアンテナ 3 1 では、その電磁界（磁束）のうち、そこに鎖交する磁束の変化（磁界の変化）に応じて逆起電力を生じる。そして、このようにして発生した電圧のうち、ループアンテナ 3 1 およびコンデンサ 3 2 で構成される共振回路の共振周波数を中心とする所定の周波数帯域のものは、効率良く、後段のブロックに通過される。

【 0 1 1 2 】

そして、ループアンテナ 3 1 およびコンデンサ 3 2 で構成される共振回路を通過した信号は、トランジスタ 2 1 を介することにより、大きなロスを生じることなく整流され、さらに平滑用のコンデンサ 3 5 を介することによりリップルが除去される。このリップルの除去された信号は、定電圧レギュレータ 3 7 に供給され、そこで安定化されることにより所定の一定電圧 V D D とされる。そして、この電圧 V D D が、電源として、アンプ 4 1 およびデジタル信号処理部 4 2 に供給される。

30

【 0 1 1 3 】

以上のようにして、アンプ 4 1 およびデジタル信号処理部 4 2 に電源が供給され、その動作が可能な状態となった後、ループアンテナ 3 1 およびコンデンサ 3 2 で構成される共振回路を通過した信号は、トランジスタ 2 1 を介することにより検波され、コンデンサ 4 0 およびアンプ 4 1 を介して、デジタル信号処理部 4 2 に出力される。以下、デジタル信号処理部 4 2 では、前述した図 1 5 における場合と同様の処理が行われる。

40

【 0 1 1 4 】

なお、データの読み出し処理が行われる場合には、前述した場合と同様に、不揮発性メモリ 4 3 から読み出されたデータに対応して、F E T 3 9 のゲートに電圧が印加されるが、この場合、F E T 3 9 がオンにされたときには、コンデンサ 3 8 の F E T 3 9 と接続されている方の一端は、交流的に短絡されている F E T 3 9、サブストレート、点 F、コンデンサ 3 5、点 F、および I を介して、コンデンサ 3 2 の一端である点 C に接続される。即ち、この場合、コンデンサ 3 8 は、コンデンサ 3 2 と交流的に並列に接続されているのと同値になる。従って、ループアンテナ 3 1 およびコンデンサ 3 2 でなる共振回路の共振周波数が変化されることになる。

【 0 1 1 5 】

50

また、ICカードが、リーダ/ライタに極端に近づけられ、これにより、大きな電流が、ループアンテナ31およびコイル32でなる共振回路から出力された場合、即ち点IとJとの間に保護電圧以上の電圧が印加された場合、トランジスタ群34を構成する各トランジスタのエミッタからベースに電流が流れ(これに伴い、そのエミッタからコレクタにも電流が流れる)、共振回路の出力電圧のピーク値が制限される。即ち、大きな電流が、ループアンテナ31およびコイル32でなる共振回路から出力された場合、そのうちの一部の電流がバイパス電流として、抵抗33およびトランジスタ群34に流れ、共振回路の出力電圧のピーク値が制限される。

【0116】

次に、図14は、本発明のICカードの第2実施例の構成を示している。なお、図中、図13における場合と対応する部分については、同一の符号を付してある。即ち、このICカードは、NチャネルFET39に代えてPチャネルFET51が設けられ、そのソースが接地されているのではなく、定電圧レギュレータ37の出力端子に接続されている他は、図13のICカードと同様に構成されている。

10

【0117】

この場合、FET51がオンされた場合における、FET51、点G、コンデンサ36、点H、F、コンデンサ35、点E、I、Cという経路を考えると、この経路は、交流的には、短絡されているのに等しく、また、バイパスコンデンサ36のキャパシタンスは、図10で説明した平滑用のコンデンサ35と同様に充分大きいから、コンデンサ38は、コンデンサ32と交流的に並列に接続されているのと等価になる。従って、この場合も、FET51をオン/オフさせることにより、共振周波数を変化させることができる。

20

【0118】

以上のように、整流、検波用のダイオードとしてのトランジスタ21と、保護回路を構成するダイオード群としてのトランジスタ群34を、CMOS上で実現することができるので、ICカードを1チップのCMOSで構成することが可能となる。

【0119】

以上、本発明のICカードについて説明したが、このICカードは、自動改札システムにおける定期券の他、例えば部屋への入出力を管理するシステムや、スキー場におけるリフト乗り場における入場者を管理するシステムその他に適用可能である。

【0120】

なお、本実施例においては、ICカードに定電圧レギュレータ37を設け、リーダ/ライタから電源の供給を受けるようにしたが、この他、ICカードに電源を内蔵させるようにすることも可能である。

30

【0121】

また、本実施例では、CMOSのサブストレートの極性がPチャネルの場合について説明したが、その極性はNチャネルであっても良く、その場合には、上述したように、以上の説明における極性がすべて逆になるだけである。

【0122】

即ち、例えば定電圧レギュレータ37が出力する電圧VDDは、図13や図14における場合は、正の電圧であるが、サブストレートの極性がNチャネルの場合には負の電圧となる。

40

【0123】

さらに、保護回路を構成するトランジスタ群34を構成するトランジスタは、図13や図14における場合は、PNPトランジスタであるが、サブストレートの極性がNチャネルの場合にはNPNトランジスタとなり、従ってループアンテナ31およびコンデンサ32でなる共振回路の出力電流のうちの負極性のもののみをバイパスさせることにより、その出力電圧のピーク値が所定値以下に制限されるようになる。

【0124】

また、整流、検波用のトランジスタ21は、図13や図14における場合は、PNPトランジスタであるが、サブストレートの極性がNチャネルの場合にはNPNトランジスタと

50

なる。

【 0 1 2 5 】

【 発明の効果 】

以上の如く、本発明によれば、1チップのCMOS上に構成することができるので、その小型化および低価格化を図ることができる。

【 図面の簡単な説明 】

【 図 1 】サブストレートをPチャンネルとした場合のCMOSのプロセス上で実現可能な第1のダイオードを示す図である。

【 図 2 】サブストレートをPチャンネルとした場合のCMOSのプロセス上で実現可能な第2のダイオードを示す図である。

10

【 図 3 】サブストレートをPチャンネルとした場合のCMOSのプロセス上で実現可能な第3のダイオードを示す図である。

【 図 4 】図 3 (B) の回路を用いた場合のICカードの構成例を示す回路図である。

【 図 5 】図 3 (D) の回路で行われる整流を説明するための図である。

【 図 6 】図 3 (D) の回路を用いた場合のICカードの構成例を示す回路図である。

【 図 7 】FET39をCMOSで構成した場合にける寄生ダイオードが寄生する位置を説明するための回路図である。

【 図 8 】NチャンネルFETの構成を示す図である。

【 図 9 】PチャンネルFETの構成を示す図である。

【 図 1 0 】FET39の寄生ダイオードによる影響を受けないICカードの構成例を示す回路図である。

20

【 図 1 1 】図 3 (B) のトランジスタを多段接続したトランジスタ群を示す図である。

【 図 1 2 】ダイオード83の前段に、抵抗33およびトランジスタ群34でなる保護回路を設けた場合に流れるロス電流を説明するための図である。

【 図 1 3 】本発明のICカードの第1実施例の構成を示す回路図である。

【 図 1 4 】本発明のICカードの第2実施例の構成を示す回路図である。

【 図 1 5 】従来の非接触カードシステム (ICカードおよびリーダー/ライター) の一例の構成を示す図である。

【 図 1 6 】図 1 5 のリーダー/ライターの動作を説明するフローチャートである。

【 図 1 7 】図 1 5 のICカードの動作を説明するフローチャートである。

30

【 符号の説明 】

1 Pサブストレート (P層のサブストレート)

2 Nウェル

3 高濃度P層

4 高濃度N層

5 ダイオード

6 バルク抵抗

1 1 Pウェル

1 2 高濃度P層

1 3 ダイオード

40

2 1 PNPトランジスタ

3 1 ループアンテナ

3 2 コンデンサ

3 3 抵抗

3 4 トランジスタ群

3 5 , 3 6 コンデンサ

3 7 定電圧レギュレータ

3 8 コンデンサ

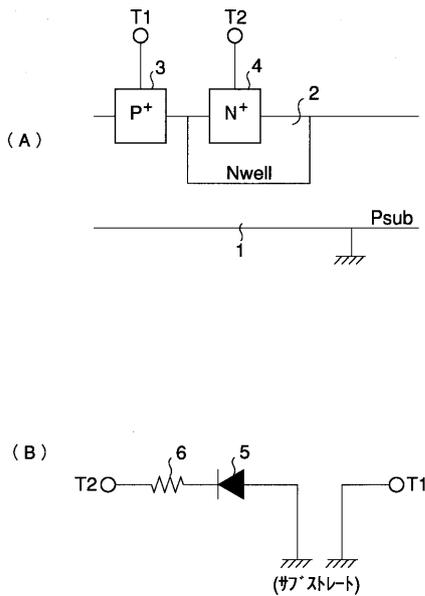
3 9 NチャンネルFET

4 0 コンデンサ

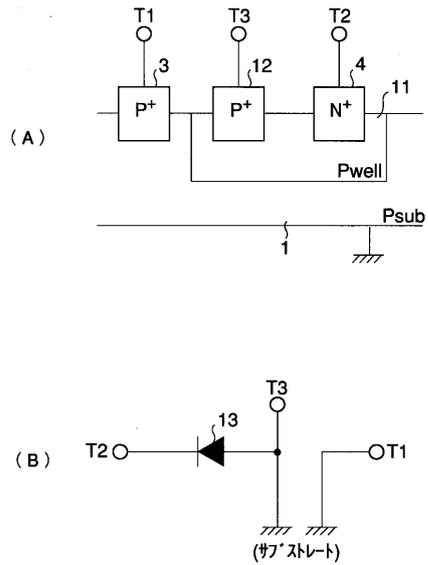
50

- 4 1 アンプ
- 4 2 デジタル信号処理部
- 4 3 不揮発性メモリ
- 5 1 PチャネルFET
- 8 1 , 8 2 ダイオード群
- 8 3 ダイオード
- 9 1 ホストコンピュータ
- 9 2 デジタル信号処理部
- 9 3 キャリア発生器
- 9 4 アンプ
- 9 5 抵抗
- 9 6 コンデンサ
- 9 7 ループアンテナ
- 9 8 ダイオード
- 9 9 コンデンサ
- 1 0 0 アンプ

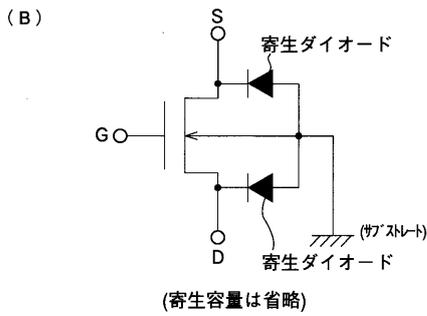
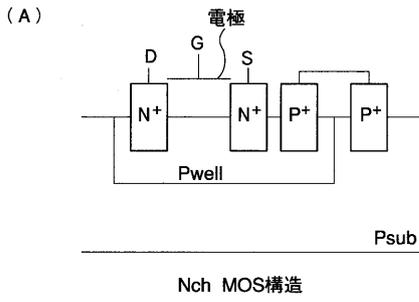
【 図 1 】



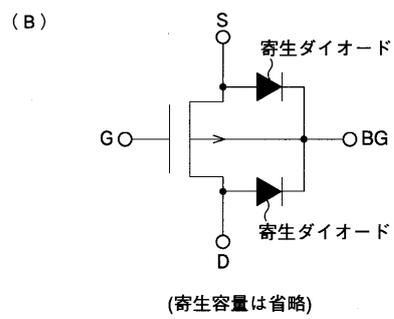
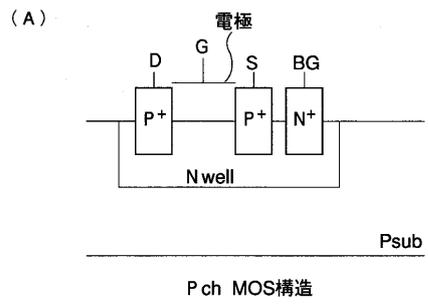
【 図 2 】



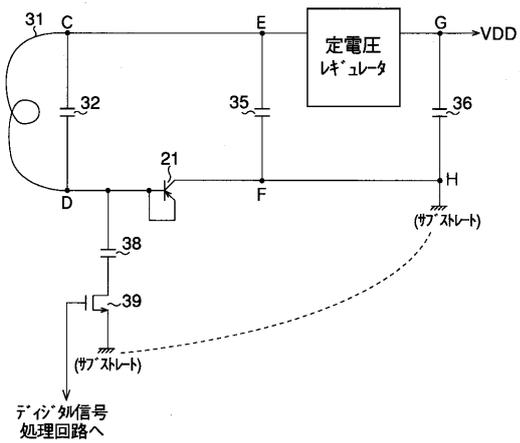
【 図 8 】



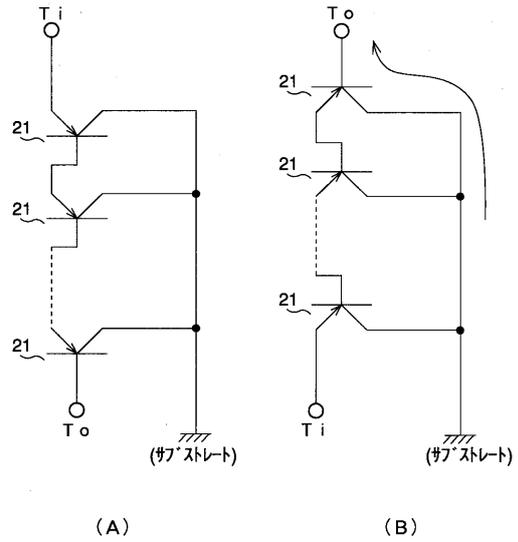
【 図 9 】



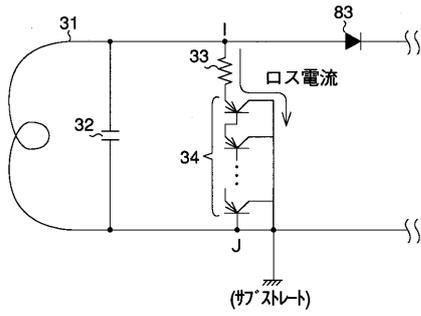
【 図 10 】



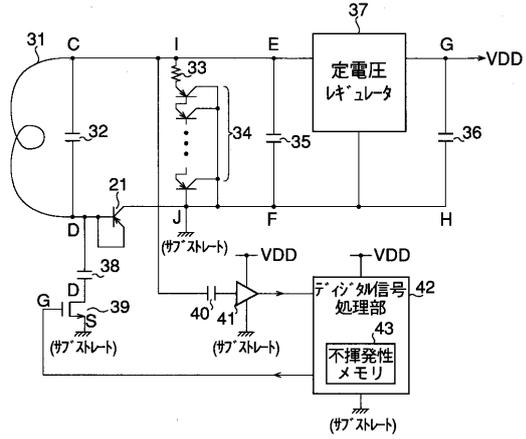
【 図 11 】



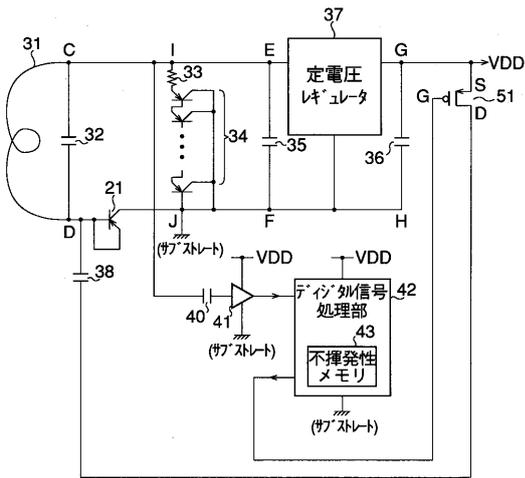
【図12】



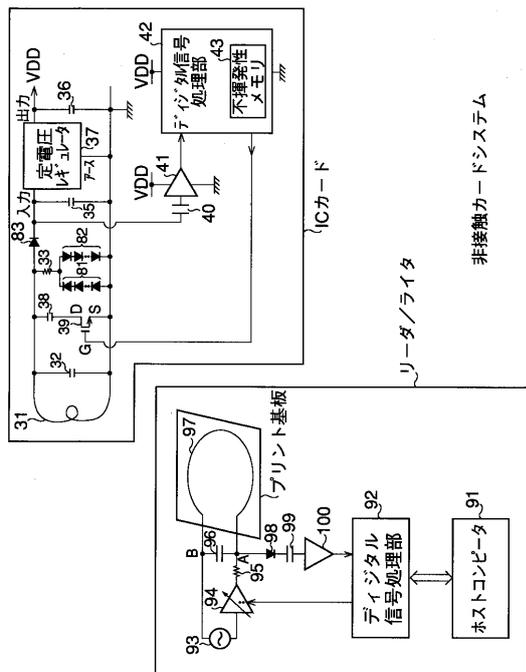
【図13】



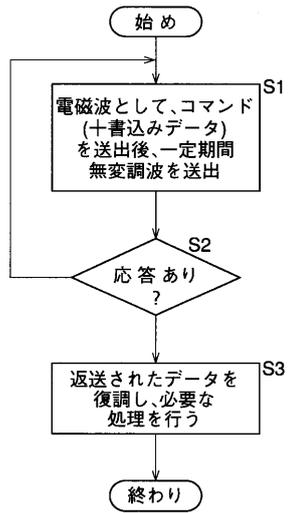
【図14】



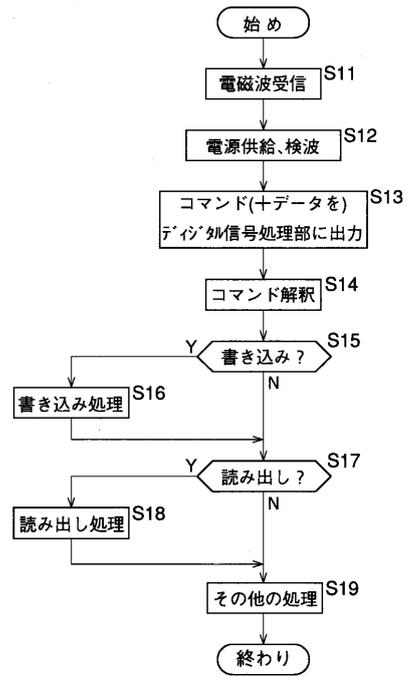
【図15】



【図16】



【図17】



フロントページの続き

- (56)参考文献 特開昭63-117630(JP,A)
特開平06-085184(JP,A)
実開平06-025949(JP,U)
特開昭62-174964(JP,A)
特開平02-194646(JP,A)
特開昭61-125081(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06K 17/00-19/18
H04B 5/00- 5/06
H04B 1/59
H02J 17/00