

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 27/04	(11) 공개번호 특 1995-0021503
	(43) 공개일자 1995년 07월 26일
(21) 출원번호 특 1994-0032689	
(22) 출원일자 1994년 12월 03일	
(30) 우선권주장 8/16/1960 1993년 12월 03일 미국(US)	
(71) 출원인 텍사스 인스트루먼트 인코포레이티드	
(72) 발명자 미합중국 텍사스주 달라스 노스 센트랄 익스프레스웨이 13500 로버트 하워드 에클런드	
(74) 대리인 미합중국 텍사스주 콜린 플라노 장수길, 주성민	

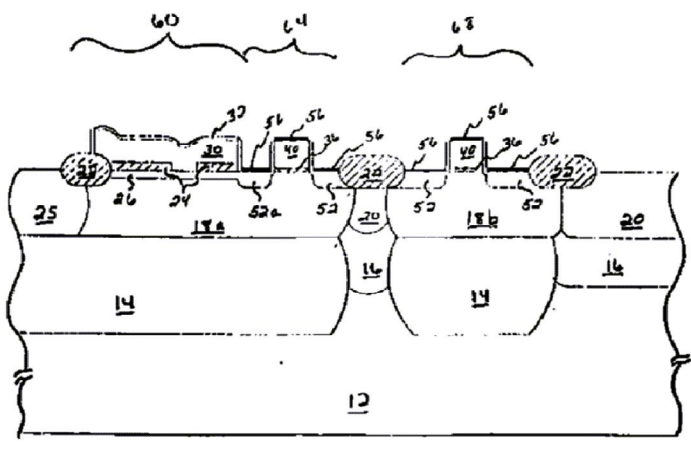
심사청구 : 없음

(54) 병합 디바이스를 지원하기 위한 바이씨모스(BiCMOS) 및 이의 형성방법

요약

바이폴라 트랜지스터(60) 및 PMOS트랜지스터(64)를 포함하는 병합 BiCMOS디바이스(10)는 동일 웰 영역(18) 내에 형성된다. 바이폴라 트랜지스터(60)는 에미터 전극(30), 베이스 영역(26), 및 웰 영역(18)에 의해 형성된 콜렉터 영역으로 구성된다. 에미터 전극(30)은 박막 산화물(24)에 의해 베이스 영역(26)으로 부터 분리된다. 텅스텐-실리사이드층(32)은 에미터 전극(30)을 덮는다. PMOS트랜지스터(64)는 소오스/드레인 영역(52와 52a), 게이트 전극(40) 및 게이트 산화물(36)을 포함한다. PMOS트랜지스터(64)는 LDD영역(44)을 선택적으로 포함할수 있다. 소오스/드레인 영역(52a)은 베이스 영역(26)과 접촉되어 있다. 원한다면, 에미터 전극(30)과 게이트 전극(40)은 실리사이드될 수 있다.

대표도



명세서

[발명의 명칭]
병합 디바이스를 지원하기 위한 바이씨모스(BiCMOS) 및 이의 형성방법

[도면의 간단한 설명]
제1도는 본 발명의 양호한 실시예의 단면도,
제2a 내지 제2j도는 본 발명의 양호한 실시예의 여러 제조 단계들을 보여주는 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체 디바이스를 형성하는 방법에 있어서, a. 제1 웰 영역을 갖는 반도체 본체 표면 위에 제1 절연층을 형성하는 단계; b. 상기 제1 웰 영역의 제1부분 내에 베이스 영역을 주입하는 단계; c. 상기 베이스 영역의 일부가 노출되게 상기 제1 절연층을 에칭하는 단계; d. 상기 반도체 본체의 표면 위에 제1 도프도전층을 형성하는 단계; e. 상기 제1도전층 위에 텅스텐-실리사이드층을 피착시키는 단계; f. 에미터 전극을 형성하고 상기 제1절연층의 일부를 노출시키기 위해 상기 텅스텐-실리사이드층 및 상기 제1 도전층을 에칭하는 단계 ; 및 g. 다수의 PMOS 트랜지스터들을 형성하는 단계를 포함하고, 상기 다수의 PMOS 트랜지스터들 중 적어도 하나가 상기 제1 웰 영역 내에서 상기 베이스 영역과 접촉되게 형성된 제1 소오스/드레인 영역을 갖는 것을 특징으로 하는 반도체 디바이스 형성 방법

청구항 2

제1항에 있어서, 상기 다수의 PMOS 트랜지스터들을 형성하는 상기 단계가 a. 상기 에미터 전극에 의해 덮혀 있지 않은 상기 제1 절연층의 일부를 제거하는 단계 ; b. 상기 반도체 본체의 표면과 상기 텅스텐-실리사이드 층 위에 제2절연층을 성장시키는 단계; c. 적어도 하나가 상기 제1 웰 영역 위에 형성되어 있는 다수의 게이트 전극들을 상기 제2절연층 위에 형성하는 단계; 및 d 다수의 소오스/드레인 영역들을 상기 반도체 본체 표면에 형성하는 단계를 포함하고, 상기 다수의 소오스/드레인 영역들이 적어도 하나의 상기 게이트 전극과 상기 에미터 전극 사이에 형성된 상기 제1소오스/드레인 영역을 포함하는 것을 특징으로 하는 반도체 디바이스 형성 방법.

청구항 3

제2항에 있어서, 상기 게이트 전극을 형성하는 상기 단계가 a. 상기 반도체 본체의 표면 위에 제2도프도전층을 형성하는 단계; 및 b. 상기 다수의 게이트 전극들을 형성하기 위해 상기 제2도프도전층을 에칭하는 단계를 포함하고, 상기 에칭이 상기 텅스텐-실리사이드층 위의 상기 제2절연층 상에서 정지하는 것을 특징으로 하는 반도체 디바이스 형성 방법.

청구항 4

제2항에 있어서, 상기 제2절연층의 850°C 이상의 온도에서 성장되는 것을 특징으로 하는 반도체 디바이스 형성 방법.

청구항 5

제2항에 있어서, a. 상기 게이트 전극을 형성하는 상기 단계 이후에 각각의 게이트 전극의 대향측면들 상에 약하게 도프된 드레인들을 주입하는 단계; 및 b. 상기 게이트 전극을 각각과 상기 에미터 전극에 인접하게 측벽 스페이서들을 형성하는 단계를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스 형성 방법.

청구항 6

제2항에 있어서, 상기 게이트 전극들 및 상기 소오스/드레인 영역들을 실리사이드시키는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스 형성 방법.

청구항 7

제6항에 있어서, 상기 게이트 전극들, 및 상기 소오스/드레인 영역들을, 실리사이드시키는 상기 단계가 a.상기 반도체 본체의 표면 위에 내화성 금속층을 피착시키는 단계; b. 상기 전극들 및 상기 소오스/드레인 영역들을 위에는 실리사이드층이 형성되고, 그 밖의 다른 곳에서는 내화성 금속-질화물, 비반응된 금속, 또는 이들의 결합물로 구성된 비-실리사이드층이 형성되도록 질소 함유 분위기 내에서 상기 내화성 금속층을 어닐링하는 단계; 및 c. 상기 비-실리사이드층을 에칭하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이드 형성 방법.

청구항 8

제1항에 있어서, 상기 소오스/드레인 영역들을 형성하는 상기 단계가 a. 상기 소오스/드레인 영역들을 주입하는 단계; 및 b. 상기 소오스/드레인 영역들을 900°C 이하의 온도로 어닐링시키는 단계를 포함하는 것을 특징으로 하는 반도체 디바이드 형성방법.

청구항 9

제1항에 있어서, 상기 제1절연층이 약300Å 두께의 산화물을 포함하는, 상기 제2절연층이 약 100Å 두께의 산화물을 포함하는 것을 특징으로 하는 반도체 디바이스 형성 방법.

청구항 10

BiCMOS 디바이스를 형성하는 방법에 있어서 a. 제1웰 영역을 갖는 반도체 본체 표면에 다수의 필드 절연 영역을 형성하는 단계; b. 상기 반도체 본체 위에 두꺼운 산화물층을 형성하는 단계; c. 상기 필드 절연 영역들 중 제1필드 절연 영역에 인접한 상기 제1웰 영역의 제1부분 내에 베이스 영역을 상기 두꺼운 산화물층을 통해 주입하는 단계; d. 상기 베이스 영역의 일부가 노출되게 상기 두꺼운 산화물층을 에칭하는 단계; e. 상기 두꺼운 산화물층, 및 베이스 영역의 노출 부분 위에 제1 폴리실리콘층을 피착시키는 단계; f. 상기 제1 폴리실리콘층 위에 텅스텐-실리사이드층을 피착시키는 단계; g. 상기 베이스 영역 위에 에미터 전극을 형성하고 상기 두꺼운 산화물층의 일부를 노출시키기 위해 상기 텅스텐-실리사이드층 및 상기 제1폴리실리콘층을 에칭하는 단계; h.상기 두꺼운 산화물층의 상기 노출 부분을 제거하는 단계; i. 상기 반도체 본체 표면 위에 게이트 산화물층 위에 성장시키는 단계; j. 상기 게이트 산화물층 위에 제2폴리실리콘층을 피착시키는 단계; k. 적어도 하나가 상기 제1 웰 영역 위에 형성되는 다수의 게이트 전극들을 형성하기 위해 상기 제2폴리실리콘층을 에칭하는 단계; l.상기 게이트 전극들과 상기 에미터

전극에 인접하여 측벽 스페이스들을 형성하는 단계; m. 상기 각각의 게이트 전극의 대향 측면들 상에서 상기 반도체 본체 표면에 소오스/드레인 영역들을 주입하는 단계 ; 및 n. 상기 소오스 드레인 영역들을 900°C 이하의 온도로 어닐링하는 단계를 포함하는 것을 특징으로 하는 BiCMOS 디바이스 형성 방법.

청구항 11

제10항에 있어서, 상기 게이트 전극들 및 상기 소오스/드레인 영역들을 실리사이드시키는 단계를 더 포함하는 것을 특징으로 하는 BiCMOS 디바이스 형성 방법.

청구항 12

제11항에 있어서, 상기 게이트 전극들 및 상기 소오스/드레인 영역들을 실리사이드시키는 상기 단계가 a.상기 반도체 본체의 표면 위에 내화성 금속층을 피착시키는 단계, b. 상기 전극들 및 상기 소오스/드레인 영역들 실리사이드층이 형성되고, 그 밖의 다른 곳에서는 내화성 금속-질화물, 비반응된 금속, 또는 이들의 결합물로 구성된 비-실리사이드층이 형성되도록 질소 함유 분위기 내에서 상기 내화성 금속층을 어닐링하는 단계; 및 c.상기 비-실리사이드층을 에칭하는 단계를 포함하는 것을 특징으로 하는 BiCMOS 디바이스 형성 방법.

청구항 13

a. 웰 영역; b. 상기 웰 영역 내에 배치된 폴리실리콘층과 텅스텐-실리사이드층으로 구성된 에미터 전극을 포함하는 바이폴라 트랜지스터; 및 c. 상기 웰 영역 내에 배치된 PMOS트랜지스터를 포함하는 것을 특징으로 하는 BiCMOS 디바이스 형성 방법.

청구항 14

제 13항에 있어서, 상기 PMOS 트랜지스터가 상기 바이폴라 트랜지스터의 베이스 영역과 접촉하는 소오스 드레인 영역을 포함하는 것을 특징으로 하는 BiCMOS 디바이스 형성 방법.

청구항 15

제13항에 있어서, 상기 바이폴라 트랜지스터가 베이스 영역, 콜렉터 영역, 에미터 전극 및 상기 에미터 전극과 상기 베이스 영역 사이에 배치된 두꺼운 산화물 영역을 포함하는 것을 특징으로 하는 BiCMOS 디바이스 형성 방법.

청구항 16

제 15항에 있어서, 상기 PMOS 트랜지스터가 상기 두꺼운 산화물 영역보다 더 얇은 게이트 산화물을 포함하는 것을 특징으로 하는 BiCMOS 디바이스 형성 방법.

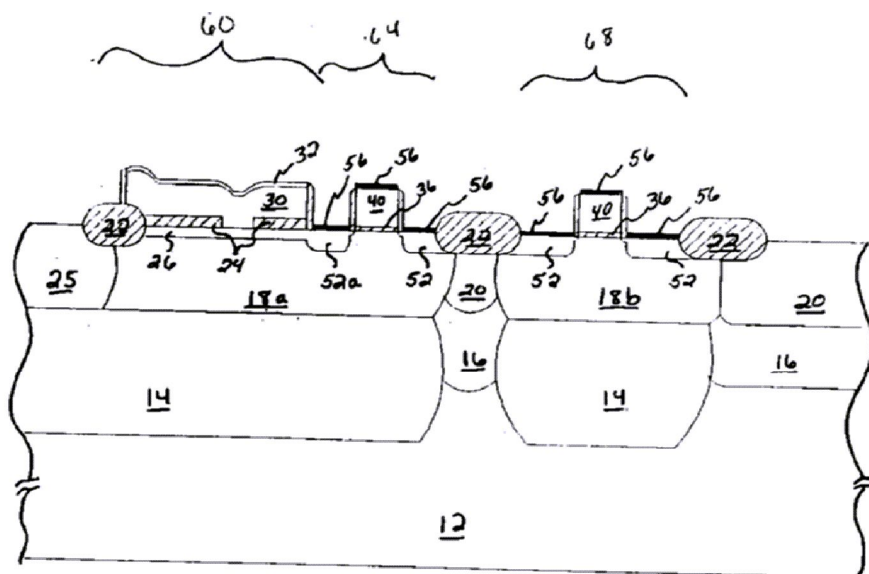
청구항 17

제13항에 있어서, 상기 PMOS 트랜지스터가 실리사이드된 게이트를 포함하는 것을 특징으로 하는 BiCMOS 디바이스 형성 방법.

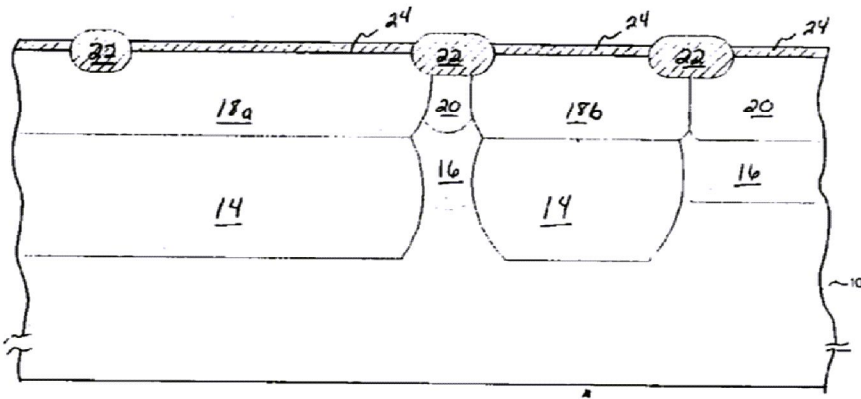
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

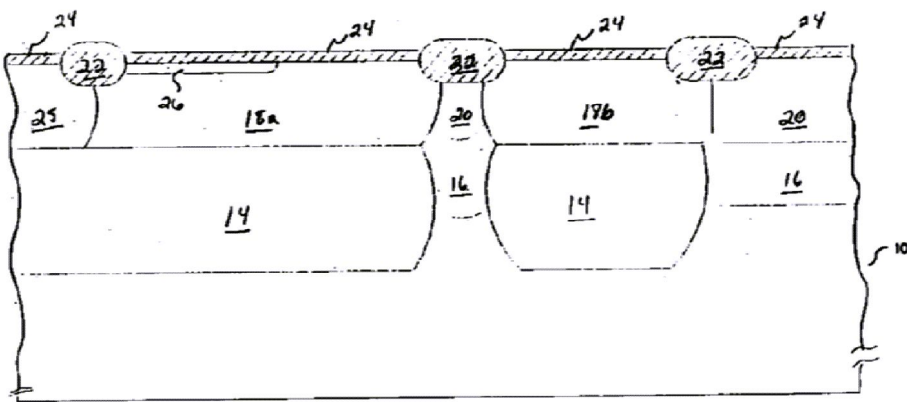
도면1



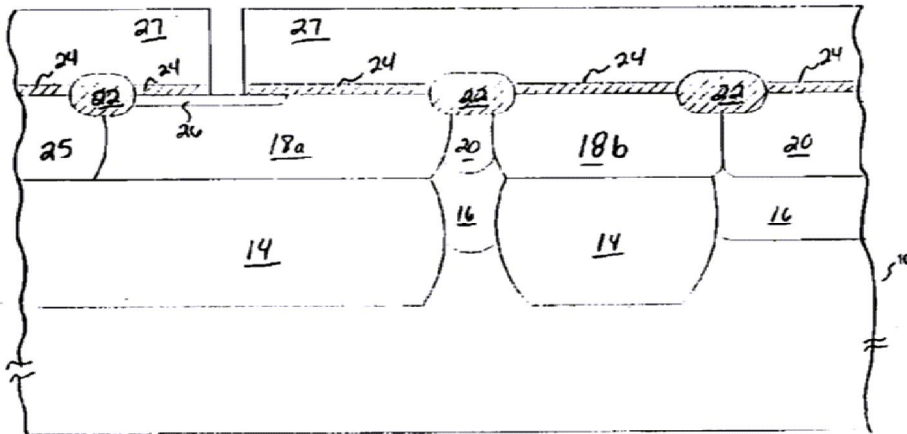
도면2a



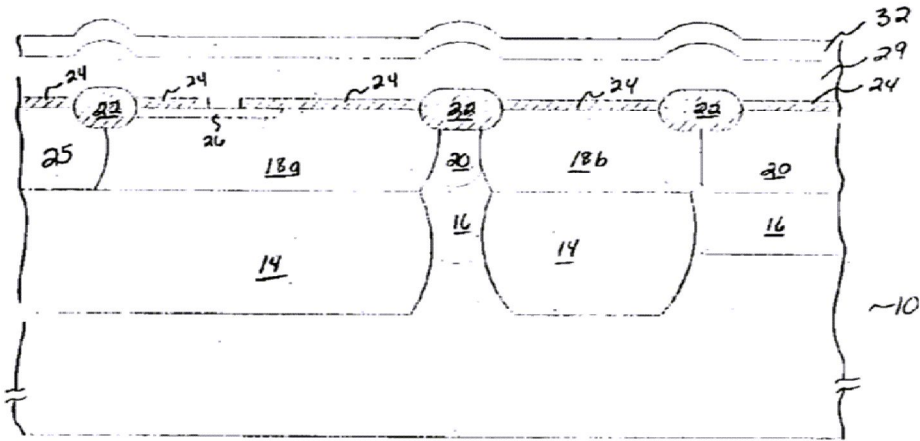
도면2b



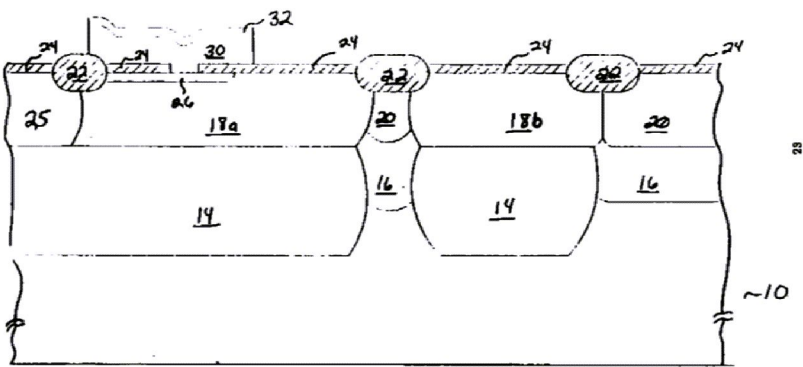
도면2c



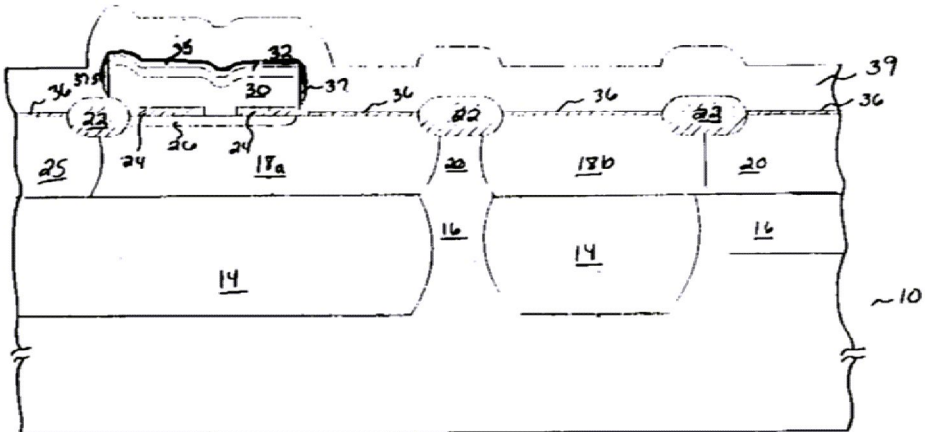
도면2d



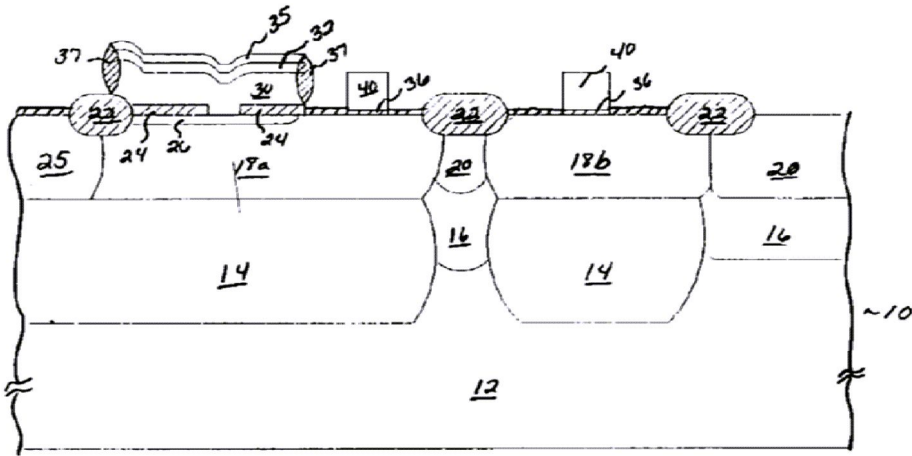
도면2e



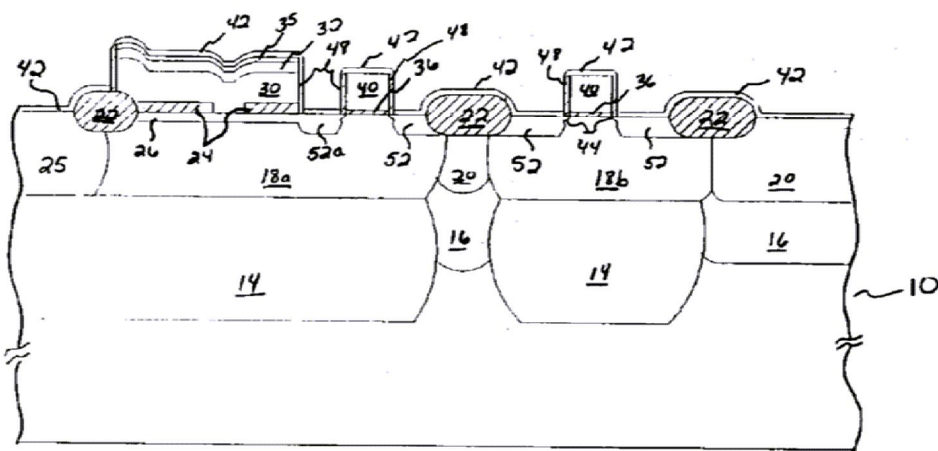
도면2f



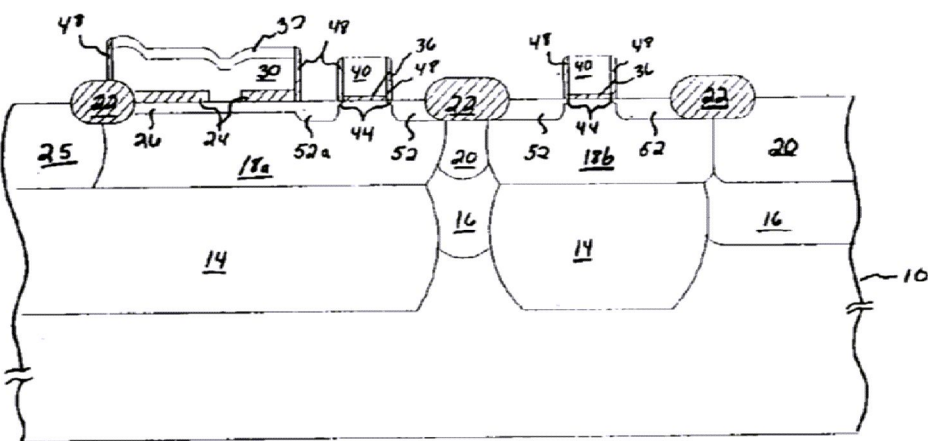
도면2g



도면2h



도면2i



도면2j

