



(12)发明专利申请

(10)申请公布号 CN 105957896 A

(43)申请公布日 2016.09.21

(21)申请号 201610471130.2

H01L 21/331(2006.01)

(22)申请日 2016.06.24

(71)申请人 上海华虹宏力半导体制造有限公司

地址 201203 上海市浦东新区张江高科技
园区祖冲之路1399号

(72)发明人 柯行飞

(74)专利代理机构 上海浦一知识产权代理有限
公司 31211

代理人 郭四华

(51)Int.Cl.

H01L 29/78(2006.01)

H01L 29/739(2006.01)

H01L 29/06(2006.01)

H01L 29/36(2006.01)

H01L 21/336(2006.01)

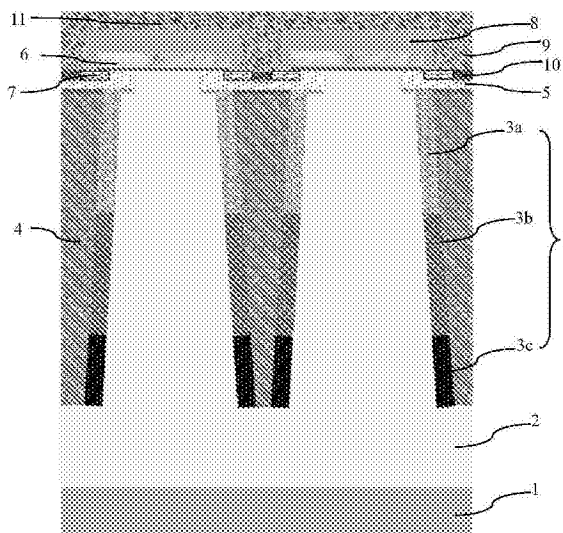
权利要求书2页 说明书8页 附图7页

(54)发明名称

超结功率器件及其制造方法

(57)摘要

本发明公开了一种超结功率器件,在N型外延层上形成有超结结构,超结结构中的P型柱填充于沟槽中;沟槽的侧面为倾斜结构以有利于沟槽的刻蚀和填充;在沟槽的侧面形成有通过离子注入形成的掺杂补偿层,从沟槽的顶部到底部方向上掺杂补偿层的掺杂浓度逐步变化,用于补偿不同深度处的沟槽宽度对P型柱和N型柱的电荷平衡的影响,从而提高沟槽的不同深度处的P型柱和相邻的N型柱的电荷平衡并从而提高超结功率器件的击穿电压。本发明还公开了一种超结功率器件的制造方法。本发明能提高具有沟槽侧面倾斜结构的超结结构的击穿电压,同时还能使器件具有良好的抗冲击能力。



1. 一种超结功率器件,其特征在于:在N型外延层上形成有多个沟槽,在所述沟槽中填充有P型柱,填充于所述沟槽中的所述P型柱和由所述沟槽之间的所述N型外延层组成的N型柱交替排列组成超结结构;

所述沟槽的侧面为倾斜结构且所述沟槽的底部宽度小于顶部宽度,以有利于所述沟槽的刻蚀和填充;

在所述沟槽的侧面形成有通过离子注入形成的掺杂补偿层,从所述沟槽的顶部到底部方向上所述掺杂补偿层的掺杂浓度逐步变化,用于补偿不同深度处的所述沟槽宽度对所述P型柱和所述N型柱的电荷平衡的影响,从而提高所述沟槽的不同深度处的所述P型柱和相邻的所述N型柱的电荷平衡并从而提高超结功率器件的击穿电压。

2. 如权利要求1所述超结功率器件,其特征在于:在所述沟槽的底部位置处,叠加了所述掺杂补偿层的所述P型柱和所述N型柱的P型杂质总量大于N型杂质总量,用以提高所述超结功率器件的抗冲击能力。

3. 如权利要求1所述超结功率器件,其特征在于:所述掺杂补偿层为N型掺杂,从所述沟槽的顶部到底部方向上所述掺杂补偿层的N型杂质的浓度逐步变小。

4. 如权利要求1所述超结功率器件,其特征在于:所述掺杂补偿层为P型掺杂,从所述沟槽的顶部到底部方向上所述掺杂补偿层的P型杂质的浓度逐步变大。

5. 如权利要求1所述超结功率器件,其特征在于:从所述沟槽的顶部到底部方向上所述掺杂补偿层的掺杂杂质由N型过渡到P型且所述N型杂质的浓度逐步变小、P型杂质的浓度逐步变大。

6. 如权利要求1至5中任一权利要求所述超结功率器件,其特征在于:从所述沟槽的顶部到底部方向上所述掺杂补偿层的离子注入层分为二段以上从而形成所述掺杂补偿层的掺杂浓度逐步变化的结构。

7. 如权利要求1至5中任一权利要求所述超结功率器件,其特征在于:从所述沟槽的顶部到底部方向上,所述N型柱均匀掺杂,所述P型柱均匀掺杂。

8. 如权利要求1至5中任一权利要求所述超结功率器件,其特征在于:所述超结功率器件包括超结MOSFET器件,IGBT器件。

9. 如权利要求8所述超结功率器件,其特征在于:所述超结MOSFET器件包括具有屏蔽栅的超结MOSFET器件。

10. 一种超结功率器件的制造方法,其特征在于,包括如下步骤:

步骤一、提供N型外延层,在所述N型外延层上形成硬质掩模层,通过光刻刻蚀工艺将沟槽形成区域的所述硬质掩模层打开;

步骤二、以所述硬质掩模层为掩模对所述N型外延层进行两次以上的分段刻蚀形成沟槽;

在每次分段刻蚀完成后都对已刻蚀出的所述沟槽的侧面进行一次补偿离子注入掺杂,所述沟槽完全形成后由各次补偿离子注入掺杂杂质叠加形成位于所述沟槽的侧面的掺杂补偿层;

所述沟槽的侧面为倾斜结构且所述沟槽的底部宽度小于顶部宽度,以有利于所述沟槽的刻蚀和后续的填充;

步骤三、在所述沟槽中进行填充P型外延层形成P型柱,去除所述硬质掩模层;

填充于所述沟槽中的所述P型柱和由所述沟槽之间的所述N型外延层组成的N型柱交替排列组成超结结构;从所述沟槽的顶部到底部方向上所述掺杂补偿层的掺杂浓度逐步变化,用于补偿不同深度处的所述沟槽宽度对所述P型柱和所述N型柱的电荷平衡的影响,从而提高所述沟槽的不同深度处的所述P型柱和相邻的所述N型柱的电荷平衡并从而提高超结功率器件的击穿电压。

11.如权利要求10所述超结功率器件的制造方法,其特征在于:在所述沟槽的底部位置处,叠加了所述掺杂补偿层的所述P型柱和所述N型柱的P型杂质总量大于N型杂质总量,用以提高所述超结功率器件的抗冲击能力。

12.如权利要求10所述超结功率器件的制造方法,其特征在于:所述掺杂补偿层为N型掺杂,从所述沟槽的顶部到底部方向上所述掺杂补偿层的N型杂质的浓度逐步变小。

13.如权利要求11所述超结功率器件的制造方法,其特征在于:步骤二中各次补偿离子注入杂质都为N型杂质,从所述沟槽的顶部到底部方向上所述掺杂补偿层叠加的补偿离子注入杂质依次减少使N型杂质的浓度逐步变小。

14.如权利要求10所述超结功率器件的制造方法,其特征在于:所述掺杂补偿层为P型掺杂,从所述沟槽的顶部到底部方向上所述掺杂补偿层的P型杂质的浓度逐步变大。

15.如权利要求14所述超结功率器件的制造方法,其特征在于:步骤二中最后一次补偿离子注入杂质为P型杂质、其它各次补偿离子注入杂质为N型杂质,从所述沟槽的顶部到底部方向上各次N型的补偿离子注入杂质使所述掺杂补偿层的N型杂质的浓度逐步变小,最后一次P型的补偿离子注入杂质对其它各次N型的补偿离子注入杂质进行叠加后组成P型掺杂的所述掺杂补偿层,形成从所述沟槽的顶部到底部方向上所述掺杂补偿层的P型杂质的浓度逐步变大的结构。

16.如权利要求10所述超结功率器件的制造方法,其特征在于:从所述沟槽的顶部到底部方向上所述掺杂补偿层的掺杂杂质由N型过渡到P型且所述N型杂质的浓度逐步变小、P型杂质的浓度逐步变大。

17.如权利要求16所述超结功率器件的制造方法,其特征在于:步骤二中最后一次补偿离子注入杂质为P型杂质、其它各次补偿离子注入杂质为N型杂质,从所述沟槽的顶部到底部方向上各次N型的补偿离子注入杂质使所述掺杂补偿层的N型杂质的浓度逐步变小,最后一次P型的补偿离子注入杂质对其它各次N型的补偿离子注入杂质进行叠加后组成从所述沟槽的顶部到底部方向上掺杂杂质由N型过渡到P型的所述掺杂补偿层且所述N型杂质的浓度逐步变小、P型杂质的浓度逐步变大。

18.如权利要求10至17中任一权利要求所述超结功率器件的制造方法,其特征在于:从所述沟槽的顶部到底部方向上,所述N型柱均匀掺杂,所述P型柱均匀掺杂。

19.如权利要求10至17中任一权利要求所述超结功率器件的制造方法,其特征在于:所述超结功率器件包括超结MOSFET器件,IGBT器件。

20.如权利要求19所述超结功率器件的制造方法,其特征在于:所述超结MOSFET器件包括具有屏蔽栅的超结MOSFET器件。

超结功率器件及其制造方法

技术领域

[0001] 本发明涉及半导体集成电路制造领域,特别是涉及一种超结(super junction)功率器件;本发明还涉及一种超结功率器件的制造方法。

背景技术

[0002] 超结结构就是交替排列的N型柱和P型柱组成结构。如果用超结结构来取代垂直双扩散MOS晶体管(Vertical Double-diffused Metal-Oxide-Semiconductor,VDMOS)器件中的N型漂移区,在导通状态下通过N型柱提供导通通路,导通时P型柱不提供导通通路;在截止状态下由PN立柱共同承受反偏电压,就形成了超结金属-氧化物半导体场效应晶体管(Metal-Oxide-Semiconductor Field-Effect Transistor,MOSFET)。超结MOSFET能在反向击穿电压与传统的VDMOS器件一致的情况下,通过使用低电阻率的外延层,而使器件的导通电阻大幅降低。

[0003] 如图1所示,是图1是沟槽为理想状况的现有超结功率器件的结构示意图;这里以N型超结功率器件为例进行介绍,对器件的掺杂类型进行相应的替换可以得到P型超结功率器件,这里对P型超结功率器件不做详细介绍。由图1可知,N型超结功率器件包括:

[0004] 半导体衬底如硅衬底101,在半导体衬底101的表面形成有N型外延层如N型硅外延层102,超结结构由形成于N型外延层102中的P型柱103a和由各P型柱103a之间的N型外延层102组成的N型柱交替排列形成。N型外延层102在图1中也用N EPI表示,P型柱103a也用P柱表示。

[0005] P型体区104形成于各P型柱103a的顶部。

[0006] 多晶硅栅105形成于P型体区104的选定区域的顶部且二者之间相隔有栅介质层如栅氧化层,被多晶硅栅105覆盖的P型体区104的表面用于形成沟道,所以P型体区104作为沟道区。由多晶硅栅105和栅介质层组成的栅极结构还延伸到P型体区104外的N型柱表面。

[0007] 由N+区组成的源区106形成于P型体区104的表面,源区106的一侧和多晶硅栅104自对准。

[0008] 层间膜107形成于半导体衬底101的正面并将器件的多晶硅栅105,源区106和P型体区104等覆盖。接触孔108穿过层间膜107和底部的对应的源区106或多晶硅栅105接触。在源区106对应的接触孔108的底部形成有P+掺杂的接触注入层109,接触注入层109的底部和P型体区104接触。源区106和P型体区104通过顶部的接触孔108连接到由正面金属层110组成的源极;多晶硅栅105通过顶部的接触孔108连接到由正面金属层110组成的栅极。

[0009] 超结功率器件为MOSFET器件时,由N型高掺杂的半导体衬底101组成漏区,并在半导体衬底101的背面形成由背面金属层组成的漏极。

[0010] P型柱包括两种形成工艺:其中一种为采用多次外延工艺形成,这种方法具有较高的成本以及工艺时间长;另一种是通过挖槽和P型硅填入的方法形成,这种工艺简单且效率高。通过挖槽和P型硅填入的方法来形成P型柱103a采用比较多。图1中的P型柱103a就是采用挖槽加P型硅填入的工艺方法形成的。图1中的P型柱103a所对应的沟槽的侧面为垂直结

构,这是一种理想状态结构。

[0011] 实际状况中,沟槽的侧面往往具有一定的倾角,如图2所示,是沟槽为实际状况的现有超结功率器件的结构示意图;和图1所示结构不同之处为,图2中的P型柱103b所对应的沟槽的侧面具有一定的倾角,且该倾角使沟槽的顶部宽度大于底部宽度即呈上大下小的结构,这种上大下小的沟槽结构有利于沟槽的刻蚀和填充。

[0012] 如图3所示,是图2所示现有超结功率器件的击穿电压和电荷平衡率的关系曲线,即曲线201为现有超结功率器件的击穿电压和电荷平衡率的关系曲线;对于电荷平衡,图1所示的理想结构由于沟槽的宽度上下不变,容易实现电荷完全平衡,此种情况下,能达到最大的击穿电压;也即 $N_n \times a_n = N_p \times a_p$ 时达到电荷完全平衡,这种情形对应于横坐标为虚线301所示时的情形,可知,该位置处对应于曲线201的定点,故此时的击穿电压最大,其中 N_n 表示N型柱的掺杂浓度, a_n 表示N型柱的宽度, N_p 表示P型柱的掺杂浓度, a_p 表示P型柱的宽度。

[0013] 图2所示的实际状况对应的沟槽结构中,由于沟槽的宽度上下会变化,故无法保证最理想的 $N_n \times a_n = N_p \times a_p$,工艺中通常做成 $N_n \times a_n < N_p \times a_p$,以保证器件有最好的抗冲击能力;但器件击穿电压损失较多,如图3中横坐标为直线302所示的情形对应于实际状况中的电荷平衡的设置,击穿电压相对于顶点的位置会下降比较多的值。图3中在横坐标小于虚线301的坐标所对应的区域中为 $N_n \times a_n > N_p \times a_p$,即图3中所写的 $N_n * a_n > N_p * a_p$;横坐标大于虚线301的坐标所对应的区域中为 $N_n \times a_n < N_p \times a_p$,即图3中所写的 $N_n * a_n < N_p * a_p$ 。图2所示的实际状况的结构中,之所以将电荷平衡率设置在横坐标大于虚线301的坐标区域中,是为了保证器件具有最后的抗冲击能力,图2中的箭头虚线120对应于电荷平衡率为 $N_n \times a_n < N_p \times a_p$ 时的击穿电流流向,显然击穿电流经过P型柱103b;箭头虚线121对应于电荷平衡率为 $N_n \times a_n > N_p \times a_p$ 时的击穿电流流向,显然击穿电流经过N型柱;击穿电流经过P型柱103b时具有更大的抗冲击能力,故现已工艺方法中一般都将实际状况对应的超结结构的电荷平衡率设置在 $N_n \times a_n < N_p \times a_p$ 区域中,但这会降低器件的击穿电压。

发明内容

[0014] 本发明所要解决的技术问题是提供一种超结功率器件,能提高具有沟槽侧面倾斜结构的超结结构的击穿电压,同时还能使器件具有良好的抗冲击能力。为此,本发明还提供一种超结功率器件的制造方法。

[0015] 为解决上述技术问题,本发明提供的超结功率器件中,在N型外延层上形成有多个沟槽,在所述沟槽中填充有P型柱,填充于所述沟槽中的所述P型柱和由所述沟槽之间的所述N型外延层组成的N型柱交替排列组成超结结构。

[0016] 所述沟槽的侧面为倾斜结构且所述沟槽的底部宽度小于顶部宽度,以有利于所述沟槽的刻蚀和填充。

[0017] 在所述沟槽的侧面形成有通过离子注入形成的掺杂补偿层,从所述沟槽的顶部到底部方向上所述掺杂补偿层的掺杂浓度逐步变化,用于补偿不同深度处的所述沟槽宽度对所述P型柱和所述N型柱的电荷平衡的影响,从而提高所述沟槽的不同深度处的所述P型柱和相邻的所述N型柱的电荷平衡并从而提高超结功率器件的击穿电压。

[0018] 进一步的改进是,在所述沟槽的底部位置处,叠加了所述掺杂补偿层的所述P型柱和所述N型柱的P型杂质总量大于N型杂质总量,用以提高所述超结功率器件的抗冲击能力。

[0019] 进一步的改进是,所述掺杂补偿层为N型掺杂,从所述沟槽的顶部到底部方向上所述掺杂补偿层的N型杂质的浓度逐步变小。

[0020] 进一步的改进是,所述掺杂补偿层为P型掺杂,从所述沟槽的顶部到底部方向上所述掺杂补偿层的P型杂质的浓度逐步变大。

[0021] 进一步的改进是,从所述沟槽的顶部到底部方向上所述掺杂补偿层的掺杂杂质由N型过渡到P型且所述N型杂质的浓度逐步变小、P型杂质的浓度逐步变大。

[0022] 进一步的改进是,从所述沟槽的顶部到底部方向上所述掺杂补偿层的离子注入层分为二段以上从而形成所述掺杂补偿层的掺杂浓度逐步变化的结构。

[0023] 进一步的改进是,从所述沟槽的顶部到底部方向上,所述N型柱均匀掺杂,所述P型柱均匀掺杂。

[0024] 进一步的改进是,所述超结功率器件包括超结MOSFET器件,IGBT器件。

[0025] 进一步的改进是,所述超结MOSFET器件包括具有屏蔽栅的超结MOSFET器件。

[0026] 为解决上述技术问题,本发明提供的超结功率器件的制造方法包括如下步骤:

[0027] 步骤一、提供N型外延层,在所述N型外延层上形成硬质掩模层,通过光刻刻蚀工艺将沟槽形成区域的所述硬质掩模层打开。

[0028] 步骤二、以所述硬质掩模层为掩模对所述N型外延层进行两次以上的分段刻蚀形成沟槽。

[0029] 在每次分段刻蚀完成后都对已刻蚀出的所述沟槽的侧面进行一次补偿离子注入掺杂,所述沟槽完全形成后由各次补偿离子注入掺杂杂质叠加形成位于所述沟槽的侧面的掺杂补偿层。

[0030] 所述沟槽的侧面为倾斜结构且所述沟槽的底部宽度小于顶部宽度,以有利于所述沟槽的刻蚀和后续的填充。

[0031] 步骤三、在所述沟槽中进行填充P型外延层形成P型柱,去除所述硬质掩模层。

[0032] 填充于所述沟槽中的所述P型柱和由所述沟槽之间的所述N型外延层组成的N型柱交替排列组成超结结构;从所述沟槽的顶部到底部方向上所述掺杂补偿层的掺杂浓度逐步变化,用于补偿不同深度处的所述沟槽宽度对所述P型柱和所述N型柱的电荷平衡的影响,从而提高所述沟槽的不同深度处的所述P型柱和相邻的所述N型柱的电荷平衡并从而提高超结功率器件的击穿电压。

[0033] 进一步的改进是,在所述沟槽的底部位置处,叠加了所述掺杂补偿层的所述P型柱和所述N型柱的P型杂质总量大于N型杂质总量,用以提高所述超结功率器件的抗冲击能力。

[0034] 进一步的改进是,所述掺杂补偿层为N型掺杂,从所述沟槽的顶部到底部方向上所述掺杂补偿层的N型杂质的浓度逐步变小。

[0035] 进一步的改进是,步骤二中各次补偿离子注入杂质都为N型杂质,从所述沟槽的顶部到底部方向上所述掺杂补偿层叠加的补偿离子注入杂质依次减少使N型杂质的浓度逐步变小。

[0036] 进一步的改进是,所述掺杂补偿层为P型掺杂,从所述沟槽的顶部到底部方向上所述掺杂补偿层的P型杂质的浓度逐步变大。

[0037] 进一步的改进是,步骤二中最后一次补偿离子注入杂质为P型杂质、其它各次补偿离子注入杂质为N型杂质,从所述沟槽的顶部到底部方向上各次N型的补偿离子注入杂质使

所述掺杂补偿层的N型杂质的浓度逐步变小,最后一次P型的补偿离子注入杂质对其它各次N型的补偿离子注入杂质进行叠加后组成P型掺杂的所述掺杂补偿层,形成从所述沟槽的顶部到底部方向上所述掺杂补偿层的P型杂质的浓度逐步变大的结构。

[0038] 进一步的改进是,从所述沟槽的顶部到底部方向上所述掺杂补偿层的掺杂杂质由N型过渡到P型且所述N型杂质的浓度逐步变小、P型杂质的浓度逐步变大。

[0039] 进一步的改进是,步骤二中最后一次补偿离子注入杂质为P型杂质、其它各次补偿离子注入杂质为N型杂质,从所述沟槽的顶部到底部方向上各次N型的补偿离子注入杂质使所述掺杂补偿层的N型杂质的浓度逐步变小,最后一次P型的补偿离子注入杂质对其它各次N型的补偿离子注入杂质进行叠加后组成从所述沟槽的顶部到底部方向上掺杂杂质由N型过渡到P型的所述掺杂补偿层且所述N型杂质的浓度逐步变小、P型杂质的浓度逐步变大。

[0040] 进一步的改进是,从所述沟槽的顶部到底部方向上,所述N型柱均匀掺杂,所述P型柱均匀掺杂。

[0041] 进一步的改进是,所述超结功率器件包括超结MOSFET器件,IGBT器件。

[0042] 进一步的改进是,所述超结MOSFET器件包括具有屏蔽栅的超结MOSFET器件。

[0043] 本发明的超结结构中采用倾斜沟槽结构,利用倾斜沟槽在沟槽刻蚀中和沟槽填充中的优点,能够分别提高沟槽刻蚀工艺的稳定性和一致性,提高沟槽填充设备的生产能力并降低成本以及能减少沟槽填充的缺陷,从而减少由于缺陷所造成的器件的漏电。

[0044] 本发明通过在沟槽侧面形成掺杂补偿层,且通过对掺杂补偿层的掺杂类型和浓度进行设置,能使掺杂补偿层在从沟槽的顶部到底部方向上掺杂浓度逐步变化并补偿不同深度处的沟槽宽度对P型柱和N型柱的电荷平衡的影响,从而能提高沟槽的不同深度处的P型柱和相邻的N型柱的电荷平衡并从而提高超结功率器件的击穿电压。

[0045] 另外,本发明通过加入掺杂补偿层之后,能够方便对超结结构的电荷平衡率进行设置,从而很容易实现使器件具有良好的抗冲击能力。

附图说明

[0046] 下面结合附图和具体实施方式对本发明作进一步详细的说明:

[0047] 图1是沟槽为理想状况的现有超结功率器件的结构示意图;

[0048] 图2是沟槽为实际状况的现有超结功率器件的结构示意图;

[0049] 图3是图2所示现有超结功率器件的击穿电压和电荷平衡率的关系曲线;

[0050] 图4是本发明实施例超结功率器件的结构示意图;

[0051] 图5是本发明实施例超结功率器件的击穿电压和电荷平衡率的关系曲线;

[0052] 图6A-图6L是本发明实施例超结功率器件的制造方法各步骤中的器件结构示意图。

具体实施方式

[0053] 如图4所示,是本发明实施例超结功率器件的结构示意图;本发明实施例超结功率器件包括:

[0054] 半导体衬底如硅衬底1,在半导体衬底1表面形成有N型外延层2如N型硅外延层2;N型外延层2上形成有多个沟槽,在所述沟槽中填充有P型柱4,填充于所述沟槽中的所述P型

柱4和由所述沟槽之间的所述N型外延层2组成的N型柱交替排列组成超结结构。

[0055] 所述沟槽的侧面为倾斜结构且所述沟槽的底部宽度小于顶部宽度,以有利于所述沟槽的刻蚀和填充。

[0056] 在所述沟槽的侧面形成有通过离子注入形成的掺杂补偿层3,从所述沟槽的顶部到底部方向上所述掺杂补偿层3的掺杂浓度逐步变化,用于补偿不同深度处的所述沟槽宽度对所述P型柱4和所述N型柱的电荷平衡的影响,从而提高所述沟槽的不同深度处的所述P型柱4和相邻的所述N型柱的电荷平衡并从而提高超结功率器件的击穿电压。

[0057] 从所述沟槽的顶部到底部方向上所述掺杂补偿层3的离子注入层分为二段以上从而形成所述掺杂补偿层3的掺杂浓度逐步变化的结构。图4中显示了所述掺杂补偿层3的离子注入层分为三段,这三段分别用标记3a、3b和3c标示,标记3a所对应段叠加了3次离子注入的杂质,标记3b所对应的段叠加了2次离子注入的杂质,标记3c所对应的段叠加了1次离子注入的杂质。

[0058] 本发明实施例中,在所述沟槽的底部位置处,叠加了所述掺杂补偿层3的所述P型柱4和所述N型柱的P型杂质总量大于N型杂质总量,用以提高所述超结功率器件的抗冲击能力。

[0059] 本发明实施例中,所述掺杂补偿层3能为N型掺杂,P型掺杂,或者P型和N型掺杂的混合,现分别说明如下:

[0060] 所述掺杂补偿层3为N型掺杂,从所述沟槽的顶部到底部方向上所述掺杂补偿层3的N型杂质的浓度逐步变小。

[0061] 所述掺杂补偿层3为P型掺杂,从所述沟槽的顶部到底部方向上所述掺杂补偿层3的P型杂质的浓度逐步变大。

[0062] 从所述沟槽的顶部到底部方向上所述掺杂补偿层3的掺杂杂质由N型过渡到P型且所述N型杂质的浓度逐步变小、P型杂质的浓度逐步变大。

[0063] 从所述沟槽的顶部到底部方向上,所述N型柱均匀掺杂,所述P型柱4均匀掺杂。

[0064] 所述超结功率器件包括超结MOSFET器件,IGBT器件。所述超结MOSFET器件包括具有屏蔽栅(SGT)的超结MOSFET器件。

[0065] 以超级MOSFET器件为例,还包括:

[0066] P型体区5形成于各P型柱4的顶部。

[0067] 多晶硅栅6形成于P型体区5的选定区域的顶部且二者之间相隔有栅介质层如栅氧化层,被多晶硅栅6覆盖的P型体区5的表面用于形成沟道,所以P型体区5作为沟道区。由多晶硅栅6和栅介质层组成的栅极结构还延伸到P型体区5外的N型柱表面。

[0068] 由N+区组成的源区7形成于P型体区5的表面,源区7的一侧和多晶硅栅104自对准。

[0069] 层间膜8形成于半导体衬底1的正面并将器件的多晶硅栅6,源区7和P型体区5等覆盖。接触孔9穿过层间膜8和底部的对应的源区7或多晶硅栅6接触。在源区7对应的接触孔9的底部形成有P+掺杂的接触注入层10,接触注入层10的底部和P型体区5接触。源区7和P型体区5通过顶部的接触孔9连接到由正面金属层111组成的源极;多晶硅栅6通过顶部的接触孔9连接到由正面金属层111组成的栅极。

[0070] 由N型高掺杂的半导体衬底1组成漏区,并在半导体衬底1的背面形成由背面金属层组成的漏极。

[0071] 如图5所示,是本发明实施例超结功率器件的击穿电压和电荷平衡率的关系曲线;为了比较,在图5中也放入了曲线201,该曲线201和图3中的曲线201相同。曲线202为本发明实施例超结功率器件的击穿电压和电荷平衡率的关系曲线。比较曲线201和202可知,本发明实施例中通过增加了所述掺杂补偿层3后,能够提高超结结构的总的PN杂质电荷平衡,在P型柱和N型柱的电荷平衡率保持不变的情形下,由于超结结构的总的PN杂质电荷平衡增加,故能够提高器件的击穿电压,也即在不同的横坐标位置处,曲线202位于曲线201的上方,也即曲线202对应的击穿电压的值要大于P型柱和N型柱的电荷平衡率相同的曲线201的击穿电压的值。故本发明实施例能够提高器件的击穿电压。另外,本发明实施例对器件的击穿电压的提高并不改变P型柱和N型柱的电荷平衡率,故器件还能保持较好的抗冲击能力。

[0072] 如图6A至图6L所示,是本发明实施例超结功率器件的制造方法各步骤中的器件结构示意图,本发明实施例超结功率器件的制造方法包括如下步骤:

[0073] 步骤一、如图6A所示,提供N型外延层2,N型外延层2形成于半导体衬底如硅衬底1表面。

[0074] 如图6B所示,在所述N型外延层2上形成硬质掩模层401,通过光刻形成光刻胶图形402进行沟槽形成区域的定义,之后通过刻蚀工艺将沟槽形成区域的所述硬质掩模层401打开。之后去除光刻胶图形402。

[0075] 步骤二、以所述硬质掩模层401为掩模对所述N型外延层2进行两次以上的分段刻蚀形成沟槽。

[0076] 在每次分段刻蚀完成后都对已刻蚀出的所述沟槽的侧面进行一次补偿离子注入掺杂,所述沟槽完全形成后由各次补偿离子注入掺杂杂质叠加形成位于所述沟槽的侧面的掺杂补偿层3。

[0077] 所述沟槽的侧面为倾斜结构且所述沟槽的底部宽度小于顶部宽度,以有利于所述沟槽的刻蚀和后续的填充。

[0078] 本发明实施例中,共采用三次分段刻蚀形成沟槽,具体为:

[0079] 如图6C所示,进行第一次刻蚀,形成第一段沟槽403a。

[0080] 如图6D所示,进行第一次补偿离子注入在第一段沟槽403a的侧面进行掺杂形成掺杂区3a。

[0081] 如图6E所示,进行第二次刻蚀,在第一段沟槽403a底部形成第二段沟槽403b。

[0082] 如图6F所示,进行第二次补偿离子注入在第一段沟槽403a和第二段沟槽403b的侧面都进行掺杂,顶部的掺杂区3a会在叠加第二次补偿离子注入的掺杂,在第二段沟槽403b的侧面会增加一个掺杂区3b。

[0083] 如图6G所示,进行第三次刻蚀,在第二段沟槽403b底部形成第三段沟槽403c。

[0084] 如图6H所示,进行第三次补偿离子注入在第一段沟槽403a、第二段沟槽403b和第三段沟槽403c的侧面都进行掺杂,顶部的掺杂区3a和掺杂区3b都会在叠加第三次补偿离子注入的掺杂,在第三段沟槽403c的侧面会增加一个掺杂区3c。这样,就由上述掺杂区3a、3b和3c组成掺杂补偿层3。

[0085] 本发明实施例中,所述掺杂补偿层3的掺杂能为:

[0086] 所述掺杂补偿层3为N型掺杂,从所述沟槽的顶部到底部方向上所述掺杂补偿层3的N型杂质的浓度逐步变小。步骤二中各次补偿离子注入杂质都为N型杂质,从所述沟槽的

顶部到底部方向上所述掺杂补偿层3叠加的补偿离子注入杂质依次减少使N型杂质的浓度逐步变小。

[0087] 或者,所述掺杂补偿层3为P型掺杂,从所述沟槽的顶部到底部方向上所述掺杂补偿层3的P型杂质的浓度逐步变大。步骤二中最后一次补偿离子注入杂质为P型杂质、其它各次补偿离子注入杂质为N型杂质,从所述沟槽的顶部到底部方向上各次N型的补偿离子注入杂质使所述掺杂补偿层3的N型杂质的浓度逐步变小,最后一次P型的补偿离子注入杂质对其它各次N型的补偿离子注入杂质进行叠加后组成P型掺杂的所述掺杂补偿层3,形成从所述沟槽的顶部到底部方向上所述掺杂补偿层3的P型杂质的浓度逐步变大的结构。

[0088] 或者,从所述沟槽的顶部到底部方向上所述掺杂补偿层3的掺杂杂质由N型过渡到P型且所述N型杂质的浓度逐步变小、P型杂质的浓度逐步变大。步骤二中最后一次补偿离子注入杂质为P型杂质、其它各次补偿离子注入杂质为N型杂质,从所述沟槽的顶部到底部方向上各次N型的补偿离子注入杂质使所述掺杂补偿层3的N型杂质的浓度逐步变小,最后一次P型的补偿离子注入杂质对其它各次N型的补偿离子注入杂质进行叠加后组成从所述沟槽的顶部到底部方向上掺杂杂质由N型过渡到P型的所述掺杂补偿层3且所述N型杂质的浓度逐步变小、P型杂质的浓度逐步变大。

[0089] 步骤三、如图6I所示,在所述沟槽中进行填充P型外延层形成P型柱4,填充完后需要采用化学机械研磨(CMP)进行平坦化。之后,如图6J所示,去除所述硬质掩模层401。

[0090] 填充于所述沟槽中的所述P型柱4和由所述沟槽之间的所述N型外延层2组成的N型柱交替排列组成超结结构;从所述沟槽的顶部到底部方向上所述掺杂补偿层3的掺杂浓度逐步变化,用于补偿不同深度处的所述沟槽宽度对所述P型柱4和所述N型柱的电荷平衡的影响,从而提高所述沟槽的不同深度处的所述P型柱4和相邻的所述N型柱的电荷平衡并从而提高超结功率器件的击穿电压。

[0091] 本发明实施例方法中,在所述沟槽的底部位置处,叠加了所述掺杂补偿层3的所述P型柱4和所述N型柱的P型杂质总量大于N型杂质总量,用以提高所述超结功率器件的抗冲击能力。从所述沟槽的顶部到底部方向上,所述N型柱均匀掺杂,所述P型柱4均匀掺杂。

[0092] 所述超结功率器件包括超结MOSFET器件,IGBT器件。所述超结MOSFET器件包括具有屏蔽栅的超结MOSFET器件。当所述超结功率器件包括超结MOSFET器件,如图4所示,还包括如下步骤:

[0093] 在各P型柱4的顶部形成P型体区5。

[0094] 依次形成栅介质层如栅氧化层和多晶硅栅6,多晶硅栅6形成于P型体区5的选定区域的顶部且二者之间相隔有栅介质层,被多晶硅栅6覆盖的P型体区5的表面用于形成沟道,所以P型体区5作为沟道区。由多晶硅栅6和栅介质层组成的栅极结构还延伸到P型体区5外的N型柱表面。

[0095] 进行N+注入形成由N+区组成的源区7,源区7位于P型体区5的表面,源区7的一侧和多晶硅栅104自对准。

[0096] 在半导体衬底1的正面形成层间膜8并将器件的多晶硅栅6,源区7和P型体区5等覆盖。

[0097] 形成接触孔9,接触孔9穿过层间膜8和底部的对应的源区7或多晶硅栅6接触。在接触孔9的开口打开后、金属填充前还包括在源区7对应的接触孔9的底部进行P+注入形成P+

掺杂的接触注入层10的步骤,接触注入层10的底部和P型体区5接触。

[0098] 形成正面金属层11,采用光刻刻蚀工艺对正面金属层11进行图形化形成源极和栅极,源区7和P型体区5通过顶部的接触孔9连接到由正面金属层111组成的源极;多晶硅栅6通过顶部的接触孔9连接到由正面金属层111组成的栅极。

[0099] 对N型高掺杂的半导体衬底1进行减薄形成漏区,漏区也能对半导体衬底1减薄后进行N+注入形成。并在半导体衬底1的背面形成由背面金属层组成的漏极。

[0100] 以上通过具体实施例对本发明进行了详细的说明,但这些并非构成对本发明的限制。在不脱离本发明原理的情况下,本领域的技术人员还可做出许多变形和改进,这些也应视为本发明的保护范围。

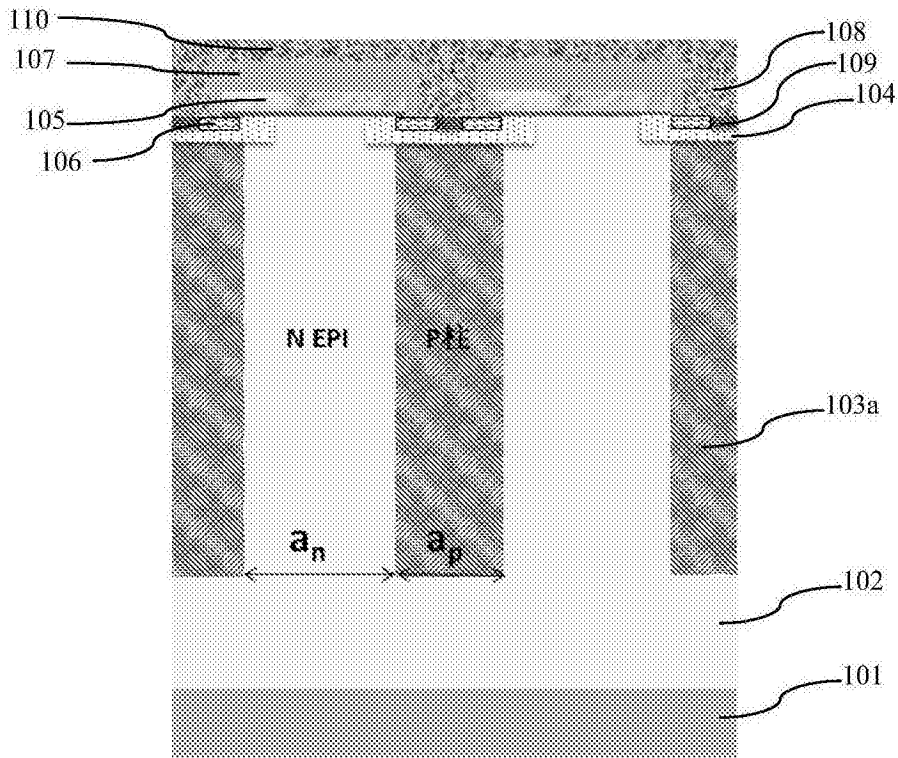


图1

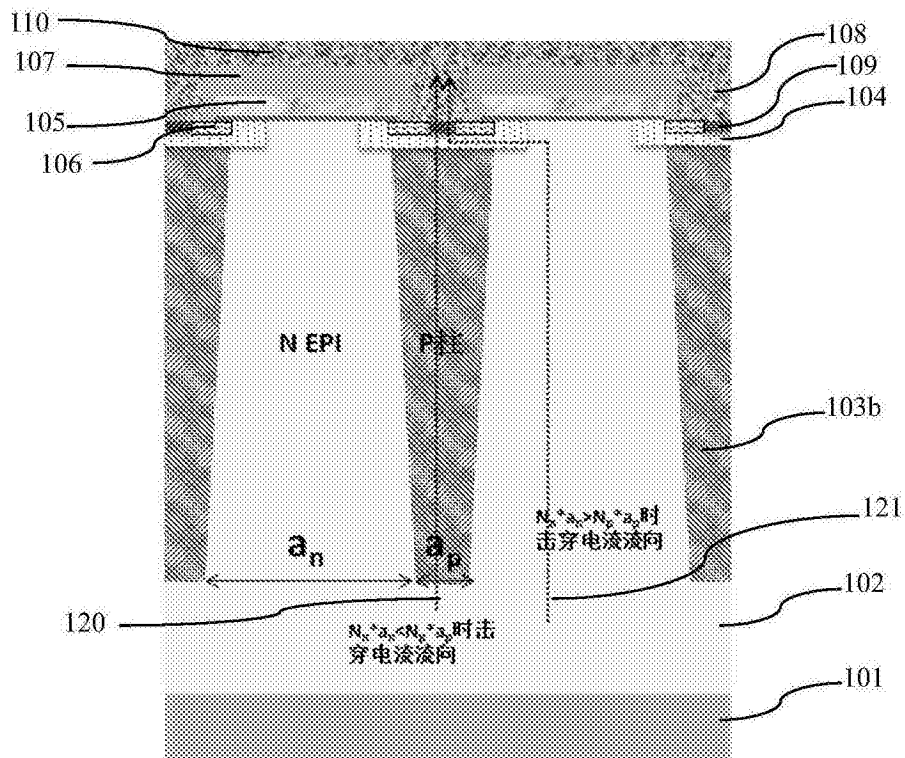


图2

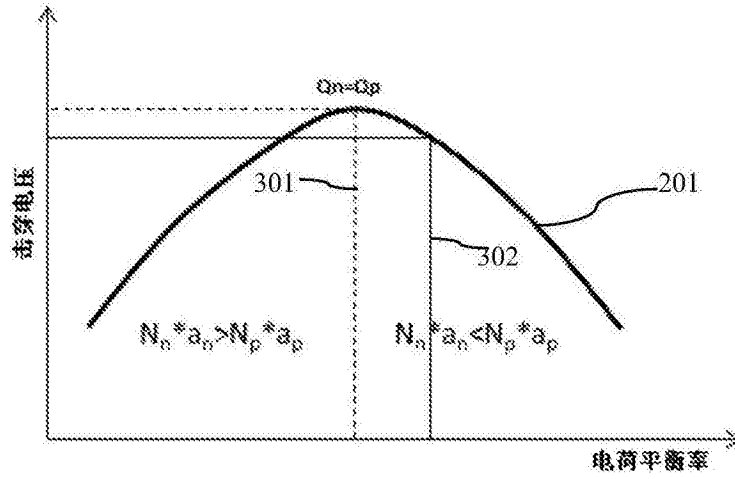


图3

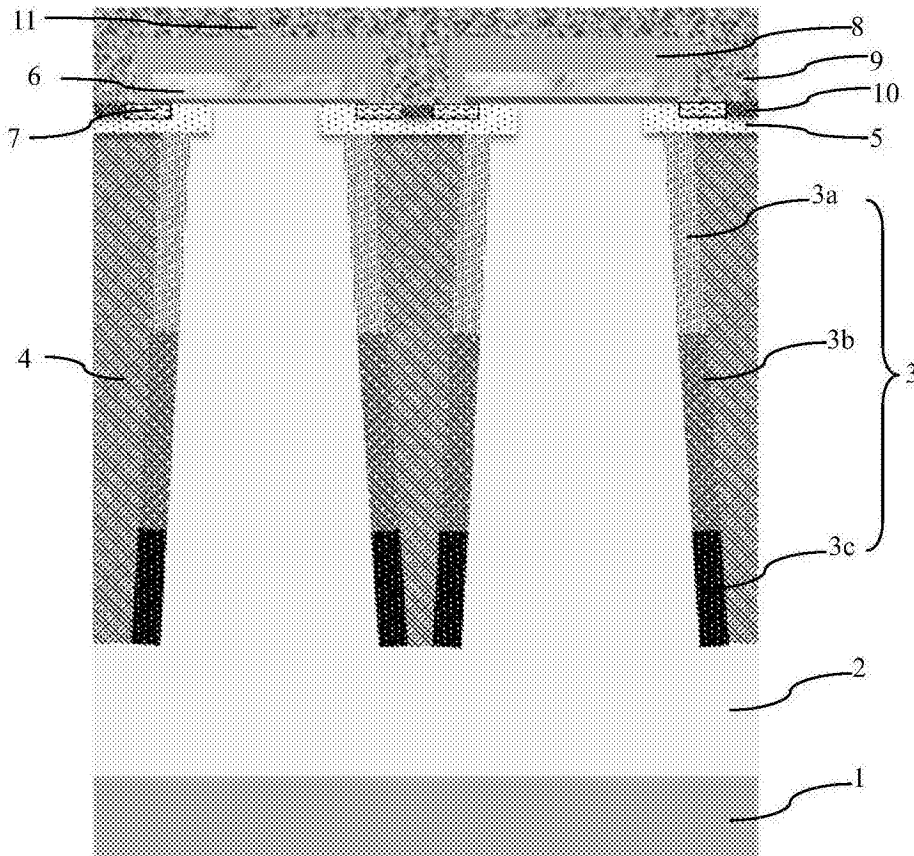


图4

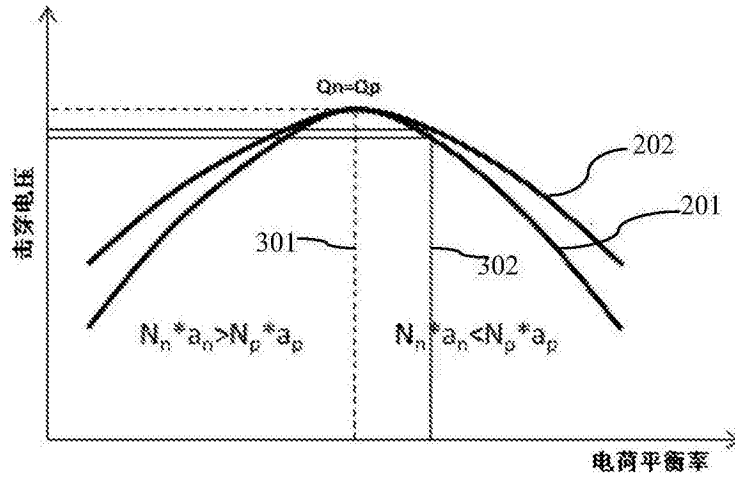


图5

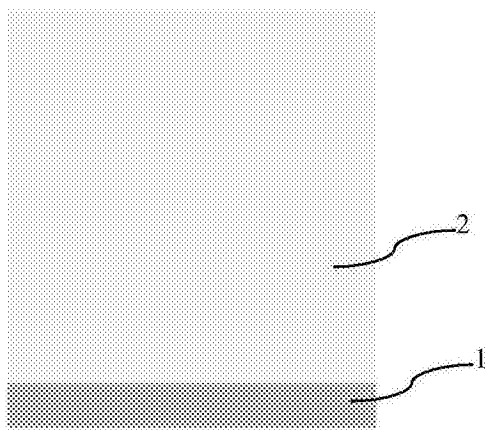


图6A

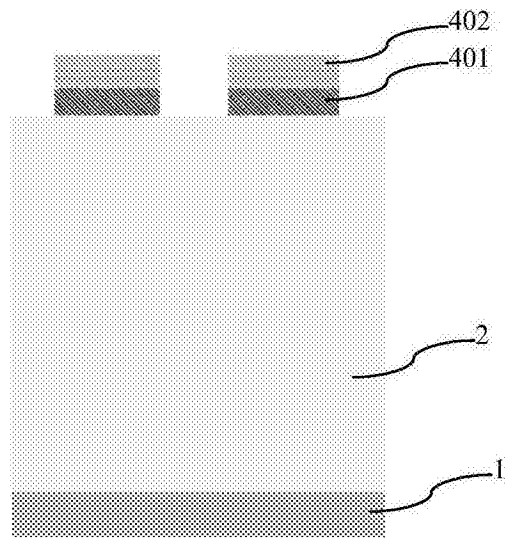


图6B

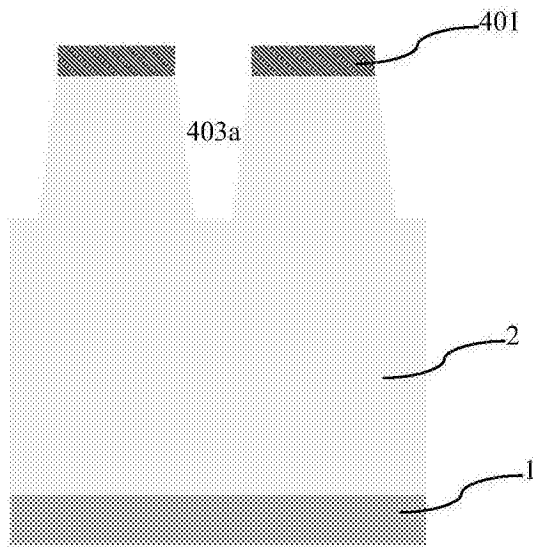


图6C

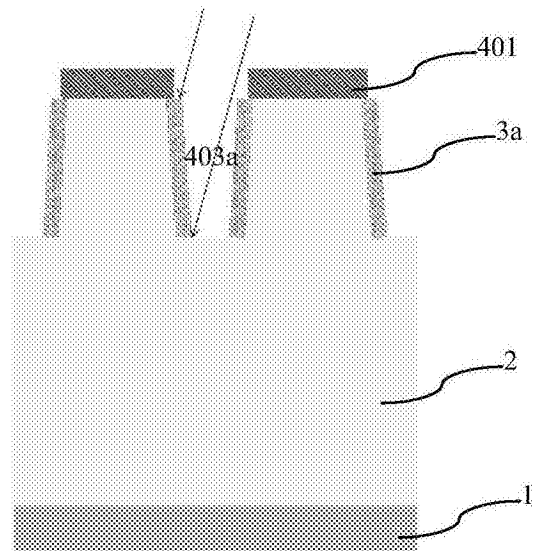


图6D

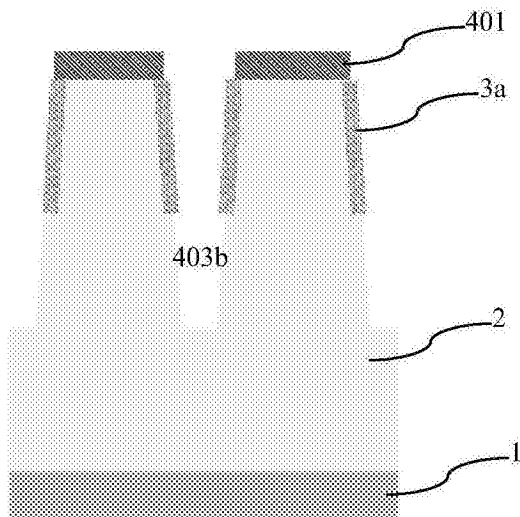


图6E

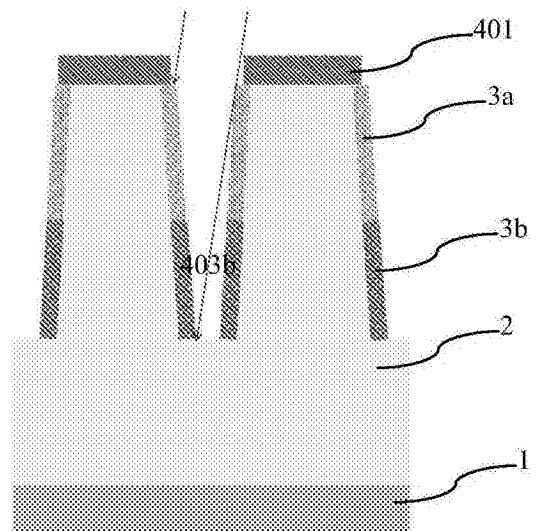


图6F

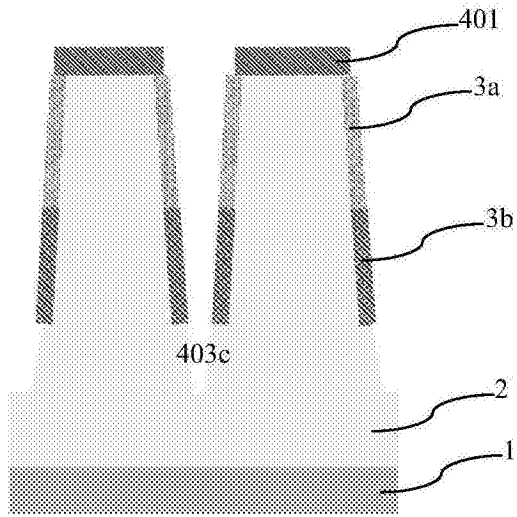


图6G

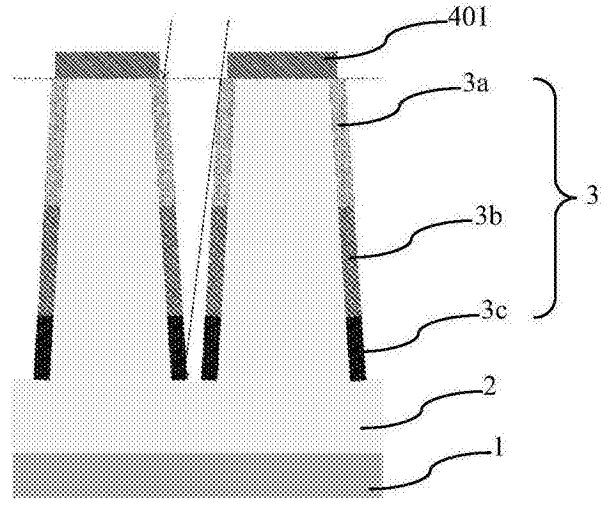


图6H

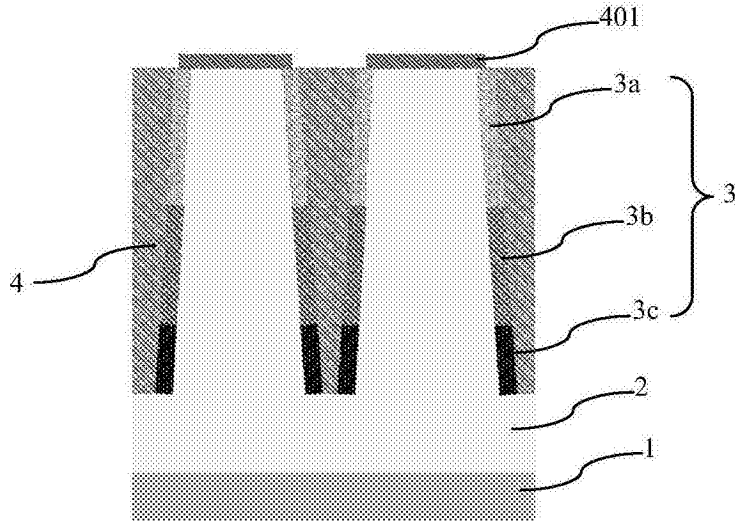


图6I

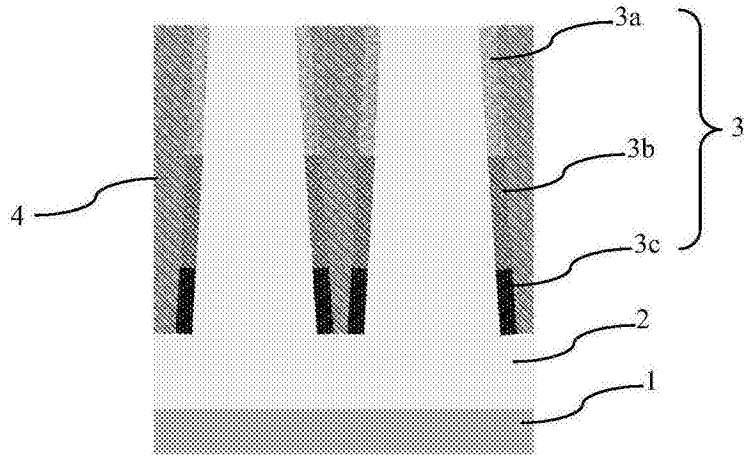


图6J

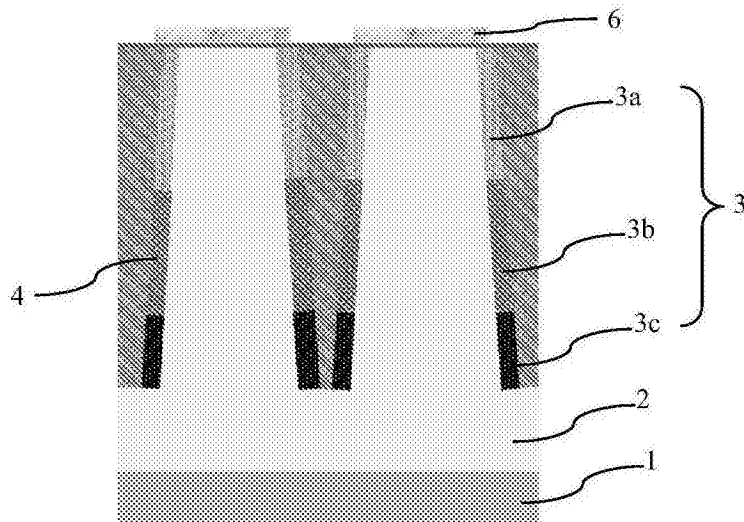


图6K

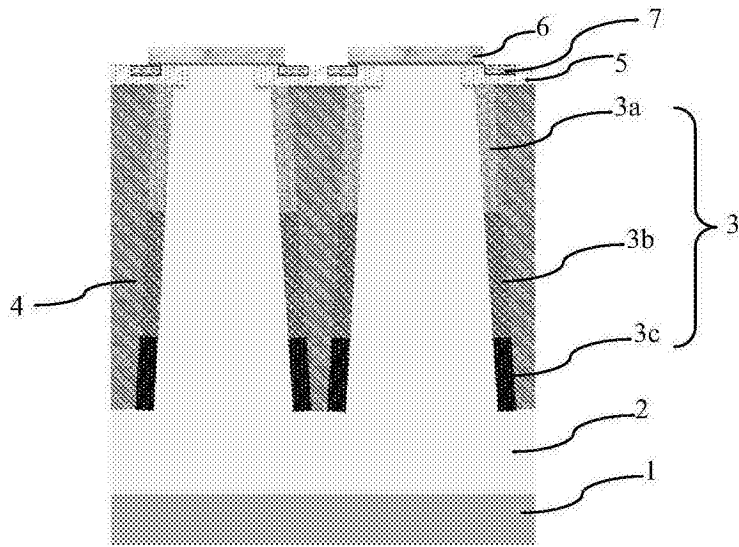


图6L