



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0034725  
(43) 공개일자 2021년03월31일

- |                                                                                                                                                                                                                                                                                                            |                                                                                                                                                                                                                                                       |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <p>(51) 국제특허분류(Int. Cl.)<br/>H01L 27/082 (2006.01) H01L 21/768 (2006.01)<br/>H01L 21/8234 (2006.01) H01L 29/36 (2006.01)<br/>H01L 29/732 (2006.01)</p> <p>(52) CPC특허분류<br/>H01L 27/0823 (2013.01)<br/>H01L 21/76897 (2013.01)</p> <p>(21) 출원번호 10-2019-0116040<br/>(22) 출원일자 2019년09월20일<br/>심사청구일자 없음</p> | <p>(71) 출원인<br/>삼성전자주식회사<br/>경기도 수원시 영통구 삼성로 129 (매탄동)</p> <p>(72) 발명자<br/>강명길<br/>경기도 수원시 영통구 도청로 65 (이의동, 자연엔<br/>힐스테이트) 5418동 1503호<br/>김동원<br/>경기도 성남시 분당구 내정로 24 (정자동, 정든마<br/>을한진6단지아파트) 605동 502호<br/>(뒷면에 계속)</p> <p>(74) 대리인<br/>특허법인 고려</p> |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

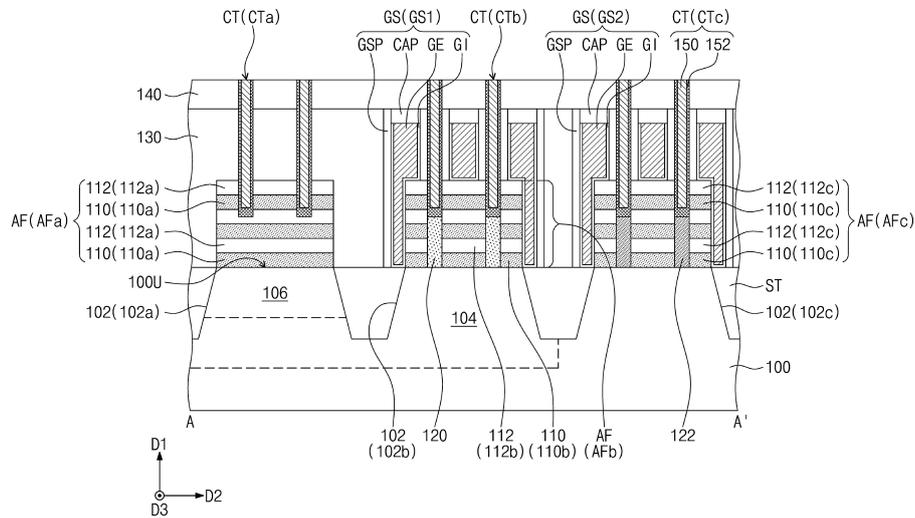
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 반도체 장치

(57) 요약

반도체 장치는, 기판 내에 배치되는 웰 영역, 상기 웰 영역 내에 배치되는 불순물 주입 영역, 상기 불순물 주입 영역 상의 제1 활성 핀, 상기 웰 영역 상의 제2 활성 핀, 및 상기 제2 활성 핀을 관통하여 상기 웰 영역에 연결되는 연결 패턴을 포함한다. 상기 기판 및 상기 불순물 주입 영역은 제1 도전형을 가지고, 상기 웰 영역은 상기 제1 도전형과 다른 제2 도전형을 갖는다. 상기 제1 활성 핀은 상기 기판의 상면에 수직인 방향으로 서로 이격되는 제1 반도체 패턴들을 포함한다. 상기 제1 반도체 패턴들 및 상기 불순물 주입 영역은 상기 제1 도전형을 갖는 불순물들을 포함한다.

대표도 - 도2a



(52) CPC특허분류

*H01L 21/823468* (2013.01)

*H01L 21/823475* (2013.01)

*H01L 21/823493* (2013.01)

*H01L 29/36* (2013.01)

*H01L 29/732* (2013.01)

(72) 발명자

**김민이**

경기도 화성시 동탄지성로 42 (반송동, 동탄시범한  
빛마을 동탄아이파크) 227-2101

**조근휘**

서울특별시 송파구 오금로35길 17 23동 105호 (오  
금동, 현대아파트)

## 명세서

### 청구범위

#### 청구항 1

기관 내에 배치되는 웰 영역;

상기 웰 영역 내에 배치되는 불순물 주입 영역;

상기 불순물 주입 영역 상의 제1 활성 핀;

상기 웰 영역 상의 제2 활성 핀; 및

상기 제2 활성 핀을 관통하여 상기 웰 영역에 연결되는 연결 패턴을 포함하되,

상기 기관 및 상기 불순물 주입 영역은 제1 도전형을 가지고, 상기 웰 영역은 상기 제1 도전형과 다른 제2 도전형을 가지고,

상기 제1 활성 핀은 상기 기관의 상면에 수직한 방향으로 서로 이격되는 제1 반도체 패턴들을 포함하고,

상기 제1 반도체 패턴들 및 상기 불순물 주입 영역은 상기 제1 도전형을 갖는 불순물들을 포함하는 반도체 장치.

#### 청구항 2

청구항 1에 있어서,

상기 연결 패턴은 상기 제2 도전형을 갖는 불순물들을 포함하는 반도체 장치.

#### 청구항 3

청구항 2에 있어서,

상기 제2 활성 핀은 상기 기관의 상기 상면에 수직한 방향으로 서로 이격되는 제2 반도체 패턴들을 포함하고,

상기 연결 패턴은 상기 제2 반도체 패턴들을 관통하여 상기 웰 영역에 연결되는 반도체 장치.

#### 청구항 4

청구항 3에 있어서,

상기 제1 활성 핀에 연결되는 제1 콘택 플러그들;

상기 제1 콘택 플러그들 사이에 개재되는 층간 절연막;

상기 연결 패턴에 연결되는 제2 콘택 플러그; 및

상기 제2 활성 핀을 가로지르는 게이트 구조체들을 포함하되,

상기 제2 콘택 플러그는 상기 게이트 구조체들 사이에 배치되는 반도체 장치.

#### 청구항 5

청구항 4에 있어서,

상기 게이트 구조체들의 각각은:

상기 제2 활성 핀을 가로지르는 게이트 전극; 및

상기 게이트 전극의 측면들 상의 게이트 스페이서들을 포함하고,

상기 제1 콘택 플러그들의 측면들은 상기 층간 절연막과 접하고,

상기 제2 콘택 플러그의 측면들은 상기 게이트 스페이서들과 접하는 반도체 장치.

**청구항 6**

청구항 3에 있어서,

상기 제1 활성 핀은 상기 제1 반도체 패턴들 사이에 개재되는 제1 희생 패턴들을 포함하고,  
상기 제1 희생 패턴들은 상기 제1 도전형을 갖는 상기 불순물들을 포함하는 반도체 장치.

**청구항 7**

청구항 6에 있어서,

상기 제2 활성 핀은 상기 제2 반도체 패턴들 사이에 개재되는 제2 희생 패턴들을 포함하고,  
상기 연결 패턴은 상기 제2 희생 패턴들을 관통하여 상기 웰 영역에 연결되는 반도체 장치.

**청구항 8**

청구항 7에 있어서,

상기 제1 반도체 패턴들은 상기 제2 반도체 패턴들과 동일한 물질을 포함하고, 상기 제1 희생 패턴들은 상기 제2 희생 패턴들과 동일한 물질을 포함하고,

상기 제1 반도체 패턴들 및 상기 제2 반도체 패턴들은 상기 제1 희생 패턴들 및 상기 제2 희생 패턴들과 다른 물질을 포함하는 반도체 장치.

**청구항 9**

청구항 6에 있어서,

상기 제2 활성 핀 상에 배치되고 상기 제2 활성 핀을 가로지르는 게이트 구조체를 더 포함하되,  
상기 게이트 구조체는 상기 제2 반도체 패턴들 사이로 연장되는 반도체 장치.

**청구항 10**

청구항 1에 있어서,

상기 제1 활성 핀에 연결되는 제1 콘택 플러그들; 및  
상기 제1 활성 핀 및 상기 제1 콘택 플러그들을 덮는 층간 절연막을 더 포함하되,  
상기 층간 절연막은 상기 제1 콘택 플러그들 사이로 연장되어 상기 제1 활성 핀과 접하는 반도체 장치.

**청구항 11**

청구항 10에 있어서,

상기 연결 패턴에 연결되는 제2 콘택 플러그; 및  
상기 제2 활성 핀 상에 배치되는 게이트 구조체들을 더 포함하되,  
상기 제2 콘택 플러그는 상기 게이트 구조체들 사이에 배치되고,  
상기 층간 절연막은 상기 제2 콘택 플러그 및 상기 게이트 구조체들을 덮는 반도체 장치.

**청구항 12**

청구항 1에 있어서,

상기 제1 활성 핀은 상기 제1 반도체 패턴들 사이에 개재되는 제1 희생 패턴들을 포함하고,  
상기 제1 희생 패턴들은 상기 제1 반도체 패턴들과 다른 물질을 포함하고, 상기 제1 도전형을 갖는 상기 불순물들을 포함하는 반도체 장치.

**청구항 13**

기관 내에 배치되는 웰 영역;

상기 웰 영역 내에 배치되는 불순물 주입 영역;

상기 불순물 주입 영역 상에 배치되고, 상기 기관의 상면에 수직한 제1 방향으로 서로 이격되는 제1 반도체 패턴들을 포함하는 제1 활성 핀;

상기 웰 영역 상에 배치되고, 상기 제1 방향으로 서로 이격되는 제2 반도체 패턴들을 포함하는 제2 활성 핀;

상기 기관 상에 배치되고, 상기 제1 방향으로 서로 이격되는 제3 반도체 패턴들을 포함하는 제3 활성 핀;

상기 제2 활성 핀을 관통하여 상기 웰 영역에 연결되는 제1 연결 패턴; 및

상기 제3 활성 핀을 관통하여 상기 기관에 연결되는 제2 연결 패턴을 포함하되,

상기 기관 및 상기 불순물 주입 영역은 제1 도전형을 가지고, 상기 웰 영역은 상기 제1 도전형과 다른 제2 도전형을 가지고,

상기 제1 반도체 패턴들 및 상기 불순물 주입 영역은 상기 제1 도전형을 갖는 불순물들을 포함하는 반도체 장치.

#### 청구항 14

청구항 13에 있어서,

상기 제1 연결 패턴은 상기 제2 도전형을 갖는 불순물들을 포함하고,

상기 제2 연결 패턴은 상기 제1 도전형을 갖는 불순물들을 포함하는 반도체 장치.

#### 청구항 15

청구항 13에 있어서,

상기 제1 활성 핀은 상기 제1 반도체 패턴들 사이에 개재되는 제1 희생 패턴들을 포함하고,

상기 제1 희생 패턴들은 상기 제1 반도체 패턴들과 다른 물질을 포함하고, 상기 제1 도전형을 갖는 상기 불순물들을 포함하는 반도체 장치.

#### 청구항 16

청구항 15에 있어서,

상기 제1 활성 핀에 연결되는 제1 콘택 플러그들; 및

상기 제1 활성 핀 및 상기 제1 콘택 플러그들을 덮는 층간 절연막을 더 포함하되,

상기 층간 절연막은 상기 제1 콘택 플러그들 사이로 연장되어 상기 제1 활성 핀과 접하는 반도체 장치.

#### 청구항 17

청구항 16에 있어서,

상기 제1 연결 패턴에 연결되는 제2 콘택 플러그; 및

상기 제2 활성 핀 상에 배치되는 제1 게이트 구조체들을 더 포함하되,

상기 제2 콘택 플러그는 상기 제1 게이트 구조체들 사이에 배치되는 반도체 장치.

#### 청구항 18

청구항 17에 있어서,

상기 제2 연결 패턴에 연결되는 제3 콘택 플러그; 및

상기 제3 활성 핀 상에 배치되는 제2 게이트 구조체들을 더 포함하되,

상기 제3 콘택 플러그는 상기 제2 게이트 구조체들 사이에 배치되는 반도체 장치.

**청구항 19**

청구항 18에 있어서,

상기 제1 및 제2 게이트 구조체들의 각각은:

게이트 전극; 및

상기 게이트 전극의 양 측면들 상의 게이트 스페이서들을 포함하고,

상기 제2 콘택 플러그는 상기 제1 게이트 구조체의 상기 게이트 스페이서들과 접하고,

상기 제3 콘택 플러그는 상기 제2 게이트 구조체의 상기 게이트 스페이서들과 접하는 반도체 장치.

**청구항 20**

청구항 13에 있어서,

상기 기판 내에 배치되는 소자분리 패턴들을 더 포함하되,

상기 기판은 상기 소자분리 패턴들 사이에 두고 서로 이격되는 제1 활성 패턴, 제2 활성 패턴, 및 제3 활성 패턴을 포함하고,

상기 제1 활성 핀은 상기 제1 활성 패턴 상에 배치되고, 상기 제1 활성 패턴은 상기 불순물 주입 영역을 포함하고,

상기 제2 활성 핀은 상기 제2 활성 패턴 상에 배치되고, 상기 제2 활성 패턴은 상기 웰 영역을 포함하고,

상기 제3 활성 핀은 상기 제3 활성 패턴 상에 배치되고, 상기 제3 활성 패턴은 상기 기판의 일부이고,

상기 웰 영역은 상기 소자분리 패턴들 중 대응하는 소자분리 패턴의 하면을 따라 상기 제1 활성 패턴의 하부로 연장되고,

상기 불순물 주입 영역과 상기 웰 영역은 상기 제1 활성 패턴의 상기 하부에서 PN접합을 이루는 반도체 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 장치에 대한 것으로, 보다 상세하게는, 수직형 바이폴라 접합 트랜지스터(vertical bipolar junction transistor)를 포함하는 반도체 장치에 대한 것이다.

**배경 기술**

[0002] 반도체 장치는 모스 전계 효과 트랜지스터들(MOS(Metal Oxide Semiconductor) FET)로 구성된 집적회로를 포함한다. 반도체 장치의 크기 및 디자인 룰(Design rule)이 점차 축소됨에 따라, 모스 전계 효과 트랜지스터들의 크기 축소(scale down)도 점점 가속화되고 있다. 모스 전계 효과 트랜지스터들의 크기 축소에 따라 반도체 장치의 동작 특성이 저하될 수 있다. 이에 따라, 반도체 장치의 고집적화에 따른 한계를 극복하면서 보다 우수한 성능을 반도체 장치를 형성하기 위한 다양한 방법이 연구되고 있다. 일 예로, 반도체 장치의 고집적화를 위해, 3차원 채널을 이용하는 멀티 브릿지 채널 전계 효과 트랜지스터들(Multi-Bridge Channel Field Effect Transistors)이 이용되고 있고, 이에 더하여, 상기 멀티 브릿지 채널 전계 효과 트랜지스터들과 양립 가능한 바이폴라 접합 트랜지스터들의 구조가 제안되고 있다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명이 이루고자 하는 일 기술적 과제는 전기적 특성이 개선된 수직형 바이폴라 접합 트랜지스터를 포함하는 반도체 장치를 제공하는데 있다.

[0004] 본 발명이 이루고자 하는 다른 기술적 과제는 멀티 브릿지 채널 전계 효과 트랜지스터들과 양립이 용이한 구조를 갖는 수직형 바이폴라 접합 트랜지스터를 포함하는 반도체 장치를 제공하는데 있다.

**과제의 해결 수단**

[0005] 본 발명에 따른 반도체 장치는, 기판 내에 배치되는 웰 영역; 상기 웰 영역 내에 배치되는 불순물 주입 영역; 상기 불순물 주입 영역 상의 제1 활성 핀; 상기 웰 영역 상의 제2 활성 핀; 및 상기 제2 활성 핀을 관통하여 상기 웰 영역에 연결되는 연결 패턴을 포함할 수 있다. 상기 기판 및 상기 불순물 주입 영역은 제1 도전형을 가지고, 상기 웰 영역은 상기 제1 도전형과 다른 제2 도전형을 가질 수 있다. 상기 제1 활성 핀은 상기 기판의 상면에 수직인 방향으로 서로 이격되는 제1 반도체 패턴들을 포함할 수 있다. 상기 제1 반도체 패턴들 및 상기 불순물 주입 영역은 상기 제1 도전형을 갖는 불순물들을 포함할 수 있다.

**발명의 효과**

[0006] 본 발명의 개념에 따르면, 멀티 브릿지 채널 전계 효과 트랜지스터들과 양립이 용이한 구조를 갖는 수직형 바이폴라 접합 트랜지스터가 제공될 수 있고, 상기 수직형 바이폴라 접합 트랜지스터의 누설 전류(junction leakage)가 최소화될 수 있다.

**도면의 간단한 설명**

[0007] 도 1은 본 발명의 일부 실시예들에 따른 반도체 장치의 평면도이다.  
 도 2a 및 도 2b는 각각 도 1의 A-A' 및 B-B'에 따른 단면도들이다.  
 도 3a 내지 도 8a, 및 도 3b 내지 도 8b는 본 발명의 일부 실시예들에 따른 반도체 장치의 제조방법을 나타내는 도면들로, 각각 도 1의 A-A' 및 B-B'에 대응하는 단면도들이다.  
 도 9 내지 도 11, 도 15, 및 도 16는 본 발명의 일부 실시예들에 따른 반도체 장치를 나타내는 도면들로, 도 1의 A-A'에 대응하는 단면도들이다.  
 도 12 내지 도 14는 본 발명의 일부 실시예들에 따른 반도체 장치의 제조방법을 나타내는 도면들로, 도 1의 A-A'에 대응하는 단면도들이다.  
 도 17은 본 발명의 일부 실시예들에 따른 반도체 장치의 평면도이다.  
 도 18은 도 17의 A-A'에 따른 단면도이다.  
 도 19 내지 도 21은 본 발명의 일부 실시예들에 따른 반도체 장치의 제조방법을 나타내는 도면들로, 도 17의 A-A'에 대응하는 단면도들이다.  
 도 22는 본 발명의 일부 실시예들에 따른 반도체 장치를 나타내는 도면으로, 도 17의 A-A'에 대응하는 단면도이다.  
 도 23a 및 도 23b는 본 발명의 일부 실시예들에 따른 반도체 장치를 나타내는 도면들로, 각각 도 17의 A-A' 및 B-B'에 대응하는 단면도들이다.  
 도 24a 내지 도 26a, 및 도 24b 내지 도 26b는 본 발명의 일부 실시예들에 따른 반도체 장치의 제조방법을 나타내는 도면들로, 각각 도 17의 A-A' 및 B-B'에 대응하는 단면도들이다.  
 도 27a 및 도 27b는 본 발명의 일부 실시예들에 따른 반도체 장치를 나타내는 도면들로, 각각 도 1의 A-A' 및 B-B'에 대응하는 단면도들이다.

**발명을 실시하기 위한 구체적인 내용**

[0008] 이하, 첨부한 도면을 참조하여 본 발명의 예시적인 실시예들을 설명함으로써 본 발명을 상세히 설명한다.  
 [0009] 도 1은 본 발명의 일부 실시예들에 따른 반도체 장치의 평면도이다. 도 2a 및 도 2b는 각각 도 1의 A-A' 및 B-B'에 따른 단면도들이다.  
 [0010] 도 1, 도 2a, 및 도 2b를 참조하면, 기판(100) 내에 웰 영역(104)이 배치될 수 있다. 상기 기판(100)은 반도체 기판일 수 있고, 일 예로, 실리콘 기판 또는 SOI(Silicon on insulator) 기판일 수 있다. 상기 기판(100)은 제 1 도전형을 가질 수 있고, 상기 웰 영역(104)은 상기 제1 도전형과 다른 제2 도전형을 가질 수 있다. 일 예로, 상기 제1 도전형은 P형일 수 있고, 상기 제2 도전형은 N형일 수 있다. 불순물 주입 영역(106)이 상기 웰 영역(104) 내에 배치될 수 있다. 상기 불순물 주입 영역(106)은 상기 기판(100)과 동일한 도전형을 가질 수 있다.

일 예로, 상기 불순물 주입 영역(106)은 상기 제1 도전형을 갖는 불순물들을 포함할 수 있다.

- [0011] 소자분리 패턴들(ST)이 상기 기판(100) 내에 배치될 수 있다. 상기 기판(100)은 상기 소자분리 패턴들(ST)에 의해 정의되는 활성 패턴들(102)을 포함할 수 있다. 상기 활성 패턴들(102)은 상기 기판(100)의 상면(100U)에 수직인 제1 방향(D1)을 따라 상기 기판(100)의 하부로부터 돌출될 수 있다. 상기 소자분리 패턴들(ST)의 각각은 상기 활성 패턴들(102) 중 대응하는 활성 패턴들(102) 사이에 개재될 수 있다. 상기 소자분리 패턴들(ST)은 산화물, 질화물, 및/또는 산질화물을 포함할 수 있다.
- [0012] 상기 활성 패턴들(102)은 상기 기판(100)의 상기 상면(100U)에 평행한 제2 방향(D2)으로 서로 이격되는 제1 활성 패턴(102a), 제2 활성 패턴(102b), 및 제3 활성 패턴(102c)을 포함할 수 있다. 상기 제1 활성 패턴(102a)은 상기 불순물 주입 영역(106)을 포함할 수 있고, 상기 제2 활성 패턴(102b)은 상기 웰 영역(104)을 포함할 수 있다. 상기 제3 활성 패턴(102c)은 상기 기판(100)의 일부일 수 있다. 상기 소자분리 패턴들(ST) 중 하나는 상기 제1 활성 패턴(102a)과 상기 제2 활성 패턴(102b) 사이에 개재될 수 있다. 상기 웰 영역(104)은 상기 소자분리 패턴들(ST) 중 상기 하나의 바닥면을 따라 상기 제1 활성 패턴(102a)의 하부로 연장될 수 있다. 이에 따라, 상기 불순물 주입 영역(106)과 상기 웰 영역(104) 사이의 경계가 상기 제1 활성 패턴(102a)의 상기 하부에 배치될 수 있다. 상기 불순물 주입 영역(106)과 상기 웰 영역(104)은 상기 제1 활성 패턴(102a)의 상기 하부에서 PN접합을 이룰 수 있다. 상기 소자분리 패턴들(ST) 중 다른 하나는 상기 제2 활성 패턴(102b)과 상기 제3 활성 패턴(102c) 사이에 개재될 수 있고, 상기 웰 영역(104)과 상기 기판(100) 사이의 경계 상에 배치될 수 있다. 상기 웰 영역(104)과 상기 기판(100)은 상기 소자분리 패턴들(ST) 아래에서 PN접합을 이룰 수 있다.
- [0013] 활성 핀들(AF)이 상기 활성 패턴들(102) 상에 각각 배치될 수 있다. 일부 실시예들에 따르면, 상기 활성 핀들(AF)의 각각은 상기 활성 패턴들(102)의 각각 상에 상기 제1 방향(D1)을 따라 교대로 적층되는 희생 패턴들(110) 및 반도체 패턴들(112)을 포함할 수 있다. 상기 희생 패턴들(110)은 상기 반도체 패턴들(112)과 다른 물질을 포함할 수 있다. 일 예로, 상기 반도체 패턴들(112)은 실리콘(Si)을 포함할 수 있고, 상기 희생 패턴들(110)은 실리콘 저머늄(SiGe)을 포함할 수 있다.
- [0014] 상기 활성 핀들(AF)은 상기 제1 활성 패턴(102a) 상의 제1 활성 핀(AFa), 상기 제2 활성 패턴(102b) 상의 제2 활성 핀(AFb), 및 상기 제3 활성 패턴들(102c) 상의 제3 활성 핀(AFc)을 포함할 수 있다. 상기 제1 활성 핀(AFa)의 상기 반도체 패턴들(112) 및 상기 희생 패턴들(110)은 제1 반도체 패턴들(112a) 및 제1 희생 패턴들(110a)로 지칭될 수 있고, 상기 제2 활성 핀(AFb)의 상기 반도체 패턴들(112) 및 상기 희생 패턴들(110)은 제2 반도체 패턴들(112b) 및 제2 희생 패턴들(110b)로 지칭될 수 있다. 상기 제3 활성 핀(AFc)의 상기 반도체 패턴들(112) 및 상기 희생 패턴들(110)은 제3 반도체 패턴들(112c) 및 제3 희생 패턴들(110c)로 지칭될 수 있다. 상기 제1 내지 제3 반도체 패턴들(112a, 112b, 112c)은 서로 동일한 물질(일 예로, 실리콘)을 포함할 수 있고, 상기 제1 내지 제3 희생 패턴들(110a, 110b, 110c)은 서로 동일한 물질(일 예로, 실리콘 저머늄)을 포함할 수 있다.
- [0015] 상기 제1 활성 핀(AFa)은 상기 제1 도전형을 갖는 불순물들을 포함할 수 있다. 일부 실시예들에 따르면, 상기 제1 반도체 패턴들(112a) 및 상기 제1 희생 패턴들(110a)은 상기 제1 도전형을 갖는 불순물들을 포함할 수 있다. 상기 제1 희생 패턴들(110a) 중 최하층의 제1 희생 패턴(110a)은 상기 불순물 주입 영역(106)과 접할 수 있다.
- [0016] 제1 연결 패턴(120)이 상기 제2 활성 핀(AFb)을 관통하여 상기 웰 영역(104)에 연결될 수 있다. 일부 실시예들에 따르면, 상기 제1 연결 패턴(120)은 상기 제2 반도체 패턴들(112b) 및 상기 제2 희생 패턴들(110b)을 관통하여 상기 웰 영역(104)에 연결될 수 있다. 상기 제1 연결 패턴(120)은 상기 제2 반도체 패턴들(112b), 상기 제2 희생 패턴들(110b), 및 상기 제2 활성 패턴(102b)을 시드로 이용하여 형성된 에피택시얼 패턴일 수 있다. 상기 제1 연결 패턴(120)은 실리콘 저머늄(SiGe), 실리콘(Si), 및 탄화 실리콘(SiC) 중 적어도 하나를 포함할 수 있다. 상기 제1 연결 패턴(120)은 상기 제2 도전형을 갖는 불순물들을 더 포함할 수 있다.
- [0017] 제2 연결 패턴(122)이 상기 제3 활성 핀(AFc)을 관통하여 상기 기판(100)에 연결될 수 있다. 일부 실시예들에 따르면, 상기 제2 연결 패턴(122)은 상기 제3 반도체 패턴들(112c) 및 상기 제3 희생 패턴들(110c)을 관통하여 상기 기판(100)에 연결될 수 있다. 상기 제2 연결 패턴(122)은 상기 제3 반도체 패턴들(112c), 상기 제3 희생 패턴들(110c), 및 상기 제3 활성 패턴(102c)을 시드로 이용하여 형성된 에피택시얼 패턴일 수 있다. 상기 제2 연결 패턴(122)은 실리콘 저머늄(SiGe), 실리콘(Si), 및 탄화 실리콘(SiC) 중 적어도 하나를 포함할 수 있다. 상기 제2 연결 패턴(122)은 상기 제1 도전형을 갖는 불순물들을 더 포함할 수 있다.

- [0018] 게이트 구조체들(GS)이 상기 기판(100) 상에 배치되어 상기 활성 핀들(AF)을 가로지를 수 있다. 상기 게이트 구조체들(GS)은 상기 기판(100)의 상기 상면(100U)에 평행하고 상기 제2 방향(D2)에 교차하는 제3 방향(D3)으로 연장될 수 있다. 상기 게이트 구조체들(GS)은 상기 제2 활성 핀(AFb)을 가로지르는 제1 게이트 구조체들(GS1), 및 상기 제3 활성 핀(AFc)을 가로지르는 제2 게이트 구조체들(GS2)을 포함할 수 있다. 상기 제1 게이트 구조체들(GS1)은 상기 제2 활성 핀(AFb) 상에서 상기 제2 방향(D2)으로 서로 이격될 수 있고, 상기 제2 게이트 구조체들(GS2)은 상기 제3 활성 핀(AFc) 상에서 상기 제2 방향(D2)으로 서로 이격될 수 있다. 일부 실시예들에 따르면, 상기 게이트 구조체들(GS)은 상기 제1 활성 핀(AFa) 상에 배치되지 않을 수 있다.
- [0019] 상기 게이트 구조체들(GS)의 각각은 상기 제3 방향(D3)으로 연장되고 상기 활성 핀들(AF) 중 대응하는 활성 핀(AF)을 가로지르는 게이트 전극(GE), 상기 게이트 전극(GE)과 상기 대응하는 활성 핀(AF) 사이의 게이트 절연 패턴(GI), 상기 게이트 전극(GE)의 측면들 상의 게이트 스페이서들(GSP), 및 상기 게이트 전극(GE)의 상면 상의 게이트 캐핑 패턴(CAP)을 포함할 수 있다. 상기 게이트 절연 패턴(GI)은 상기 게이트 전극(GE)과 상기 게이트 스페이서들(GSP) 사이로 연장될 수 있고, 상기 게이트 절연 패턴(GI)의 최상부면은 상기 게이트 전극(GE)의 상기 상면과 실질적으로 공면을 이룰 수 있다. 상기 게이트 스페이서들(GSP)은 상기 게이트 캐핑 패턴(CAP)의 측면들 상으로 연장될 수 있다. 상기 제1 게이트 구조체들(GS1)의 각각의 상기 게이트 전극(GE)은 상기 제2 활성 핀(AFb)을 가로지를 수 있고, 상기 제2 활성 핀(AFb)의 측면들을 덮을 수 있다. 상기 제1 게이트 구조체들(GS1)의 각각의 상기 게이트 절연 패턴(GI)은 상기 게이트 전극(GE)과 상기 제2 활성 핀(AFb) 사이에 개재될 수 있다. 상기 제2 게이트 구조체들(GS2)의 각각의 상기 게이트 전극(GE)은 상기 제3 활성 핀(AFc)을 가로지를 수 있고, 상기 제3 활성 핀(AFc)의 측면들을 덮을 수 있다. 상기 제2 게이트 구조체들(GS2)의 각각의 상기 게이트 절연 패턴(GI)은 상기 게이트 전극(GE)과 상기 제3 활성 핀(AFc) 사이에 개재될 수 있다.
- [0020] 상기 게이트 전극(GE)은 도핑된 반도체, 도전성 금속 질화물 및/또는 금속을 포함할 수 있다. 상기 게이트 절연 패턴(GI)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, 또는 고유전막 중 적어도 하나를 포함할 수 있다. 상기 고유전막은 hafnium 산화막(HfO), aluminum 산화막(AlO) 또는 tantalum 산화막(TaO)과 같이 실리콘 산화막보다 유전상수가 큰 물질을 포함할 수 있다. 상기 게이트 스페이서들(GSP) 및 상기 게이트 캐핑 패턴(CAP)의 각각은 실리콘 산화막, 실리콘 질화막, 및 실리콘 산화질화막 중 적어도 하나를 포함할 수 있다.
- [0021] 하부 층간 절연막(130)이 상기 기판(100) 상에 배치되어 상기 게이트 구조체들(GS), 상기 활성 핀들(AF), 및 상기 제1 및 제2 연결 패턴들(120, 122)을 덮을 수 있다. 상기 하부 층간 절연막(130)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막, 또는 저유전막들 중 적어도 하나를 포함할 수 있다. 상기 게이트 구조체들(GS)의 각각의 상기 게이트 캐핑 패턴(CAP)의 상면은 상기 하부 층간 절연막(130)의 상면과 실질적으로 공면을 이룰 수 있다. 상기 게이트 구조체들(GS)의 각각의 상기 게이트 스페이서들(GSP)은 상기 게이트 캐핑 패턴(CAP)과 상기 하부 층간 절연막(130) 사이에 개재될 수 있다.
- [0022] 상부 층간 절연막(140)이 상기 하부 층간 절연막(130) 상에 배치될 수 있다. 상기 상부 층간 절연막(140)은 산화막, 질화막, 및/또는 산질화막을 포함할 수 있다. 상기 상부 층간 절연막(140)은 상기 게이트 구조체들(GS)의 각각의 상기 게이트 캐핑 패턴(CAP)의 상기 상면을 덮을 수 있다.
- [0023] 콘택 플러그들(CT)이 상기 하부 층간 절연막(130) 내에 배치될 수 있고, 상기 상부 층간 절연막(140) 내로 연장될 수 있다. 상기 콘택 플러그들(CT)의 각각은 상기 상부 층간 절연막(140)을 관통하고 상기 하부 층간 절연막(130) 내로 연장되는 도전 패턴(150), 및 상기 도전 패턴(150)의 측면들 및 바닥면들을 덮는 배리어 패턴(152)을 포함할 수 있다. 일 예로, 상기 도전 패턴(150)은 금속을 포함할 수 있고, 상기 배리어 패턴(152)은 도전성 금속 질화물을 포함할 수 있다.
- [0024] 상기 콘택 플러그들(CT)은 상기 제1 활성 핀(AFa)에 연결되는 제1 콘택 플러그(CTa), 상기 제1 연결 패턴(120)에 연결되는 제2 콘택 플러그(CTb), 및 상기 제2 연결 패턴(122)에 연결되는 제3 콘택 플러그(CTc)를 포함할 수 있다.
- [0025] 복수의 제1 콘택 플러그들(CTa)이 상기 제1 활성 핀(AFa)에 연결될 수 있다. 상기 하부 층간 절연막(130)이 상기 복수의 제1 콘택 플러그들(CTa) 사이에 개재되어 상기 제1 활성 핀(AFa)의 상면과 접할 수 있다. 상기 복수의 제1 콘택 플러그들(CTa)의 측면들은 상기 하부 층간 절연막(130)과 접할 수 있다. 일부 실시예들에 따르면, 복수의 제1 활성 패턴들(102a)이 상기 제3 방향(D3)으로 서로 이격되도록 배열될 수 있고, 복수의 제1 활성 핀들(AFa)이 상기 복수의 제1 활성 패턴들(102a) 상에 각각 배치될 수 있다. 이 경우, 상기 제1 콘택 플러그(CTa)는 상기 제3 방향(D3)으로 연장되어 상기 복수의 제1 활성 핀들(AFa)에 연결될 수 있다.

- [0026] 상기 제2 콘택 플러그(CTb)는 상기 제1 게이트 구조체들(GS1) 사이에 개재될 수 있고, 상기 제2 활성 핀(AFb)을 관통하여 상기 제1 연결 패턴(120)에 연결될 수 있다. 상기 제2 콘택 플러그(CTb)의 측면들은 상기 제1 게이트 구조체들(GS1)의 상기 게이트 스페이서들(GSP)과 접할 수 있다. 일부 실시예들에 따르면, 복수의 제2 활성 패턴들(102b)이 상기 제3 방향(D3)으로 서로 이격되도록 배열될 수 있고, 복수의 제2 활성 핀들(AFb)이 상기 복수의 제2 활성 패턴들(102b) 상에 각각 배치될 수 있다. 이 경우, 복수의 제1 연결 패턴들(120)이 상기 복수의 제2 활성 핀들(AFb)을 각각 관통하여 상기 웰 영역(104)에 연결될 수 있다. 상기 제2 콘택 플러그(CTb)는 상기 제3 방향(D3)으로 연장되어 상기 복수의 제1 연결 패턴들(120)에 연결될 수 있다.
- [0027] 상기 제3 콘택 플러그(CTc)는 상기 제2 게이트 구조체들(GS2) 사이에 개재될 수 있고, 상기 제3 활성 핀(AFc)을 관통하여 상기 제2 연결 패턴(122)에 연결될 수 있다. 상기 제2 콘택 플러그(CTb)는 상기 제2 게이트 구조체들(GS2)의 상기 게이트 스페이서들(GSP)과 접할 수 있다. 일부 실시예들에 따르면, 복수의 제3 활성 패턴들(102c)이 상기 제3 방향(D3)으로 서로 이격되도록 배열될 수 있고, 복수의 제3 활성 핀들(AFc)이 상기 복수의 제3 활성 패턴들(102c) 상에 각각 배치될 수 있다. 이 경우, 복수의 제2 연결 패턴들(122)이 상기 복수의 제3 활성 핀들(AFc)을 각각 관통하여 상기 기판(100)에 연결될 수 있다. 상기 제3 콘택 플러그(CTc)는 상기 제3 방향(D3)으로 연장되어 상기 복수의 제2 연결 패턴들(122)에 연결될 수 있다.
- [0028] 상기 불순물 주입 영역(106), 상기 제1 활성 패턴(102a), 상기 제1 활성 핀(AFa), 및 상기 제1 콘택 플러그(CTa)는 수직형 바이폴라 접합 트랜지스터의 에미터(emitter)를 구성할 수 있다. 상기 웰 영역(104), 상기 제2 활성 패턴(102b), 상기 제2 활성 핀(AFb), 상기 제1 연결 패턴(120), 상기 제1 게이트 구조체들(GS1), 및 상기 제2 콘택 플러그(CTb)는 상기 수직형 바이폴라 접합 트랜지스터의 베이스(base)를 구성할 수 있다. 상기 기판(100), 상기 제3 활성 패턴(102c), 상기 제3 활성 핀(AFc), 상기 제2 연결 패턴(122), 상기 제2 게이트 구조체들(GS2), 및 상기 제3 콘택 플러그(CTc)는 상기 수직형 바이폴라 접합 트랜지스터의 콜렉터(collector)를 구성할 수 있다. 상기 제1 및 제2 게이트 구조체들(GS1, GS2)은 전기적으로 플로팅된 더미 게이트 구조체들일 수 있다.
- [0029] 본 발명의 개념에 따르면, 상기 제1 활성 핀(AFa) 및 상기 불순물 주입 영역(106)은 상기 제1 도전형의 불순물들을 포함할 수 있고, 상기 불순물 주입 영역(106)과 상기 웰 영역(104)은 상기 제1 활성 패턴(102a)의 상기 하부에서 PN접합을 이룰 수 있다. 상기 웰 영역(104)과 상기 기판(100)은 상기 소자분리 패턴들(ST) 아래에서 PN접합을 이룰 수 있다. 즉, 상기 수직형 바이폴라 접합 트랜지스터의 PNP 접합(junction)이 상기 소자분리 패턴들(ST)의 하부에 인접하게 형성됨에 따라, 누설 전류(junction leakage)가 최소화될 수 있다.
- [0030] 더하여, 상기 제1 내지 제3 활성 핀들(AFa, AFb, AFc)의 각각은 상기 기판(100)의 상면(100U)에 수직한 상기 제1 방향(D1)으로 서로 이격되는 상기 반도체 패턴들(112)을 포함할 수 있다. 즉, 상기 제1 내지 제3 활성 핀들(AFa, AFb, AFc)의 각각이 멀티 브릿지 채널 전계 효과 트랜지스터의 채널 구조와 유사한 구조를 가짐에 따라, 상기 수직형 바이폴라 접합 트랜지스터는 상기 멀티 브릿지 채널 전계 효과 트랜지스터들과 양립이 용이한 구조를 가질 수 있다.
- [0031] 도 3a 내지 도 8a, 및 도 3b 내지 도 8b는 본 발명의 일부 실시예들에 따른 반도체 장치의 제조방법을 나타내는 도면들로, 각각 도 1의 A-A' 및 B-B'에 대응하는 단면도들이다. 설명의 간소화를 위해, 도 1, 도 2a, 및 2b를 참조하여 설명한 반도체 장치와 중복되는 설명은 생략된다.
- [0032] 도 1, 도 3a, 및 도 3b를 참조하면, 기판(100) 내에 웰 영역(104)이 형성될 수 있다. 상기 기판(100)은 제1 도전형을 가질 수 있고, 상기 웰 영역(104)은 상기 제1 도전형과 다른 제2 도전형을 가질 수 있다. 상기 웰 영역(104)은 상기 기판(100) 내에 상기 제2 도전형을 갖는 불순물들을 주입함으로써 형성될 수 있다.
- [0033] 활성 패턴들(102)이 상기 기판(100) 내에 형성될 수 있고, 활성 핀들(AF)이 상기 활성 패턴들(102) 상에 각각 형성될 수 있다. 상기 활성 핀들(AF)을 형성하는 것은, 일 예로, 상기 기판(100) 상에 희생막들 및 반도체 막들을 교대로 그리고 반복적으로 적층하는 것, 및 상기 희생막들 및 상기 반도체 막들을 차례로 패터닝하는 것을 포함할 수 있다. 상기 희생막들 및 상기 반도체 막들이 패터닝됨에 따라, 희생 패턴들(110) 및 반도체 패턴들(112)이 형성될 수 있다. 상기 활성 핀들(AF)의 각각은 상기 기판(100) 상에 교대로 적층된 상기 희생 패턴들(110) 및 상기 반도체 패턴들(112)을 포함할 수 있다.
- [0034] 상기 활성 패턴들(102)을 형성하는 것은, 상기 기판(100)의 상부를 패터닝하여 상기 기판(100) 내에 상기 활성 패턴들(102)을 정의하는 트렌치들(T)을 형성하는 것을 포함할 수 있다. 상기 활성 패턴들(102)은 상기 기판(100)의 상면(100U)에 수직한 제1 방향(D1)을 따라 상기 기판(100)의 하부로부터 돌출될 수 있다. 상기 활성 패

턴들(102)은 상기 기판(100)의 상기 상면(100U)에 평행한 제2 방향(D2)으로 서로 이격되는 제1 활성 패턴(102a), 제2 활성 패턴(102b), 및 제3 활성 패턴(102c)을 포함할 수 있다. 상기 제1 활성 패턴(102a) 및 상기 제2 활성 패턴(102b)은 상기 웰 영역(104) 상에 형성될 수 있고, 상기 제3 활성 패턴(102c)은 상기 웰 영역(104)이 형성되지 않은, 상기 기판(100)의 일부 상에 형성될 수 있다. 상기 활성 핀들(AF)은 상기 제1 활성 패턴(102a) 상의 제1 활성 핀(AFa), 상기 제2 활성 패턴(102b) 상의 제2 활성 핀(AFb), 및 상기 제3 활성 패턴(102c) 상의 상기 제3 활성 핀(AFc)을 포함할 수 있다.

[0035] 소자분리 패턴들(ST)이 상기 기판(100) 내에 형성될 수 있다. 상기 소자분리 패턴들(ST)을 형성하는 것은, 상기 트렌치들(T)을 채우는 절연막을 형성하는 것, 및 상기 활성 핀들(AF)이 노출되도록 상기 절연막을 리세스하는 것을 포함할 수 있다. 상기 절연막이 리세스됨에 따라, 상기 활성 핀들(AF)의 각각의 상면이 노출될 수 있고, 상기 활성 핀들(AF)의 각각의 측면들(일 예로, 상기 희생 패턴들(110) 및 상기 반도체 패턴들(112)의 측면들)이 노출될 수 있다.

[0036] 불순물 주입 영역(106)이 상기 제1 활성 패턴(102a) 내에 형성될 수 있다. 상기 불순물 주입 영역(106)을 형성하는 것은, 상기 제1 활성 핀(AFa) 및 상기 제1 활성 패턴(102a) 내에 상기 제1 도전형을 갖는 불순물들을 주입하는 것을 포함할 수 있다. 상기 불순물 주입 영역(106)과 상기 웰 영역(104) 사이의 경계가 상기 제1 활성 패턴(102a)의 하부에 형성될 수 있고, 이에 따라, 상기 불순물 주입 영역(106)과 상기 웰 영역(104)은 상기 제1 활성 패턴(102a)의 상기 하부에서 PN접합을 이룰 수 있다. 상기 웰 영역(104)과 상기 기판(100)은 상기 소자분리 패턴들(ST) 아래에서 PN접합을 이룰 수 있다.

[0037] 도 1, 도 4a, 및 도 4b를 참조하면, 희생 게이트 구조체들(SGS)이 상기 기판(100) 상에 상기 활성 핀들(AF)을 가로지르도록 형성될 수 있다. 상기 희생 게이트 구조체들(SGS)은 상기 기판(100)의 상기 상면(100U)에 평행하고 상기 제2 방향(D2)에 교차하는 제3 방향(D3)으로 연장될 수 있다. 상기 희생 게이트 구조체들(SGS)은 상기 제2 활성 핀(AFb)을 가로지르는 제1 희생 게이트 구조체들(SGS1), 및 상기 제3 활성 핀(AFc)을 가로지르는 제2 희생 게이트 구조체들(SGS2)을 포함할 수 있다. 상기 제1 희생 게이트 구조체들(SGS1)은 상기 제2 활성 핀(AFb) 상에서 상기 제2 방향(D2)으로 서로 이격될 수 있고, 상기 제2 희생 게이트 구조체들(SGS2)은 상기 제3 활성 핀(AFc) 상에서 상기 제2 방향(D2)으로 서로 이격될 수 있다. 일부 실시예들에 따르면, 상기 희생 게이트 구조체들(SGS)은 상기 제1 활성 핀(AFa) 상에 형성되지 않을 수 있다.

[0038] 상기 희생 게이트 구조체들(SGS)의 각각은 상기 기판(100) 상에 차례로 적층된 식각 정지 패턴(162), 희생 게이트 패턴(160), 및 게이트 마스크 패턴(164)을 포함할 수 있다. 상기 희생 게이트 패턴(160)은 상기 제3 방향(D3)으로 연장되고 상기 활성 핀들(AF) 중 대응하는 활성 핀(AF)을 가로지르는 라인 형태를 가질 수 있다. 상기 희생 게이트 패턴(160)은 상기 대응하는 활성 핀(AF)의 측면들을 덮을 수 있다. 상기 식각 정지 패턴(162)은 상기 희생 게이트 패턴(160)과 상기 대응하는 활성 핀(AF) 사이에 개재될 수 있고, 상기 게이트 마스크 패턴(164)은 상기 희생 게이트 패턴(160)의 상면을 따라 연장될 수 있다.

[0039] 상기 희생 게이트 패턴(160) 및 상기 식각 정지 패턴(162)을 형성하는 것은, 상기 기판(100) 상에 식각 정지막(미도시) 및 희생 게이트막(미도시)을 차례로 형성하는 것, 상기 희생 게이트막 상에 상기 희생 게이트 패턴(160)이 형성될 영역을 정의하는 상기 게이트 마스크 패턴(164)을 형성하는 것, 및 상기 게이트 마스크 패턴(164)을 식각 마스크로 이용하여 상기 희생 게이트막 및 상기 식각 정지막을 순차로 패터닝하는 것을 포함할 수 있다. 상기 식각 정지막은 일 예로, 실리콘 산화막을 포함할 수 있다. 상기 희생 게이트막은 상기 식각 정지막에 대하여 식각 선택성을 갖는 물질을 포함할 수 있다. 상기 희생 게이트막은 일 예로, 폴리 실리콘을 포함할 수 있다. 상기 게이트 마스크 패턴(164)을 식각 마스크로 상기 희생 게이트막을 패터닝하여 상기 희생 게이트 패턴(160)이 형성될 수 있다. 상기 희생 게이트막을 패터닝하는 것은, 상기 식각 정지막에 대하여 식각 선택성을 갖는 식각 공정을 수행하는 것을 포함할 수 있다. 상기 희생 게이트 패턴(160)이 형성된 후, 상기 희생 게이트 패턴(160) 양 측의 상기 식각 정지막을 제거하여 상기 희생 게이트 패턴(160) 아래에 상기 식각 정지 패턴(162)이 국소적으로 형성될 수 있다.

[0040] 상기 희생 게이트 구조체들(SGS)의 각각은 상기 희생 게이트 패턴(160)의 양 측의 게이트 스페이서들(GSP)를 더 포함할 수 있다. 상기 게이트 스페이서들(GSP)을 형성하는 것은, 상기 기판(100) 상에 상기 게이트 마스크 패턴(164), 상기 희생 게이트 패턴(160), 및 상기 식각 정지 패턴(162)을 덮는 게이트 스페이서막(미도시)을 형성하는 것, 및 상기 게이트 스페이서막을 이방성 식각하는 것을 포함할 수 있다. 상기 게이트 마스크 패턴(164) 및 상기 게이트 스페이서들(GSP)은 일 예로, 실리콘 질화물을 포함할 수 있다.

[0041] 도 1, 도 5a, 및 도 5b를 참조하면, 상기 제1 희생 게이트 구조체들(SGS1) 사이의 상기 제2 활성 핀(AFb)의 일

부가 제거될 수 있고, 이에 따라, 상기 제1 희생 게이트 구조체들(SGS1) 사이에서 상기 제2 활성 패턴(102b)의 상면이 노출될 수 있다. 상기 제2 희생 게이트 구조체들(SGS2) 사이의 상기 제3 활성 핀(AFc)의 일부가 제거될 수 있고, 이에 따라, 상기 제2 희생 게이트 구조체들(SGS2) 사이에서 상기 제3 활성 패턴(102c)의 상면이 노출될 수 있다. 상기 제2 활성 핀(AFb) 및 상기 제3 활성 핀(AFc)의 상기 부분들이 제거되는 동안, 상기 제1 활성 핀(AFa)은 마스크 막(미도시)에 의해 덮여 보호될 수 있다.

[0042] 도 1, 도 6a, 및 도 6b를 참조하면, 상기 제1 희생 게이트 구조체들(SGS1) 사이의 상기 제2 활성 패턴(102b) 상에 제1 연결 패턴(120)이 형성될 수 있다. 상기 제1 연결 패턴(120)은 상기 제2 활성 핀(AFb)의 상기 반도체 패턴들(112) 및 상기 희생 패턴들(110), 및 상기 제2 활성 패턴(102b)의 상기 노출된 상면을 시드로 이용하는 선택적 에피택시얼 성장 공정을 수행하여 형성될 수 있다. 상기 제1 연결 패턴(120)은 상기 제2 활성 핀(AFb)의 상기 반도체 패턴들(112) 및 상기 희생 패턴들(110)의 측면들과 접할 수 있고, 상기 웰 영역(104)에 연결될 수 있다. 상기 제1 연결 패턴(120)을 형성하는 것은 상기 선택적 에피택시얼 성장 공정과 동시에 또는 상기 선택적 에피택시얼 성장 공정 후, 상기 제1 연결 패턴(120)에 상기 제2 도전형을 갖는 불순물들을 도핑하는 것을 더 포함할 수 있다.

[0043] 상기 제2 희생 게이트 구조체들(SGS2) 사이의 상기 제3 활성 패턴(102c) 상에 제2 연결 패턴(122)이 형성될 수 있다. 상기 제2 연결 패턴(122)은 상기 제3 활성 핀(AFc)의 상기 반도체 패턴들(112) 및 상기 희생 패턴들(110), 및 상기 제3 활성 패턴(102c)의 상기 노출된 상면을 시드로 이용하는 선택적 에피택시얼 성장 공정을 수행하여 형성될 수 있다. 상기 제2 연결 패턴(122)은 상기 제3 활성 핀(AFc)의 상기 반도체 패턴들(112) 및 상기 희생 패턴들(110)의 측면들과 접할 수 있고, 상기 기판(100)에 연결될 수 있다. 상기 제2 연결 패턴(122)을 형성하는 것은 상기 선택적 에피택시얼 성장 공정과 동시에 또는 상기 선택적 에피택시얼 성장 공정 후, 상기 제2 연결 패턴(122)에 상기 제1 도전형을 갖는 불순물들을 도핑하는 것을 더 포함할 수 있다.

[0044] 상기 제1 및 제2 연결 패턴들(120, 122)이 형성되는 동안, 상기 제1 활성 핀(AFa)은 상기 마스크 막(미도시)에 의해 덮여 보호될 수 있다. 상기 제1 및 제2 연결 패턴들(120, 122)이 형성된 후, 상기 마스크 막이 제거될 수 있다. 이 후, 하부 층간 절연막(130)이 상기 기판(100) 상에 상기 활성 핀들(AF), 상기 제1 및 제2 연결 패턴들(120, 122), 및 상기 희생 게이트 구조체들(SGS)을 덮도록 형성될 수 있다.

[0045] 도 1, 도 7a, 및 도 7b를 참조하면, 상기 희생 게이트 패턴(160)이 노출될 때까지 상기 하부 층간 절연막(130)이 평탄화될 수 있다. 상기 게이트 마스크 패턴(164)은 상기 평탄화 공정에 의해 제거될 수 있다. 상기 희생 게이트 패턴(160) 및 상기 식각 정지 패턴(162)이 제거될 수 있고, 이에 따라, 상기 하부 층간 절연막(130) 내에 갭 영역들(166)이 형성될 수 있다. 상기 갭 영역들(166)의 각각은 상기 게이트 스페이서들(GSP) 사이의 빈 영역일 수 있다. 상기 갭 영역들(166)의 각각은 상기 활성 핀들(AF) 중 대응하는 활성 핀(AF)을 노출할 수 있다. 상기 갭 영역들(166)을 형성하는 것은, 상기 게이트 스페이서들(GSP), 상기 하부 층간 절연막(130), 및 상기 식각 정지 패턴(162)에 대하여 식각 선택성을 갖는 식각 공정을 수행하여 상기 희생 게이트 패턴(160)을 선택적으로 식각하는 것, 및 상기 식각 정지 패턴(162)을 제거하여 상기 대응하는 활성 핀(AF)의 상기 반도체 패턴들(112) 및 상기 희생 패턴들(110)을 노출하는 것을 포함할 수 있다.

[0046] 도 1, 도 8a, 및 도 8b를 참조하면, 게이트 절연 패턴(GI) 및 게이트 전극(GE)이 상기 갭 영역들(166)의 각각을 채우도록 형성될 수 있다. 상기 게이트 절연 패턴(GI) 및 상기 게이트 전극(GE)을 형성하는 것은, 상기 갭 영역들(166)의 각각의 내면을 컨포멀하게 덮는 게이트 절연막을 형성하는 것, 상기 갭 영역들(166)의 각각의 잔부를 채우는 게이트 도전막을 형성하는 것, 및 상기 하부 층간 절연막(130)이 노출될 때까지 평탄화 공정을 수행하여, 상기 게이트 절연 패턴(GI) 및 상기 게이트 전극(GE)을 상기 갭 영역들(166)의 각각 내에 국소적으로 형성하는 것을 포함할 수 있다. 상기 게이트 절연 패턴(GI) 및 상기 게이트 전극(GE)의 상부들이 리세스되어, 상기 게이트 스페이서들(GSP) 사이에 그루브 영역이 형성될 수 있다. 게이트 캐핑 패턴(CAP)이 상기 그루브 영역 내에 형성될 수 있다. 상기 게이트 캐핑 패턴(CAP)을 형성하는 것은, 상기 하부 층간 절연막(130) 상에 상기 그루브 영역을 채우는 게이트 캐핑막을 형성하는 것, 및 상기 하부 층간 절연막(130)이 노출될 때까지 상기 게이트 캐핑막을 평탄화하는 것을 포함할 수 있다.

[0047] 도 1, 도 2a, 및 도 2b를 다시 참조하면, 상부 층간 절연막(140)이 상기 하부 층간 절연막(130) 상에 형성될 수 있다. 콘택 플러그들(CT)이 상기 상부 층간 절연막(140) 및 상기 하부 층간 절연막(130) 내에 형성될 수 있다. 상기 콘택 플러그들(CT)의 각각은 상기 상부 층간 절연막(140)을 관통하고 상기 하부 층간 절연막(130) 내로 연장되는 도전 패턴(150), 및 상기 도전 패턴(150)의 측면들 및 바닥면들을 덮는 배리어 패턴(152)을 포함할 수 있다. 상기 콘택 플러그들(CT)을 형성하는 것은, 일 예로, 상기 상부 층간 절연막(140) 및 상기 하부 층간 절연

막(130) 내에 콘택 홀들을 형성하는 것, 상기 콘택 홀들의 각각의 일부를 채우는 배리어막을 형성하는 것, 상기 콘택 홀들의 각각의 잔부를 채우는 도전막을 형성하는 것, 및 상기 상부 층간 절연막(140)이 노출될 때까지 상기 도전막 및 상기 배리어막을 평탄화하는 것을 포함할 수 있다. 상기 평탄화 공정에 의해, 상기 도전 패턴(150) 및 상기 배리어 패턴(152)은 상기 콘택 홀들의 각각 내에 국소적으로 형성될 수 있다. 상기 콘택 플러그들(CT) 중 제1 콘택 플러그(CTa)는 상기 제1 활성 핀(AFa)에 연결되도록 형성될 수 있다. 상기 콘택 플러그들(CT) 중, 제2 콘택 플러그(CTb) 및 제3 콘택 플러그(CTc)은 상기 제1 연결 패턴(120) 및 상기 제2 연결 패턴(122)에 각각 연결되도록 형성될 수 있다.

[0048] 도 9는 본 발명의 일부 실시예들에 따른 반도체 장치를 나타내는 도면으로, 도 1의 A-A'에 대응하는 단면도이다. 설명의 간소화를 위해, 도 1, 도 2a, 및 도 2b를 참조하여 설명한 반도체 장치와 차이점을 주로 설명한다.

[0049] 도 1, 도 2b, 및 도 9를 참조하면, 활성 핀들(AF)이 상기 활성 패턴들(102) 상에 각각 배치될 수 있다. 상기 활성 핀들(AF)은 상기 제1 활성 패턴(102a) 상의 제1 활성 핀(AFa), 상기 제2 활성 패턴(102b) 상의 제2 활성 핀(AFb), 및 상기 제3 활성 패턴들(102c) 상의 제3 활성 핀(AFc)을 포함할 수 있다. 상기 제1 활성 핀(AFa)은 상기 제1 활성 패턴(102a) 상에 교대로 적층되는 상기 희생 패턴들(110) 및 상기 반도체 패턴들(112)을 포함할 수 있다. 상기 제2 활성 핀(AFb) 및 상기 제3 활성 핀(AFc)의 각각은 상기 제1 방향(D1)을 따라 서로 이격되는 상기 반도체 패턴들(112)을 포함할 수 있다.

[0050] 상기 제1 활성 핀(AFa)은 상기 제1 도전형을 갖는 불순물들을 포함할 수 있다. 일부 실시예들에 따르면, 상기 제1 활성 핀(AFa)의 상기 희생 패턴들(110) 및 상기 반도체 패턴들(112)은 상기 제1 도전형을 갖는 불순물들을 포함할 수 있다. 상기 제1 연결 패턴(120)은 상기 제2 활성 핀(AFb)의 상기 반도체 패턴들(112)을 관통하여 상기 웰 영역(104)에 연결될 수 있다. 상기 제1 연결 패턴(120)은 상기 제2 도전형을 갖는 불순물들을 포함할 수 있다. 상기 제2 연결 패턴(122)은 상기 제3 활성 핀(AFc)의 상기 반도체 패턴들(112)을 관통하여 상기 기판(100)에 연결될 수 있다. 상기 제2 연결 패턴(122)은 상기 제1 도전형을 갖는 불순물들을 포함할 수 있다.

[0051] 상기 게이트 구조체들(GS)이 상기 기판(100) 상에 배치되어 상기 활성 핀들(AF)을 가로지를 수 있다. 상기 게이트 구조체들(GS)은 상기 제2 활성 핀(AFb)을 가로지르는 상기 제1 게이트 구조체들(GS1), 및 상기 제3 활성 핀(AFc)을 가로지르는 상기 제2 게이트 구조체들(GS2)을 포함할 수 있다.

[0052] 일부 실시예들에 따르면, 상기 제1 게이트 구조체들(GS1)의 각각의 상기 게이트 전극(GE) 및 상기 게이트 절연 패턴(GI)은 상기 제2 활성 핀(AFb)의 상기 반도체 패턴들(112) 사이, 및 상기 제2 활성 핀(AFb)과 상기 제2 활성 패턴(102b) 사이로 연장될 수 있다. 상기 제2 활성 핀(AFb)의 상기 반도체 패턴들(112)은 상기 게이트 절연 패턴(GI)을 사이에 두고 상기 게이트 전극(GE)으로부터 이격될 수 있다. 일부 실시예들에 따르면, 상기 제1 게이트 구조체들(GS1)의 각각의 상기 게이트 절연 패턴(GI)은 상기 제1 연결 패턴(120)과 상기 게이트 전극(GE) 사이로 연장될 수 있고, 상기 제1 연결 패턴(120)과 접할 수 있다. 상기 제2 게이트 구조체들(GS2)의 각각의 상기 게이트 전극(GE) 및 상기 게이트 절연 패턴(GI)은 상기 제3 활성 핀(AFc)의 상기 반도체 패턴들(112) 사이, 및 상기 제3 활성 핀(AFc)과 상기 제3 활성 패턴(102c) 사이로 연장될 수 있다. 상기 제3 활성 핀(AFc)의 상기 반도체 패턴들(112)은 상기 게이트 절연 패턴(GI)을 사이에 두고 상기 게이트 전극(GE)으로부터 이격될 수 있다. 일부 실시예들에 따르면, 상기 제2 게이트 구조체들(GS2)의 각각의 상기 게이트 절연 패턴(GI)은 상기 제2 연결 패턴(122)과 상기 게이트 전극(GE) 사이로 연장될 수 있고, 상기 제2 연결 패턴(122)과 접할 수 있다.

[0053] 본 실시예들에 따르면, 상기 제1 게이트 구조체들(GS1) 및 상기 제2 활성 핀(AFb)은 멀티 브릿지 채널 전계 효과 트랜지스터와 유사한 구조를 가질 수 있고, 상기 제2 게이트 구조체들(GS2) 및 상기 제3 활성 핀(AFc) 또한 멀티 브릿지 채널 전계 효과 트랜지스터와 유사한 구조를 가질 수 있다. 이에 따라, 상기 멀티 브릿지 채널 전계 효과 트랜지스터들과 양립이 용이한 구조를 갖는 수직형 바이폴라 접합 트랜지스터가 제공될 수 있다.

[0054] 도 10은 본 발명의 일부 실시예들에 따른 반도체 장치의 제조방법을 나타내는 도면으로, 도 1의 A-A'에 대응하는 단면도이다. 설명의 간소화를 위해, 도 3a 내지 도 8a, 및 도 3b 내지 도 8b를 참조하여 설명한 반도체 장치의 제조방법과 차이점을 주로 설명한다.

[0055] 도 1, 도 7b, 및 도 10을 참조하면, 상기 깎 영역들(166)이 형성된 후, 상기 깎 영역들(166)에 의해 노출된 상기 희생 패턴들(110)이 선택적으로 제거될 수 있다. 상기 희생 패턴들(110)이 선택적으로 제거됨에 따라, 상기 반도체 패턴들(112) 사이, 및 상기 반도체 패턴들(112) 중 최하층의 반도체 패턴(112)과 상기 활성 패턴들(102) 중 대응하는 활성 패턴(102) 사이에 빈 영역들(168)이 형성될 수 있다. 상기 빈 영역들(168)은 상기 깎 영역들

(166)과 연결되어 서로 통할 수 있다. 이 후, 도 1, 도 8a, 및 도 8b를 참조하여 설명한 바와 같이, 게이트 절연 패턴(GI) 및 게이트 전극(GE)이 상기 갭 영역들(166) 및 상기 빈 영역들(168)을 채우도록 형성될 수 있다.

[0056] 도 11은 본 발명의 일부 실시예들에 따른 반도체 장치를 나타내는 도면으로, 도 1의 A-A'에 대응하는 단면도이다.

[0057] 도 1, 도 2b, 및 도 11을 참조하면, 제1 스페이서 패턴들(170)이 상기 제2 활성 핀(AFb)의 상기 반도체 패턴들(112) 사이에 배치될 수 있다. 상기 제1 스페이서 패턴들(170) 및 상기 반도체 패턴들(112)은 상기 제1 방향(D1)을 따라 교대로 적층될 수 있다. 상기 제1 스페이서 패턴들(170)의 각각은 상기 제1 방향(D1)으로 서로 이웃하는 반도체 패턴들(112) 사이, 또는 최하층의 반도체 패턴(112)과 상기 제2 활성 패턴(102b) 사이에 배치될 수 있다. 상기 제1 게이트 구조체들(GS1)의 각각의 상기 게이트 전극(GE)은 상기 제1 스페이서 패턴들(170)을 사이에 두고 상기 제1 연결 패턴(120)으로부터 이격될 수 있다. 상기 제1 게이트 구조체들(GS1)의 각각의 상기 게이트 절연 패턴(GI)은 상기 제1 스페이서 패턴들(170) 중 대응하는 제1 스페이서 패턴(170)과 상기 게이트 전극(GE) 사이로 연장될 수 있다.

[0058] 제2 스페이서 패턴들(172)이 상기 제3 활성 핀(AFc)의 상기 반도체 패턴들(112) 사이에 배치될 수 있다. 상기 제2 스페이서 패턴들(172) 및 상기 반도체 패턴들(112)은 상기 제1 방향(D1)을 따라 교대로 적층될 수 있다. 상기 제2 스페이서 패턴들(172)의 각각은 상기 제1 방향(D1)으로 서로 이웃하는 반도체 패턴들(112) 사이, 또는 최하층의 반도체 패턴(112)과 상기 제3 활성 패턴(102c) 사이에 배치될 수 있다. 상기 제2 게이트 구조체들(GS2)의 각각의 상기 게이트 전극(GE)은 상기 제2 스페이서 패턴들(172)을 사이에 두고 상기 제2 연결 패턴(122)으로부터 이격될 수 있다. 상기 제2 게이트 구조체들(GS2)의 각각의 상기 게이트 절연 패턴(GI)은 상기 제2 스페이서 패턴들(172) 중 대응하는 제2 스페이서 패턴(172)과 상기 게이트 전극(GE) 사이로 연장될 수 있다. 상술한 차이를 제외하고, 본 실시예들에 따른 반도체 장치는 도 1, 도 2b, 및 도 9를 참조하여 설명한 반도체 장치와 실질적으로 동일하다.

[0059] 도 12 내지 도 14는 본 발명의 일부 실시예들에 따른 반도체 장치의 제조방법을 나타내는 도면들로, 도 1의 A-A'에 대응하는 단면도들이다. 설명의 간소화를 위해, 도 3a 내지 도 8a, 및 도 3b 내지 도 8b를 참조하여 설명한 반도체 장치의 제조방법과 차이점을 주로 설명한다.

[0060] 도 1, 도 5b, 및 도 12를 참조하면, 상기 제1 희생 게이트 구조체들(SGS1) 사이의 상기 제2 활성 핀(AFb)의 일부가 제거될 수 있다. 이에 따라, 상기 제1 희생 게이트 구조체들(SGS1) 사이에서 상기 제2 활성 핀(AFb)의 상기 희생 패턴들(110) 및 상기 반도체 패턴들(112)의 측면들, 및 상기 제2 활성 패턴(102b)의 상면이 노출될 수 있다. 더하여, 상기 제2 희생 게이트 구조체들(SGS2) 사이의 상기 제3 활성 핀(AFc)의 일부가 제거될 수 있다. 이에 따라, 상기 제2 희생 게이트 구조체들(SGS2) 사이에서 상기 제3 활성 핀(AFc)의 상기 희생 패턴들(110) 및 상기 반도체 패턴들(112)의 측면들, 및 상기 제3 활성 패턴(102c)의 상면이 노출될 수 있다.

[0061] 상기 희생 패턴들(110)의 노출된 측면들이 수평적으로 리세스되어 리세스 영역들(R)이 형성될 수 있다. 상기 리세스 영역들(R)은 상기 희생 패턴들(110)을 선택적으로 식각하는 습식 식각 공정을 수행함으로써 형성될 수 있다. 이 후, 제1 및 제2 스페이서 패턴들(170, 172)이 상기 리세스 영역들(R) 내에 각각 형성될 수 있다. 상기 제1 및 제2 스페이서 패턴들(170, 172)을 형성하는 것은, 상기 기판(100) 상에 상기 리세스 영역들(R)을 채우는 스페이서막을 콘포멀하게 형성하는 것, 및 상기 제1 및 제2 스페이서 패턴들(170, 172)이 상기 리세스 영역들(R) 내에 각각 국소적으로 형성되도록 상기 스페이서막을 이방성 식각하는 것을 포함할 수 있다. 상기 제1 및 제2 스페이서 패턴들(170, 172)은 저유전막(일 예로, 실리콘 질화물)을 포함할 수 있다.

[0062] 도 1, 도 6b, 및 도 13을 참조하면, 상기 제1 희생 게이트 구조체들(SGS1) 사이의 상기 제2 활성 패턴(102b) 상에 상기 제1 연결 패턴(120)이 형성될 수 있다. 상기 제1 연결 패턴(120)은 상기 제2 활성 핀(AFb)의 상기 반도체 패턴들(112)의 측면들과 접할 수 있고, 상기 제2 활성 핀(AFb)의 상기 희생 패턴들(110)로부터 이격될 수 있다. 상기 제1 스페이서 패턴들(170)의 각각은 상기 제2 활성 핀(AFb)의 상기 희생 패턴들(110)의 각각과 상기 제1 연결 패턴(120) 사이에 개재될 수 있다. 상기 제2 희생 게이트 구조체들(SGS2) 사이의 상기 제3 활성 패턴(102c) 상에 상기 제2 연결 패턴(122)이 형성될 수 있다. 상기 제2 연결 패턴(122)은 상기 제3 활성 핀(AFc)의 상기 반도체 패턴들(112)의 측면들과 접할 수 있고, 상기 제3 활성 핀(AFc)의 상기 희생 패턴들(110)로부터 이격될 수 있다. 상기 제2 스페이서 패턴들(172)의 각각은 상기 제3 활성 핀(AFc)의 상기 희생 패턴들(110)의 각각과 상기 제2 연결 패턴(122) 사이에 개재될 수 있다. 상기 하부 층간 절연막(130)이 상기 기판(100) 상에 상기 활성 핀들(AF), 상기 제1 및 제2 연결 패턴들(120, 122), 및 상기 희생 게이트 구조체들(SGS)을 덮도록 형성될 수 있다.

- [0063] 도 1, 도 7b, 및 도 14를 참조하면, 상기 하부 층간 절연막(130) 내에 상기 갭 영역들(166)이 형성될 수 있다. 상기 갭 영역들(166)이 형성된 후, 상기 갭 영역들(166)에 의해 노출된 상기 희생 패턴들(110)이 선택적으로 제거될 수 있다. 상기 희생 패턴들(110)이 선택적으로 제거됨에 따라, 상기 반도체 패턴들(112) 사이, 및 상기 반도체 패턴들(112) 중 최하층의 반도체 패턴(112)과 상기 활성 패턴들(102) 중 대응하는 활성 패턴(102) 사이에 빈 영역들(168)이 형성될 수 있다. 상기 빈 영역들(168)은 상기 갭 영역들(166)과 연결되어 서로 통할 수 있다. 상기 빈 영역들(168)의 각각은 상기 제1 및 제2 스페이서 패턴들(170, 172) 중 대응하는 하나를 노출할 수 있다. 이 후, 도 1, 도 8a, 및 도 8b를 참조하여 설명한 바와 같이, 게이트 절연 패턴(GI) 및 게이트 전극(GE)이 상기 갭 영역들(166) 및 상기 빈 영역들(168)을 채우도록 형성될 수 있다.
- [0064] 도 15는 본 발명의 일부 실시예들에 따른 반도체 장치를 나타내는 도면으로, 도 1의 A-A'에 대응하는 단면도이다. 도 1, 도 2b, 및 도 15를 참조하면, 본 실시예들에 따른 반도체 장치는 상기 제2 스페이서 패턴들(172)이 생략된 것을 제외하고, 도 1, 도 2b, 및 도 11을 참조하여 설명한 반도체 장치와 실질적으로 동일하다.
- [0065] 도 16은 본 발명의 일부 실시예들에 따른 반도체 장치를 나타내는 도면으로, 도 1의 A-A'에 대응하는 단면도이다. 도 1, 도 2b, 및 도 16을 참조하면, 본 실시예들에 따른 반도체 장치는 상기 제1 스페이서 패턴들(170)이 생략된 것을 제외하고, 도 1, 도 2b, 및 도 11을 참조하여 설명한 반도체 장치와 실질적으로 동일하다.
- [0066] 도 17은 본 발명의 일부 실시예들에 따른 반도체 장치의 평면도이다. 도 18은 도 17의 A-A'에 따른 단면도이다. 도 17의 B-B'에 따른 단면도는 도 2b와 실질적으로 동일하다. 설명의 간소화를 위해, 도 1, 도 2a, 및 도 2b를 참조하여 설명한 반도체 장치와 차이점을 주로 설명한다.
- [0067] 도 17, 도 18, 및 도 2b를 참조하면, 게이트 구조체들(GS)이 상기 기판(100) 상에 배치되어 상기 활성 핀들(A, F)을 가로지를 수 있다. 상기 게이트 구조체들(GS)은 상기 제2 활성 핀(AFb)을 가로지르는 제1 게이트 구조체들(GS1), 및 상기 제3 활성 핀(AFc)을 가로지르는 제2 게이트 구조체들(GS2)을 포함할 수 있다. 일부 실시예들에 따르면, 상기 게이트 구조체들(GS)은 상기 제1 활성 핀(AFa)을 가로지르는 제3 게이트 구조체들(GS3)을 더 포함할 수 있다. 상기 제3 게이트 구조체들(GS3)은 상기 제1 활성 핀(AFa) 상에서 상기 제2 방향(D2)으로 서로 이격될 수 있다. 상기 제3 게이트 구조체들(GS3)의 각각의 상기 게이트 전극(GE)은 상기 제1 활성 핀(AFa)을 가로지를 수 있고, 상기 제1 활성 핀(AFa)의 측면들을 덮을 수 있다. 상기 제3 게이트 구조체들(GS3)의 각각의 상기 게이트 절연 패턴(GI)은 상기 게이트 전극(GE)과 상기 제1 활성 핀(AFa) 사이에 개재될 수 있다.
- [0068] 상기 제1 콘택 플러그(CTa)는 상기 제3 게이트 구조체들(GS3) 사이에 개재될 수 있고, 상기 제1 활성 핀(AFa)에 연결될 수 있다. 상기 제1 콘택 플러그(CTa)의 측면들은 상기 제3 게이트 구조체들(GS3)의 상기 게이트 스페이서들(GSP)과 접할 수 있다. 일부 실시예들에 따르면, 복수의 제1 활성 패턴들(102a)이 상기 제3 방향(D3)으로 서로 이격되도록 배열될 수 있고, 복수의 제1 활성 핀들(AFa)이 상기 복수의 제1 활성 패턴들(102a) 상에 각각 배치될 수 있다. 이 경우, 상기 제1 콘택 플러그(CTa)는 상기 제3 게이트 구조체들(GS3) 사이에서 상기 제3 방향(D3)으로 연장되어 상기 복수의 제1 활성 핀들(AFa)에 연결될 수 있다.
- [0069] 상기 불순물 주입 영역(106), 상기 제1 활성 패턴(102a), 상기 제1 활성 핀(AFa), 상기 제3 게이트 구조체들(GS3), 및 상기 제1 콘택 플러그(CTa)는 수직형 바이폴라 접합 트랜지스터의 에미터(emitter)를 구성할 수 있다. 상기 웰 영역(104), 상기 제2 활성 패턴(102b), 상기 제2 활성 핀(AFb), 상기 제1 연결 패턴(120), 상기 제1 게이트 구조체들(GS1), 및 상기 제2 콘택 플러그(CTb)는 상기 수직형 바이폴라 접합 트랜지스터의 베이스(base)를 구성할 수 있다. 상기 기판(100), 상기 제3 활성 패턴(102c), 상기 제3 활성 핀(AFc), 상기 제2 연결 패턴(122), 상기 제2 게이트 구조체들(GS2), 및 상기 제3 콘택 플러그(CTc)는 상기 수직형 바이폴라 접합 트랜지스터의 콜렉터(collector)를 구성할 수 있다. 상기 제1 내지 제3 게이트 구조체들(GS1, GS2, GS3)은 전기적으로 플로팅된 더미 게이트 구조체들일 수 있다.
- [0070] 도 19 내지 도 21은 본 발명의 일부 실시예들에 따른 반도체 장치의 제조방법을 나타내는 도면들로, 도 17의 A-A'에 대응하는 단면도들이다. 설명의 간소화를 위해, 도 3a 내지 도 8a, 및 도 3b 내지 도 8b를 참조하여 설명한 반도체 장치의 제조방법과 차이점을 주로 설명한다.
- [0071] 도 17, 도 19, 및 도 5b를 참조하면, 희생 게이트 구조체들(SGS)이 상기 기판(100) 상에 상기 활성 핀들(AF)을 가로지르도록 형성될 수 있다. 상기 희생 게이트 구조체들(SGS)은 상기 제2 활성 핀(AFb)을 가로지르는 제1 희생 게이트 구조체들(SGS1), 및 상기 제3 활성 핀(AFc)을 가로지르는 제2 희생 게이트 구조체들(SGS2)을 포함할 수 있다. 일부 실시예들에 따르면, 상기 희생 게이트 구조체들(SGS)은 상기 제1 활성 핀(AFa)을 가로지르는 제3 희생 게이트 구조체들(SGS3)을 포함할 수 있다. 상기 제3 희생 게이트 구조체들(SGS3)은 상기 제1 활성 핀(AFa)

상에서 상기 제2 방향(D2)으로 서로 이격될 수 있다.

- [0072] 상기 제1 희생 게이트 구조체들(SGS1) 사이의 상기 제2 활성 핀(AFb)의 일부가 제거될 수 있고, 이에 따라, 상기 제1 희생 게이트 구조체들(SGS1) 사이에서 상기 제2 활성 핀(AFb)의 측면들 및 상기 제2 활성 패턴(102b)의 상면이 노출될 수 있다. 상기 제2 희생 게이트 구조체들(SGS2) 사이의 상기 제3 활성 핀(AFc)의 일부가 제거될 수 있고, 이에 따라, 상기 제2 희생 게이트 구조체들(SGS2) 사이에서 상기 제3 활성 핀(AFc)의 측면들 및 상기 제3 활성 패턴(102c)의 상면이 노출될 수 있다. 상기 제2 활성 핀(AFb) 및 상기 제3 활성 핀(AFc)의 상기 부분들이 제거되는 동안, 상기 제1 활성 핀(AFa) 및 상기 제3 희생 게이트 구조체들(SGS3)은 마스크 막(미도시)에 의해 덮여 보호될 수 있다.
- [0073] 도 17, 도 20, 및 도 6b를 참조하면, 상기 제1 희생 게이트 구조체들(SGS1) 사이의 상기 제2 활성 패턴(102b) 상에 상기 제1 연결 패턴(120)이 형성될 수 있다. 상기 제2 희생 게이트 구조체들(SGS2) 사이의 상기 제3 활성 패턴(102c) 상에 상기 제2 연결 패턴(122)이 형성될 수 있다. 상기 제1 및 제2 연결 패턴들(120, 122)이 형성되는 동안, 상기 제1 활성 핀(AFa) 및 상기 제3 희생 게이트 구조체들(SGS3)은 상기 마스크 막(미도시)에 의해 덮여 보호될 수 있다. 상기 제1 및 제2 연결 패턴들(120, 122)이 형성된 후, 상기 마스크 막이 제거될 수 있다. 이후, 상기 하부 층간 절연막(130)이 상기 기판(100) 상에 상기 활성 핀들(AF), 상기 제1 및 제2 연결 패턴들(120, 122), 및 상기 희생 게이트 구조체들(SGS)을 덮도록 형성될 수 있다.
- [0074] 도 17, 도 21, 및 도 7b를 참조하면, 상기 하부 층간 절연막(130) 내에 상기 갭 영역들(166)이 형성될 수 있다. 상기 갭 영역들(166)의 각각은 상기 활성 핀들(AF) 중 대응하는 활성 핀(AF)을 노출할 수 있다. 이후, 도 1, 도 8a, 및 도 8b를 참조하여 설명한 바와 같이, 게이트 절연 패턴(GI) 및 게이트 전극(GE)이 상기 갭 영역들(166)의 각각을 채우도록 형성될 수 있다.
- [0075] 도 22는 본 발명의 일부 실시예들에 따른 반도체 장치를 나타내는 도면으로, 도 17의 A-A'에 대응하는 단면도이다. 설명의 간소화를 위해, 도 1, 도 2a, 및 도 2b를 참조하여 설명한 반도체 장치와 차이점을 주로 설명한다.
- [0076] 도 17, 도 22, 및 도 2b를 참조하면, 일부 실시예들에 따르면, 상기 게이트 구조체들(GS)은 상기 제1 활성 핀(AFa)을 가로지르는 제3 게이트 구조체들(GS3)을 더 포함할 수 있다. 상기 제1 콘택 플러그(CTa)는 상기 제3 게이트 구조체들(GS3) 사이에 개재될 수 있고, 상기 제1 활성 핀(AFa)에 연결될 수 있다. 상기 제1 콘택 플러그(CTa)의 측면들은 상기 제3 게이트 구조체들(GS3)의 상기 게이트 스페이서들(GSP)과 접할 수 있다. 상술한 차이를 제외하고, 본 실시예들에 따른 반도체 장치는 도 1, 도 2b, 및 도 9를 참조하여 설명한 반도체 장치와 실질적으로 동일하다.
- [0077] 도 23a 및 도 23b는 본 발명의 일부 실시예들에 따른 반도체 장치를 나타내는 도면들로, 각각 도 17의 A-A' 및 B-B'에 대응하는 단면도들이다. 설명의 간소화를 위해, 도 1, 도 2a, 및 도 2b를 참조하여 설명한 반도체 장치와 차이점을 주로 설명한다.
- [0078] 도 17, 도 23a, 및 도 23b를 참조하면, 활성 핀들(AF)이 상기 활성 패턴들(102) 상에 각각 배치될 수 있다. 상기 활성 핀들(AF)의 각각은 상기 제1 방향(D1)을 따라 서로 이격되는 상기 반도체 패턴들(112)을 포함할 수 있다. 상기 활성 핀들(AF)은 상기 제1 활성 패턴(102a) 상의 제1 활성 핀(AFa), 상기 제2 활성 패턴(102b) 상의 제2 활성 핀(AFb), 및 상기 제3 활성 패턴들(102c) 상의 제3 활성 핀(AFc)을 포함할 수 있다. 일부 실시예들에 따르면, 제3 연결 패턴(124)이 상기 제1 활성 핀(AFa)의 상기 반도체 패턴들(112)을 관통하여 상기 불순물 주입 영역(106)에 연결될 수 있다. 상기 제3 연결 패턴(124)은 상기 제1 활성 핀(AFa)의 상기 반도체 패턴들(112), 및 상기 제1 활성 패턴(102a)을 시드로 이용하여 형성된 에피택시얼 패턴일 수 있다. 상기 제3 연결 패턴(124)은 실리콘 저마늄(SiGe), 실리콘(Si), 및 탄화 실리콘(SiC) 중 적어도 하나를 포함할 수 있다. 상기 제3 연결 패턴(124)은 상기 제1 도전형을 갖는 불순물들을 더 포함할 수 있다.
- [0079] 상기 게이트 구조체들(GS)이 상기 기판(100) 상에 배치되어 상기 활성 핀들(AF)을 가로지를 수 있다. 일부 실시예들에 따르면, 상기 게이트 구조체들(GS)은 상기 제1 활성 핀(AFa)을 가로지르는 제3 게이트 구조체들(GS3)을 더 포함할 수 있다. 상기 제3 게이트 구조체들(GS3)은 상기 제1 활성 핀(AFa) 상에서 상기 제2 방향(D2)으로 서로 이격될 수 있다. 상기 제3 게이트 구조체들(GS3)의 각각의 상기 게이트 전극(GE)은 상기 제1 활성 핀(AFa)을 가로지를 수 있고, 상기 제1 활성 핀(AFa)의 측면들을 덮을 수 있다. 상기 제3 게이트 구조체들(GS3)의 각각의 상기 게이트 전극(GE) 및 상기 게이트 절연 패턴(GI)은 상기 제1 활성 핀(AFa)의 상기 반도체 패턴들(112) 사이, 및 상기 제1 활성 핀(AFa)과 상기 제1 활성 패턴(102a) 사이로 연장될 수 있다. 상기 제1 활성 핀(AFa)의 상기 반도체 패턴들(112)은 상기 게이트 절연 패턴(GI)을 사이에 두고 상기 게이트 전극(GE)으로부터 이격될 수

있다. 일부 실시예들에 따르면, 상기 제3 게이트 구조체들(GS3)의 각각의 상기 게이트 절연 패턴(GI)은 상기 제3 연결 패턴(124)과 상기 게이트 전극(GE) 사이로 연장될 수 있고, 상기 제3 연결 패턴(124)과 접할 수 있다.

[0080] 상기 제1 콘택 플러그(CTa)는 상기 제3 게이트 구조체들(GS3) 사이에 개재될 수 있고, 상기 제1 활성 핀(AFa)을 관통하여 상기 제3 연결 패턴(124)에 연결될 수 있다. 상기 제1 콘택 플러그(CTa)의 측면들은 상기 제3 게이트 구조체들(GS3)의 상기 게이트 스페이서들(GSP)과 접할 수 있다. 일부 실시예들에 따르면, 복수의 제1 활성 패턴들(102a)이 상기 제3 방향(D3)으로 서로 이격되도록 배열될 수 있고, 복수의 제1 활성 핀들(AFa)이 상기 복수의 제1 활성 패턴들(102a) 상에 각각 배치될 수 있다. 이 경우, 복수의 제3 연결 패턴들(124)이 상기 복수의 제1 활성 핀들(AFa)을 각각 관통하여 상기 불순물 주입 영역(106)에 연결될 수 있다. 상기 제1 콘택 플러그(CTa)는 상기 제3 게이트 구조체들(GS3) 사이에서 상기 제3 방향(D3)으로 연장되어 상기 복수의 제3 연결 패턴들(124)에 연결될 수 있다. 상술한 차이를 제외하고, 본 실시예들에 따른 반도체 장치는 도 1, 도 2b, 및 도 9를 참조하여 설명한 반도체 장치와 실질적으로 동일하다.

[0081] 도 24a 내지 도 26a, 및 도 24b 내지 도 26b는 본 발명의 일부 실시예들에 따른 반도체 장치의 제조방법을 나타내는 도면들로, 각각 도 17의 A-A' 및 B-B'에 대응하는 단면도들이다. 설명의 간소화를 위해, 도 3a 내지 도 8a, 및 도 3b 내지 도 8b를 참조하여 설명한 반도체 장치의 제조방법과 차이점을 주로 설명한다.

[0082] 도 17, 도 24a, 및 도 24b를 참조하면, 희생 게이트 구조체들(SGS)이 상기 기판(100) 상에 상기 활성 핀들(AF)을 가로지르도록 형성될 수 있다. 일부 실시예들에 따르면, 상기 희생 게이트 구조체들(SGS)은 상기 제1 활성 핀(AFa)을 가로지르는 제3 희생 게이트 구조체들(SGS3)을 포함할 수 있다. 상기 제3 희생 게이트 구조체들(SGS3)은 상기 제1 활성 핀(AFa) 상에서 상기 제2 방향(D2)으로 서로 이격될 수 있다. 상기 제3 희생 게이트 구조체들(SGS3) 사이의 상기 제1 활성 핀(AFa)의 일부가 제거될 수 있고, 이에 따라, 상기 제3 희생 게이트 구조체들(SGS3) 사이에서 상기 제1 활성 핀(AFa)의 측면들 및 상기 제1 활성 패턴(102a)의 상면이 노출될 수 있다.

[0083] 도 17, 도 25a, 및 도 25b를 참조하면, 상기 제3 희생 게이트 구조체들(SGS3) 사이의 상기 제1 활성 패턴(102a) 상에 제3 연결 패턴(124)이 형성될 수 있다. 상기 제3 연결 패턴(124)은 상기 제1 활성 핀(AFa)의 상기 반도체 패턴들(112)의 측면들과 접할 수 있고, 상기 불순물 주입 영역(106)에 연결될 수 있다. 상기 제3 연결 패턴(124)을 형성하는 것은 상기 선택적 에피택시얼 성장 공정과 동시에 또는 상기 선택적 에피택시얼 성장 공정 후, 상기 제3 연결 패턴(124)에 상기 제1 도전형을 갖는 불순물들을 도핑하는 것을 더 포함할 수 있다. 상기 하부 층간 절연막(130)이 상기 기판(100) 상에 상기 활성 핀들(AF), 상기 제1 내지 제3 연결 패턴들(120, 122, 124), 및 상기 희생 게이트 구조체들(SGS)을 덮도록 형성될 수 있다.

[0084] 도 17, 도 26a, 및 도 26b를 참조하면, 상기 하부 층간 절연막(130) 내에 상기 갭 영역들(166)이 형성될 수 있다. 상기 갭 영역들(166)이 형성된 후, 상기 갭 영역들(166)에 의해 노출된 상기 희생 패턴들(110)이 선택적으로 제거될 수 있다. 이에 따라, 상기 반도체 패턴들(112) 사이, 및 상기 반도체 패턴들(112) 중 최하층의 반도체 패턴(112)과 상기 활성 패턴들(102) 중 대응하는 활성 패턴(102) 사이에 빈 영역들(168)이 형성될 수 있다. 이후, 도 1, 도 8a, 및 도 8b를 참조하여 설명한 바와 같이, 게이트 절연 패턴(GI) 및 게이트 전극(GE)이 상기 갭 영역들(166) 및 상기 빈 영역들(168)을 채우도록 형성될 수 있다.

[0085] 도 27a 및 도 27b는 본 발명의 일부 실시예들에 따른 반도체 장치를 나타내는 도면들로, 각각 도 1의 A-A' 및 B-B'에 대응하는 단면도들이다. 설명의 간소화를 위해, 도 1, 도 2a, 및 도 2b를 참조하여 설명한 반도체 장치와 차이점을 주로 설명한다.

[0086] 도 1, 도 27a, 및 도 27b를 참조하면, 상기 활성 핀들(AF)은 상기 제1 활성 패턴(102a) 상의 제1 활성 핀(AFa), 상기 제2 활성 패턴(102b) 상의 제2 활성 핀(AFb), 및 상기 제3 활성 패턴들(102c) 상의 제3 활성 핀(AFc)을 포함할 수 있다. 상기 제1 활성 핀(AFa)의 상기 반도체 패턴들(112) 및 상기 희생 패턴들(110)은 상기 제1 도전형을 갖는 불순물들을 포함할 수 있다. 일부 실시예들에 따르면, 상기 제2 활성 핀(AFb)의 상기 반도체 패턴들(112) 및 상기 희생 패턴들(110)은 상기 제2 도전형을 갖는 불순물들을 포함할 수 있다. 더하여, 상기 제3 활성 핀(AFc)의 상기 반도체 패턴들(112) 및 상기 희생 패턴들(110)은 상기 제1 도전형을 갖는 불순물들을 포함할 수 있다. 본 실시예들에 따르면, 도 1, 도 2a, 및 도 2b를 참조하여 설명한, 상기 제1 및 제2 연결 패턴들(120, 122), 및 상기 게이트 구조체들(GS)의 형성은 생략될 수 있다.

[0087] 상기 하부 층간 절연막(130)이 상기 기판(100) 상에 배치되어 상기 활성 핀들(AF)을 덮을 수 있다. 상기 상부 층간 절연막(140)이 상기 하부 층간 절연막(130) 상에 배치될 수 있다. 상기 콘택 플러그들(CT)이 상기 하부 층간 절연막(130) 내에 배치될 수 있고, 상기 상부 층간 절연막(140) 내로 연장될 수 있다. 상기 콘택 플러그들

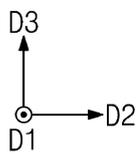
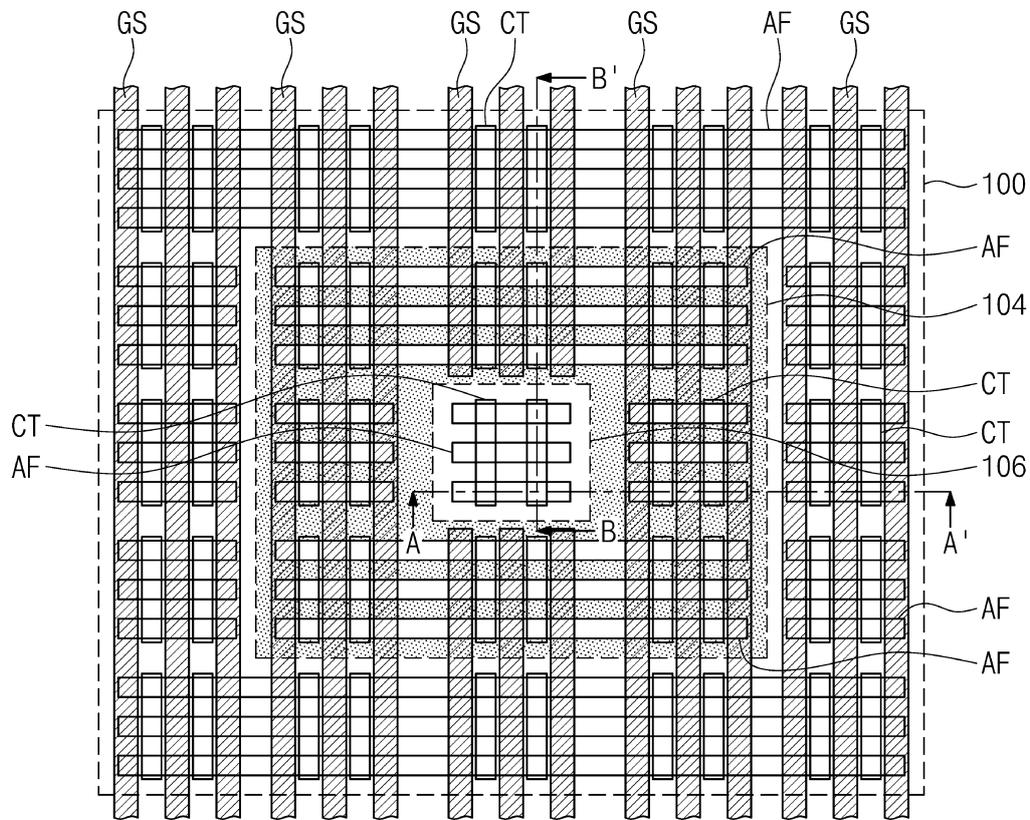
(CT)은 상기 제1 활성 핀(AFa)에 연결되는 제1 콘택 플러그(CTa), 상기 제2 활성 핀(AFb)에 연결되는 제2 콘택 플러그(CTb), 및 상기 제3 활성 핀(AFc)에 연결되는 제3 콘택 플러그(CTc)를 포함할 수 있다.

[0088] 복수의 제1 콘택 플러그들(CTa)이 상기 제1 활성 핀(AFa)에 연결될 수 있고, 상기 하부 층간 절연막(130)이 상기 복수의 제1 콘택 플러그들(CTa) 사이에 개재되어 상기 제1 활성 핀(AFa)의 상면과 접할 수 있다. 상기 복수의 제1 콘택 플러그들(CTa)의 측면들은 상기 하부 층간 절연막(130)과 접할 수 있다. 일부 실시예들에 따르면, 복수의 제1 활성 패턴들(102a)이 상기 제3 방향(D3)으로 서로 이격되도록 배열될 수 있고, 복수의 제1 활성 핀들(AFa)이 상기 복수의 제1 활성 패턴들(102a) 상에 각각 배치될 수 있다. 이 경우, 상기 제1 콘택 플러그(CTa)는 상기 제3 방향(D3)으로 연장되어 상기 복수의 제1 활성 핀들(AFa)에 연결될 수 있다. 복수의 제2 콘택 플러그들(CTb)이 상기 제2 활성 핀(AFb)에 연결될 수 있고, 상기 하부 층간 절연막(130)이 상기 복수의 제2 콘택 플러그들(CTb) 사이에 개재되어 상기 제2 활성 핀(AFb)의 상면과 접할 수 있다. 상기 복수의 제2 콘택 플러그들(CTb)의 측면들은 상기 하부 층간 절연막(130)과 접할 수 있다. 일부 실시예들에 따르면, 복수의 제2 활성 패턴들(102b)이 상기 제3 방향(D3)으로 서로 이격되도록 배열될 수 있고, 복수의 제2 활성 핀들(AFb)이 상기 복수의 제2 활성 패턴들(102b) 상에 각각 배치될 수 있다. 이 경우, 상기 제2 콘택 플러그(CTb)는 상기 제3 방향(D3)으로 연장되어 상기 복수의 제2 활성 핀들(AFb)에 연결될 수 있다. 더하여, 복수의 제3 콘택 플러그들(CTc)이 상기 제3 활성 핀(AFc)에 연결될 수 있고, 상기 하부 층간 절연막(130)이 상기 복수의 제3 콘택 플러그들(CTc) 사이에 개재되어 상기 제3 활성 핀(AFc)의 상면과 접할 수 있다. 상기 복수의 제3 콘택 플러그들(CTc)의 측면들은 상기 하부 층간 절연막(130)과 접할 수 있다. 일부 실시예들에 따르면, 복수의 제3 활성 패턴들(102c)이 상기 제3 방향(D3)으로 서로 이격되도록 배열될 수 있고, 복수의 제3 활성 핀들(AFc)이 상기 복수의 제3 활성 패턴들(102c) 상에 각각 배치될 수 있다. 이 경우, 상기 제3 콘택 플러그(CTc)는 상기 제3 방향(D3)으로 연장되어 상기 복수의 제3 활성 핀들(AFc)에 연결될 수 있다.

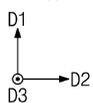
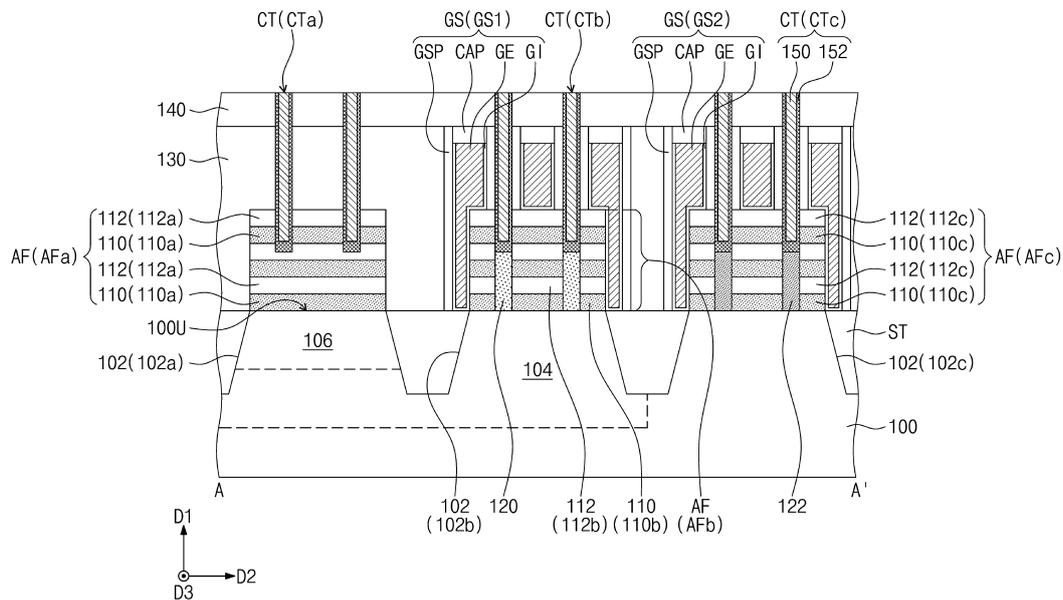
[0089] 본 발명의 실시예들에 대한 이상의 설명은 본 발명의 설명을 위한 예시를 제공한다. 따라서 본 발명은 이상의 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당해 기술 분야의 통상의 지식을 가진 자에 의하여 상기 실시예들을 조합하여 실시하는 등 여러 가지 많은 수정 및 변경이 가능함은 명백하다.

도면

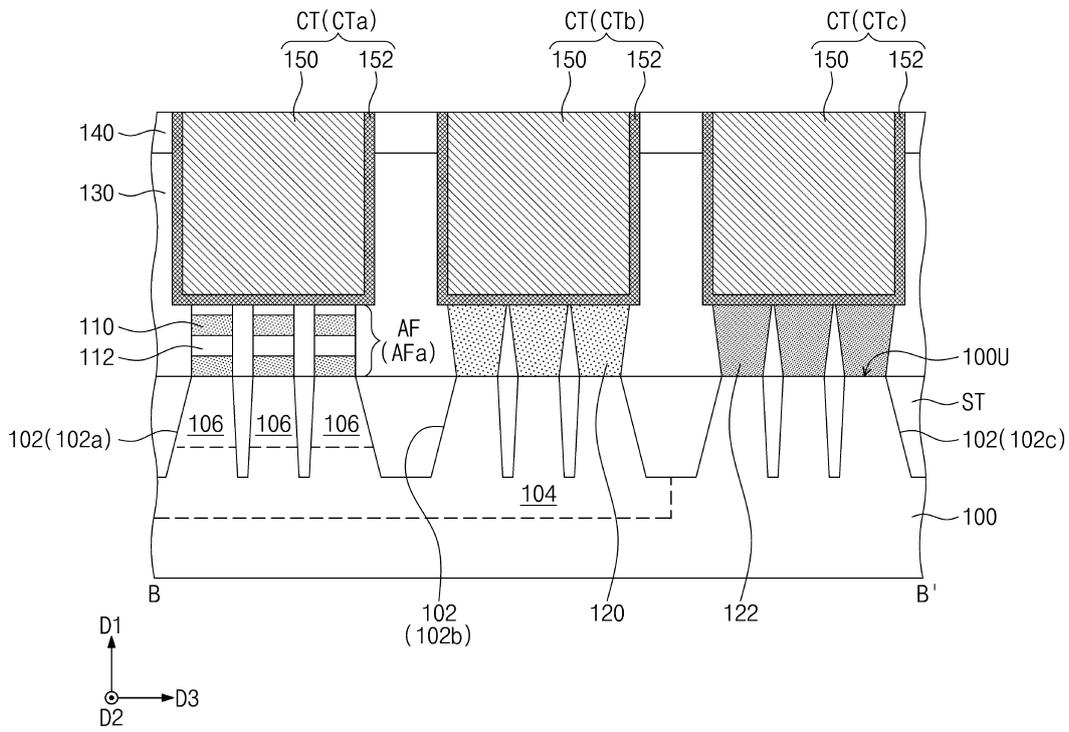
도면1



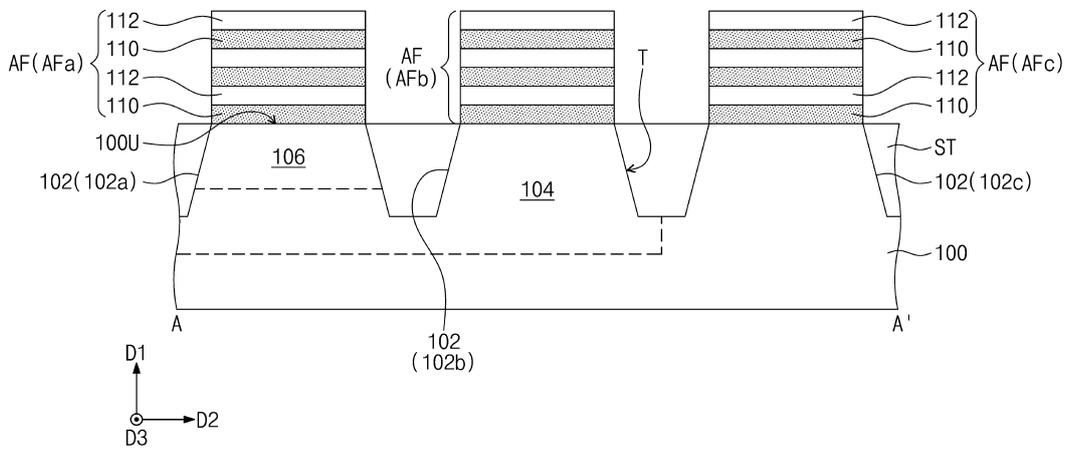
도면2a



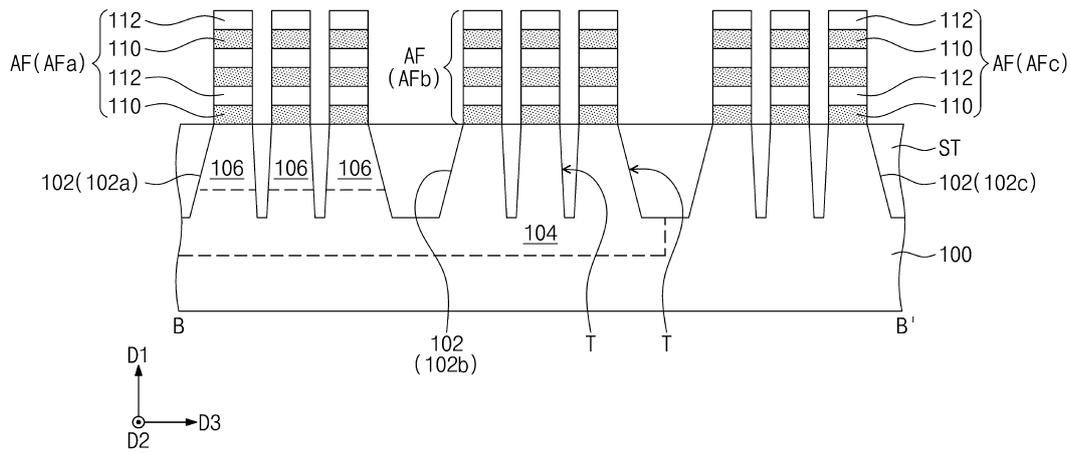
도면2b



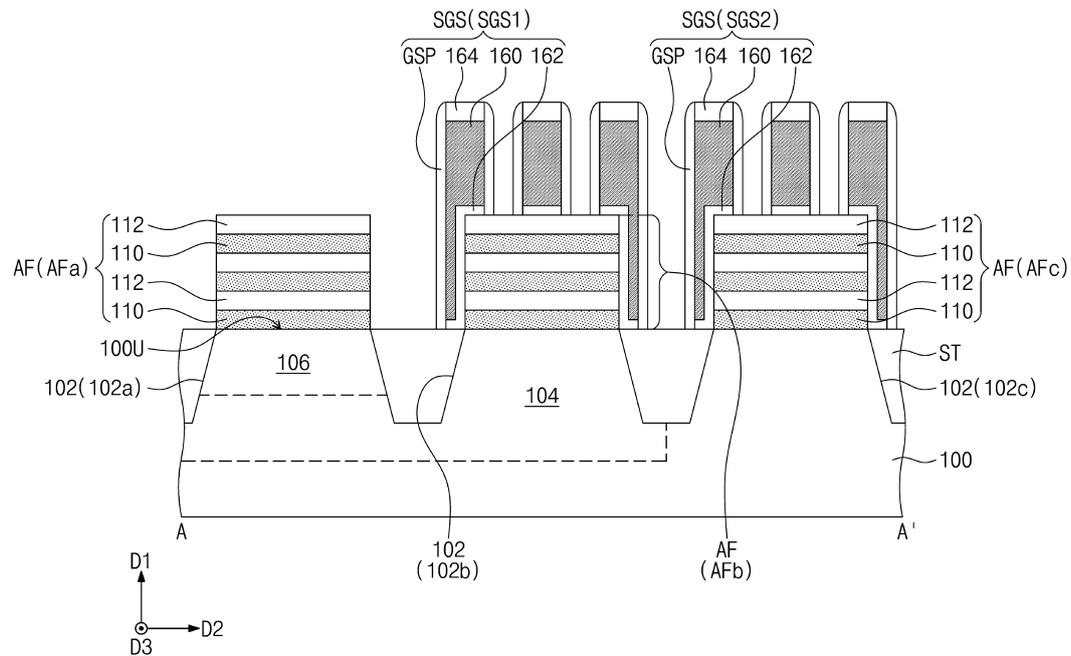
도면3a



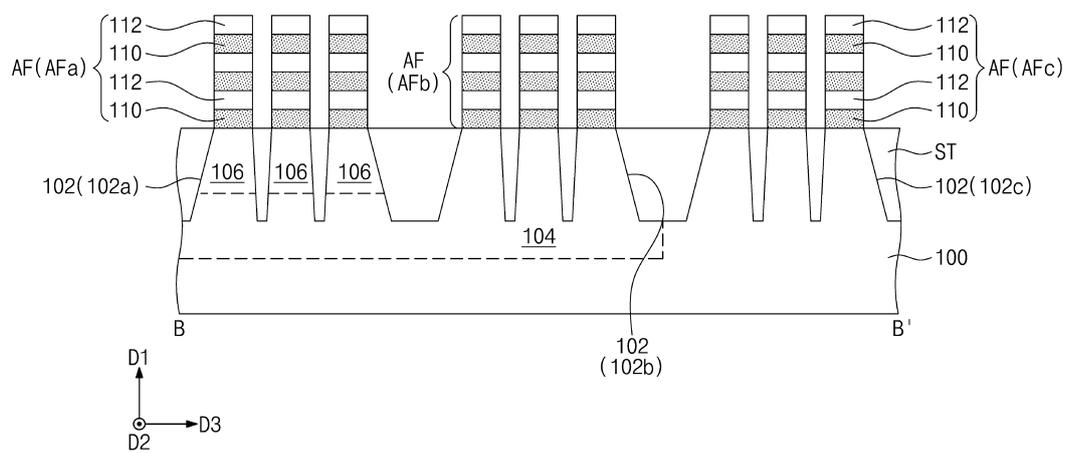
도면3b



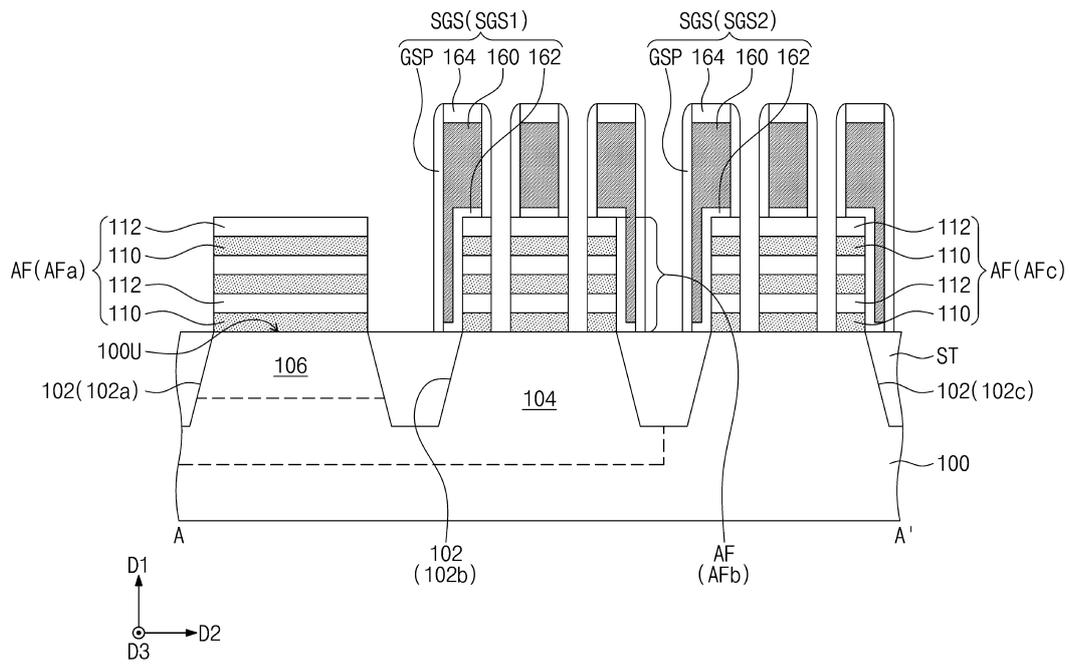
도면4a



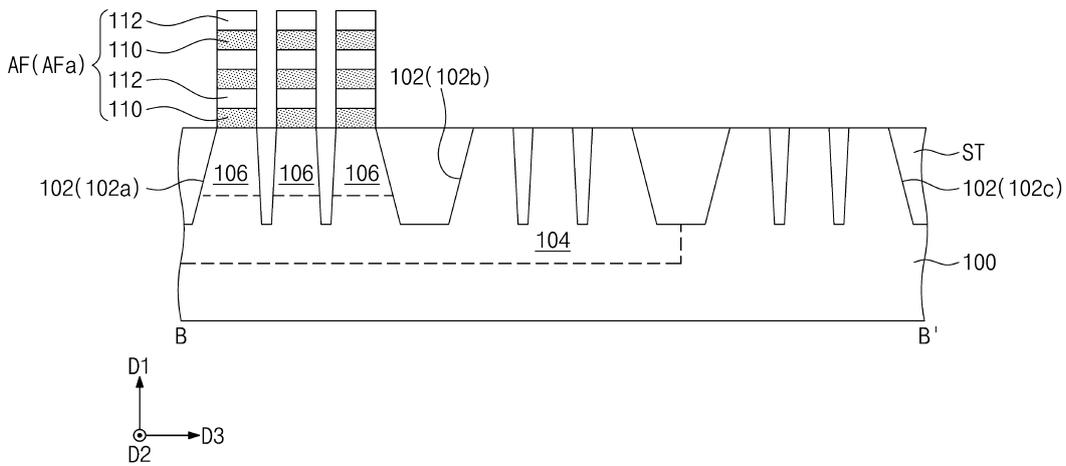
도면4b



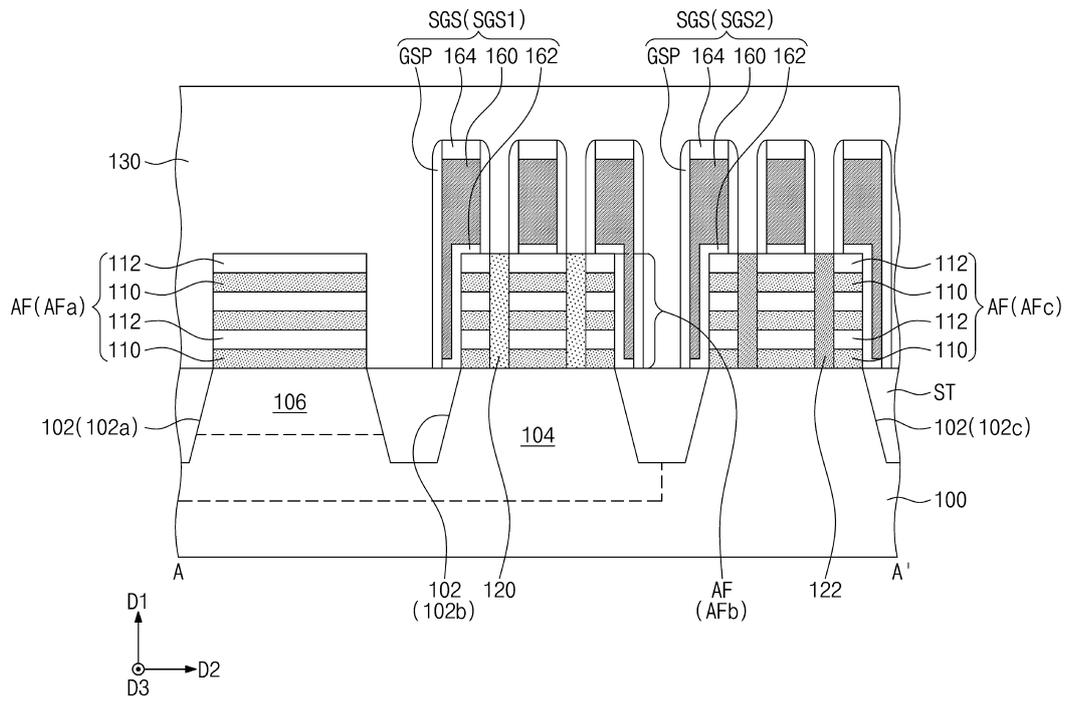
도면5a



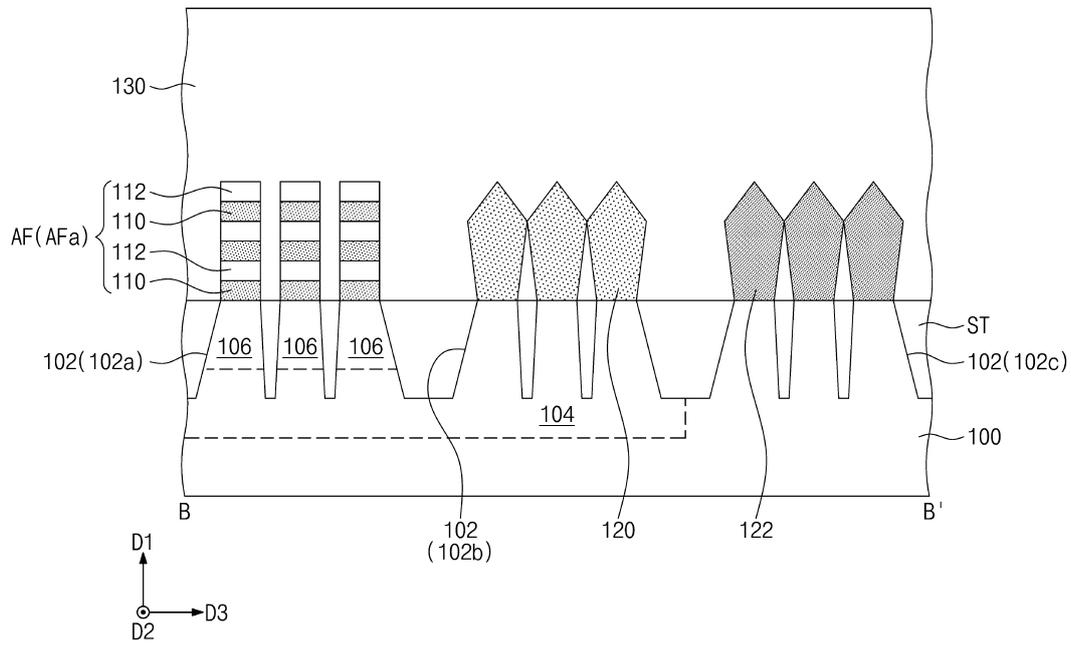
도면5b



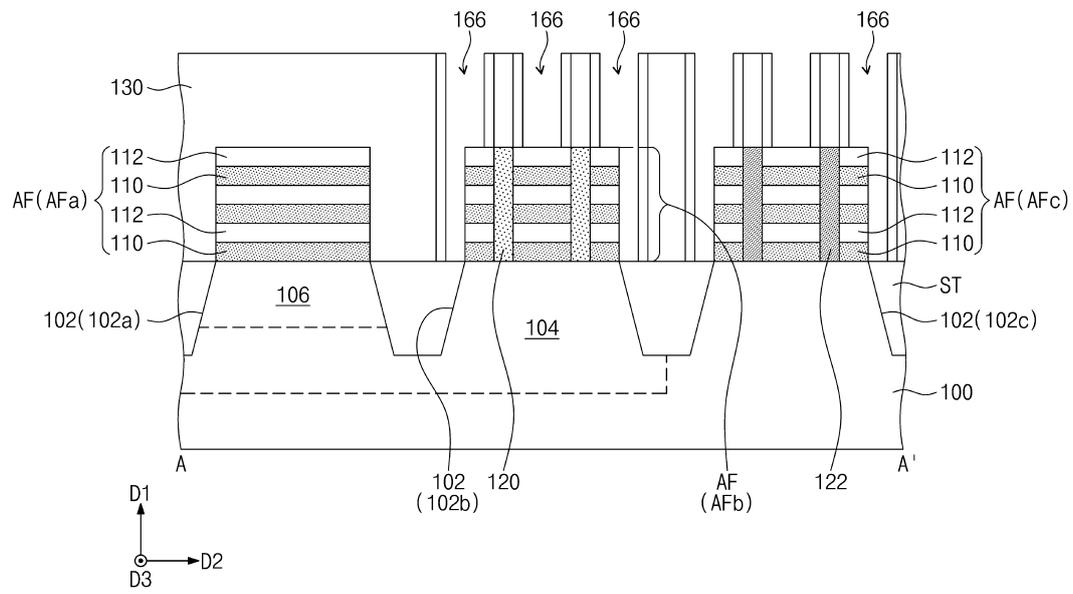
도면6a



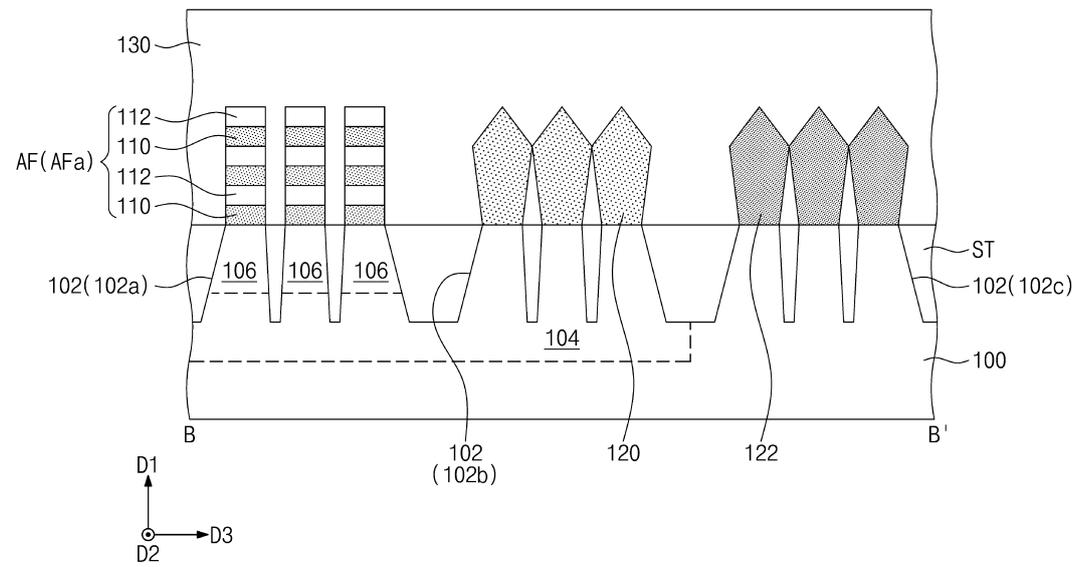
도면6b



도면7a

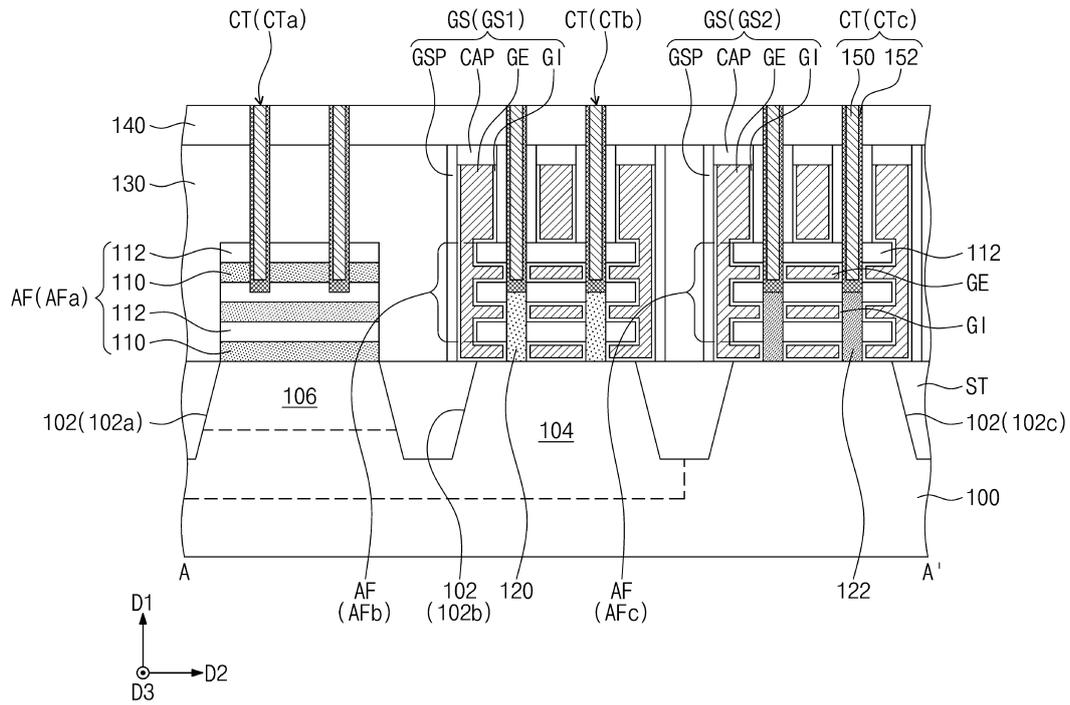


도면7b

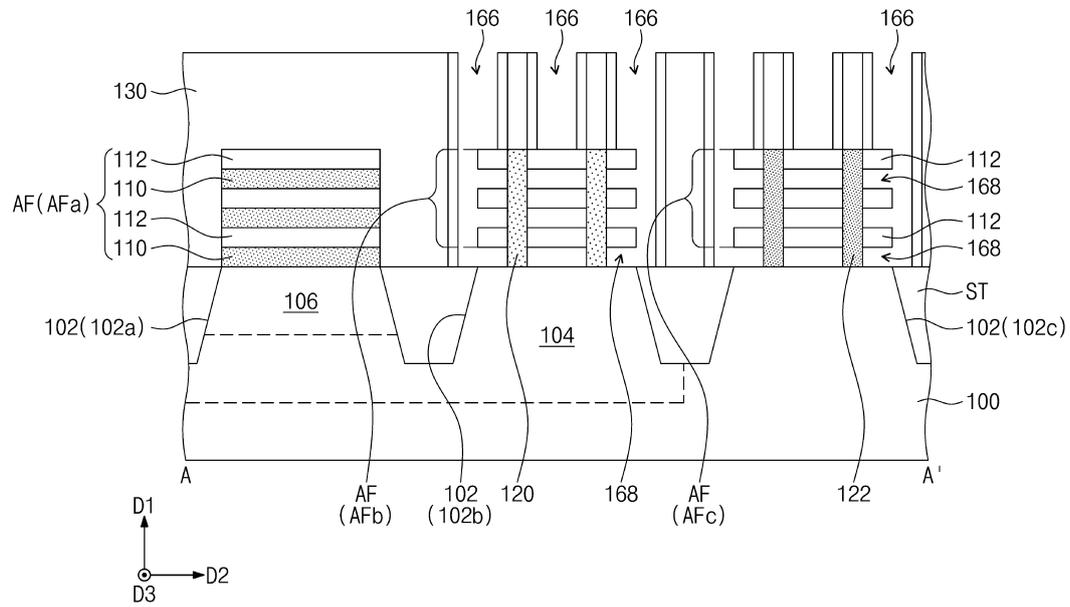




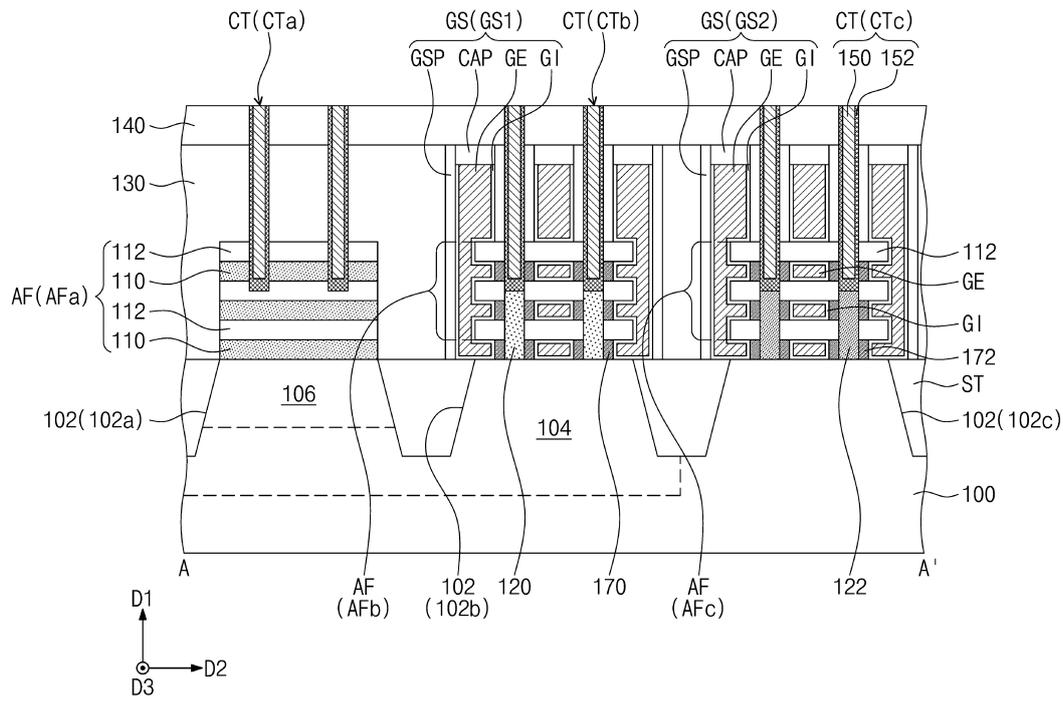
도면9



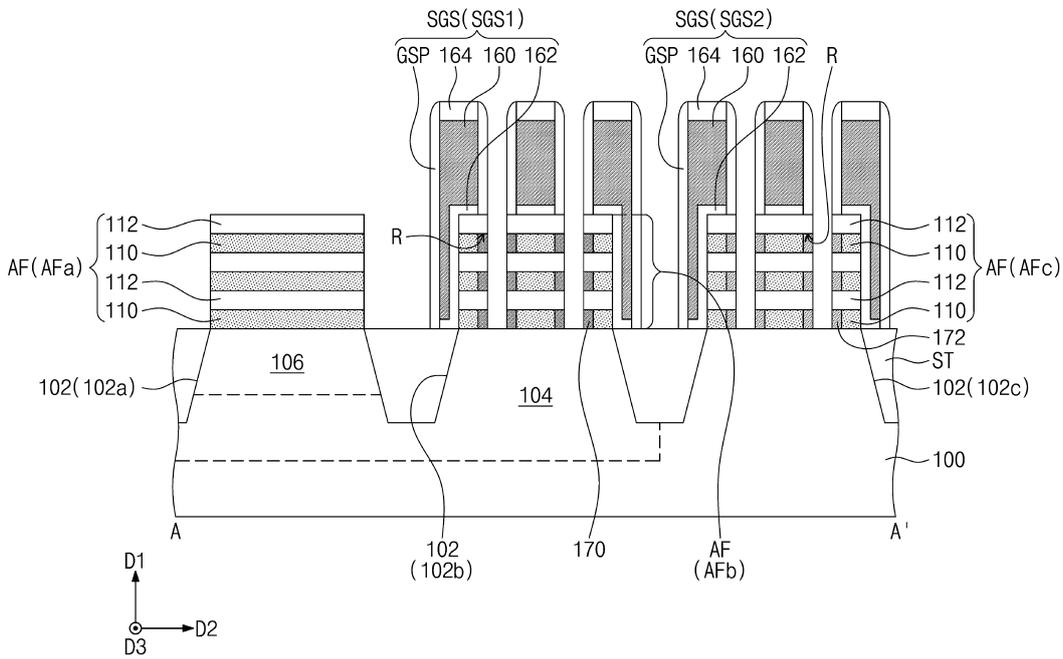
도면10



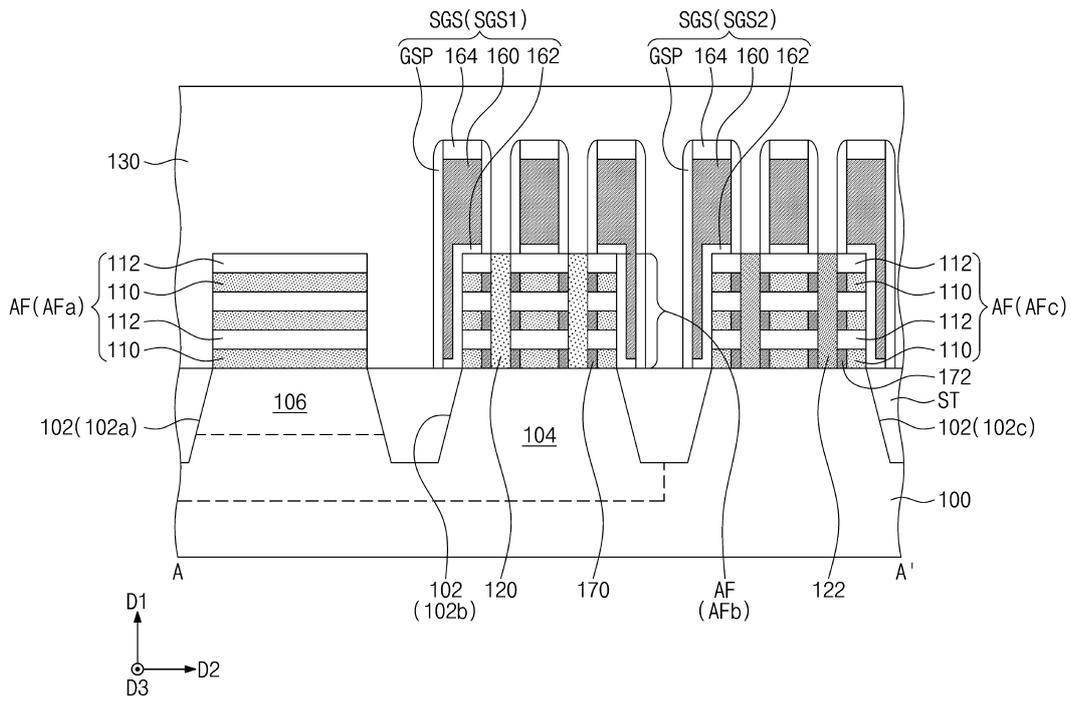
도면11



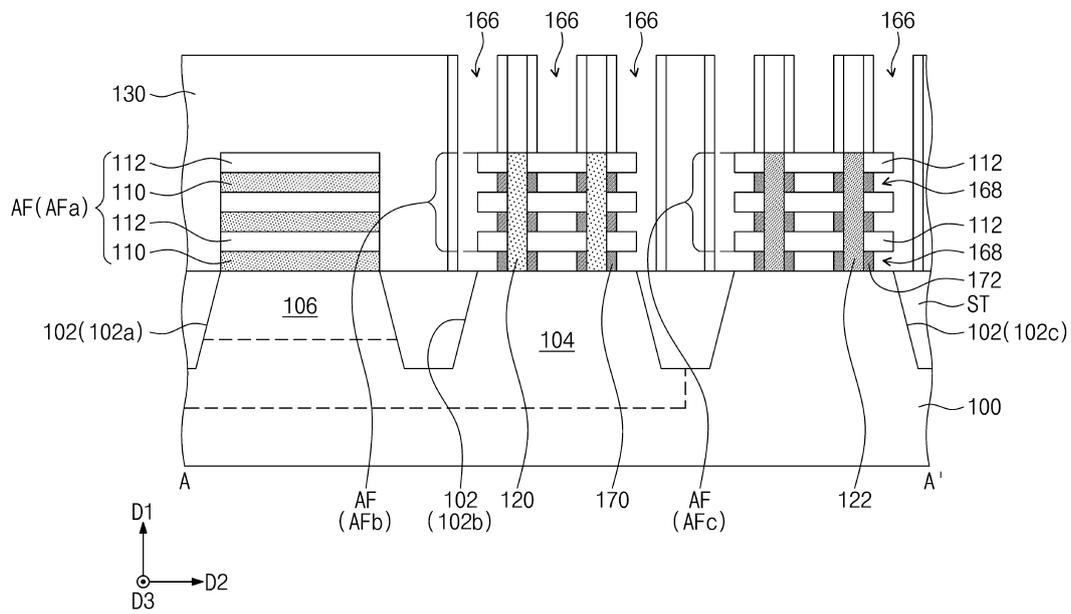
도면12



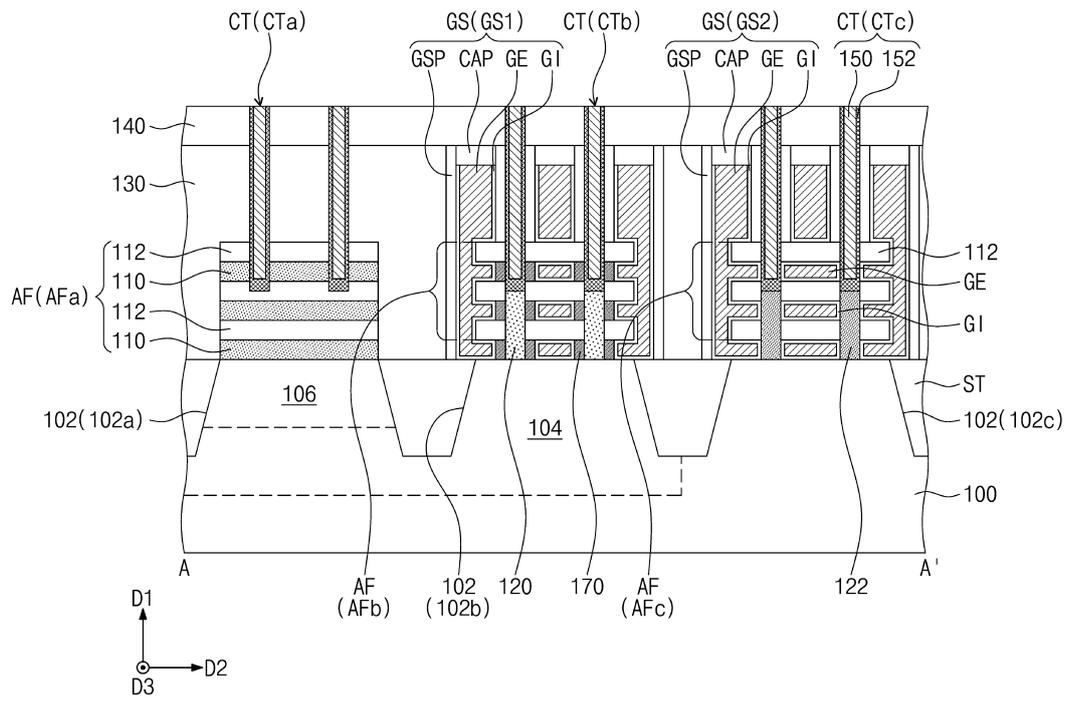
도면13



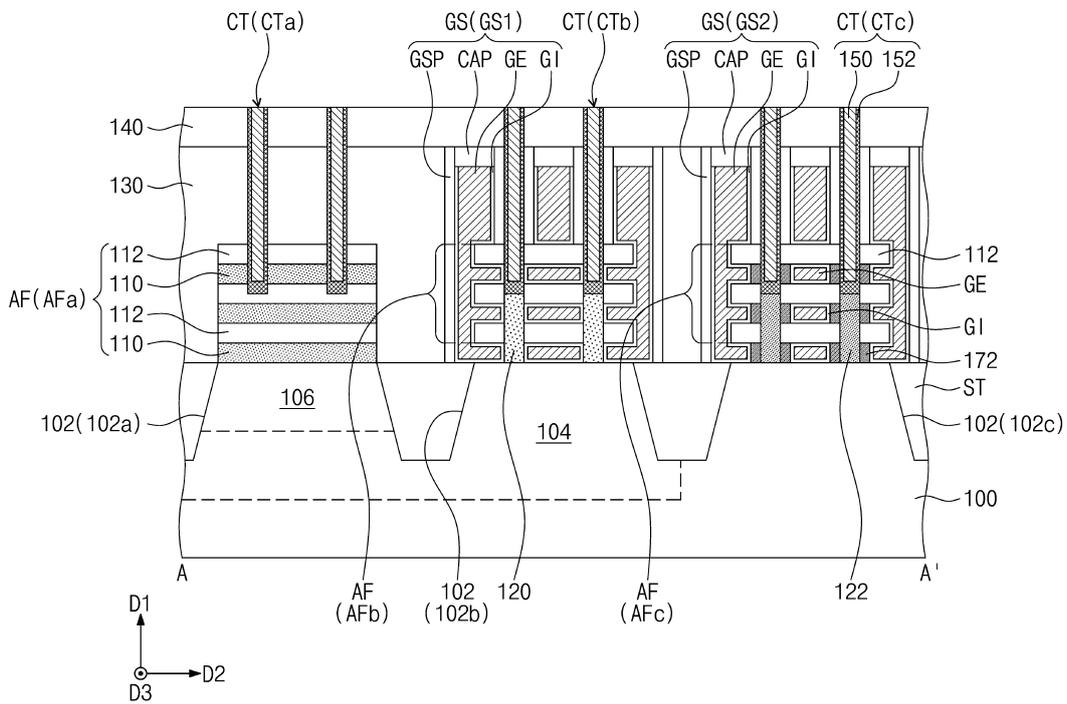
도면14



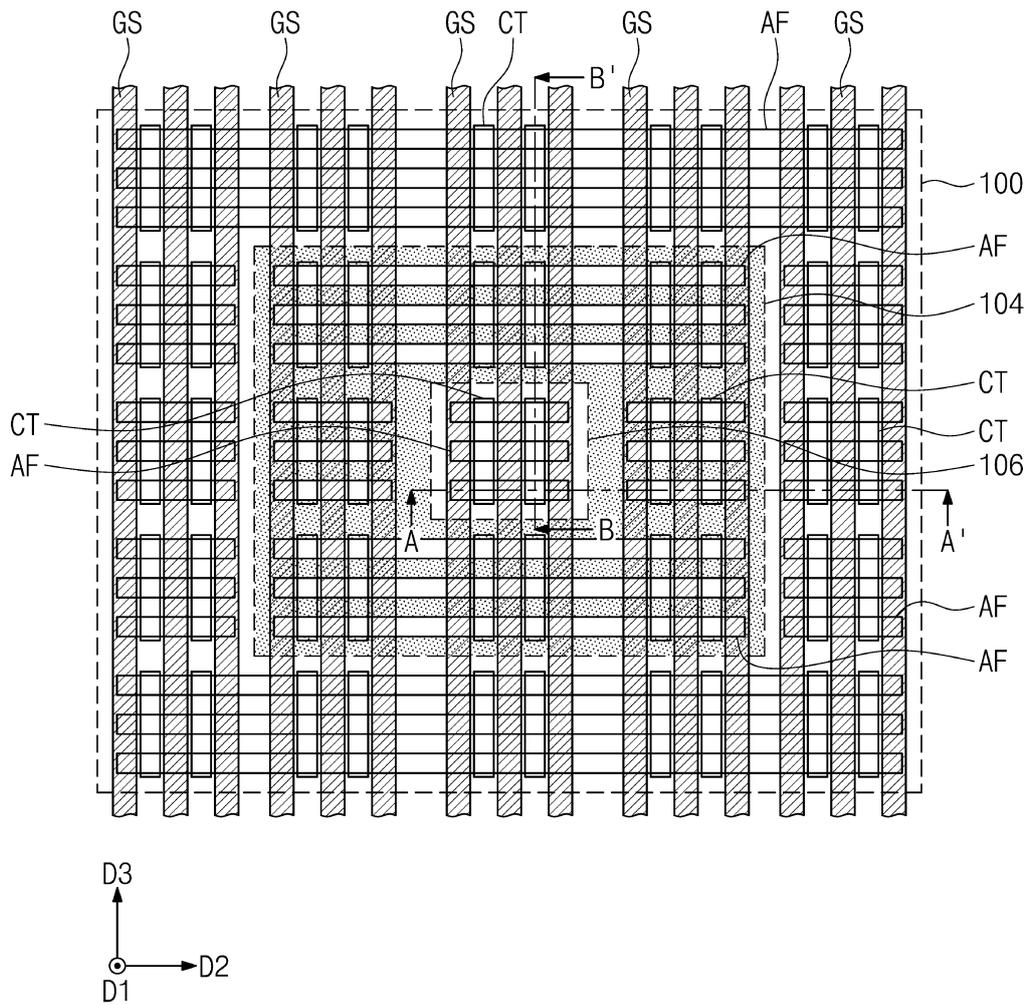
도면15



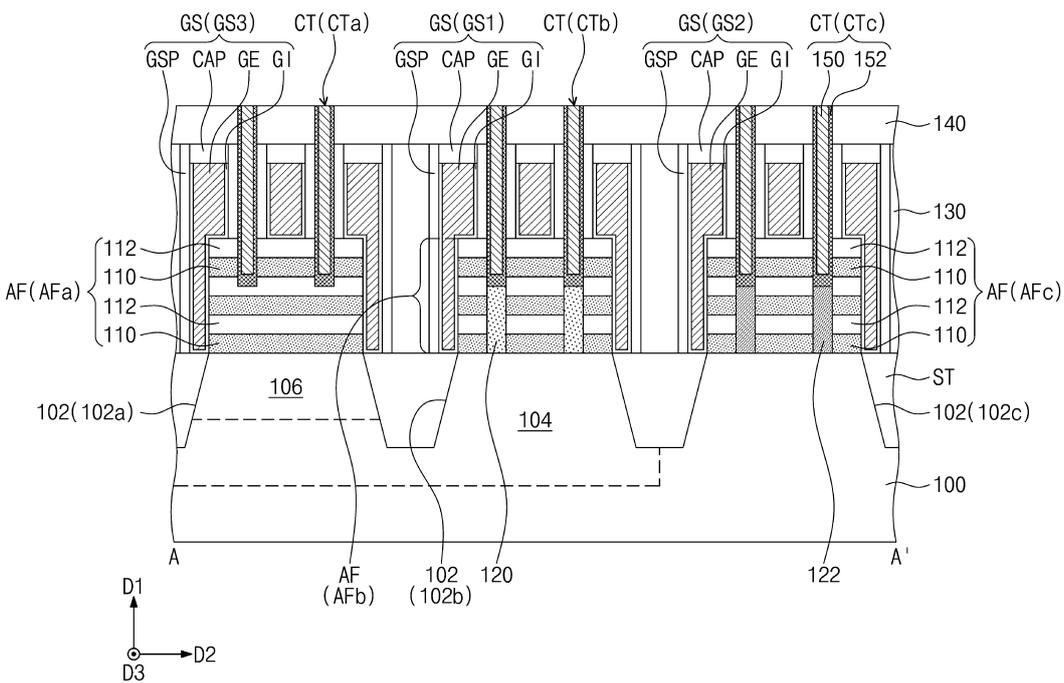
도면16



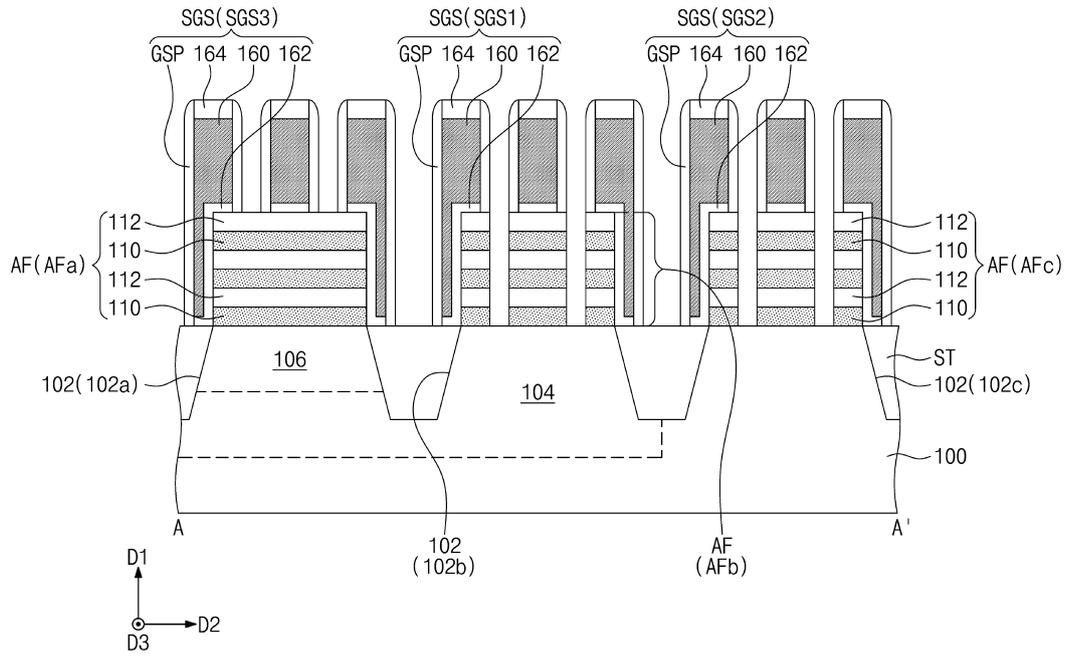
도면17



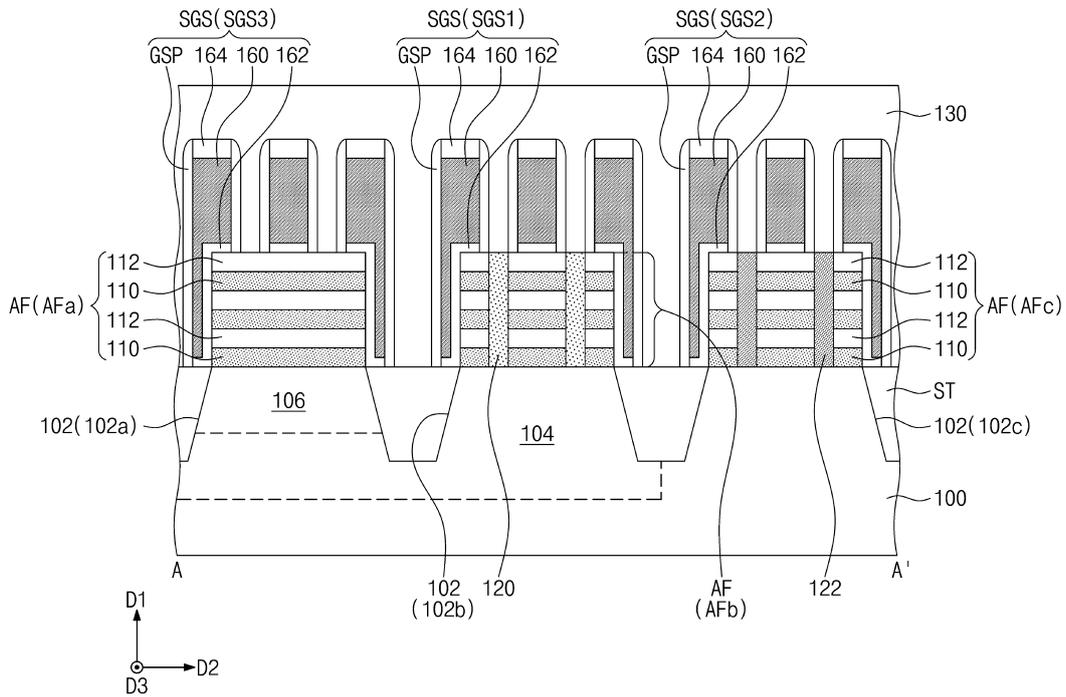
도면18



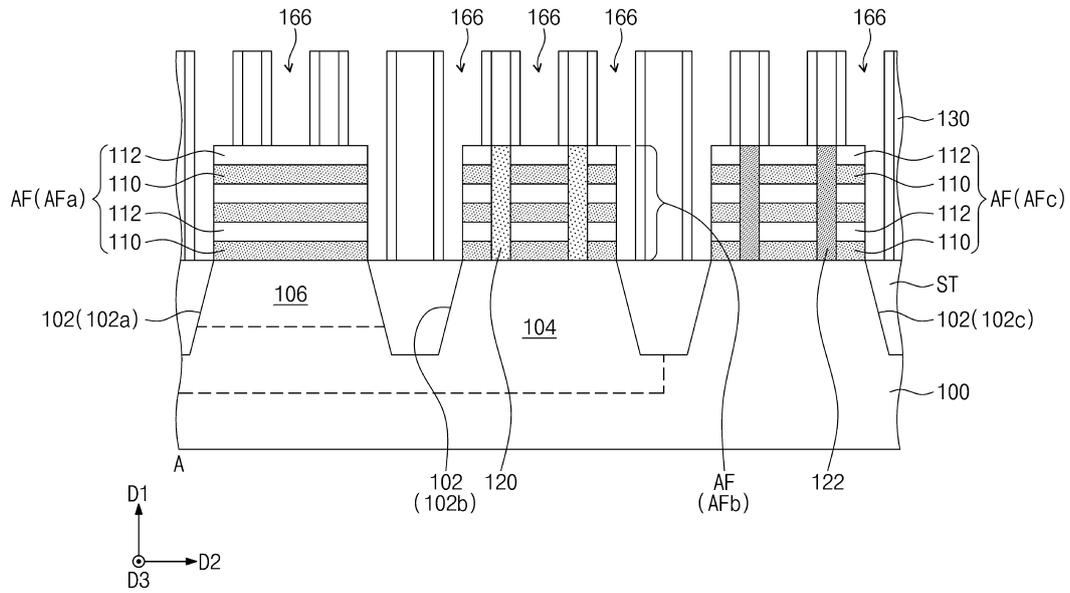
도면19



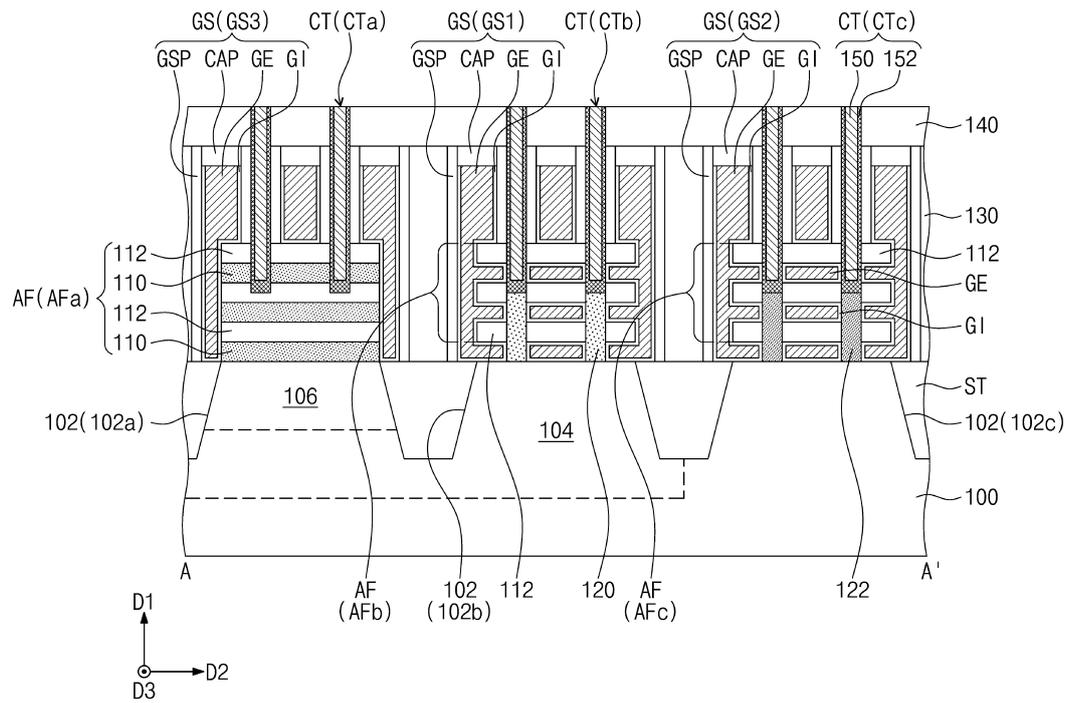
도면20



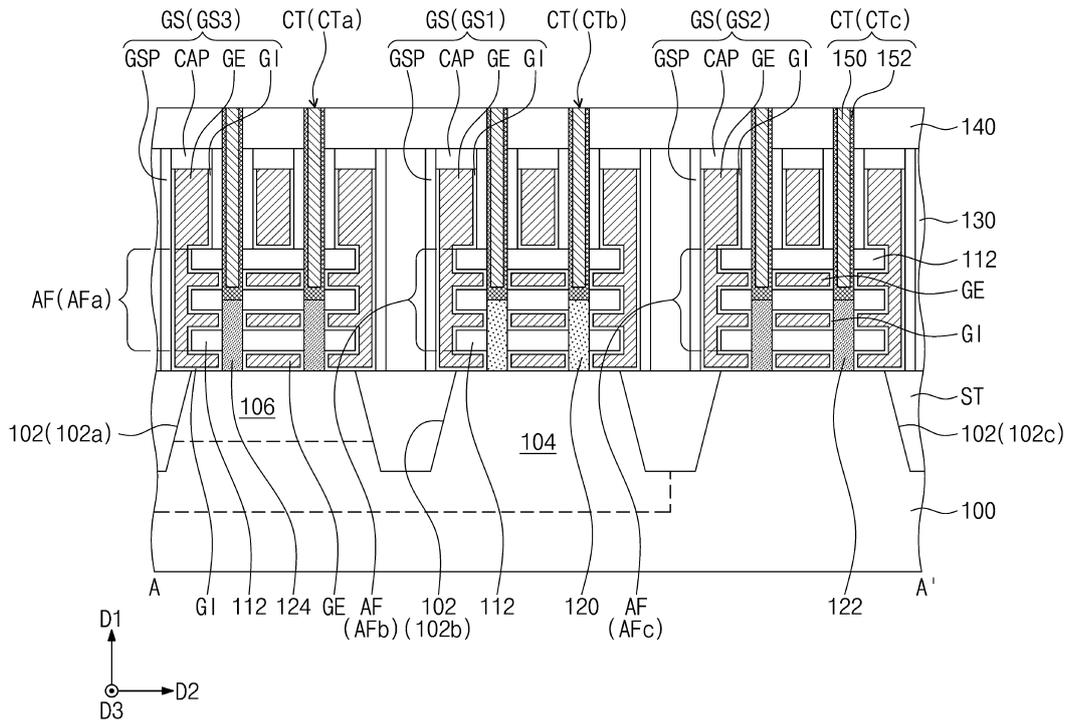
도면21



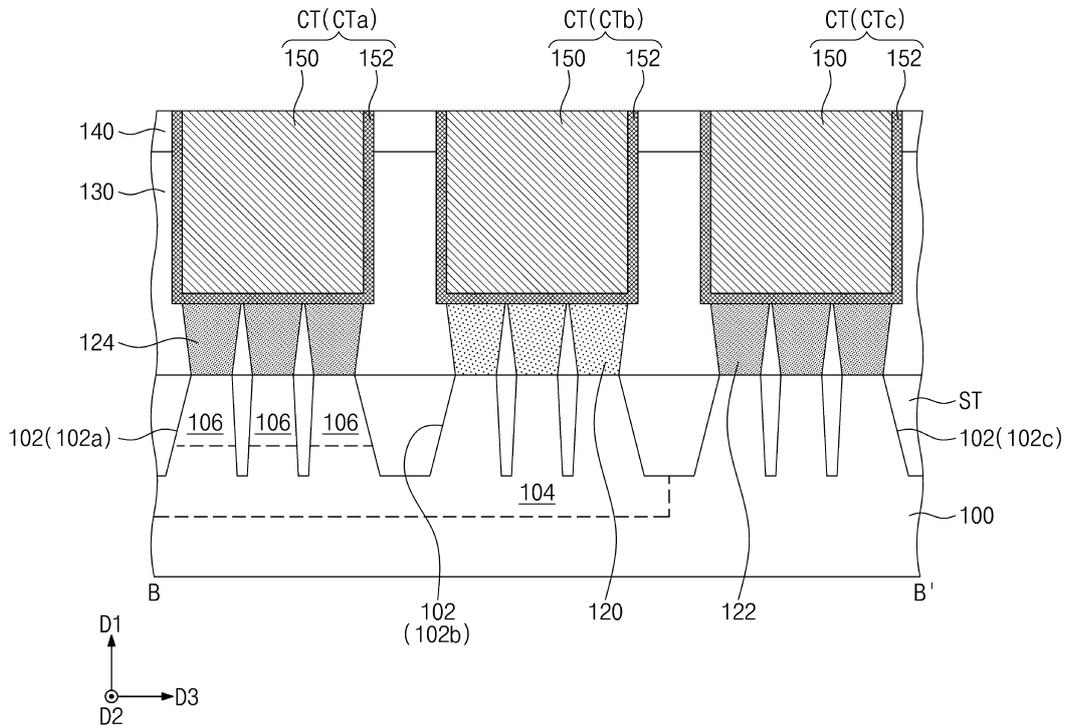
도면22



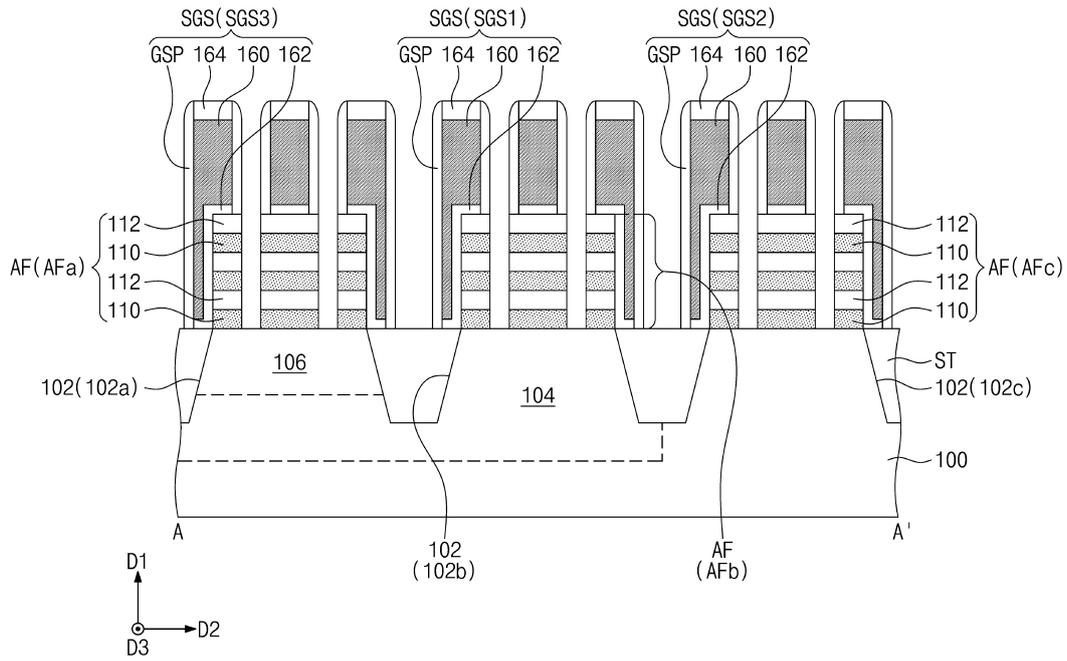
도면23a



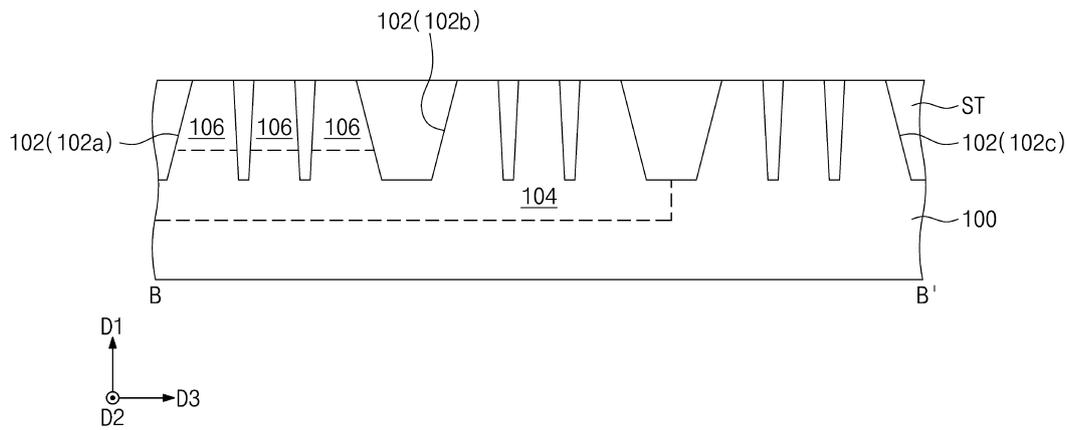
도면23b



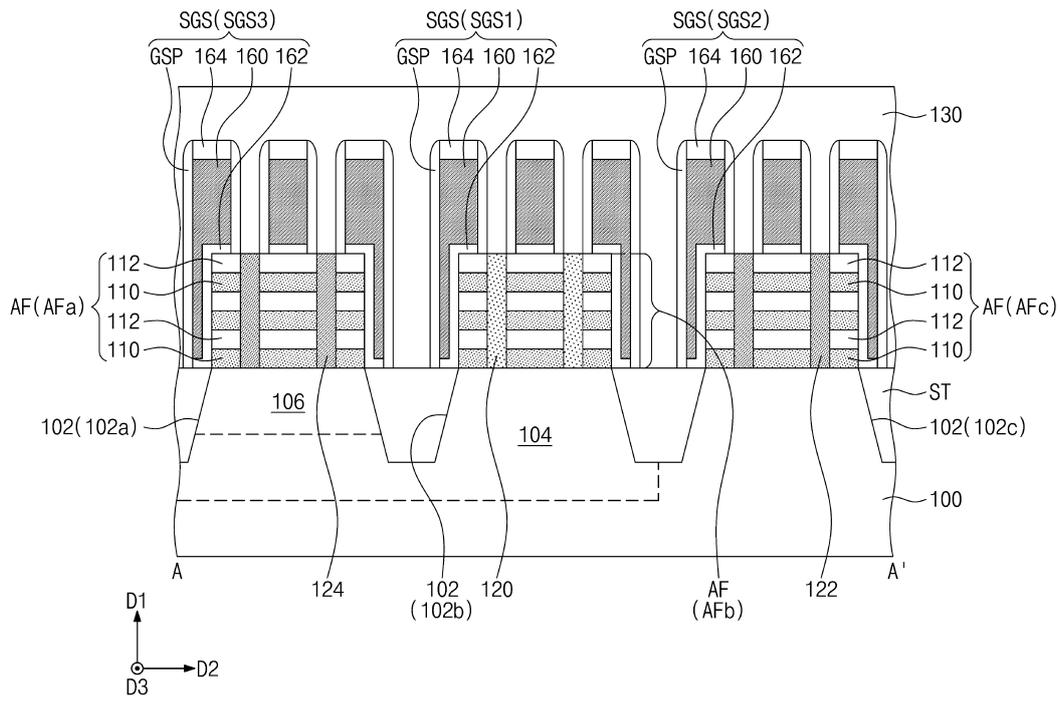
도면24a



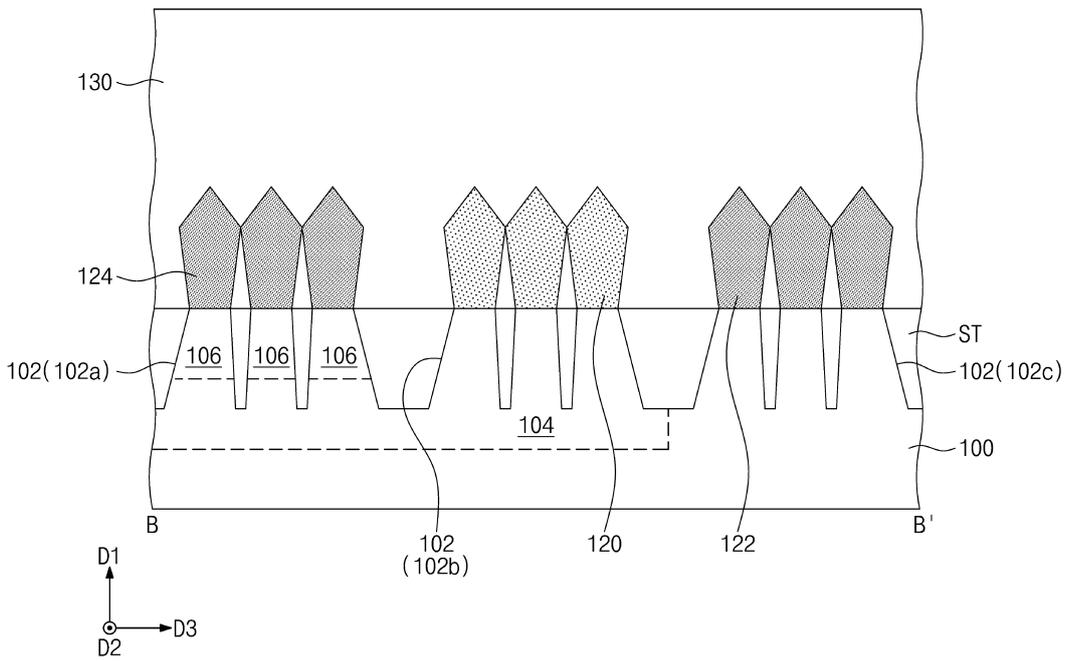
도면24b



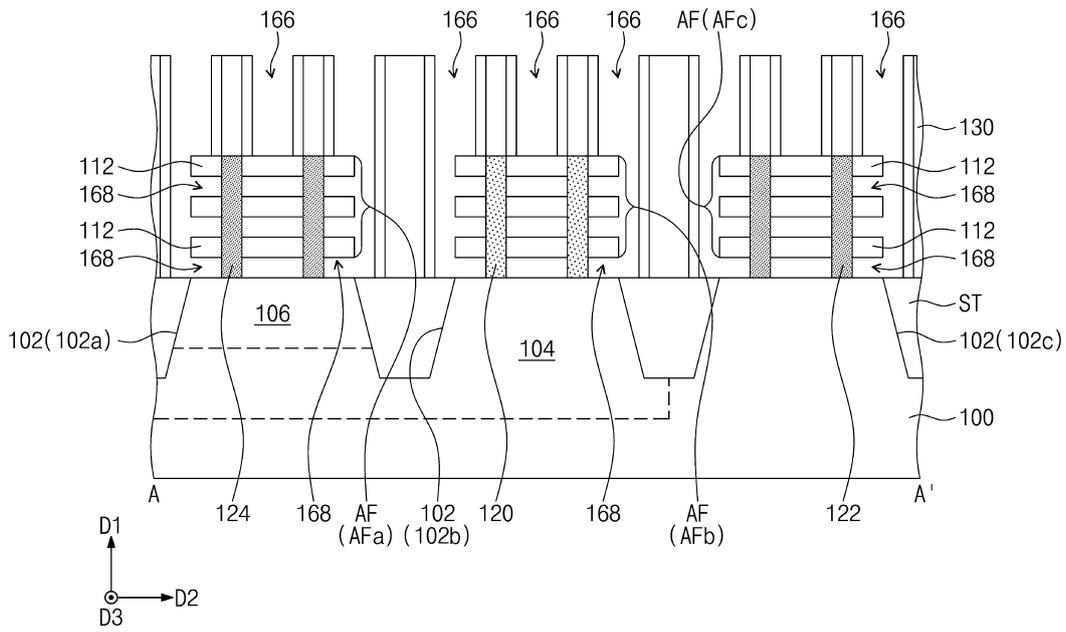
도면25a



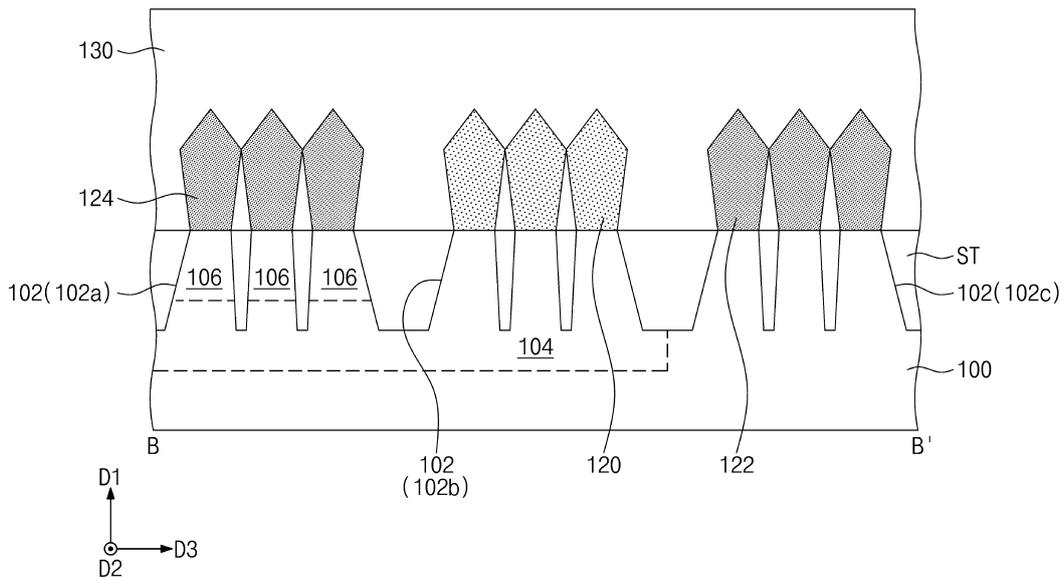
도면25b



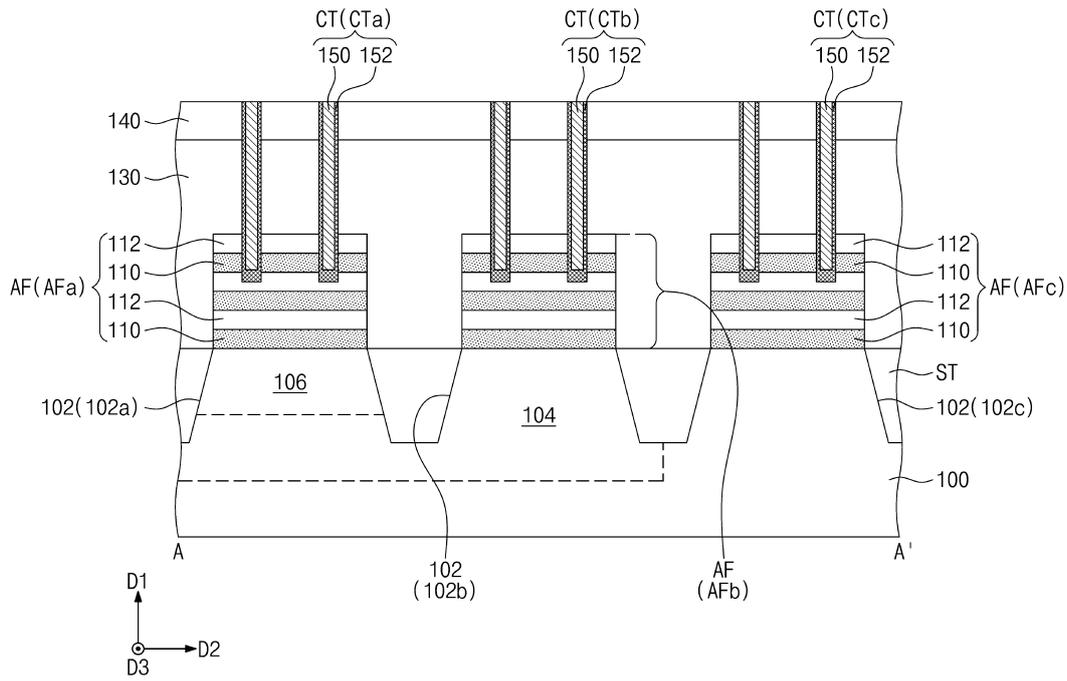
도면26a



도면26b



도면27a



도면27b

