



(21) 申請案號：110102858

(22) 申請日：中華民國 110 (2021) 年 01 月 26 日

(51) Int. Cl. :

*H01L29/40 (2006.01)**H01L29/41 (2006.01)**H01L29/43 (2006.01)**H01L29/66 (2006.01)**H01L21/28 (2006.01)**B82Y30/00 (2011.01)**B82Y40/00 (2011.01)*

(30) 優先權：2020/06/15

美國

63/038,970

2020/07/30

美國

16/943,110

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR  
MANUFACTURING COMPANY, LTD. (TW)

新竹市新竹科學工業園區力行六路八號

(72) 發明人：李欣怡 LEE, HSIN-YI (TW)；陳智城 CHEN, JI-CHENG (TW)；洪正隆 HUNG,  
CHENG-LUNG (TW)；徐志安 CHUI, CHI-ON (US)

(74) 代理人：李世章；秦建譜

申請實體審查：有 申請專利範圍項數：20 項 圖式數：26 共 102 頁

(54) 名稱

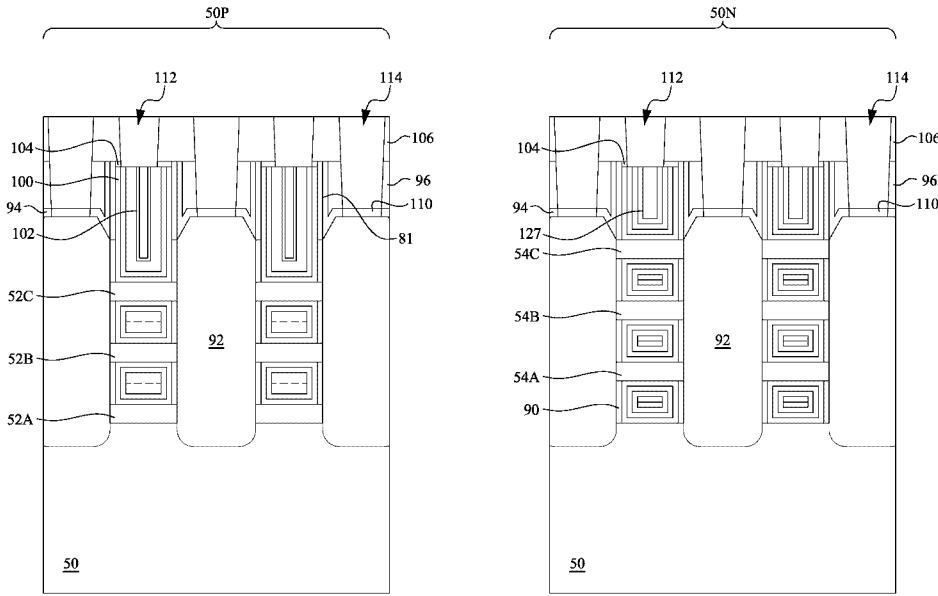
電晶體、半導體裝置及形成方法

(57) 摘要

一種裝置包含第一奈米結構；第二奈米結構，位於該第一奈米結構上；第一高 k 閘極介電質，設置於該第一奈米結構周圍；第二高 k 閘極介電質，設置於該第二奈米結構周圍；以及閘極電極，位於該第一高 k 閘極介電質和該第二高 k 閘極介電質上。閘極電極在該第一奈米結構與該第二奈米結構之間的一部分包含 p 型功函數金屬的第一部分，該 p 型功函數金屬的該第一部分填滿該第一高 k 閘極介電質和該第二高 k 閘極介電質之間的區域。

A device includes a first nanostructure; a second nanostructure over the first nanostructure; a first high-k gate dielectric disposed around the first nanostructure; a second high-k gate dielectric being disposed around the second nanostructure; and a gate electrode over the first high-k gate dielectric and the second high-k gate dielectric. A portion of the gate electrode between the first nanostructure and the second nanostructure comprises a first portion of a p-type work function metal filling an area between the first high-k gate dielectric and the second high-k gate dielectric.

指定代表圖：



第 25B 圖

符號簡單說明：

50:基板

50N:n 型區域

50P:p 型區域

52A~52C:第一奈米結構

54A~54C:第一奈米結構

81:第一間隔物

90:內部間隔物

92:磊晶源極/汲極區域

94:接觸蝕刻停止層

96:第一層間介電質

100:閘極介電質

102:閘極電極

104:閘極遮罩

106:第二層間介電質

110:矽化物區

112,114:接觸件

127:閘極電極



202201789

**【發明摘要】****【中文發明名稱】** 電晶體閘極及形成方法**【英文發明名稱】** TRANSISTOR GATES AND METHOD OF FORMING**【中文】**

一種裝置包含第一奈米結構；第二奈米結構，位於該第一奈米結構上；第一高 k 閘極介電質，設置於該第一奈米結構周圍；第二高 k 閘極介電質，設置於該第二奈米結構周圍；以及閘極電極，位於該第一高 k 閘極介電質和該第二高 k 閘極介電質上。閘極電極在該第一奈米結構與該第二奈米結構之間的一部分包含 p 型功函數金屬的第一一部分，該 p 型功函數金屬的該第一一部分填滿該第一高 k 閘極介電質和該第二高 k 閘極介電質之間的區域。

**【英文】**

A device includes a first nanostructure; a second nanostructure over the first nanostructure; a first high-k gate dielectric disposed around the first nanostructure; a second high-k gate dielectric being disposed around the second nanostructure; and a gate electrode over the first high-k gate dielectric and the second high-k gate dielectric. A portion of the gate electrode between the first nanostructure and the second nanostructure comprises a first portion of a p-type work function metal filling an area between the first high-k gate dielectric and the second high-k gate dielectric.

【指定代表圖】第 25B 圖。

【代表圖之符號簡單說明】

- 5 0：基板
- 5 0 N：n 型區域
- 5 0 P：p 型區域
- 5 2 A ~ 5 2 C：第一奈米結構
- 5 4 A ~ 5 4 C：第一奈米結構
- 8 1：第一間隔物
- 9 0：內部間隔物
- 9 2：磊晶源極 / 汲極區域
- 9 4：接觸蝕刻停止層
- 9 6：第一層間介電質
- 1 0 0：閘極介電質
- 1 0 2：閘極電極
- 1 0 4：閘極遮罩
- 1 0 6：第二層間介電質
- 1 1 0：矽化物區
- 1 1 2, 1 1 4：接觸件
- 1 2 7：閘極電極

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】電晶體閘極及形成方法

【英文發明名稱】TRANSISTOR GATES AND METHOD OF FORMING

【技術領域】

【0001】 無

【先前技術】

【0002】 半導體裝置使用於各式各樣的電子應用，例如，舉例而言，個人電腦、手機、數位相機以及其他電子設備。半導體裝置的製造藉由依序地在基板上沉積絕緣或介電層、導電層以及半導體層的材料，以及使用光刻微影圖案化這些各種材料層，而形成電路零件與元件於基板上。

【0003】 半導體工業藉由持續地縮減最小特徵體積，讓更多零件能整合至給定區域，而持續地改善各式各樣的電子零件（例如電晶體、二極體、電阻、電容等）的積體密度。然而，隨著最小特徵體積的縮減，產生了額外需要克服的問題。

【發明內容】無

【圖式簡單說明】

【0004】 本揭露的部分態樣較佳由以下詳細敘述並參讀相關圖式了解。應注意到，各種特徵並未根據工業中的標準

實務以比例繪製。事實上，為了清楚討論起見，各種特徵的尺寸可任意地增加或減小。

第 1 圖根據部分實施方式以三維視圖繪示奈米結構場效電晶體（nanostucture field-effect transistor；nano-FET）的實施例。

第 2、3、4、5、6 A、6 B、7 A、7 B、8 A、8 B、9 A、9 B、10 A、10 B、11 A、11 B、11 C、12 A、12 B、12 C、12 D、13 A、13 B、13 C、14 A、14 B、15 A、15 B、16 A、16 B、17 A、17 B、18 A、18 B、19 A、19 B、19 C、19 D、22 A、22 B、23 A、23 B、23 C、24 A、24 B、24 C、25 A、25 B 以及 25 C 圖是根據部分實施方式於製造奈米結構場效電晶體的多個中間階段的剖面以及俯視圖。

第 20 圖是根據部分實施方式的奈米結構場效電晶體的剖面圖。

第 21 圖是根據部分實施方式的奈米結構場效電晶體的剖面圖。

第 26 A、26 B 以及 26 C 圖是根據部分實施方式的奈米結構場效電晶體的剖面圖。

### 【實施方式】

【0005】 以下本揭露將提供許多個不同的實施方式或實施方式以實現所提供之專利標的之不同特徵。許多組件、數值、操作、材料與設置將以特定實施例在以下說明，以簡

化本揭露。當然這些實施例僅用以示例而不應用以限制。其他組件、數值、操作、材料與設置等是被考量在內的。舉例而言，敘述「第一特徵形成於第二特徵上或上面」包含多種實施方式，其中涵蓋第一特徵與第二特徵直接接觸，以及額外的特徵形成於第一特徵與第二特徵之間而使兩者不直接接觸。此外，於各式各樣的實施方式中，本揭露可能會重複標號以及/或標註字母。此重複是為了簡化並清楚說明，而非意圖表明這些討論的各種實施方式以及/或配置之間的關係。

**【0006】** 更甚者，空間相對的詞彙，例如「下方」、「之下」、「低於」、「上方」、「上層的」等相關詞彙，於此用以簡單描述元件或特徵與另一元件或特徵的關係，如圖所示。在使用或操作時，除了圖中所繪示的轉向之外，這些空間相對的詞彙涵蓋裝置的不同的轉向。或者，這些裝置可旋轉（旋轉 90 度或其他角度），且在此使用的空間相對的描述語可作對應的解讀。

**【0007】** 在電晶體閘極堆疊中，功函數金屬（`work function metal ; WFM`）層的厚度影響電晶體的閾值電壓（`threshold voltage ; VTH`）。然而，已經確定由於功函數金屬層的合併區域（例如在奈米結構場效電晶體的奈米線之間）引起的厚度變化可能不會顯著影響電晶體的電氣特性。此外，通過不在功函數金屬層周圍沉積阻擋層（例如用以防止功函數金屬層的部分形成合併），可以提高製造容易性。這在具有小特徵尺寸的先進半導體節

點中尤其如此，因為阻障層材料（例如氮化鋁或類似物等）可能難以在小空間中沉積。因此，通過在閘極堆疊中省略此類阻障層並允許功函數金屬層在某些區域合併，可以提高製造的容易性，並且可以減少製造缺陷（例如由於阻障層沉積不良而引起的缺陷），而不會顯著影響所產生的電晶體的電氣性能。

**【0008】** 第 1 圖根據部分實施方式以三維視圖繪示奈米結構場效電晶體（例如奈米線場效電晶體、奈米片場效電晶體或其類似物等）的實施例。奈米結構場效電晶體包含奈米結構 55（例如奈米片、奈米線或其類似物等），位在基板 50（例如半導體基板）上的鰭片 66 上，其中奈米結構 55 用作奈米結構場效電晶體的通道區。奈米結構 55 可以包含 p 型奈米結構、n 型奈米結構或其組合。隔離區域 68 設置在相鄰的鰭片 66 之間，鰭片 66 可以突出於在鄰近的隔離區域 68 上方且從相鄰的隔離區域 68 之間突出。儘管如本文所使用的，隔離區域 68 被描述或繪示為與基板 50 分離，但是術語「基板」可以是指單獨的半導體基板或是指半導體基板和隔離區域的組合。另外，儘管鰭片 66 的底部被繪示為與基板 50 的單個連續材料，但是鰭片 66 以及 / 或基板 50 的底部可以包含單一材料或多種材料。在本文中，鰭片 66 指的是在鄰近的隔離區域 68 之間延伸的部分。

**【0009】** 閘極介電質 100 位在鰭片 66 的上表面上，並且沿著奈米結構 55 的上表面、側壁和下表面設置。閘極電極



102 位在閘極介電質 100 上。磊晶源極/汲極區域 92 設置在鰭片 66 上，且在閘極介電質 100 和閘極電極 102 的相對側上。

**【0010】** 第 1 圖進一步繪示在隨後的圖中使用的參考剖面。剖面 A - A' 沿著閘極電極 102 的長軸並且在一方向上，舉例而言，該方向是垂直於奈米結構場效電晶體的磊晶源極/汲極區域 92 之間的電流流動方向。剖面 B - B' 垂直於剖面 A - A'，並且平行於奈米結構場效電晶體的鰭片 66 的長軸並且在一方向上，舉例而言，該方向是奈米結構場效電晶體的磊晶源極/汲極區域 92 之間的電流流動方向。剖面 C - C' 平行於剖面 A - A'，並延伸穿過奈米結構場效電晶體的磊晶源極/汲極區域。為了清楚起見，後續附圖參考這些參考剖面。

**【0011】** 本文討論的部分實施方式是在使用後閘極製程 (gate-last process) 形成的奈米結構場效電晶體的背景下討論的。在其他實施方式中，可以使用先閘極製程 (gate-first process)。而且，部分實施方式考慮了在例如平面場效電晶體或鰭式場效電晶體 (fin field-effect transistors; FinFET) 的平面裝置中使用的態樣。

**【0012】** 第 2 至 24C 圖是根據部分實施方式於製造奈米結構場效電晶體的多個中間階段的剖面圖。第 2 至 5、6A、13A、14A、15A、16A、17A、18A、19A、20、21、22A、23A、24A、25A 以及 26A 圖描繪了第 1 圖中所

示的參考剖面 A-A'。第 6B、7B、8B、9B、10B、11B、11C、12B、12D、13B、14B、15B、16B、17B、18B、19B、22B、23B、24B、25B 以及 26B 圖描繪了第 1 圖中所示的參考剖面 B-B'。第 7A、8A、9A、10A、11A、12A、12C、13C、22C、23C、24C、25C 以及 26C 圖描繪了第 1 圖中所示的參考剖面 C-C'。

**【0013】** 在第 2 圖中，提供了基板 50。基板 50 可以是半導體基板，例如塊狀半導體、絕緣體上半導體 (semiconductor-on-insulator ; SOI) 基板或類似物等，其可以被摻雜 (例如用 p 型或 n 型摻雜劑) 或未摻雜。基板 50 可以是晶圓，例如矽晶圓。總體而言，絕緣體上半導體基板是在絕緣體層上形成的半導體材料層。絕緣體層可以是例如埋設氧化物 (buried oxide ; BOX) 層、氧化矽層或類似物等。絕緣層提供在一基板上，例如在矽或玻璃基板的基板上。也可以使用其他基板，例如多層或梯度基板。在部分實施方式中，基板 50 的半導體材料可以包含矽；鍺；化合物半導體，包含碳化矽、砷化鎵、磷化鎵、磷化銮、砷化銮和 / 或銻化銮；合金半導體，包含矽鍺、磷化砷化鎵、砷化鋁銮、砷化鋁鎵、砷化鎵銮、磷化鎵銮和 / 或磷化砷化鎵銮；或其組合。

**【0014】** 基板 50 具有 n 型區域 50N 和 p 型區域 50P。n 型區域 50N 可以用於形成 n 型裝置，例如 NMOS 電晶體，如 n 型奈米結構場效電晶體，並且 p 型區域 50P 可以用於形成 p 型裝置，例如 PMOS 電晶體，如 p 型奈米結構場效

電晶體。n 型區域 50N 可以與 p 型區域 50P 實體上分開(如分隔器 20 所示)，並且可以設置任何數量的裝置特徵(例如其他主動裝置、摻雜區、隔離結構等)在 n 型區域 50N 和 p 型區域 50P 之間。儘管繪示了一個 n 型區域 50N 和一個 p 型區域 50P，但是可以提供任何數量的 n 型區域 50N 和 p 型區域 50P。

**【0015】** 更進一步來說，在第 2 圖中，在基板 50 上形成多層堆疊 64。多層堆疊 64 包含第一半導體層 51A~51C(統稱為第一半導體層 51)和第二半導體層 53A~53C(統稱為第二半導體層 53)的交替層。為了說明的目的並且如下面更詳細地討論的，第二半導體層 53 將被移除，且第一半導體層 51 將被圖案化以在 p 型區域 50P 中形成奈米結構場效電晶體的通道區。而且，第一半導體層 51 將被移除，且第二半導體層 53 將被圖案化以在 n 型區域 50N 中形成奈米結構場效電晶體的通道區。然而，在部分實施方式中，可以移除第一半導體層 51 並且可以對第二半導體層 53 進行圖案化以在 n 型區域 50N 中形成奈米結構場效電晶體的通道區，並且可以移除第二半導體層 53 並且可以對第一半導體層 51 進行圖案化以在 p 型區域 50P 中形成奈米結構場效電晶體的通道區。

**【0016】** 在其他實施方式中，可以移除第一半導體層 51，並且對第二半導體層 53 進行圖案化，以在 n 型區域 50N 和 p 型區域 50P 兩者中形成奈米結構場效電晶體的通道區。在其他實施方式中，可以移除第二半導體層 53 並且對第一

半導體層 51 進行圖案化，以在 n 型區域 50N 和 p 型區域 50P 兩者中形成奈米結構場效電晶體的通道區。在這樣的實施方式中，n 型區域 50N 和 p 型區域 50P 兩者中的通道區可以具有相同的材料成分（例如，矽或類似物等）並且可以同時形成。第 26A、26B 和 26C 圖繪示了由這樣的實施方式產生的結構，舉例而言，其中 p 型區域 50P 和 n 型區域 50N 中的通道區都包含矽。

**【0017】** 出於說明性目的，多層堆疊 64 繪示為包含第一半導體層 51 和第二半導體層 53 中的每一個的三層。在部分實施方式中，多層堆疊 64 可以包含任何數量的第一半導體層 51 和第二半導體層 53。可以使用例如化學氣相沉積（chemical vapor deposition；CVD）、原子層沉積（atomic layer deposition；ALD）、氣相磊晶（vapor phase epitaxy；VPE）、分子束磊晶（molecular beam epitaxy；MBE）等的製程，磊晶成長多層堆疊 64 的每個層。在各種實施方式中，第一半導體層 51 可以由適合用於 p 型奈米結構場效電晶體的第一半導體材料形成，例如矽鍺或類似物等，第二半導體層 53 可以由適合用於 n 型奈米結構場效電晶體的第二半導體材料形成，例如矽、碳化矽或類似物等。出於說明性目的，多層堆疊 64 被繪示為具有適合於 p 型奈米結構場效電晶體的最底部的半導體層。在部分實施方式中，可以形成多層堆疊 64，使得最底層是適合於 n 型奈米結構場效電晶體半導體層。

**【0018】** 第一半導體材料和第二半導體材料可以是對彼此

具有高蝕刻選擇性的材料。如此一來，可以在不顯著移除 n 型區域 50N 中的第二半導體材料的第二半導體層 53 的情況下，移除第一半導體材料的第一半導體層 51，從而允許第二半導體層 53 被圖案化以形成 n 型奈米結構場效電晶體的通道區。類似地，可以在不顯著移除 p 型區域 50P 中的第一半導體材料的第一半導體層 51 的情況下，移除第二半導體材料的第二半導體層 53，從而允許第一半導體層 51 被圖案化以形成 p 型奈米結構場效電晶體的溝道區。在其他實施方式中，n 型區域 50N 和 p 型區域 50P 中的通道區可以同時形成並且具有相同的材料組成，例如矽、矽鍺或類似物等。第 26A、26B 和 26C 圖繪示了由這樣的實施方式產生的結構，舉例而言，其中 p 型區域 50P 和 n 型區域 50N 中的通道區都包含矽。

【0019】 現在參考第 3 圖，根據部分實施方式，在基板 50 中形成鰭片 66，並且在多層堆疊 64 中形成奈米結構 55。在部分實施方式中，可以通過在多層堆疊 64 和基板 50 中蝕刻溝槽，來分別在多層堆疊 64 和基板 50 中形成奈米結構 55 和鰭片 66。此蝕刻可以是任何合適的蝕刻製程，例如反應性離子蝕刻（reactive ion etch；RIE）、中性束蝕刻（neutral beam etch；NBE）、類似製程或其組合。此蝕刻可以是各向異性的。通過蝕刻多層堆疊 64 形成奈米結構 55，可以進一步從第一半導體層 51 限定第一奈米結構 52A~52C（統稱為第一奈米結構 52）並且從第二半導體層 53 限定第二奈米結構 54A~54C（統稱為第二

奈米結構 54)。第一奈米結構 52 和第二奈米結構 54 可以進一步統稱為奈米結構 55。

**【0020】** 可以通過任何合適的方法來圖案化鰭片 66 和奈米結構 55。舉例而言，可以使用一種或多種光刻微影製程來圖案化鰭片 66 和奈米結構 55，該光刻微影製程包含雙重圖案化（double-patterning）或多重圖案化（multi-patterning）製程。總體而言，雙重圖案化或多重圖案化製程將光刻微影和自我對準製程結合，從而允許產生的圖案具有例如間距小於使用單次直接光刻微影製程可獲得的間距。舉例而言，在一個實施方式中，在基板上形成犧牲層，並使用光刻微影製程將其圖案化。使用自我對準製程在圖案化的犧牲層旁邊形成間隔物。然後，移除犧牲層，然後可以使用剩餘的間隔物來圖案化鰭片 66。

**【0021】** 出於說明性目的，第 3 圖繪示 n 型區域 50N 和 p 型區域 50P 中的鰭片 66 的具有實質相等的寬度。在部分實施方式中，n 型區域 50N 中的鰭片 66 的寬度可以大於或小於 p 型區域 50P 中的鰭片 66 的寬度。更甚者，儘管在整個圖中，每個鰭片 66 和奈米結構 55 被繪示為具有一致的寬度，但是在其他實施方式中，鰭片 66 和 / 或奈米結構 55 可以具有成錐形的側壁，使得每個鰭片 66 和 / 或奈米結構 55 的寬度在朝向基板 50 的方向上持續地增加。在這樣的實施例中，每個奈米結構 55 可具有不同的寬度並且為梯形形狀。

**【0022】** 在第 4 圖中，在鄰近鰭片 66 處，形成淺溝槽隔離

(shallow trench isolation ; STI) 區域 68。可以通過在基板 50、鱗片 66 和奈米結構 55 上以及鱗片 66 之間沉積絕緣材料，來形成淺溝槽隔離區域 68。絕緣材料可以是氧化物，例如氧化矽、氮化物、類似物或其組合，並且可以通過高密度電漿化學氣相沉積 (high-density plasma CVD ; HDP-CVD)、可流動化學氣相沉積 (flowable CVD ; FCVD)、類似製程或其組合而形成。可以使用通過任何合適的製程形成的其他絕緣材料。在所示的實施方式中，絕緣材料是通過可流動化學氣相沉積製程形成的氧化矽。在形成絕緣材料之後，可以進行退火製程。在部分實施方式中，形成絕緣材料，使得過量的絕緣材料覆蓋奈米結構 55。儘管將絕緣材料繪示為單層，但是部分實施方式可以採用多層。舉例而言，在部分實施方式中，可以首先沿著基板 50、鱗片 66 和奈米結構 55 的表面形成襯層 (未單獨示出)。其後，可以在襯層上形成例如上述的填充材料。

**【0023】** 然後，對絕緣材料進行移除製程，以移除奈米結構 55 上的多餘絕緣材料。在部分實施方式中，可以使用例如化學機械拋光 (chemical mechanical polish ; CMP) 之類的平坦化製程、回蝕製程或其組合。平坦化製程露出奈米結構 55，使得在平坦化製程完成之後，奈米結構 55 和絕緣材料的上表面是齊平的。

**【0024】** 然後，使絕緣材料凹陷，以形成淺溝槽隔離區域 68。使絕緣材料凹陷使得區域 50N 和 50P 中的鱗片 66

的上部從相鄰的淺溝槽隔離區域 68 之間突出。更甚者，淺溝槽隔離區域 68 的上表面可以具有如圖所示的平坦表面、凸表面、凹表面（例如盤狀凹陷）或其組合。通過適當的蝕刻，所形成的淺溝槽隔離區域 68 的上表面可以是平坦的、凸的和/或凹的。可以使用合適的蝕刻製程來凹陷淺溝槽隔離區域 68，例如對絕緣材料的材料具有選擇性的蝕刻製程（例如以比鱗片 66 和奈米結構 55 的材料更快的速率蝕刻絕緣材料的材料）。舉例而言，可以採用氧化物移除製程，其中該氧化物移除製程例如使用經稀釋處理的氫氟酸（dilute hydrofluoric acid；dHF acid）。

**【0025】** 以上參照第 2 至 4 圖所描述的製程僅是關於如何形成鱗片 66 和奈米結構 55 的一個實施例。在部分實施方式中，可以使用遮罩和磊晶成長製程來形成鱗片 66 和/或奈米結構 55。舉例而言，可以在基板 50 的上表面上，形成介電層，並且可以蝕刻穿過該介電層的溝槽以露出下面的基板 50。可以在該溝槽中磊晶成長磊晶結構，並且可以凹陷介電層，使得磊晶結構從介電層突出，而形成鱗片 66 和/或奈米結構 55。磊晶結構可以包含上述的交替半導體材料，例如第一半導體材料和第二半導體材料。在磊晶成長磊晶結構的部分實施方式中，在成長期間，可以原位摻雜磊晶成長的材料，這可以免除之前和/或之後的植入製程，然而，原位和植入摻雜可以一起使用。

**【0026】** 另外，僅出於說明性目的，在此所繪示及討論的第一半導體層 51（以及所得的第一奈米結構 52）和第二半



導體層 53 (以及所得的第二奈米結構 54) 是在 p 型區域 50P 和 n 型區域 50N 中包含相同的材料。如此一來，在部分實施方式中，第一半導體層 51 和第二半導體層 53 中的一個或兩個可以是不同的材料，或者可以以不同的順序形成在 p 型區域 50P 和 n 型區域 50N 中。

**【0027】** 更甚者，在第 4 圖中，可以在鰭片 66、奈米結構 55 和 / 或淺溝槽隔離區域 68 中，形成適當的井 (未單獨示出)。在具有不同井類型的實施方式中，可以使用光阻或其他遮罩 (未單獨示出) 來實現不同植入步驟，以用於 n 型區域 50N 和 p 型區域 50P。舉例而言，可以在 n 型區域 50N 和 p 型區域 50P 中的鰭片 66 和淺溝槽隔離區域 68 上，形成光阻。圖案化光阻，以露出 p 型區域 50P。可以通過使用旋塗技術來形成光阻，並且可以使用合適的光刻微影技術來對光阻進行圖案化。在圖案化光阻後，在 p 型區域 50P 中進行 n 型雜質植入，並且光阻可以用作遮罩以實質上防止 n 型雜質被植入到 n 型區域 50N 中。n 型雜質可以是以大約  $10^{13}$  原子 /  $\text{cm}^3$  至大約  $10^{14}$  原子 /  $\text{cm}^3$  的濃度植入到該區域中的磷、砷、或類似物等。在植入之後，例如通過合適的灰化製程，移除光阻。

**【0028】** 在植入 p 型區域 50P 之後或之前，在 p 型區域 50P 與 n 型區域 50N 中的鰭片 66、奈米結構 55 和淺溝槽隔離區域 68 上，形成光阻或其他遮罩 (未單獨示出)。圖案化光阻，以露出 n 型區域 50N。可以通過使用旋塗技術來形成光阻，並且可以使用合適的光刻微影技術來對光阻進行

圖案化。在圖案化光阻之後，可以在 n 型區域 50N 中進行 p 型雜質植入，並且光阻可以用作遮罩以實質上防止 p 型雜質被植入到 p 型區域 50P 中。p 型雜質可以是以大約  $10^{13}$  原子/cm<sup>3</sup> 至大約  $10^{14}$  原子/cm<sup>3</sup> 的濃度植入到該區域中的硼、氟化硼、銦或類似物等。在植入之後，例如通過合適的灰化製程，移除光阻。

**【0029】** 在植入 n 型區域 50N 和 p 型區域 50P 之後，可以進行退火，以修復植入損壞並活化植入的 p 型和/或 n 型雜質。在部分實施方式中，在成長期間，可以原位摻雜磊晶鰭片的成長材料，這可以免除植入製程，儘管原位和植入摻雜可以一起使用。

**【0030】** 在第 5 圖中，在鰭片 66 和/或奈米結構 55 上形成虛設介電層 70。舉例而言，虛設介電層 70 可以是氧化矽、氮化矽、其組合或類似物等，且可以根據合適的技術沉積或熱生長。在虛設介電層 70 上形成虛設閘極層 72，並且在虛設閘極層 72 上形成遮罩層 74。在虛設介電層 70 上，可以沉積虛設閘極層 72，然後例如通過化學機械拋光 (CMP) 將虛設閘極層 72 平坦化。在虛設閘極層 72 上，可以沉積遮罩層 74。虛設閘極層 72 可以是導電或非導電材料，並且可以選自一群組，該群組包含非晶矽、多晶矽 (polycrystalline-silicon; polysilicon)、多晶矽鍺 (poly-SiGe)、金屬氮化物、金屬矽化物、金屬氧化物和金屬。可以通過物理氣相沉積 (physical vapor deposition; PVD)、化學氣相沉積、濺射沉積或用於

沉積所選材料的其他技術，來沉積虛設閘極層 72。虛設閘極層 72 可以由其他材料製成，該其他材料相較於隔離區域的蝕刻具有高蝕刻選擇性。遮罩層 74 可以包含例如氮化矽、氮氧化矽或類似物等。在該實施例中，所形成的單個虛設閘極層 72 和單個遮罩層 74 橫跨 n 型區域 50N 和 p 型區域 50P。應當注意，僅出於說明的目的，示出的虛設介電層 70 僅覆蓋鰭片 66 和奈米結構 55。在部分實施方式中，可以沉積虛設介電層 70，使得虛設介電層 70 覆蓋淺溝槽隔離區域 68，使得虛設介電層 70 在虛設閘極層 72 和淺溝槽隔離區域 68 之間延伸。

**【0031】** 第 6A 圖至第 18C 圖繪示了裝置實施方式的製造中的各種額外步驟。第 6A、7A、8A、9A、10A、11A、12A、12C、13A、13C、14A、15A 和 18C 圖繪示了區域 50N 或區域 50P 中的特徵。在第 6A 和 6B 圖中，可以使用可接受的光刻微影和蝕刻技術來對遮罩層 74（參見第 5 圖）進行圖案化，以形成遮罩 78。然後，可以將遮罩 78 的圖案轉移至虛設閘極層 72 和虛設介電層 70，以分別形成虛設閘極 76 和虛設閘極介電質 71。虛設閘極 76 覆蓋鰭片 66 的各個通道區。遮罩 78 的圖案可以用於將虛設閘極 76 中的每個與相鄰的虛設閘極 76 結構上地分開。虛設閘極 76 還可以具有一縱長方向，該縱長方向實質上垂直於各個鰭片 66 的縱長方向。

**【0032】** 在第 7A 和 7B 圖中，分別第 6A 和 6B 圖所示的結構上，形成第一間隔物層 80 和第二間隔物層 82。隨後

將第一間隔物層 80 和第二間隔物層 82 圖案化，以作為用於形成自我對準源極/汲極區域的間隔物。在第 7A 和 7B 圖中，第一間隔物層 80 形成在淺溝槽隔離區域 68 的上表面上；鰭片 66、奈米結構 55 和遮罩 78 的上表面和側壁上；以及虛設閘極 76 和虛設閘極介電質 71 的側壁上。第二間隔物層 82 沉積在第一間隔物層 80 上。第一間隔物層 80 可以由氧化矽、氮化矽、氧氮化矽或類似物等形成，其使用類似熱氧化法的技術或由化學氣相沉積、原子層沉積（ALD）或類似方法等沉積。第二間隔物層 82 可以由醫材料形成，該材料具有與第一間隔物層 80 的材料不同的蝕刻速率，該材料例如氧化矽、氮化矽、氮氧化矽或類似物等，並且可以通過化學氣相沉積、原子層沉積（ALD）或類似方法等沉積。

**【0033】** 在形成第一間隔物層 80 之後並且在形成第二間隔物層 82 之前，可以進行用於輕摻雜源極/汲極（lightly doped source/drain；LDD）區域（未單獨示出）的植入。在具有不同裝置類型的實施方式中，類似於以上在第 4 圖中討論的植入，可以在 n 型區域 50N 上方形成遮罩，例如光阻，同時露出 p 型區域 50P，且可以將合適類型（例如 p 型）的雜質植入到 p 型區域 50P 中露出的鰭片 66 和奈米結構 55 中。然後，可以移除遮罩。隨後，可以在 p 型區域 50P 上方形成遮罩，例如光阻，同時露出 n 型區域 50N，且可以將合適類型（例如 n 型）的雜質植入到 n 型區域 50N 中露出的鰭片 66 和奈米結構 55 中。然後，可

以移除遮罩。n 型雜質可以是先前討論的任何 n 型雜質，並且 p 型雜質可以是先前討論的任何 p 型雜質。輕摻雜的源極/汲極區域可具有約  $1 \times 10^{15}$  原子/cm<sup>3</sup> 至約  $1 \times 10^{19}$  原子/cm<sup>3</sup> 的雜質濃度。可以使用退火，以修復植入損壞並活化植入的雜質。

**【0034】** 在第 8 A 和 8 B 圖中，蝕刻第一間隔物層 8 0 和第二間隔物層 8 2，以形成第一間隔物 8 1 和第二間隔物 8 3。如以下將更詳細地討論的，在後續的製程中，第一間隔物 8 1 和第二間隔物 8 3 用於自我對準隨後形成的源極/汲極區域，且保護鱗片 6 6 和/或奈米結構 5 5 的側壁。可以使用合適的蝕刻工藝來蝕刻第一間隔物層 8 0 和第二間隔物層 8 2，此合適的蝕刻工藝例如為各向同性蝕刻製程（例如濕蝕刻製程）、各向異性蝕刻工藝（例如乾蝕刻製程）或類似製程。在部分實施方式中，第二間隔物層 8 2 的材料具有與第一間隔物層 8 0 的材料不同的蝕刻速率，使得當圖案化第二間隔物層 8 2 時，第一間隔物層 8 0 可以用作蝕刻停止層，且使得當圖案化第二間隔物層 8 2 時，第一間隔物層 8 0 可以用作遮罩。舉例而言，可以使用各向異性蝕刻製程來蝕刻第二間隔物層 8 2，其中第一間隔物層 8 0 用作蝕刻停止層，其中如第 8 A 圖所示，第二間隔物層 8 2 的剩餘部分形成第二間隔物 8 3。此後，在蝕刻第一間隔物層 8 0 的露出部分時，第二間隔物 8 3 作為遮罩，同時，從而形成如第 8 A 圖所示的第一間隔物 8 1。

**【0035】** 如第 8 A 圖所示，第一間隔物 8 1 和第二間隔物 8 3

設置在鰭片 66 和 / 或奈米結構 55 的側壁上。如第 8 B 圖所示，在部分實施方式中，可以從鄰近遮罩 78、虛設閘極 76 和虛設閘極介電質 71 的第一間隔物層 80 上方，移除第二間隔物層 82，並且第一間隔物 81 設置在遮罩 78、虛設閘極 76 和虛設閘極介電質 71 的側壁上。在其他實施方式中，第二間隔物層 82 的一部分可以保留在鄰近遮罩 78、虛設閘極 76 和虛設閘極介電質 71 的第一間隔物層 80 上方。

**【0036】** 注意到，以上揭露總體上描述了形成間隔物和輕摻雜源極 / 汲極區域的製程。可以使用其他製程和順序。舉例而言，可以使用更少或額外的間隔物、可以採用不同的步驟順序（例如可以在沉積第二間隔物層 82 之前，圖案化第一間隔物 81）、可以形成和移除額外的間隔物、以及 / 或類似的其他製程和順序。此外，可以使用不同的結構和步驟，來形成 n 型和 p 型裝置。

**【0037】** 在第 9 A 和 9 B 圖中，根據部分實施方式，在鰭片 66、奈米結構 55 和基板 50 中，形成第一凹槽 86。隨後，在第一凹槽 86 中，形成磊晶源極 / 汲極區域。第一凹槽 86 可以延伸穿過第一奈米結構 52 和第二奈米結構 54，並延伸到基板 50 中。如第 9 A 圖所示，淺溝槽隔離區域 68 的上表面可以與第一凹槽 86 的下表面齊平。在各個實施方式中，可以蝕刻鰭片 66，使得第一凹槽 86 的下表面設置在淺溝槽隔離區域 68 的上表面下方；或類似的設置。可以通過使用各向異性蝕刻製程，來蝕刻鰭片 66、奈米結構 55 和

基板 50，來形成第一凹槽 86，其中各向異性蝕刻製程例如為反應性離子蝕刻（reactive ion etch；RIE）、中性束蝕刻（neutral beam etch；NBE）或類似製程等。在用於形成第一凹槽 86 的蝕刻製程中，第一間隔物 81、第二間隔物 83 和遮罩 78 遮蓋鱗片 66、奈米結構 55 和基板 50 的部分。可以進行單次蝕刻或多次蝕刻製程，以蝕刻奈米結構 55 和/或鱗片 66 的每個層體。可以使用定時蝕刻製程，以在第一凹槽 86 達到期望的深度之後，停止蝕刻第一凹槽 86。

【0038】 在第 10A 和 10B 圖中，第一凹槽 86 露出的由第一半導體材料（例如第一奈米結構 52）形成的多層堆疊 64 的層體的側壁的部分被蝕刻，以在 n 型區域 50N 中形成側壁凹槽 88，且第一凹槽 86 露出的由第二半導體材料（例如第二奈米結構 54）形成的多層堆疊 64 的層體的側壁的部分被蝕刻，以在 p 型區域 50P 中形成側壁凹槽 88。儘管在第 10B 圖中將凹槽 88 中的第一奈米結構 52 和第二奈米結構 54 的側壁繪示為筆直的，但是這些側壁可以是凹的或凸的。可以使用各向同性蝕刻製程，例如濕蝕刻或類似製程等，來蝕刻側壁。可以使用遮罩（未示出）來保護 p 型區域 50P，同時使用對第一半導體材料具有選擇性的蝕刻劑來蝕刻第一奈米結構 52，使得 n 型區域 50N 中的第一奈米結構 52 相比，第二奈米結構 54 和基板 50 保持相對未蝕刻。類似地，可以使用遮罩（未示出）來保護 n 型區域 50N，同時使用對第二半導體材料具有選擇性的蝕

刻劑來蝕刻第二奈米結構 54，使得與 p 型區域 50P 中的第二奈米結構 54 相比，第一奈米結構 52 和基板 50 保持相對未蝕刻。在第一奈米結構 52 包含例如 SiGe 並且第二奈米結構 54 包含例如 Si 或 SiC 的實施方式中，可以使用採用氫氧化四甲基銨（tetramethylammonium hydroxide；TMAH）、氫氧化銨（ammonium hydroxide；NH<sub>4</sub>OH）或類似物等的乾蝕刻製程來蝕刻 n 型區域 50N 中的第一奈米結構 52 的側壁，並且可以使用採用氟化氫、另一種氟基氣體或類似物等的乾蝕刻製程來蝕刻 p 型區域 50P 中的第二奈米結構 54 的側壁。

**【0039】** 在第 11A 圖至第 11C 圖中，在側壁凹槽 88 中，形成第一內部間隔物 90。在第 10A 和 10B 圖所示的結構上，可以通過沉積內部間隔物層（未單獨示出），來形成第一內部間隔物 90。第一內部間隔物 90 用作隨後形成的源極/汲極區域和閘極結構之間的隔離特徵。如將在下面更詳細地討論的，在凹槽 86 中將形成源極/汲極區域，而 n 型區域 50N 中的第一奈米結構 52 和 p 型區域 50P 中的第二奈米結構 54 將被替換為相應的閘極結構。

**【0040】** 內部間隔層可以通過共形沉積製程來沉積，例如化學氣相沉積、原子層沉積或類似方法等。內部間隔層可以包含例如氮化矽或氮氧化矽的材料，但是可以採用任何合適的材料，例如 k 值小於約 3.5 的任何低介電常數（low-k）材料。然後，可以各向異性地蝕刻內部間隔物層，以形成第一內部間隔物 90。儘管第一內部間隔物 90 的外側壁被



繪示為與 n 型區域 50N 中的第二奈米結構 54 的側壁齊平並且與 p 型區域 50P 中的第一奈米結構 52 的側壁齊平，第一內部間隔物 90 的外側壁可以分別延伸超過第二奈米結構 54 和 / 或第一奈米結構 52 的側壁或從第二奈米結構 54 和 / 或第一奈米結構 52 的側壁凹進。

【0041】 此外，儘管在第 11B 圖中將第一內部間隔物 90 的外側壁表示繪示為筆直的，但第一內部間隔物 90 的外側壁可以是凹的或凸的。作為實施例，第 11C 圖繪示了一個實施方式，其中在 n 型區域 50N 中，第一奈米結構 52 的側壁是凹的，第一內部間隔物 90 的外側壁是凹的，並且第一內部間隔物 90 從第二奈米結構 54 的側壁凹入。還繪示了部分實施方式，其中在 p 型區域 50P 中，第二奈米結構 54 的側壁是凹形的，第一內部間隔物 90 的外側壁是凹的，並且第一內部間隔物 90 從第一奈米結構 52 的側壁凹入。可以通過各向異性蝕刻製程，例如反應性離子蝕刻 (reactive ion etch ; RIE)、中性束蝕刻 (neutral beam etch ; NBE) 或類似製程等，來蝕刻內部間隔層。第一內部間隔物 90 可以用於防止後續蝕刻製程對隨後形成的源極 / 汲極區域 (例如磊晶源極 / 汲極區域 92，以下參照第 12A 圖至第 12C 圖討論) 的損傷，該後續蝕刻製程例如為用於形成閘極結構的蝕刻製程。

【0042】 在第 12A 圖至第 12C 圖中，在第一凹槽 86 中，形成磊晶源極 / 汲極區域 92。在部分實施方式中，源極 / 汲極區域 92 可以在 n 型區域 50N 中的第二奈米結構 54 上

以及在 p 型區域 50P 中的第一奈米結構 52 上施加應力，從而提高了性能。如第 12B 圖所示，在第一凹槽 86 中形成磊晶源極/汲極區域 92，使得每個虛設閘極 76 設置在各個鄰近成對的磊晶源極/汲極區域 92 之間。在部分實施方式中，第一間隔物 81 是用於將磊晶源極/汲極區域 92 與虛設閘極 76 分開適當的橫向距離，第一間隔物 90 是用於將磊晶源極/汲極區域 92 與奈米結構 55 分開適當的橫向距離，使得磊晶源極/汲極區域 92 不要與隨後形成的奈米結構場效電晶體的閘極短路。

**【0043】** 可以通過遮蓋 p 型區域 50P(例如 PMOS 區域)，來形成 n 型區域 50N(例如 NMOS 區域)中的磊晶源極/汲極區域 92。然後，在 n 型區域 50N 中的第一凹槽 86 中，磊晶成長磊晶源極/汲極區域 92。磊晶源極/汲極區域 92 可以包含適合於 n 型奈米結構場效電晶體的任何合適的材料。舉例而言，如果第二奈米結構 54 是矽，則磊晶源極/汲極區域 92 可以包含在第二奈米結構 54 上施加拉伸應變的材料，例如矽、碳化矽、磷摻雜的碳化矽、磷化矽或類似物等。磊晶源極/汲極區域 92 可以具有從奈米結構 55 的相應上表面凸起的表面，並且可以具有晶面。

**【0044】** 可以通過遮蓋型 n 型區域 50N(例如 NMOS 區域)，來形成 p 型區域 50P(例如 PMOS 區域)中的磊晶源極/汲極區域 92。然後，在 p 型區域 50P 中的第一凹槽 86 中磊晶成長磊晶源極/汲極區域 92。磊晶源極/汲極區域 92 可以包含適合於 p 型奈米結構場效電晶體的任何合適的材

料。舉例而言，如果第一奈米結構 52 是矽鍺，則磊晶源極 / 汲極區域 92 可以包含在第一奈米結構 52 上施加壓縮應變的材料，例如矽鍺、摻雜硼的矽鍺、鍺、鍺錫或類似物。磊晶源極 / 汲極區域 92 還可以具有從多層堆疊 64 的相應表面凸起的表面，並且可以具有晶面。

**【0045】** 磊晶源極 / 汲極區域 92、第一奈米結構 52、第二奈米結構 54 和 / 或基板 50 可以植入摻雜劑，以形成源極 / 汲極區域，類似於先前討論的用於形成輕摻雜源極 / 汲極區域的製程，然後進行退火。源極 / 汲極區域的雜質濃度可以在大約  $1 \times 10^{19}$  原子 /  $\text{cm}^3$  至大約  $1 \times 10^{21}$  原子 /  $\text{cm}^3$  之間。用於源極 / 汲極區域的 n 型和 / 或 p 型雜質可以是先前討論的任何雜質。在部分實施方式中，可以在成長期間，原位摻雜磊晶源極 / 汲極區域 92。

**【0046】** 作為用於在 n 型區域 50N 和 p 型區域 50P 中形成磊晶源極 / 汲極區域 92 的磊晶製程的結果，磊晶源極 / 汲極區域 92 的上表面具有橫向擴展的晶面。如第 12A 圖所示，這些晶面使同一奈米結構場效電晶體 (NSFET) 的相鄰磊晶源極 / 汲極區域 92 合併。在其他實施方式中，如第 12C 圖所示，在磊晶製程完成之後，相鄰的磊晶源極 / 汲極區域 92 保持分離。在第 12A 和 12C 圖所示的實施方式中，第一間隔物 81 可以形成在淺溝槽隔離區域 68 的上表面上，從而阻止磊晶成長。在部分其他實施方式中，第一間隔物 81 可以覆蓋奈米結構 55 的側壁的部分，從而進一步阻止磊晶成長。在部分其他實施例中，可以調整用於

形成第一間隔物 81 的間隔物蝕刻，以移除間隔物材料，以允許磊晶成長的區域延伸到淺溝槽隔離區域 68 的表面。

**【0047】** 磊晶源極/汲極區域 92 可以包含一個或多個半導體材料層。舉例而言，磊晶源極/汲極區域 92 可以包含第一半導體材料層 92 A、第二半導體材料層 92 B 和第三半導體材料層 92 C。磊晶源極/汲極區域 92 可以使用任何數量的半導體材料層。第一半導體材料層 92 A、第二半導體材料層 92 B 和第三半導體材料層 92 C 中的每一個可以由不同的半導體材料形成並且可以被摻雜至不同的摻雜劑濃度。在部分實施方式中，第一半導體材料層 92 A 可以具有小於第二半導體材料層 92 B 並且大於第三半導體材料層 92 C 的摻雜劑濃度。在磊晶源極/汲極區域 92 包含三個半導體材料層的實施方式中，可以沉積第一半導體材料層 92 A，可以在第一半導體材料層 92 A 上沉積第二半導體材料層 92 B，且可以在第二半導體材料層 92 B 上方沉積第三半導體材料層 92 C。

**【0048】** 第 12 D 圖繪示部分實施方式，其中 n 型區域 50 N 中的第一奈米結構 52 的側壁和 p 型區域 50 P 中的第二奈米結構 54 的側壁是凹形的，第一內部間隔物 90 的外側壁是凹形的，且第一內部隔離物 90 分別從第二奈米結構 54 和第一奈米結構 52 的側壁凹進。如第 12 D 圖中所示，形成的磊晶源極/汲極區域 92 可以與第一內部間隔物 90 接觸，並且可以延伸超過 n 型區域 50 N 中的第二奈米結構 54 的側壁以及超過 p 型區域 50 P 中的第一奈米結構 52 的

側壁。

**【0049】** 在第 13 A 至 13 C 圖中，在第 6 A、12 B 和 12 A 圖所示的結構（第 7 A 至 12 D 圖的製程不會更改第 6 A 圖所示的剖面）上，分別沉積第一層間介電質（interlayer dielectric；ILD）96。第一層間介電質 96 可以由介電材料形成，並且可以通過任何合適的方法來沉積，例如化學氣相沉積（CVD）、電漿增強化學氣相沉積（plasma-enhanced CVD；PECVD）或可流動化學氣相沉積（flowable CVD；FCVD）。介電材料可包含磷矽酸鹽玻璃（phospho-silicate glass；PSG）、硼矽酸鹽玻璃（boro-silicate glass；BSG）、摻硼磷矽酸鹽玻璃（boron-doped phospho-silicate glass；BPSG）、未摻雜矽酸鹽玻璃（undoped silicate glass；USG）或類似物等。可以使用通過任何可接受的製程形成的其他絕緣材料。在部分實施方式中，接觸蝕刻停止層（contact etch stop layer；CESL）94 設置在第一層間介電質 96 與磊晶源極/汲極區域 92、遮罩 78 和第一間隔物 81 之間。接觸蝕刻停止層 94 可以包含介電質材料，例如氮化矽、氧化矽、氮氧化矽或類似物等，且具有與上方的第一層間介電質 96 的材料不同的蝕刻速率。

**【0050】** 在第 14 A 圖至第 14 B 圖中，可以進行例如化學機械拋光之類的平坦化製程，以使第一層間介電質 96 的上表面與虛設閘極 76 或遮罩 78 的上表面齊平。平坦化製程也可移除虛設閘極 76 上的遮罩 78 以及沿著遮罩 78 的側壁

的第一間隔物 81 的部分。在平坦化製程之後，虛設閘極 76、第一間隔物 81 和第一層間介電質 96 的上表面在製程變異範圍內齊平。因此，虛設閘極 76 的上表面通過第一層間介電質 96 露出。在部分實施方式中，可以保留遮罩 78，在這種情況下，平坦化製程使第一層間介電質 96 的上表面與遮罩 78 和第一間隔物 81 的上表面齊平。

**【0051】** 在第 15 A 圖和第 15 B 圖中，在一或多個蝕刻步驟中，移除了虛設閘極 76 和遮罩 78（如果存在），從而形成了第二凹槽 98。第二凹槽 98 中的虛設閘極介電質 71 的部分也被移除。在部分實施方式中，通過各向異性乾蝕刻製程，移除虛設閘極 76 和虛設閘極介電質 71。舉例而言，蝕刻製程可以包含使用一或多種反應氣體的乾蝕刻製程，該反應氣體以比蝕刻第一層間介電質 96 或第一間隔物 81 更快的速率選擇性地蝕刻虛設閘極 76。每個第二凹槽 98 露出和/或覆蓋奈米結構 55 的部分，該奈米結構 55 的露出部份在隨後完成的奈米結構場效電晶體中作為通道區。作為通道區的奈米結構 55 的部分設置在鄰近成對的磊晶源極/汲極區域 92 之間。在移除期間，當蝕刻虛設閘極 76 時，虛設閘極介電質 71 可以用作蝕刻停止層。然後，可以在移除虛設閘極 76 之後，移除虛設閘極介電質 71。

**【0052】** 在第 16 A 圖至第 22 B 圖中，根據部分實施方式，在 p 型區域 50 P 和 n 型區域 50 N 中定義了奈米結構，並且形成了閘極介電層和閘極電極，以替換閘極。多個閘極介電層的形成可以同時發生在 n 型區域 50 N 和 p 型區域

50P 中，使得每個區域中的閘極介電層由相同的材料形成，並且多個閘極電極的形成可以同時發生。從而使得每個區域中的閘極電極由相同的材料形成。在部分實施方式中，可以通過各個不同的製程，來形成每個區域中的多個閘極介電層，使得這些閘極介電層可以是不同的材料和/或具有不同數量的層，且/或可以通過各個不同的製程在每個區域中形成閘極電極，使得這些閘極電極可以是不同的材料和/或具有不同數量的層。當使用這些各個不同的製程時，可以使用各種遮罩步驟來遮蓋和露出適當的區域。在以下的描述中，分別形成 n 型區域 50N 的閘極電極和 p 型區域 50P 的閘極電極。

**【0053】** 在第 16A 圖和第 16B 圖中，可以通過在 n 型區域 50N 上方形成遮罩（未示出）並進行各向同性蝕刻製程（例如濕蝕刻或類似方法），來移除 p 型區域 50P 中的第二奈米結構 54，其中該各向同性蝕刻製程使用對第二奈米結構 54 的材料具有選擇性的蝕刻劑，而與第二奈米結構 54 相比，第一奈米結構 52、基板 50 和淺溝槽隔離區域 68 保持相對未蝕刻的狀態。在某些實施方式中，其中第二奈米結構 54 包含例如 SiGe，並且第一奈米結構 52 包含例如 Si 或 SiC，可以使用氟化氫、另一種氟基氣體或類似物等，來移除 p 型區域 50P 中的第二奈米結構 54。

**【0054】** 如第 16A 圖所示，第一奈米結構 52 可以具有高度 H1 和寬度 W1，並且高度 H1 與寬度 W1 之比例可以在大約 0.05 至大約 4 的範圍內。該比例足以避免影響裝置

的導通電流 ( $I_{on}$ )，同時在沉積過程中仍可控制。舉例而言，據觀察得知，當高度  $H_1$  與寬度  $W_1$  之比例大於 4 時，奈米結構場效電晶體的通道區可能太厚並且對所得裝置的導通電流 ( $I_{on}$ ) 產生負面影響。據觀察得知，當高度  $H_1$  與寬度  $W_1$  之比大於 4 時，由於薄膜沉積製程的物理限制，通道區可能太薄而在沉積期間不受控制。

**【0055】** 在其他實施方式中，可以同時形成 n 型區域 50N 和 p 型區域 50P 中的通道區，例如通過移除 n 型區域 50N 和 p 型區域 50P 兩者中的第一奈米結構 52，或通過移除 n 型區域 50N 和 p 型區域 50P 兩者中的第二奈米結構 54。在這樣的實施方式中，n 型奈米結構場效電晶體和 p 型奈米結構場效電晶體的通道區可以具有相同的材料成分，例如矽、矽鍺或類似物等。第 26A、26B 和 26C 圖示出了由這樣的實施方式產生的結構，其中 p 型區域 50P 和 n 型區域 50N 中的通道區由第二奈米結構 54 提供並且例如包含矽。在這樣的實施方式中，第二奈米結構 54 可以具有與以上針對第 16A 圖中的第一奈米結構 52 所討論的相同的尺寸。

**【0056】** 第 17A 圖至第 19B 圖示出了在 p 型區域 50P 中形成閘極介電質 100 和閘極電極 102，並且至少在在 p 型區域 50P 中形成閘極電極 102 時，可以遮蔽 n 型區域 50N（例如如下第 18A 圖至第 19B 圖所述）。

**【0057】** 在第 17A 圖和第 17B 圖中，閘極介電質 100 保形地沉積在 p 型區域 50P 的第二凹槽 98 中。閘極介電質



100 包含一或多個介電層，例如氧化物、金屬氧化物、類似物或其組合。舉例而言，在部分實施方式中，閘極介電質 100 可以包含第一閘極介電質 101（例如包含氧化矽或類似物等）以及在第一閘極介電質 101 上的第二閘極介電質 103（例如包含金屬氧化物或類似物等）。在部分實施方式中，第二閘極介電質 103 包含高 k 介電材料，並且在這些實施方式中，第二閘極介電質 103 的 k 值可以大於大約 7.0，並且可以包含鉛、鋁、銦、鐳、錳、鋇、鈦、鉛及其組合形成的金屬氧化物或矽酸鹽。在部分實施方式中，第一閘極介電質 101 可以被稱為介面層，第二閘極介電質 103 可以被稱為高 k 閘極介電質。

【0058】 在 n 型區域 50N 和 p 型區域 50P 中，閘極介電質 100 的結構可以相同或不同。舉例而言，可以在 p 型區域 50P 中形成閘極介電質 100 的同時，遮蔽或露出 n 型區域 50N。在露出 n 型區域 50N 的實施方式中，可以在 n 型區域 50N 中同時形成閘極介電質 100。閘極介電質 100 的形成方法可以包含分子束沉積（molecular-beam deposition；MBD）、原子層沉積（ALD）、電漿增強化學氣相沉積（PECVD）或類似方法等。

【0059】 在第 18A 和 18B 圖中，在 p 型區域 50P 中的閘極介電質 100 上，共形地沉積導電材料 105。在部分實施方式中，導電材料 105 是 p 型功函數金屬（WFM）層，其包含氮化鈦、氮化鋇、氮化鎢、氮化鉬或類似物等。導電材料 105 可以通過化學氣相沉積（CVD）、原子層沉積

(ALD)、電漿增強化學氣相沉積(PECVD)、物理氣相沉積(PVD)或類似方法等沉積。在部分實施方式中，可以在閘極介電質100的露出表面上，沉積導電材料105至足夠的厚度，使得導電材料105在相鄰的第一奈米結構52(例如第一奈米結構52A、52B和52C)之間的區域50I中融合。舉例而言，可以在區域50I中的第一奈米結構52的表面上沉積導電材料105，並且隨著在沉積期間導電材料105的厚度增加，導電材料105的分離部分可以沿著接縫105S接觸並合併。具體地，導電材料105的沉積可以持續直到在區域50I中導電材料105的第一部分105A與導電材料105的第二部分105B合併。

**【0060】** 如第18A圖所示，導電材料105可以在區域50I之外(例如導電材料105的未合併區域)具有厚度T1，並且在區域50I內(例如導電材料105的合併區域)具有厚度T2。舉例而言，導電材料105可以在第一奈米結構52的側壁上和在第一奈米結構52的最上表面上具有厚度T1。厚度T1的厚度足以填充相鄰的第一奈米結構52(例如第一奈米結構52A、52B和52C)之間的空間。舉例而言，厚度T1可以是厚度T2的至少一半，並且厚度T2與厚度T1的比例可以不大於大約2:1。

**【0061】** 在部分實施方式中，厚度T1可以在大約30埃到大約50埃的範圍內。據觀察得知，當厚度T1大於大約50Å時，導電材料105的體積可能不必要地大了而限制了形成用於閘極電極的填充金屬(例如以下討論的填充金屬

117) 的製程窗口。據觀察得知，當厚度  $T_1$  小於大約 30 埃時，導電材料 105 可能不能充分填充第一奈米結構 52 中相鄰的數個之間的空間，這可能導致所得電晶體的閾值電壓性能不穩定。

**【0062】** 在第一奈米結構 52A 之間的最窄點處，導電材料 105 具有寬度  $W_2$ 。在部分實施方式中，寬度  $W_2$  在大約 10 奈米至大約 180 奈米的範圍內。據觀察得知，當寬度  $W_2$  大於大約 180 奈米時，在區域 50I 中沉積導電材料 105 和圖案化/蝕刻薄膜的製程控制可能受到負面影響（例如類似於高縱橫比的效果）。據觀察得知，當寬度  $W_2$  小於大約 10 奈米時，有效通道長度可能太短，而對所得電晶體的導通電流產生負面影響。

**【0063】** 此外，在部分實施方式中，厚度  $T_2$  與寬度  $W_2$  的比例在大約 0.03 至大約 1 的範圍內。據觀察得知，當厚度  $T_2$  與寬度  $W_2$  之比大於大約 1 時，導電材料 105 可能太厚，這對所得電晶體的導通電流產生負面影響。據觀察得知，當厚度  $T_2$  與寬度  $W_2$  的比例小於大約 0.03 時，在區域 50I 中沉積導電材料 105 的製程控制可能受到負面影響（例如類似於高縱橫比的效果）。

**【0064】** 導電材料 105 填充第一奈米結構 52 之間的剩餘空間。舉例而言，區域 50I 跨越第一奈米結構 52 之相鄰的數個之間的整個距離（例如第一奈米結構 52A 和 52B 之間或第一奈米結構 52B 和 52C 之間）。區域 50I 可以被以下物件填充：閘極介電質 100 的第一部分（例如第一

閘極介電質 100A)、在第一閘極介電質 100A 上方並與之接觸的導電材料 105 的合併部分以及在導電材料 105 的合併部分上方並與之接觸的閘極介電質 100 的第二部分(例如第二閘極介電層 100B)。第一閘極介電質 100A 包含介面層 101A 以及高 k 閘極介電質 103A, 第二閘極介電質 100B 包含介面層 101B 和高 k 介電質 103B。換句話說, 導電材料 105 可以連續地延伸並且完全填充第一奈米結構 52 中的相鄰數個上的閘極介電質 100 的部分之間的區域。值得注意的是, 在區域 50I 中不存在分隔導電材料 105 的不同區域的阻擋層。舉例而言, 在區域 50I 中, 閘極電極可以沒有任何阻擋層。通過在內部區域 50I 中省略阻擋層, 可以簡化製造程序。此外, 據觀察得知, 導電材料 105 的厚度變化(例如厚度 T1 和 T2 之間的差)不會顯著影響所得電晶體的電氣性能。舉例而言, 在實驗資料中, 具有厚度變化的導電材料 105 的電晶體(例如第 18A 和 18B 圖所示)的有效功函數為大約 4.89V。相比之下, 具有更均勻的功函數金屬層(例如以中間阻擋層防止 WFM 層在區域 50I 中合併而提供的)具有大約 4.90V 的有效功函數。因此, 各種實施方式允許更容易地製造具有相似的有效功函數的電晶體, 且不會顯著降低所得電晶體的電氣性能。

**【0065】** 在第 19A、19B、19C 和 19D 圖中, 沉積閘極電極 102 的剩餘部分, 以填充第二凹槽 98 的剩餘部分。舉例而言, 可以在導電材料 105 上, 沉積黏著層 115 和填

充金屬 117。所形成的閘極電極 102 用於替換閘極，並且可以包含導電材料 105、黏著層 115 和填充金屬 117。第 19C 圖繪示沿著第 19B 圖的線 X-X'（例如在區域 50I 中）的俯視圖，而第 19D 圖繪示沿第 19B 圖的線 Y-Y' 的俯視圖（例如穿過第一奈米結構 52）。

**【0066】** 在部分實施方式中，在 p 型區域 50P 中的導電材料 105 上，共形地沉積黏著層 115。在部分實施方式中，黏著層 115 包含氮化鈦、氮化鉭或類似物等。可以通過化學氣相沉積、原子層沉積、電漿增強化學氣相沉積、物理氣相沉積或類似方法等，來沉積黏著層 115。黏著層 115 可以可替代地稱為膠合層，並且例如改善導電材料 105 和上覆的填充金屬 117 之間的附著力。

**【0067】** 然後，可以將填充金屬 117 沉積在黏著層 115 上方。在部分實施方式中，填充金屬 117 包含鈷、鈦、鋁、鎢、其組合或類似物等，其通過化學氣相沉積、原子層沉積、電漿增強化學氣相沉積、物理氣相沉積或類似方法等來沉積。在部分實施方式中，填充金屬 117 可以包含使用化學氣相沉積製程沉積的鎢。據觀察得知，化學氣相沉積為填充金屬 117 提供了改善的沉積速率。在部分實施方式中，用於沉積填充金屬 117 的化學氣相沉積製程可以包含供應第一前驅物（例如  $WF_6$  或類似物等）和第二前驅物（例如， $SiH_4$  或類似物等）。在部分實施方式中，可以在用於填充金屬 117 的化學氣相沉積製程期間，同時供應第一前驅物和第二前驅物。

【0068】 在 p 型區域 50P 中，閘極介電質 100、導電材料 105、黏著層 115 和填充金屬 117 可以分別形成在第一奈米結構 52 的上表面、側壁和下表面上。閘極介電質 100、導電材料 105、黏著層 115 和填充金屬 117 也可以沉積在第一層間介電質 96、接觸蝕刻停止層 94、第一間隔物 81 和淺溝槽隔離區域 68 的上表面上。在填充第二凹槽 98 之後，可以進行例如化學機械拋光的平坦化製程，以移除閘極介電質 100、導電材料 105、黏著層 115 和填充金屬 117 的多餘部分，這些多餘部分是在第一層間介電質 96 的上表面上。閘極電極 102 和閘極介電質 100 的材料的剩餘部分，從而形成所得奈米結構場效電晶體的替換閘極結構。閘極電極 102 和閘極介電質 100 可以被統稱為「閘極結構」。

【0069】 儘管第 19A 和 19B 圖將閘極介電質 100 和閘極電極 102 繪示為具有直的側壁和直角，但是閘極介電質 100 和閘極電極 102 可以具有不同的配置。舉例而言，第 20 圖繪示了根據另一實施方式的閘極介電質 100 和閘極電極 102 的剖面圖。在第 20 圖中，相同的附圖標記表示與使用相同製程形成的第 19A 和 19B 圖相同的元件。然而，在第 20 圖中，由於第一奈米結構 52 具有圓角，所以閘極介電質 100 和閘極電極 102 可同樣具有圓角。

【0070】 此外，儘管第 19A 和 19B 圖示出了第一奈米結構 52 的最下面的一個接觸下面的鰭片 66，但是第一奈米結構 52 的最下面的一個（例如第一奈米結構 52A）可以與

下面的鰭片 66 分開，如第 21 圖所示。在第 20 圖中，相同的附圖標記表示與使用相同製程形成的第 19A 和 19B 圖相同的元件。舉例而言，可以通過在第一奈米結構 52 和鰭片 66 之間設置第二奈米結構 54，然後如上所述地移除第二奈米結構 54，來形成第 21 圖的結構。結果，閘極介電質 100 和導電材料 105 的部分可以設置在第一奈米結構 52 的最下面的一個和鰭片 66 之間。

**【0071】** 第 22A 和 22B 圖繪示了 n 型區域 50N 中的閘極堆疊。在 n 型區域 50N 中形成閘極堆疊可以包含先移除 n 型區域 50N 中的第一奈米結構 52。可以通過在 p 型區域 50P 上形成遮罩（未示出），且使用對第一奈米結構 52 的材料具有選擇性的蝕刻劑進行諸如濕蝕刻或類似蝕刻等的各向同性蝕刻製程，來移除第一奈米結構 52，同時與第一奈米結構 52 相比，第二奈米結構 54、基板 50 和淺溝槽隔離區域 68 保持相對未被蝕刻。在某些實施方式中，其中在第一奈米結構 52A 至 52C 包含例如 SiGe，並且第二奈米結構 54A - 54C 包含例如 Si 或 SiC，可以氫氧化四甲基銨（tetramethylammonium hydroxide；TMAH），氫氧化銨（ammonium hydroxide；NH<sub>4</sub>OH）或類似物等，來移除 n 型區域 50N 中的第一奈米結構 52。

**【0072】** 然後，在 n 型區域 50N 中的第二奈米結構 54 之上和周圍，形成閘極堆疊。閘極堆疊包含閘極介電質 100 和閘極電極 127。在部分實施方式中，可以同時形成 n 型區域 50N 和 p 型區域 50P 中的閘極介電質 100。此外，

可以在形成閘極電極 102 (見第 19A 和 19B 圖) 之前或之後, 形成閘極電極 127 的至少部分, 並且可以在形成 p 型區域 50P 被遮蔽的同時形成閘極電極 127 的至少部分。如此一來, 閘極電極 127 可以包含與閘極電極 102 不同的材料。舉例而言, 閘極電極 127 可以包含導電層 121、阻擋層 123 和填充金屬 125。導電層 121 可以是 n 型功函數金屬 (WFM) 層, 包含 n 型金屬, 例如鈦鋁、碳化鈦鋁、鉭鋁、碳化鉭、其組合或類似物等。可以通過化學氣相沉積、原子層沉積、電漿增強化學氣相沉積、物理氣相沉積等沉積導電層 121。阻擋層 123 可以包含氮化鈦、氮化鉭、碳化鎢、其組合或類似物等, 並且阻擋層 123 可以進一步用作黏著層。阻擋層 123 可以通過化學氣相沉積、原子層沉積、電漿增強化學氣相沉積、物理氣相沉積等沉積。填充金屬 125 可以包含通過化學氣相沉積、原子層沉積、電漿增強化學氣相沉積、物理氣相沉積等沉積的鈷、鈦、鋁、鎢、其組合或類似物等。填充金屬 125 可以或可以不具有相同的材料成份且與填充金屬 117 同時沉積。

**【0073】** 在填充第二凹槽 98 之後, 可以進行例如化學機械拋光的平坦化製程, 以移除閘極介電質 100 以及導電材料 127 的多餘部分, 這些多餘部分是在第一層間介電質 96 的上表面上。閘極電極 127 和閘極介電質 100 的材料的剩餘部分, 從而形成 n 型區域 50N 的所得奈米結構場效電晶體的替換閘極結構。可以同時或分開地進行用以移除 p 型區域 50P 中的閘極電極 102 的多餘材料的化學機械拋光製



程以及用以移除 n 型區域 50N 中的閘極電極 127 的多餘材料的化學機械拋光製程。

**【0074】** 在第 23A 圖至第 23C 圖中，使閘極結構（包含閘極介電質 100、閘極電極 102 和閘極電極 127）凹陷，從而在該閘極結構的正上方和第一間隔物 81 的相對部分之間形成凹槽。將包含一或多層介電材料（例如氮化矽、氮氧化矽或類似物等）的閘極遮罩 104 填充在凹槽中，然後進行平坦化製程，以移除在第一層間介電層 96 上延伸的介電材料的多餘部分。隨後形成的閘極接觸件（例如下面參照第 24A 和 24B 圖討論的閘極接觸件 114）穿過閘極遮罩 104，以接觸凹陷的閘極電極 102 和 127 的上表面。

**【0075】** 如第 23A 至 23C 圖進一步繪示的，在第一層間介電質 96 上方和閘極遮罩 104 上方，沉積第二層間介電質 106。在部分實施方式中，第二層間介電質 106 是通過可流動化學氣相沉積（FCVD）形成的可流動薄膜。在部分實施方式中，第二層間介電質 106 由介電材料形成，例如磷矽酸鹽玻璃（PSG）、硼矽酸鹽玻璃（BSG）、摻硼磷矽酸鹽玻璃（BPSG）、未摻雜矽酸鹽玻璃（USG）或類似物等，並且可以通過任何適當方法來沉積，例如化學氣相沉積（CVD）、電漿增強化學氣相沉積（PECVD）或類似方法等。

**【0076】** 在第 24A 至 24C 圖中，蝕刻第二層間介電質 106、第一層間介電質 96、接觸蝕刻停止層 94 和閘極遮罩 104，以形成第三凹槽 108，該第三凹槽露出磊晶源極/汲極區域

92 和 / 或閘極結構的表面。第三凹槽 108 可以通過使用各向異性蝕刻製程（例如反應性離子蝕刻、中性束蝕刻或類似方法等）的蝕刻來形成。在部分實施方式中，第三凹槽 108 可以藉由使用第一蝕刻製程來蝕刻穿過第二層間介電質 106 和第一層間介電質 96；藉由使用第二蝕刻製程穿過閘極遮罩 104；然後可以使用第三蝕刻製程穿過接觸蝕刻停止層 94。可以在第二層間介電質 106 上形成遮罩，例如光阻，並將其圖案化，以遮蔽第二層間介電質 106 的部分免於第一蝕刻製程和第二蝕刻製程。在部分實施方式中，蝕刻製程可能會過度蝕刻，因此，第三凹槽 108 延伸到磊晶源極 / 汲極區域 92 和 / 或閘極結構中，並且第三凹槽 108 的底部可以齊平於（例如在相同的水平上，或離基板具有相同的距離）或低於（例如更接近基板）磊晶源極 / 汲極區域 92 和 / 或閘極結構。儘管第 23B 圖繪示了第三凹槽 108 以相同的剖面露出磊晶源極 / 汲極區域 92 和閘極結構，但在各種實施方式中，可以以不同的剖面露出磊晶源極 / 汲極區域 92 和閘極結構，從而減少了隨後形成的接觸件短路的風險。

**【0077】** 在形成第三凹槽 108 之後，在磊晶源極 / 汲極區域 92 上，形成矽化物區 110。在部分實施方式中，矽化物區 110 的形成是通過先沉積能夠與下方磊晶源極 / 汲極區域 92 的半導體材料（例如矽、矽鍺、鍺）反應的金屬（未示出），來形成矽化物或鍺化物區，例如鎳、鈷、鈦、鈮、鉑、鎢、其他貴金屬（noble metals）、其他難熔金屬

(refractory metals)、稀土金屬(rare earth metals)或其合金，在磊晶源極/汲極區域 92 的露出部分上，然後執行熱退火製程以形成矽化物區 110。然後，例如通過蝕刻製程，移除沉積金屬的未反應部分。儘管矽化物區 110 被稱為矽化物區，但是矽化物區 110 也可以是鍺化物區或矽鍺化物區（例如包括矽化物和鍺化物的區域）。在部分實施方式中，矽化物區 110 包括  $TiSi$ ，並且具有在大約 2 奈米與大約 10 奈米之間的範圍內的厚度。

**【0078】** 接下來，在第 25 A 至 25 C 圖中，在第三凹槽 108 中，形成接觸件 112 和 114（也可以稱為接觸插栓）。接觸件 112 和 114 可以各自包括一或多個層，例如阻擋層、擴散層和填充材料。舉例而言，在部分實施方式中，接觸件 112 和 114 中的每一個包括阻擋層和導電材料，並且電性耦合到下面的導電特徵（例如所示的實施方式中的閘極電極 102、閘極電極 127 和/或矽化物區 110）。接觸件 114 電性耦合到閘極電極 102 和 127，並且可以被稱為閘極接觸件，且接觸件 112 電性耦合到矽化物區 110 且可以被稱為源極/汲極接觸件。阻擋層可以包括鈦、氮化鈦、鈮、氮化鈮或類似物等。導電材料可以是銅、銅合金、銀、金、鎢、鈷、鋁、鎳或類似物等。可以進行例如化學機械拋光（CMP）的平坦化製程，以從第二層間介電層 106 的表面，移除多餘的材料。

**【0079】** 第 26 A 圖至第 26 C 圖繪示了根據部分替代實施方式的裝置的剖面圖。第 26 A 圖示出了第 1 圖所示的參考剖

面 A - A'。第 26B 圖示出了第 1 圖所示的參考剖面 B - B'。第 26C 圖示出了第 1 圖所示的參考剖面 C - C'。在第 26A 圖至第 26C 圖中，相同的附圖標記表示通過與第 25A 至 25C 圖的結構相同的製程形成的相同元件。然而，在第 26A 圖至第 26C 圖中，n 型區域 50N 和 p 型區域 50P 中的通道區包括相同的材料。舉例而言，包括矽的第二奈米結構 54 在 p 型區域 50P 中為 p 型奈米結構場效電晶體提供通道區，並且在 n 型區域 50N 中為 n 型奈米結構場效電晶體提供通道區。舉例而言，可以通過同時從 p 型區域 50P 和 n 型區域 50N 兩者中移除第一奈米結構 52；在 p 型區域 50P 中的第二奈米結構 54 周圍，沉積閘極介電質 100 和閘極電極 102；在 n 型區域 50N 中的第一奈米結構 54 周圍，沉積閘極介電質 100 和閘極電極 127，來形成第 26A 圖至第 26C 圖的結構。

**【0080】** 各個實施方式提供了在相鄰奈米結構之間沒有阻擋層的電晶體（例如奈米結構場效電晶體）的閘極堆疊。已經確定由於功函數金屬層的合併區域（例如在奈米結構場效電晶體的奈米線之間）引起的厚度變化可能不會顯著影響電晶體的電氣特性（例如，據觀察得知了相對相似的有效功函數）。通過不在功函數金屬層周圍沉積阻擋層（例如以防止功函數金屬層的部分形成合併），可以提高製造容易性。在具有小特徵尺寸的先進半導體節點中尤其如此，因為阻擋層材料（例如氮化鋁或類似等）可能難以沉積在小空間中。因此，通過在閘極堆疊中省略此類阻擋層並允

許功函數金屬層在某些區域合併，可以提高製造的便利性，並且可以減少製造缺陷（例如由於阻擋層沉積不良而導致的缺陷），而不會顯著影響產生的電晶體閘極的電氣性能。

**【0081】** 在部分實施方式中，裝置包含一第一奈米結構；一第二奈米結構，位於該第一奈米結構上；一第一高  $k$  閘極介電質，設置於該第一奈米結構周圍；一第二高  $k$  閘極介電質，設置於該第二奈米結構周圍；以及一閘極電極，位於該第一高  $k$  閘極介電質和該第二高  $k$  閘極介電質上。該閘極電極在該第一奈米結構與該第二奈米結構之間的一部分包含一  $p$  型功函數金屬的一第一部分，該  $p$  型功函數金屬的該第一部分填滿該第一高  $k$  閘極介電質和該第二高  $k$  閘極介電質之間的一區域。

**【0082】** 可選地，於部分實施方式中，該  $p$  型功函數金屬的該第一部分包含接縫，位於該第一奈米結構以及該第二奈米結構之間。

**【0083】** 可選地，於部分實施方式中，該  $p$  型功函數金屬的該第一部分具有一第一厚度，該  $p$  型功函數金屬位於該第一奈米結構的一側壁上的一第二部分具有一第二厚度，且其中該第一厚度大於該第二厚度。

**【0084】** 可選地，於部分實施方式中，該第一厚度與該第二厚度的比例不大於 2 : 1。

**【0085】** 可選地，於部分實施方式中，該第二厚度在 30 埃至 50 埃的範圍內。

**【0086】** 可選地，於部分實施方式中，該第二厚度與該  $p$

型功函數金屬的一最小寬度的比例在 0.03 至 1 的範圍內。

**【0087】** 可選地，於部分實施方式中，該 p 型功函數金屬的該最小寬度在 10 奈米至 180 奈米的範圍內。

**【0088】** 可選地，於部分實施方式中，該閘極電極在該第一奈米結構與該第二奈米結構之間的該部分是免於任何阻障層。

**【0089】** 可選地，於部分實施方式中，該閘極電極更包含一黏著層，位於該 p 型功函數金屬上，且該黏著層不延伸至該第一奈米結構與該第二奈米結構之間。

**【0090】** 可選地，於部分實施方式中，該第一奈米結構的一高度與該第一奈米結構的一寬度的比例在 0.05 至 4 的範圍內。

**【0091】** 於部分實施方式中，電晶體包含一第一奈米結構，位於一半導體基板上；一第二奈米結構，位於該第一奈米結構上；一閘極介電質，環繞該第一奈米結構以及該第二奈米結構；以及一閘極電極，位於該閘極介電質上。該閘極電極包含：一 p 型功函數金屬，其中該 p 型功函數金屬從該閘極介電質於該第一奈米結構上的一第一部分連續地延伸至該閘極介電質於該第二奈米結構上的一第二部分；一黏著層，位於該 p 型功函數金屬上；以及一填充金屬，位於該黏著層上。

**【0092】** 可選地，於部分實施方式中，該 p 型功函數金屬在該第二奈米結構的一表面上具有一第一厚度且在該第

一奈米結構與該第二奈米結構之間具有一第二厚度，其中該第一厚度少於該第二厚度。

**【0093】** 可選地，於部分實施方式中，該 p 型功函數金屬包含一接縫，位於該第一奈米結構以及該第二奈米結構之間。

**【0094】** 可選地，於部分實施方式中，該 p 型功函數金屬包含氮化鈦。

**【0095】** 可選地，於部分實施方式中，電晶體更包含一介面層，位於該閘極介電質下，其中該介面層環繞該第一奈米結構以及該第二奈米結構，且該閘極介電質包含高 k 材料。

**【0096】** 於部分實施方式中，一種方法包含在一第一奈米結構以及一第二奈米結構周圍，沉積一閘極介電質，其中該第一奈米結構設置於該第二奈米結構上；以及在該閘極介電質上，沉積一 p 型功函數金屬。沉積該 p 型功函數金屬包含：沉積該 p 型功函數金屬的一第一部分在該第二奈米結構的一上表面上以及一第二部分在該第二奈米結構的一下表面上；以及接著沉積該 p 型功函數金屬，直到該 p 型功函數金屬的該第一部分與該 p 型功函數金屬的該第二部分合併。

**【0097】** 可選地，於部分實施方式中，該方法更包含：在該 p 型功函數金屬上，沉積一黏著層；以及在該黏著層上，沉積一填充金屬。

**【0098】** 可選地，於部分實施方式中，沉積該 p 型功函數

金屬包含沉積該 p 型功函數金屬以具有：一第一厚度，位於該第一奈米結構以及該第二奈米結構之間；以及一第二厚度，位於該第一奈米結構的一側壁上，其中該第一厚度大於該第二厚度。

**【0099】** 可選地，於部分實施方式中，該第一厚度與該第二厚度的比例不大於 2：1。

**【0100】** 可選地，於部分實施方式中，沉積該 p 型功函數金屬更包含：在該 p 型功函數金屬的該第一部分以及該 p 型功函數金屬的該第二部分之間，形成一接縫。

**【0101】** 以上概述多個實施方式之特徵，該技術領域具有通常知識者可較佳地了解本揭露之多個態樣。該技術領域具有通常知識者應了解，可將本揭露作為設計或修飾其他程序或結構的基礎，以實行實施方式中提到的相同的目的以及/或達到相同的好處。該技術領域具有通常知識者也應了解，這些相等的結構並未超出本揭露之精神與範圍，且可以進行各種改變、替換、轉化，在此，本揭露精神與範圍涵蓋這些改變、替換、轉化。

#### **【符號說明】**

#### **【0102】**

20：分隔器

50：基板

50N：n 型區域

50P：p 型區域



- 5 0 I： 區域
- 5 1， 5 1 A ~ 5 1 C： 第一半導體層
- 5 2， 5 2 A ~ 5 2 C： 第一奈米結構
- 5 3， 5 3 A ~ 5 3 C： 第二半導體層
- 5 4， 5 4 A ~ 5 4 C： 第一奈米結構
- 5 5： 奈米結構
- 6 4： 多層堆疊
- 6 6： 鱗片
- 6 8： 隔離區域
- 7 0： 虛設介電層
- 7 1： 虛設介電質
- 7 2： 虛設閘極層
- 7 4： 遮罩層
- 7 6： 虛設閘極
- 7 8： 遮罩
- 8 0： 第一間隔物層
- 8 1： 第一間隔物
- 8 2： 第二間隔物層
- 8 3： 第二間隔物
- 8 6： 第一凹槽
- 8 8： 凹槽
- 9 0： 內部間隔物
- 9 2： 磊晶源極 / 汲極區域
- 9 2 A： 第一半導體材料層

- 9 2 B：第二半導體材料層
- 9 2 C：第三半導體材料層
- 9 4：接觸蝕刻停止層
- 9 6：第一層間介電質
- 9 8：第二凹槽
- 1 0 0：閘極介電質
- 1 0 0 A：第一閘極介電質
- 1 0 0 B：第二閘極介電層 1
- 1 0 1：第一閘極介電質
- 1 0 1 A：介面層
- 1 0 1 B：介面層
- 1 0 2：閘極電極
- 1 0 3：第二閘極介電質
- 1 0 3 A：高 k 閘極介電質
- 1 0 3 B：高 k 閘極介電質
- 1 0 4：閘極遮罩
- 1 0 5：導電材料
- 1 0 5 A：第一部分
- 1 0 5 B：第二部分
- 1 0 5 S：接縫
- 1 0 6：第二層間介電質
- 1 0 8：第三凹槽
- 1 1 0：矽化物區
- 1 1 2, 1 1 4：接觸件

1 1 5：黏著層

1 1 7：填充金屬

1 2 1：導電層

1 2 3：阻擋層

1 2 5：填充金屬

1 2 7：閘極電極

H 1：高度

W 1：寬度

W 2：寬度

T 1：厚度

T 2：厚度

A - A'，B - B'，C - C'：剖面

X - X'，Y - Y'：線

**【生物材料寄存】**

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

## 【發明申請專利範圍】

【請求項 1】 一種裝置，包含：

一第一奈米結構；

一第二奈米結構，位於該第一奈米結構上；

一第一高  $k$  閘極介電質，設置於該第一奈米結構周圍；

一第二高  $k$  閘極介電質，設置於該第二奈米結構周圍；以及

一閘極電極，位於該第一高  $k$  閘極介電質和該第二高  $k$  閘極介電質上，其中該閘極電極在該第一奈米結構與該第二奈米結構之間的一部分包含一  $p$  型功函數金屬的一第一部分，該  $p$  型功函數金屬的該第一部分填滿該第一高  $k$  閘極介電質和該第二高  $k$  閘極介電質之間的一區域。

【請求項 2】 如請求項 1 所述之裝置，其中該  $p$  型功函數金屬的該第一部分包含一接縫，位於該第一奈米結構以及該第二奈米結構之間。

【請求項 3】 如請求項 1 所述之裝置，其中該  $p$  型功函數金屬的該第一部分具有一第一厚度，該  $p$  型功函數金屬位於該第一奈米結構的一側壁上的一第二部分具有一第二厚度，且其中該第一厚度大於該第二厚度。

【請求項 4】 如請求項 3 所述之裝置，其中該第一厚度與該第二厚度的比例不大於 2 : 1。

【請求項 5】如請求項 3 所述之裝置，其中該第二厚度在 30 埃至 50 埃的範圍內。

【請求項 6】如請求項 3 所述之裝置，其中該第二厚度與該 p 型功函數金屬的一最小寬度的比例在 0.03 至 1 的範圍內。

【請求項 7】如請求項 6 所述之裝置，其中該 p 型功函數金屬的該最小寬度在 10 奈米至 180 奈米的範圍內。

【請求項 8】如請求項 1 所述之裝置，其中該閘極電極在該第一奈米結構與該第二奈米結構之間的該部分是免於任何阻障層。

【請求項 9】如請求項 1 所述之裝置，其中該閘極電極更包含一黏著層，位於該 p 型功函數金屬上，且該黏著層不延伸至該第一奈米結構與該第二奈米結構之間。

【請求項 10】如請求項 1 所述之裝置，其中該第一奈米結構的一高度與該第一奈米結構的一寬度的比例在 0.05 至 4 的範圍內。

【請求項 11】一種電晶體，包含：

- 一第一奈米結構，位於一半導體基板上；
- 一第二奈米結構，位於該第一奈米結構上；
- 一閘極介電質，環繞該第一奈米結構以及該第二奈米結構；
- 以及
- 一閘極電極，位於該閘極介電質上，其中該閘極電極包含：
  - 一 p 型功函數金屬，其中該 p 型功函數金屬從該閘極介電質於該第一奈米結構上的一第一部分連續地延伸至該閘極介電質於該第二奈米結構上的一第二部分；
  - 一黏著層，位於該 p 型功函數金屬上；以及
  - 一填充金屬，位於該黏著層上。

【請求項 12】如請求項 11 所述之電晶體，其中該 p 型功函數金屬在該第二奈米結構的一表面上具有一第一厚度且在該第一奈米結構與該第二奈米結構之間具有一第二厚度，其中該第一厚度少於該第二厚度。

【請求項 13】如請求項 11 所述之電晶體，其中該 p 型功函數金屬包含一接縫，位於該第一奈米結構以及該第二奈米結構之間。

【請求項 14】如請求項 11 所述之電晶體，其中該 p 型功函數金屬包含氮化鈦。

【請求項 15】如請求項 11 所述之電晶體，更包含一介面

層，位於該閘極介電質下，其中該介面層環繞該第一奈米結構以及該第二奈米結構，且該閘極介電質包含一高 k 材料。

**【請求項 16】** 一種方法，包含：

在一第一奈米結構以及一第二奈米結構周圍，沉積一閘極介電質，其中該第一奈米結構設置於該第二奈米結構上；以及

在該閘極介電質上，沉積一 p 型功函數金屬，其中沉積該 p 型功函數金屬包含：

沉積該 p 型功函數金屬的一第一部分在該第二奈米結構的一上表面上以及一第二部分在該第二奈米結構的一下表面上；以及

接著沉積該 p 型功函數金屬，直到該 p 型功函數金屬的該第一部分與該 p 型功函數金屬的該第二部分合併。

**【請求項 17】** 如請求項 16 所述之方法，更包含：

在該 p 型功函數金屬上，沉積一黏著層；以及

在該黏著層上，沉積一填充金屬。

**【請求項 18】** 如請求項 16 所述之方法，其中沉積該 p 型功函數金屬包含沉積該 p 型功函數金屬以具有：

一第一厚度，位於該第一奈米結構以及該第二奈米結構之間；以及

一第二厚度，位於該第一奈米結構的一側壁上，其中該第一厚度大於該第二厚度。

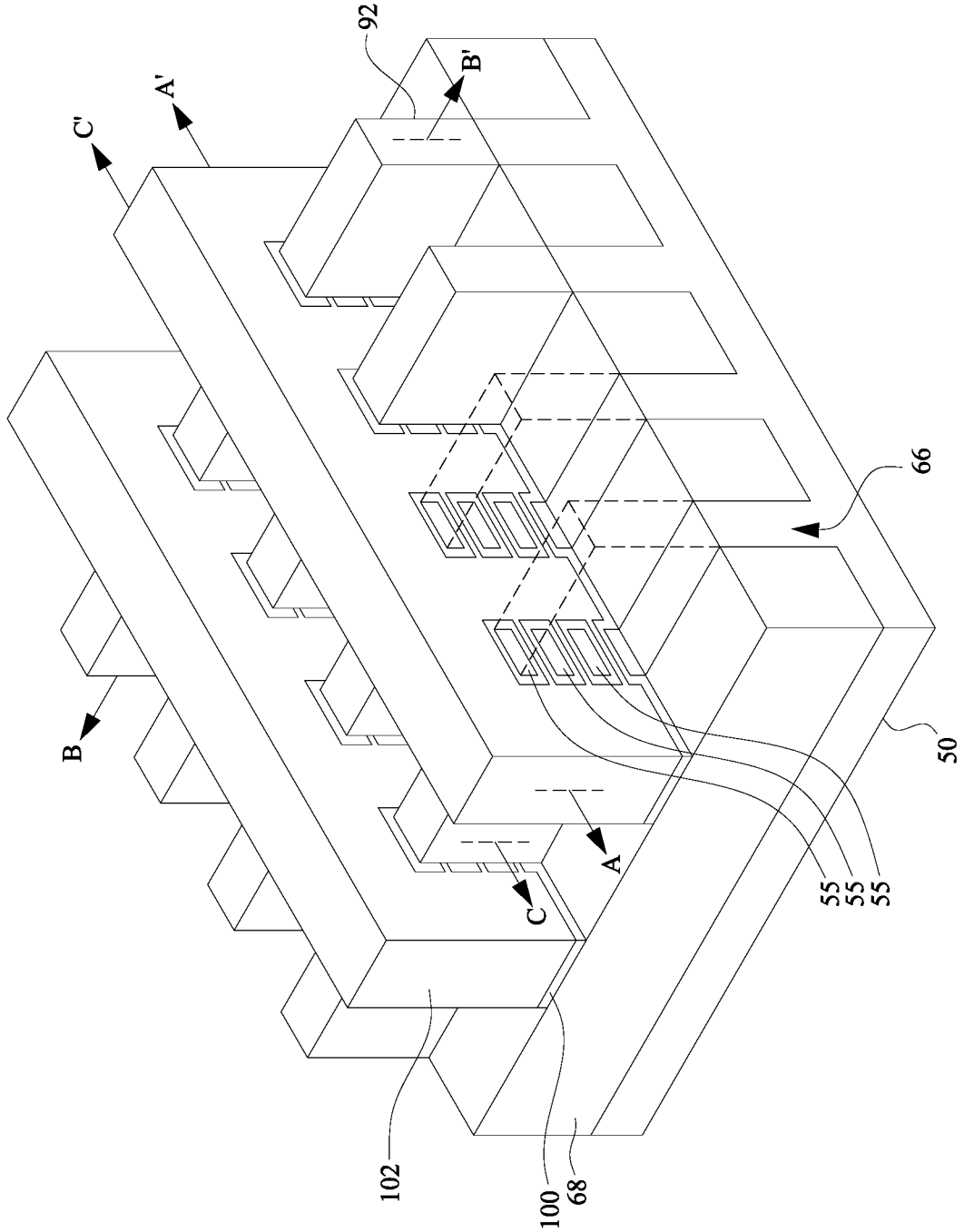
【請求項 19】如請求項 18 所述之方法，其中該第一厚度與該第二厚度的比例不大於 2：1。

【請求項 20】如請求項 16 所述之方法，其中沉積該 p 型功函數金屬更包含：

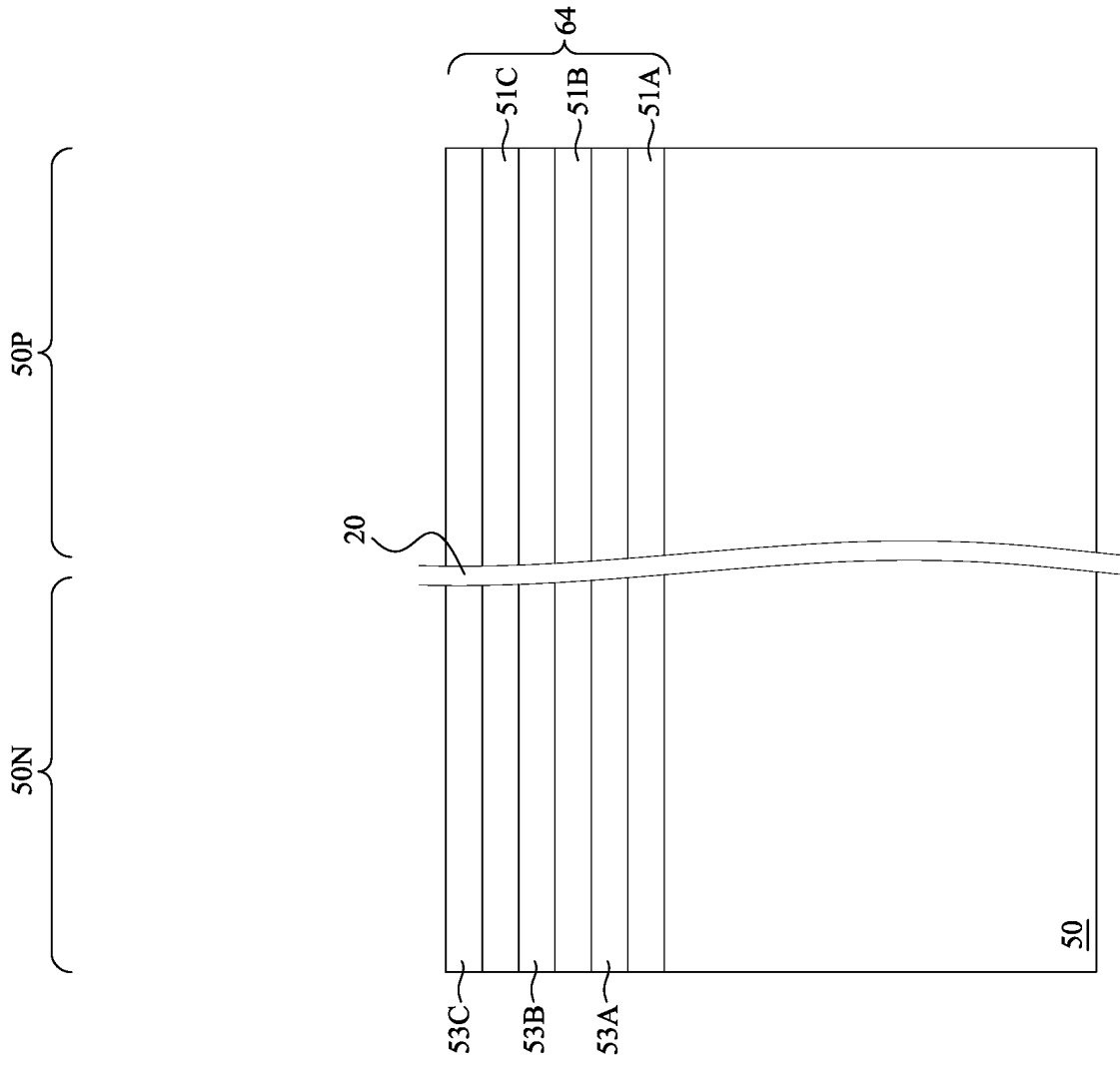
在該 p 型功函數金屬的該第一部分以及該 p 型功函數金屬的該第二部分之間，形成一接縫。



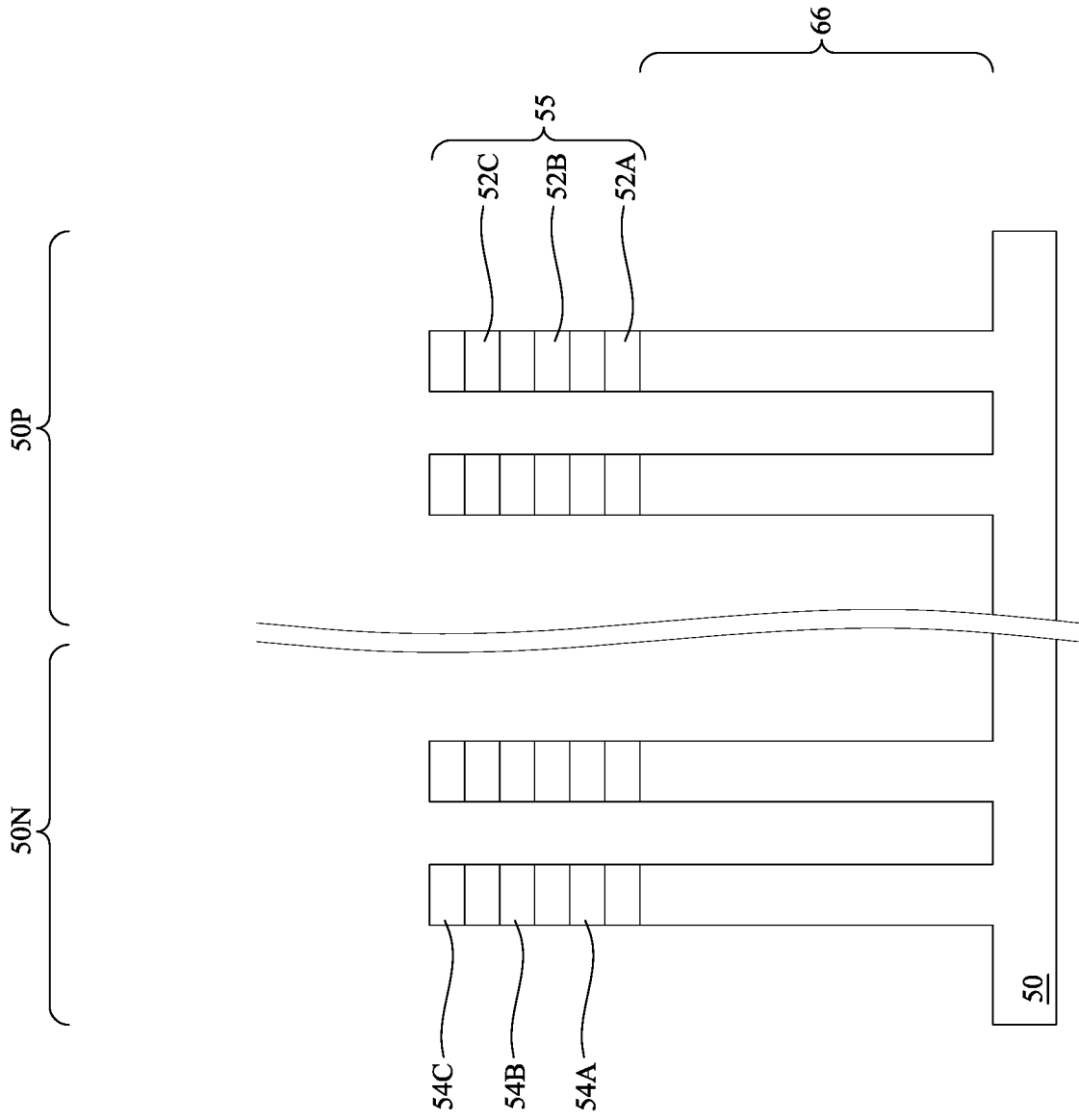
【發明圖式】



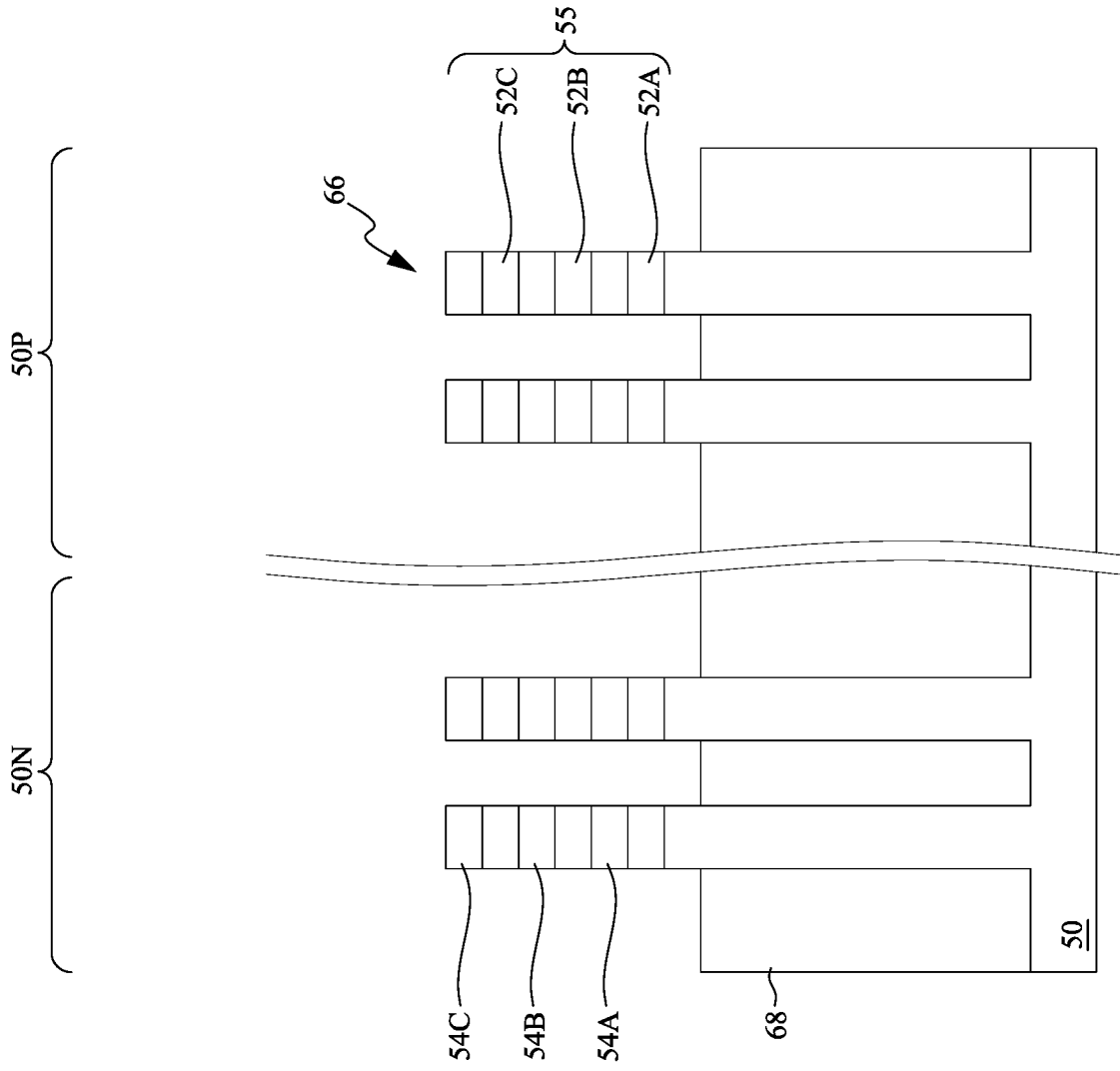
第 1 圖



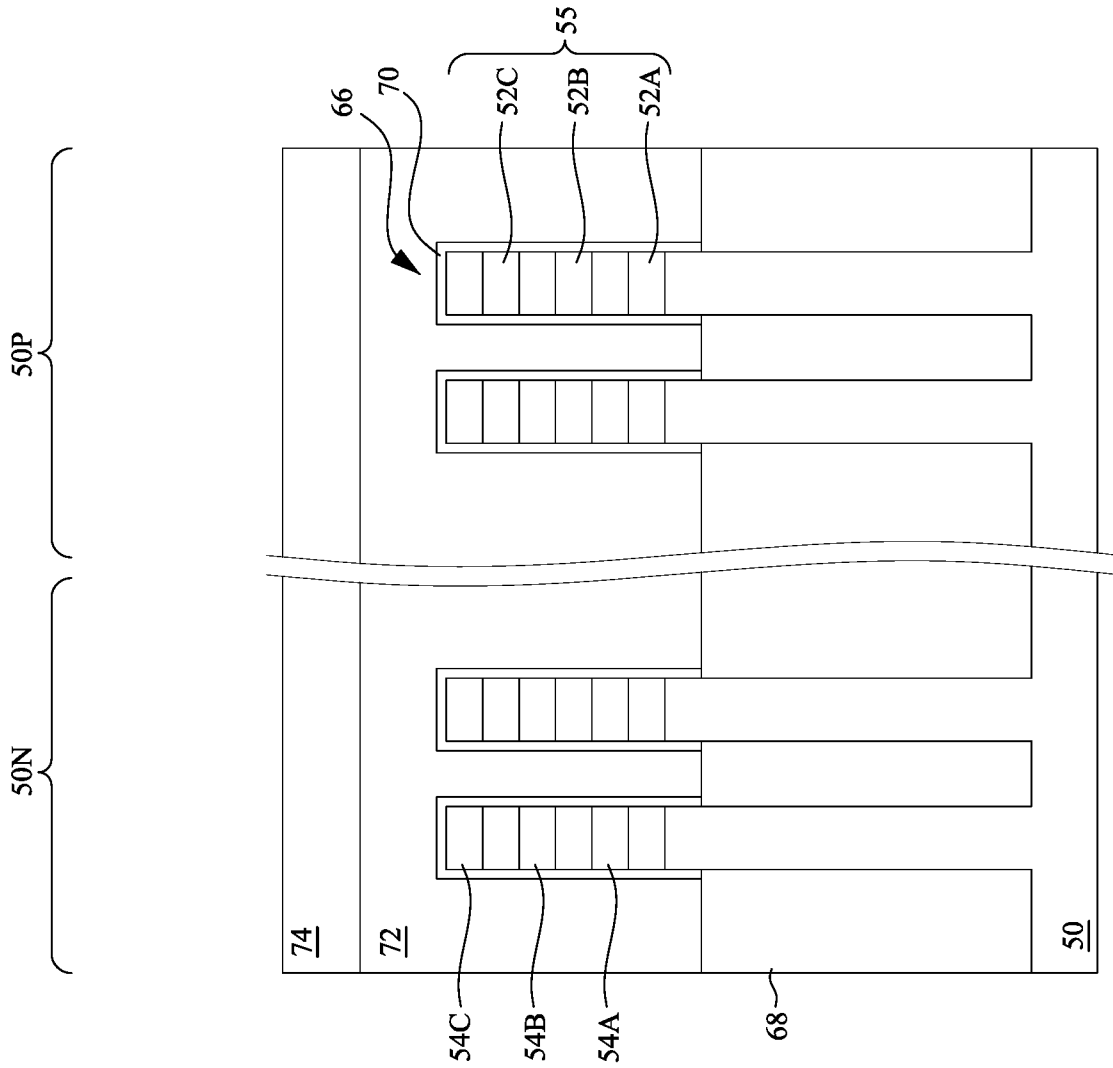
第 2 圖



第 3 圖

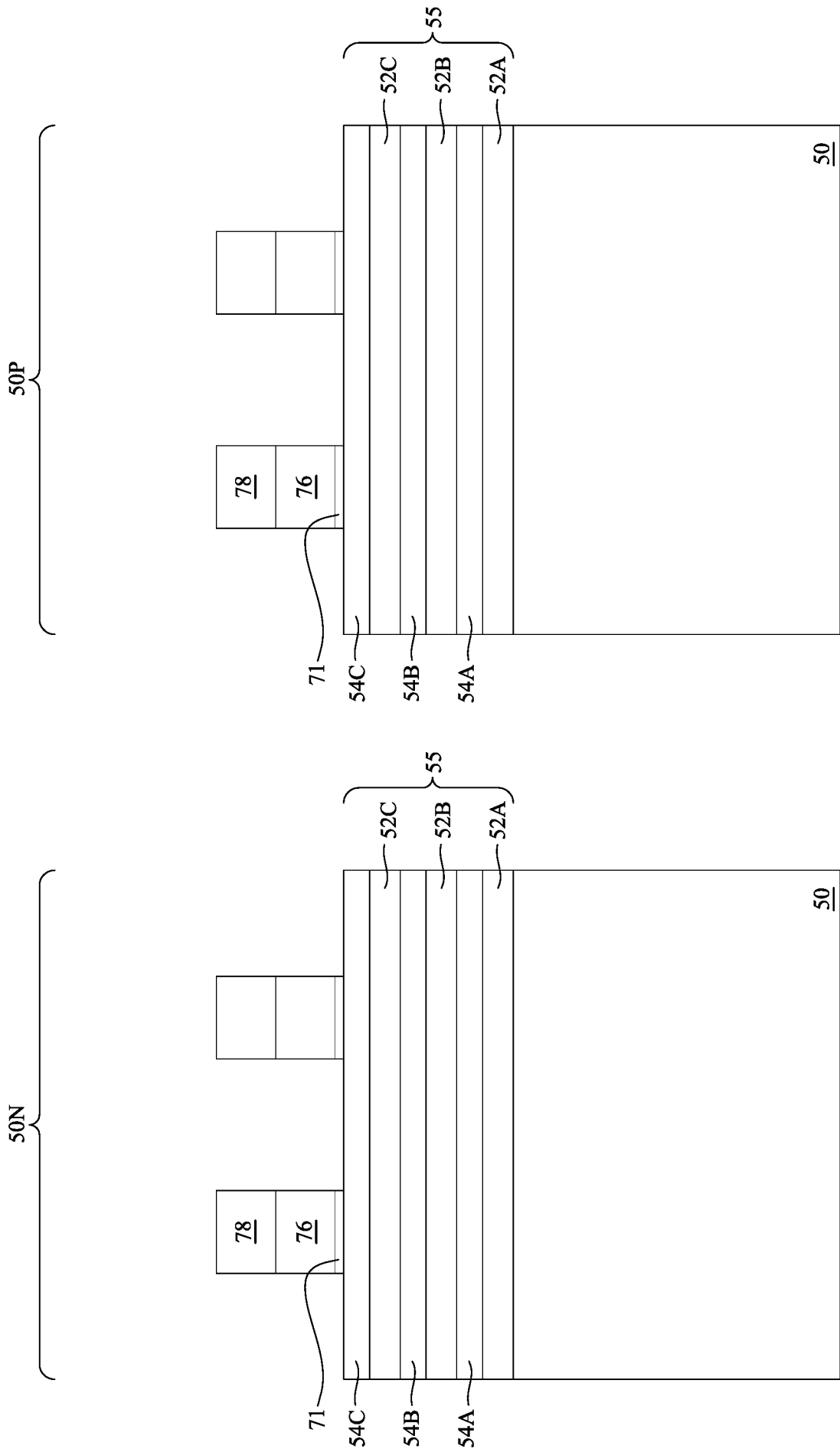


第 4 圖

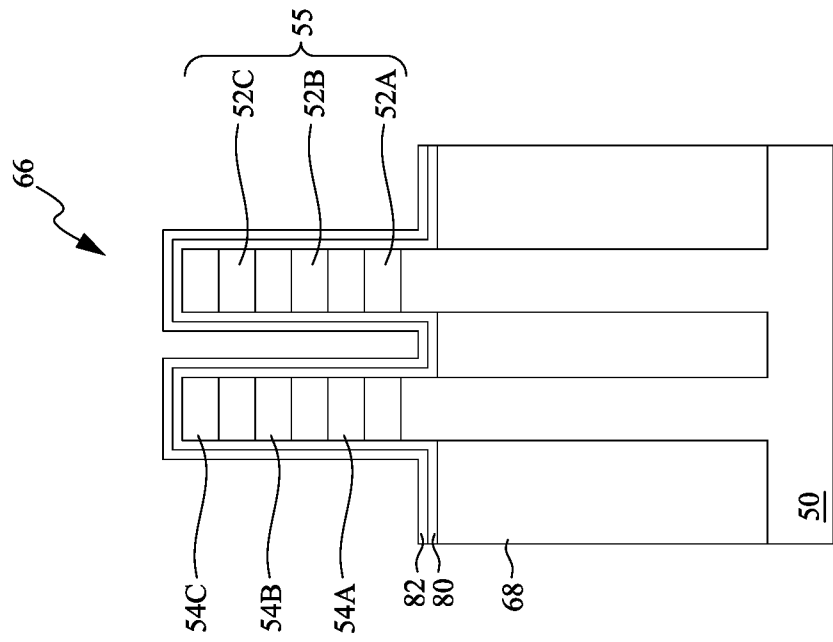


第 5 圖



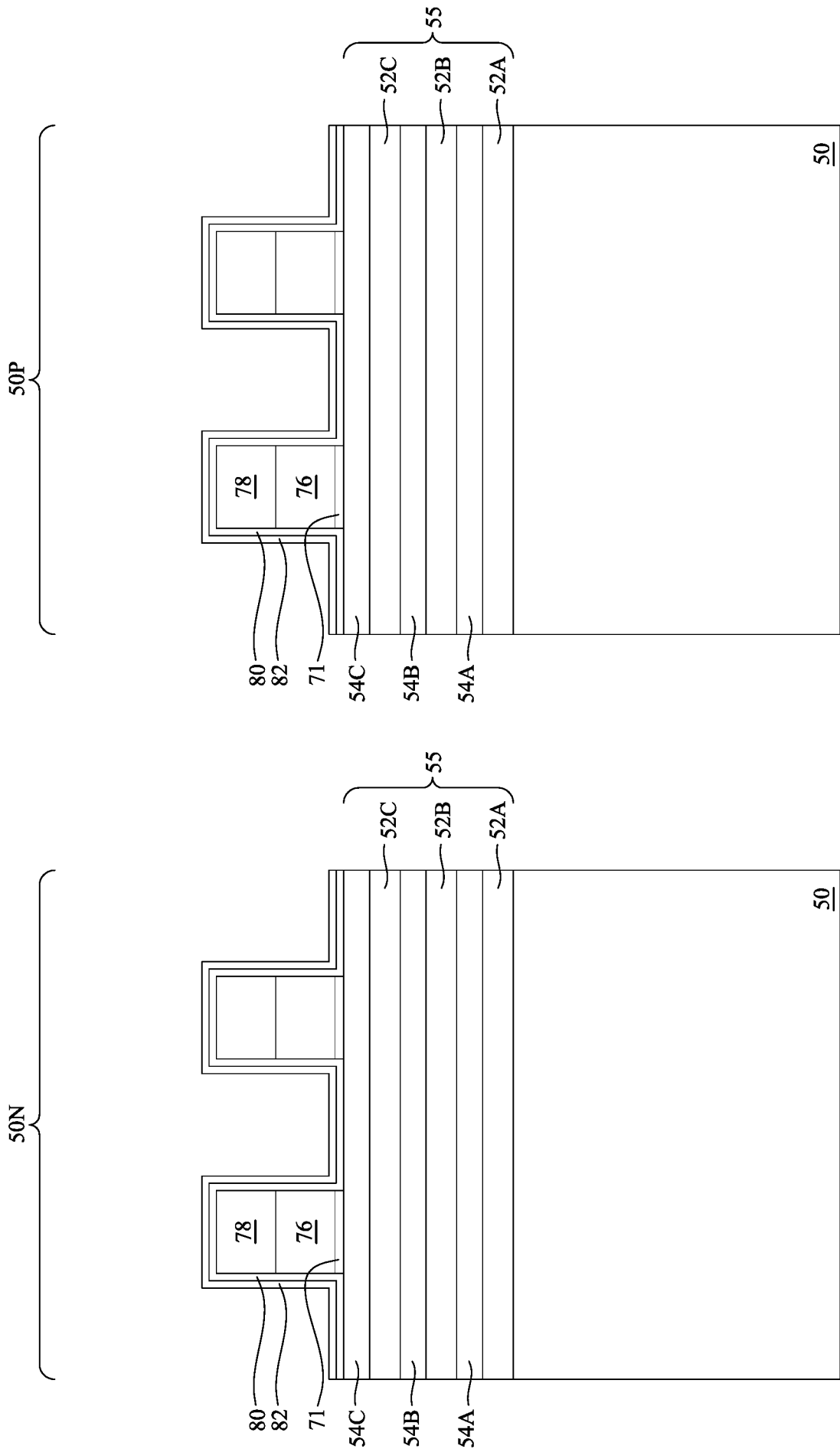


第6B圖

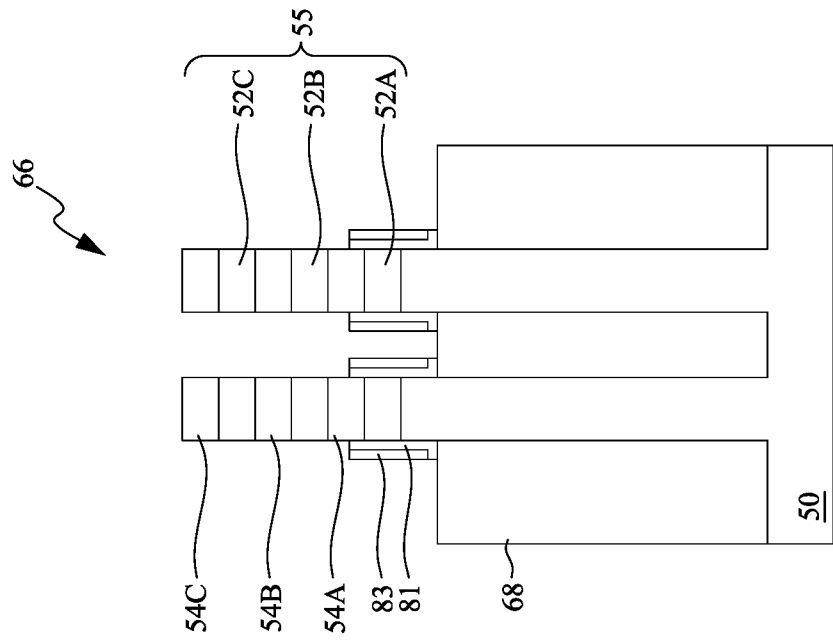


第 7A 圖

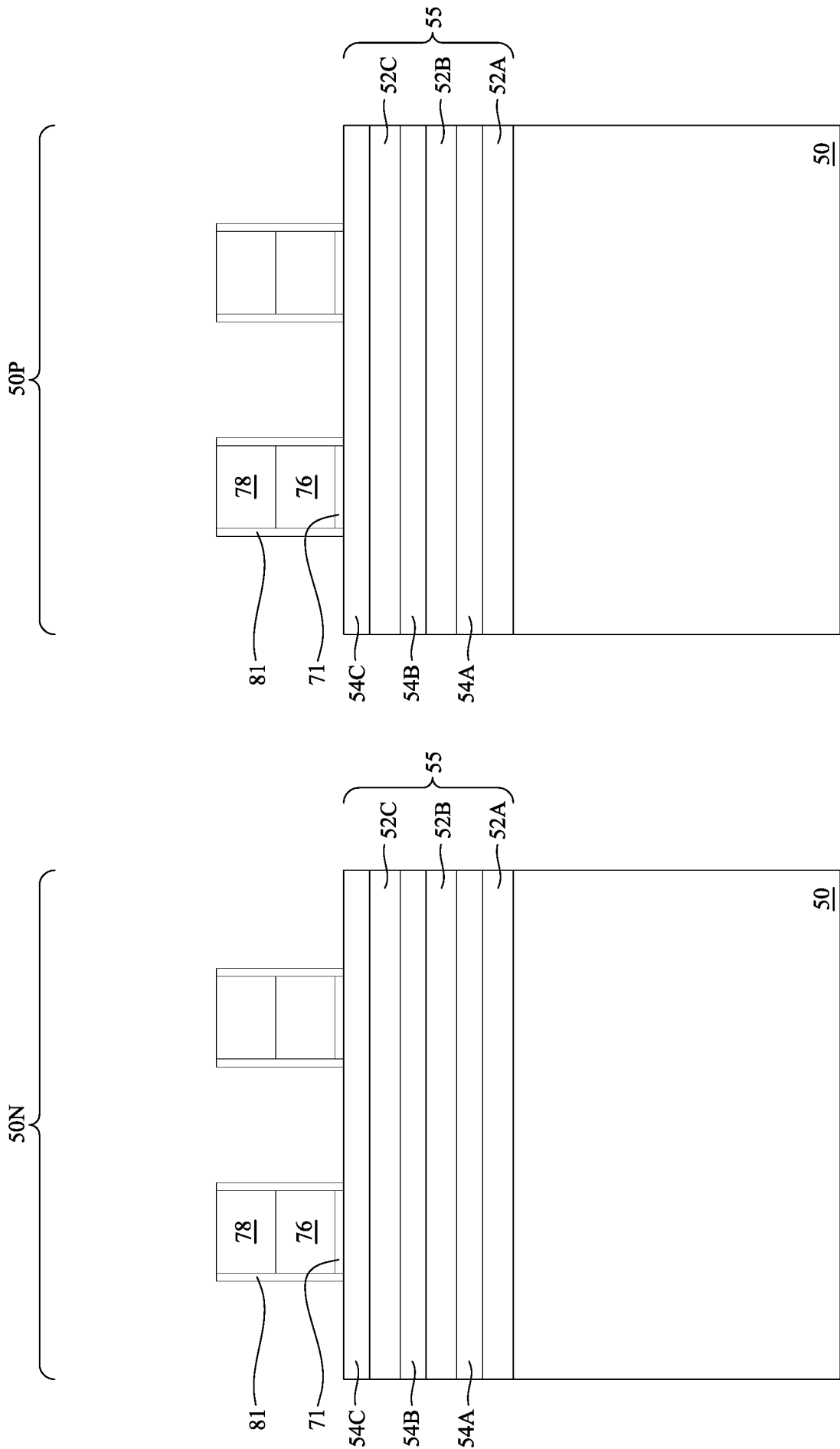




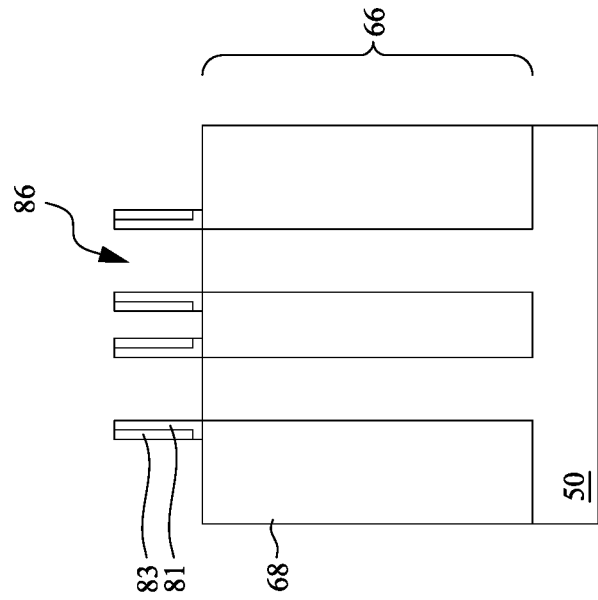
第 7B 圖



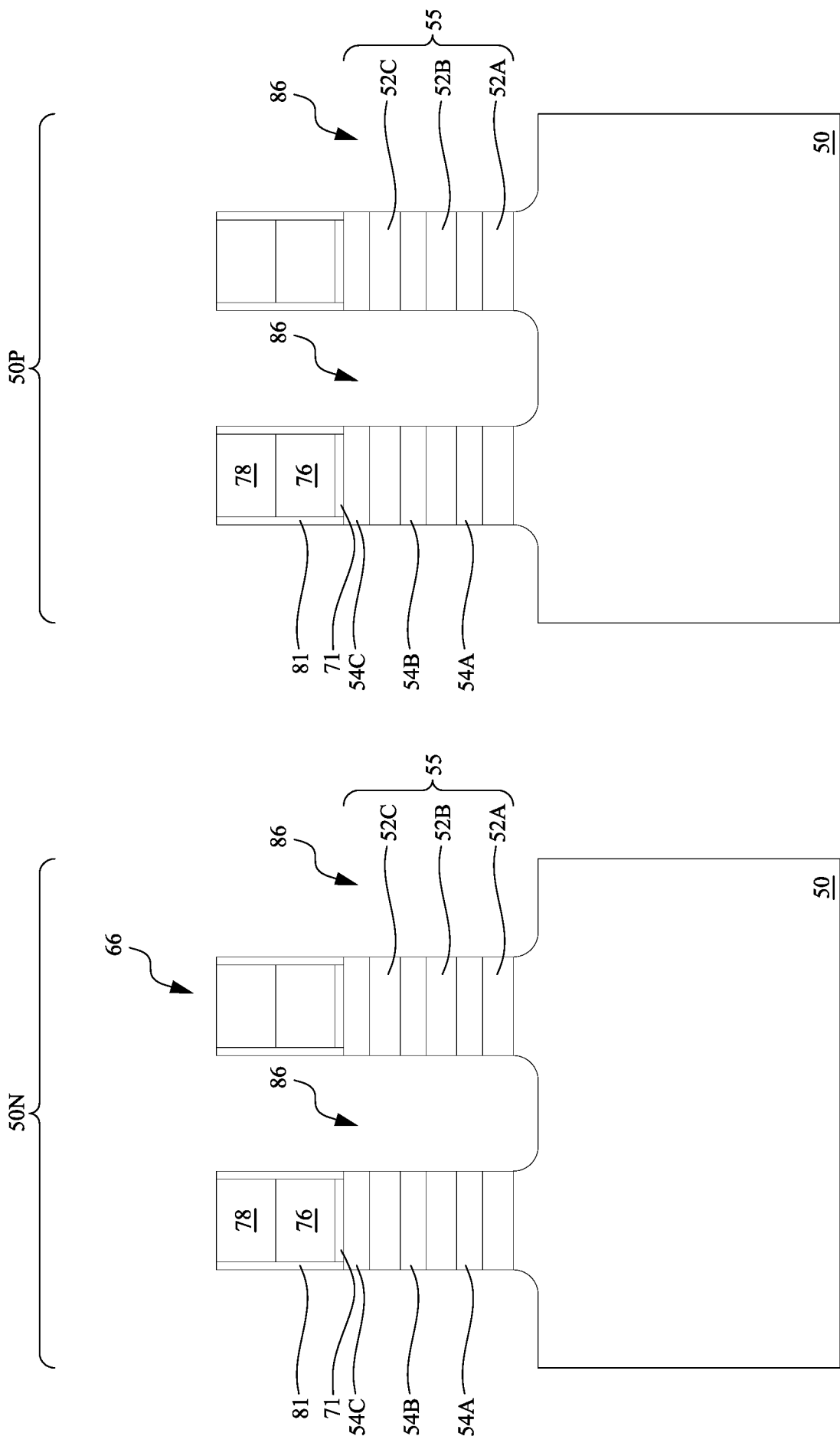
第 8A 圖



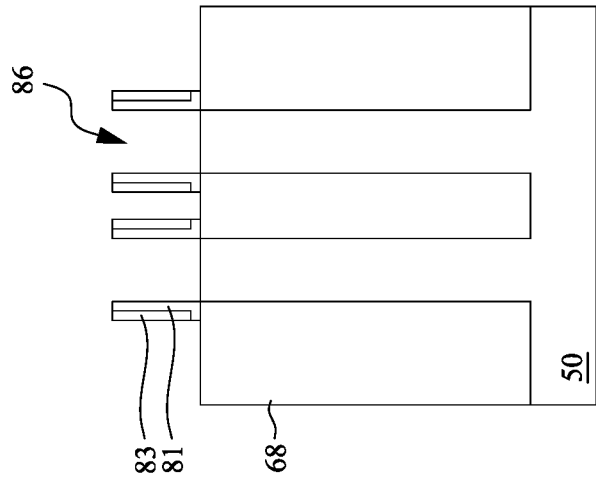
第 8B 圖



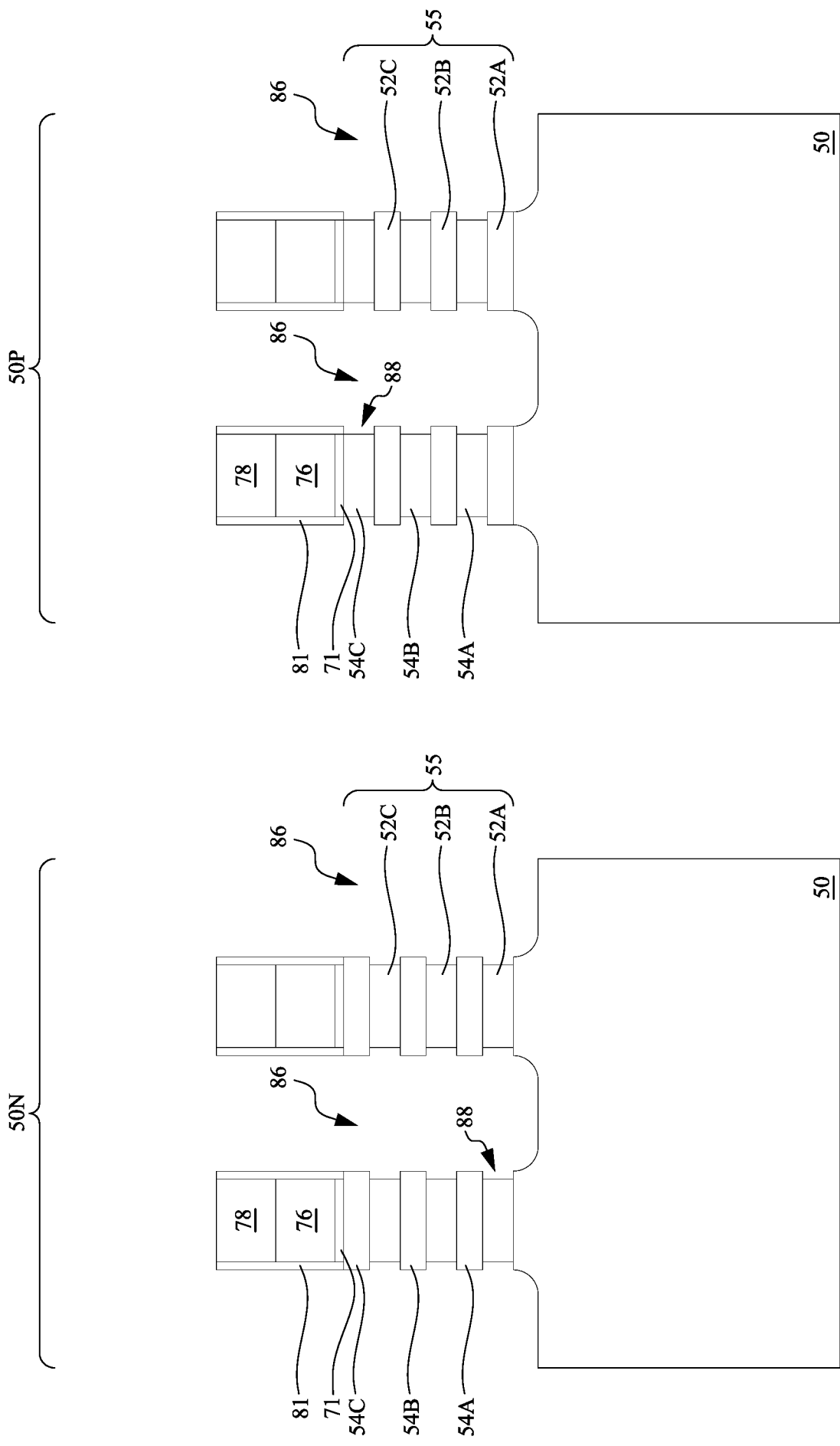
第 9A 圖



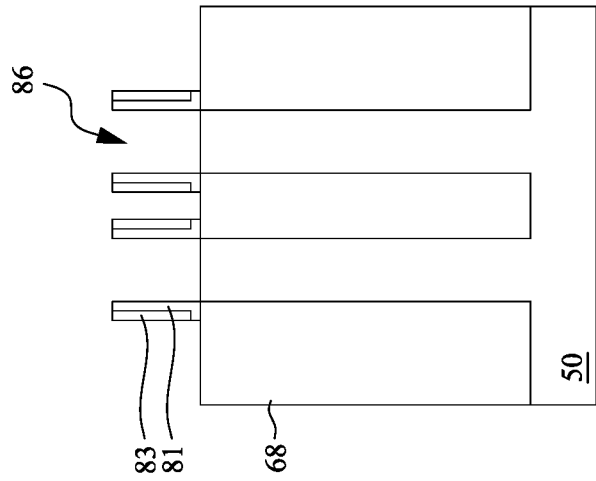
第9B圖



第 10A 圖

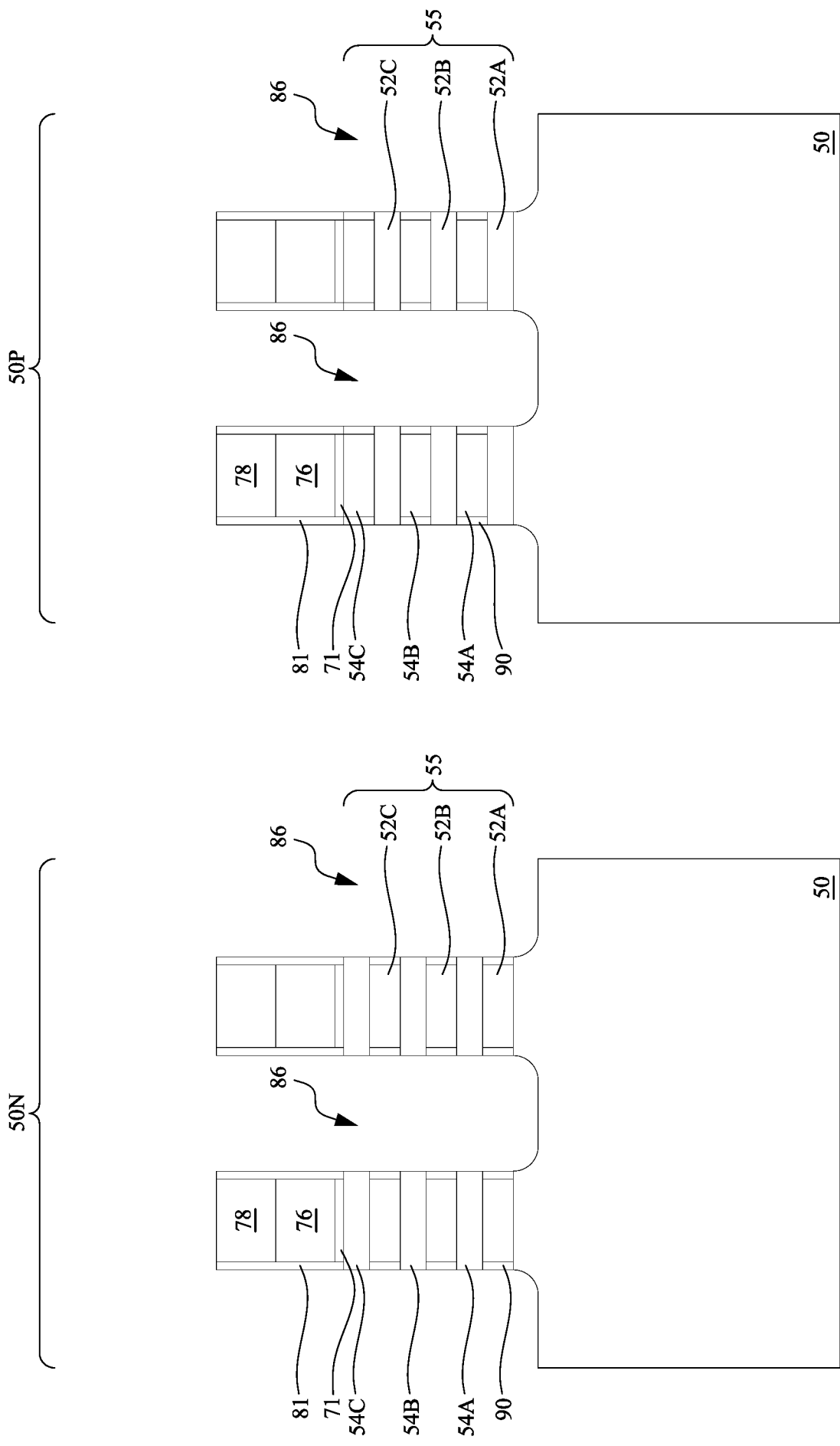


第 10B 圖

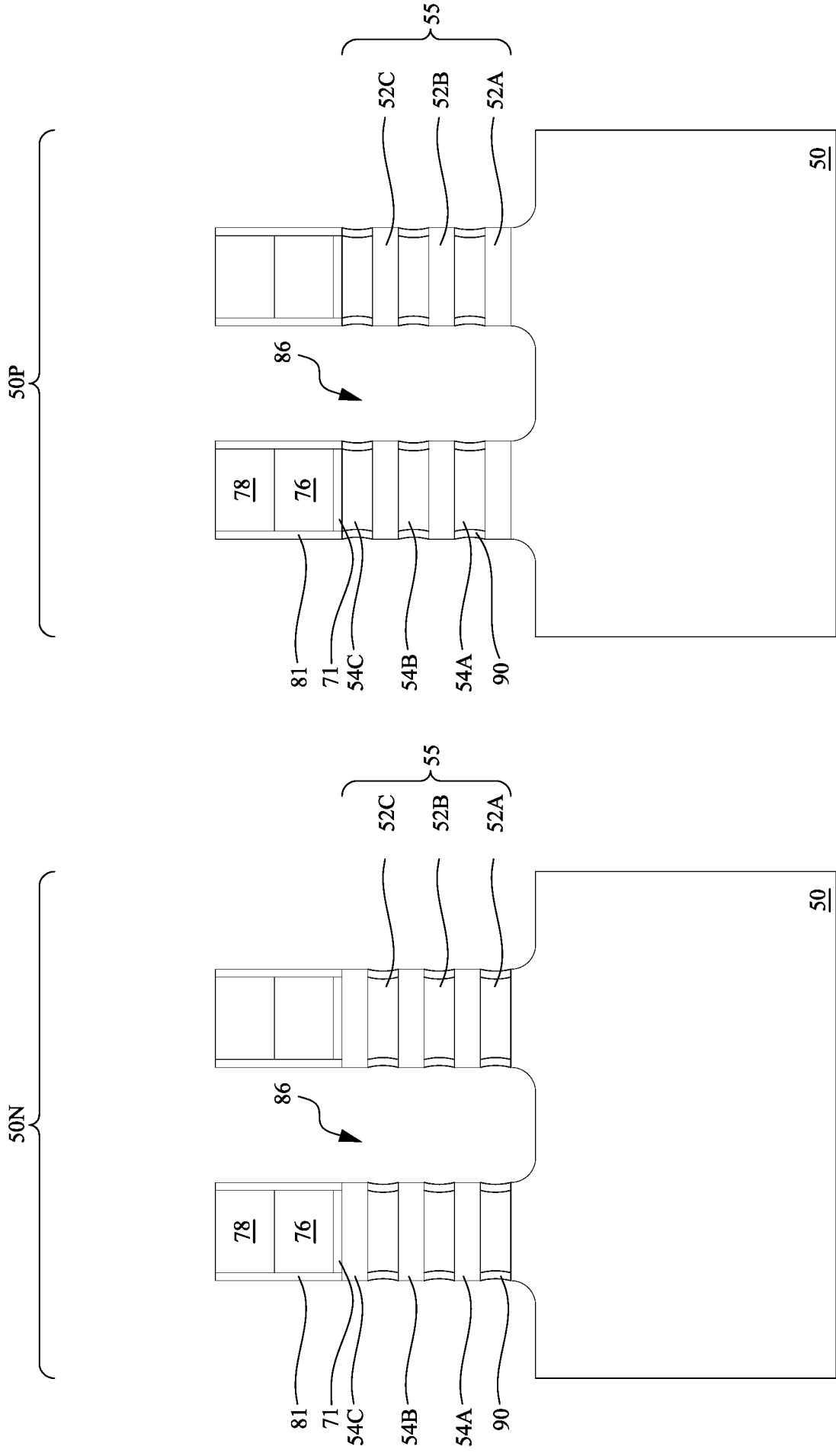


第 11A 圖

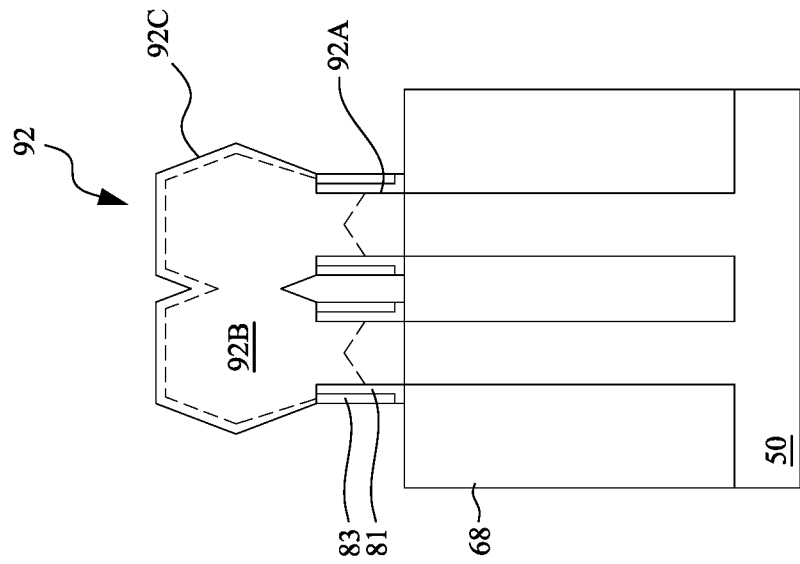




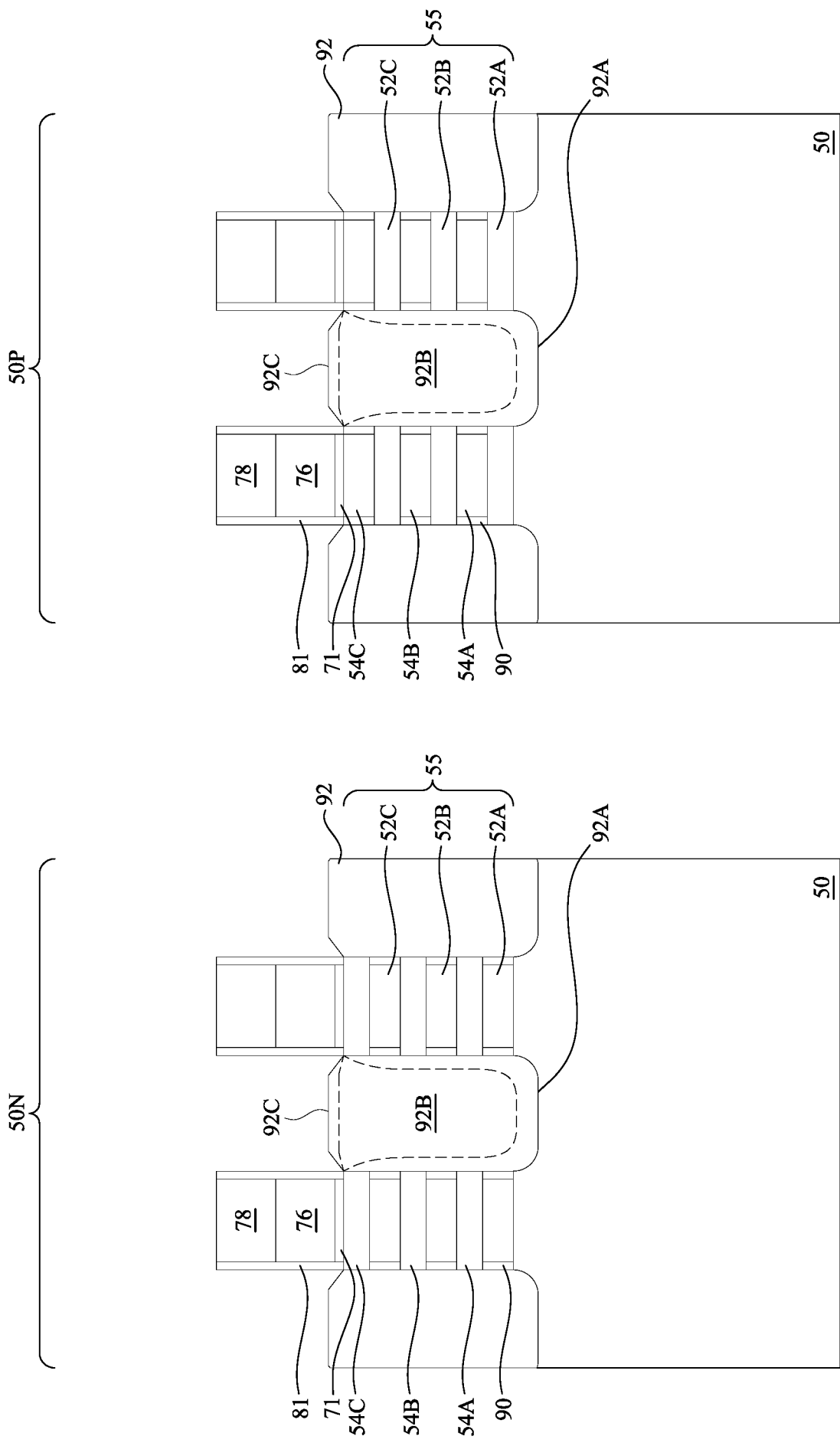
第 11B 圖



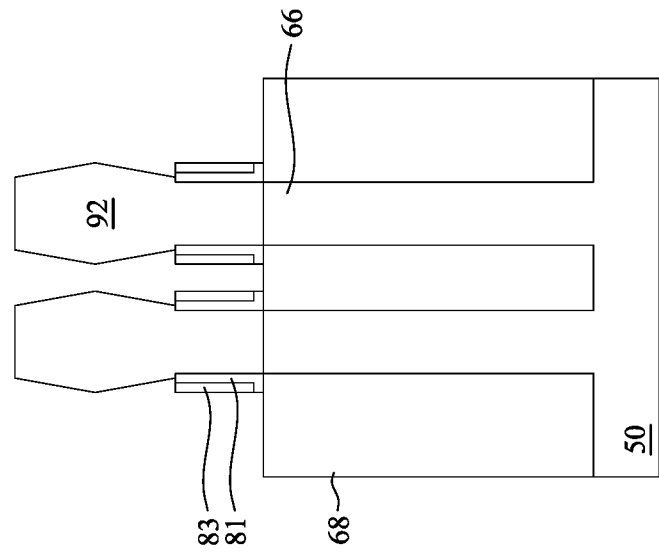
第 11C 圖



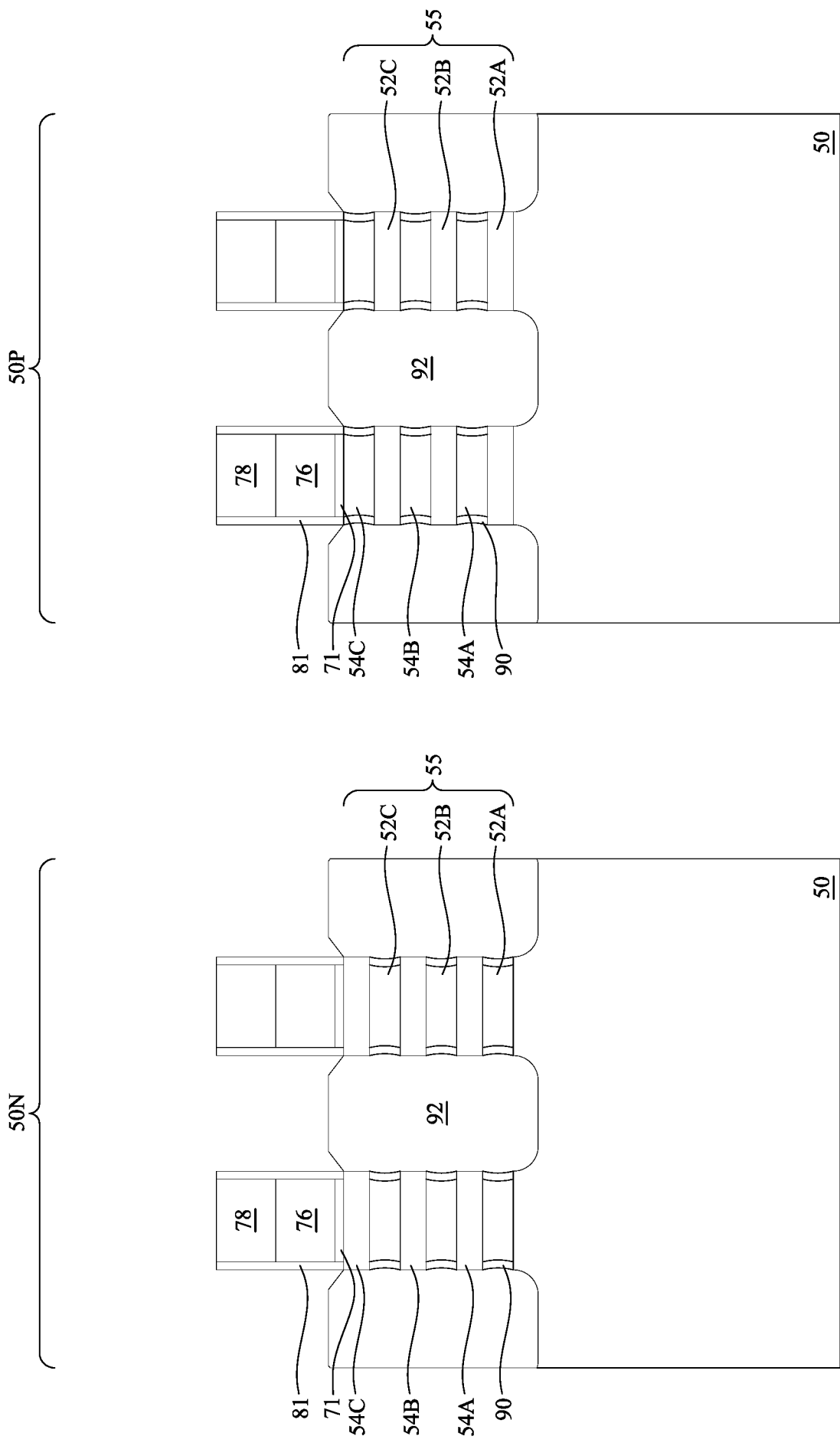
第 12A 圖



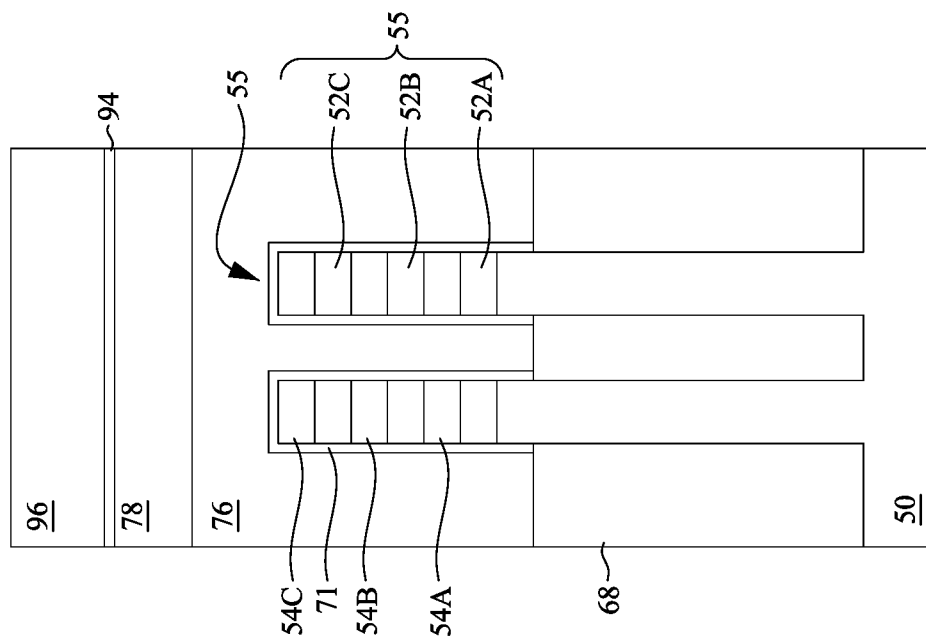
第 12B 圖



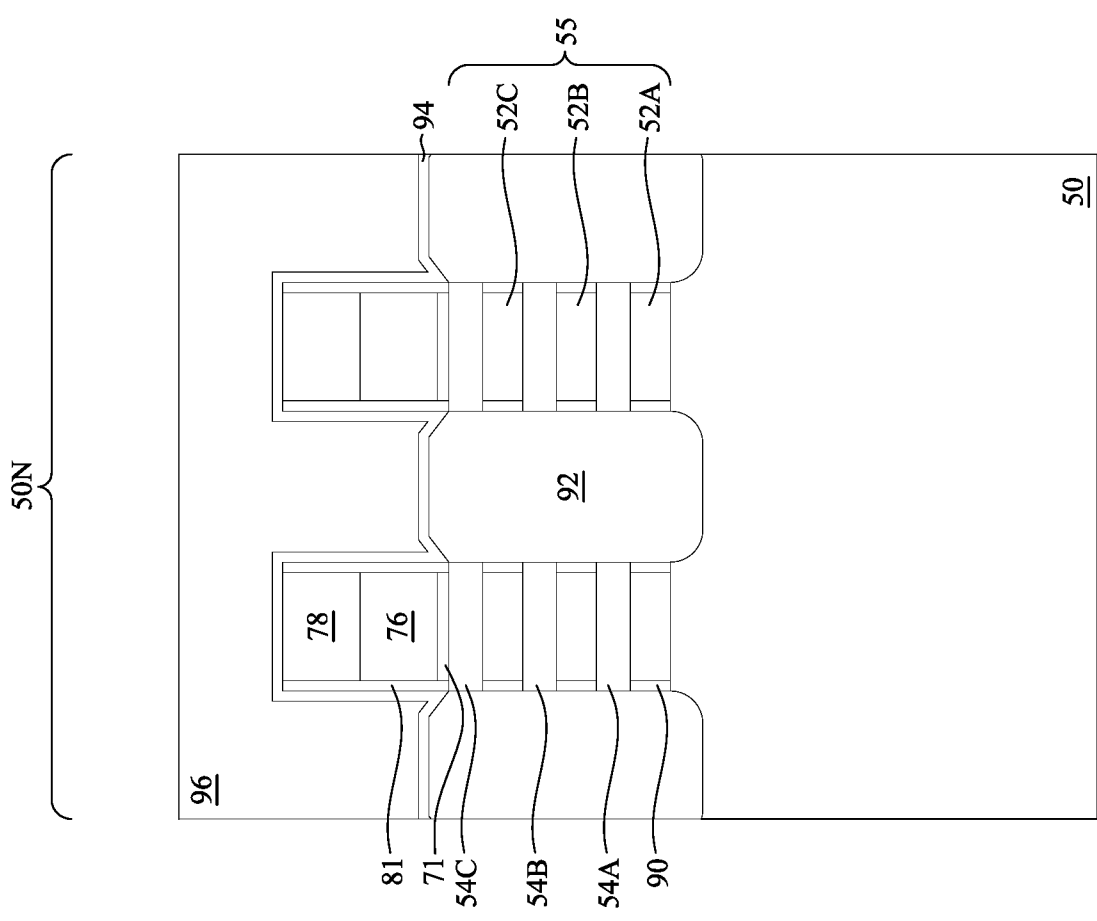
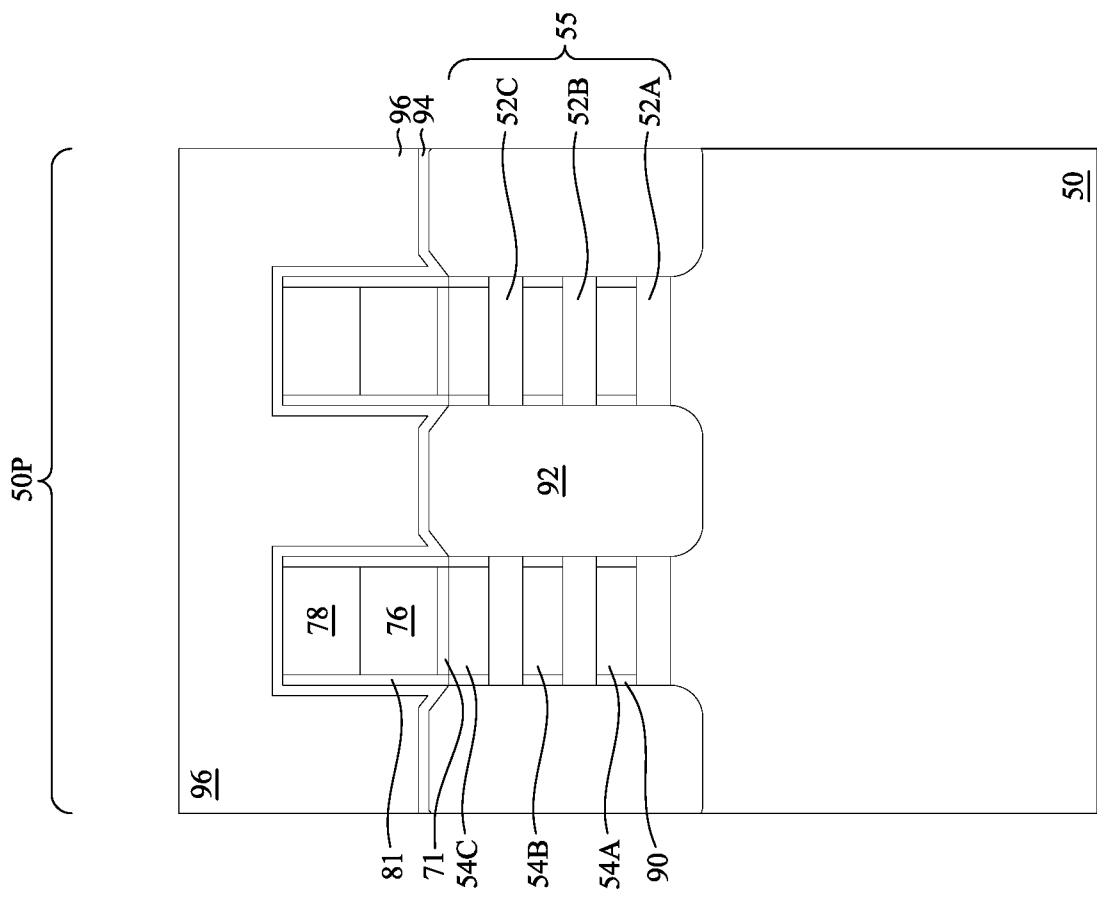
第 12C 圖



第 12D 圖

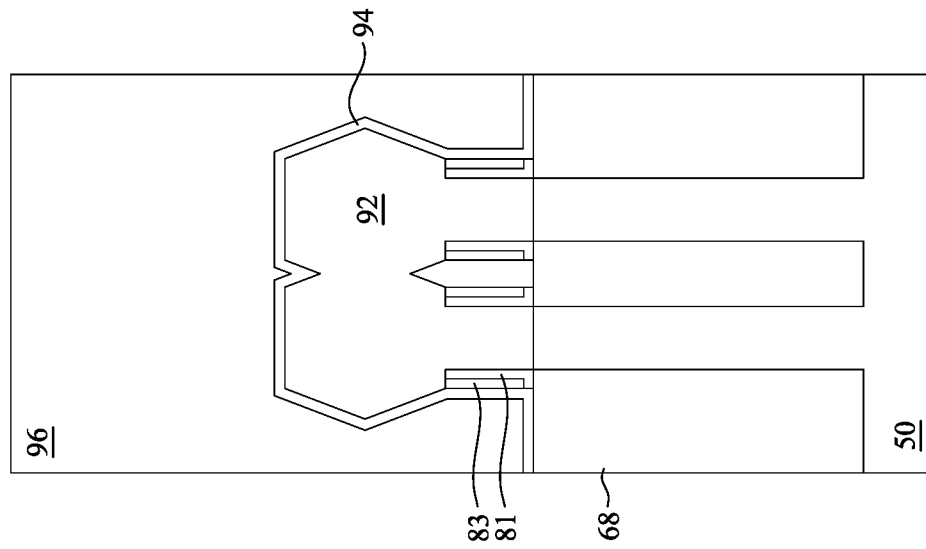


第 13A 圖

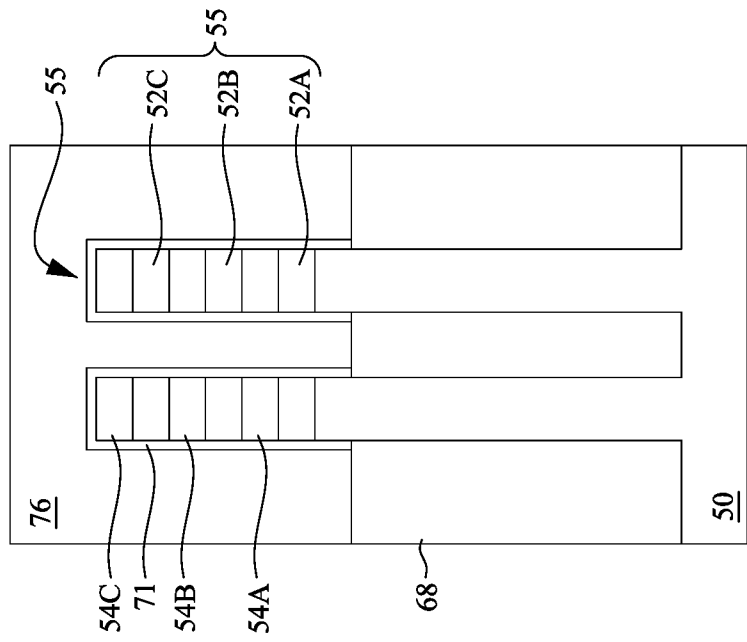


第 13B 圖

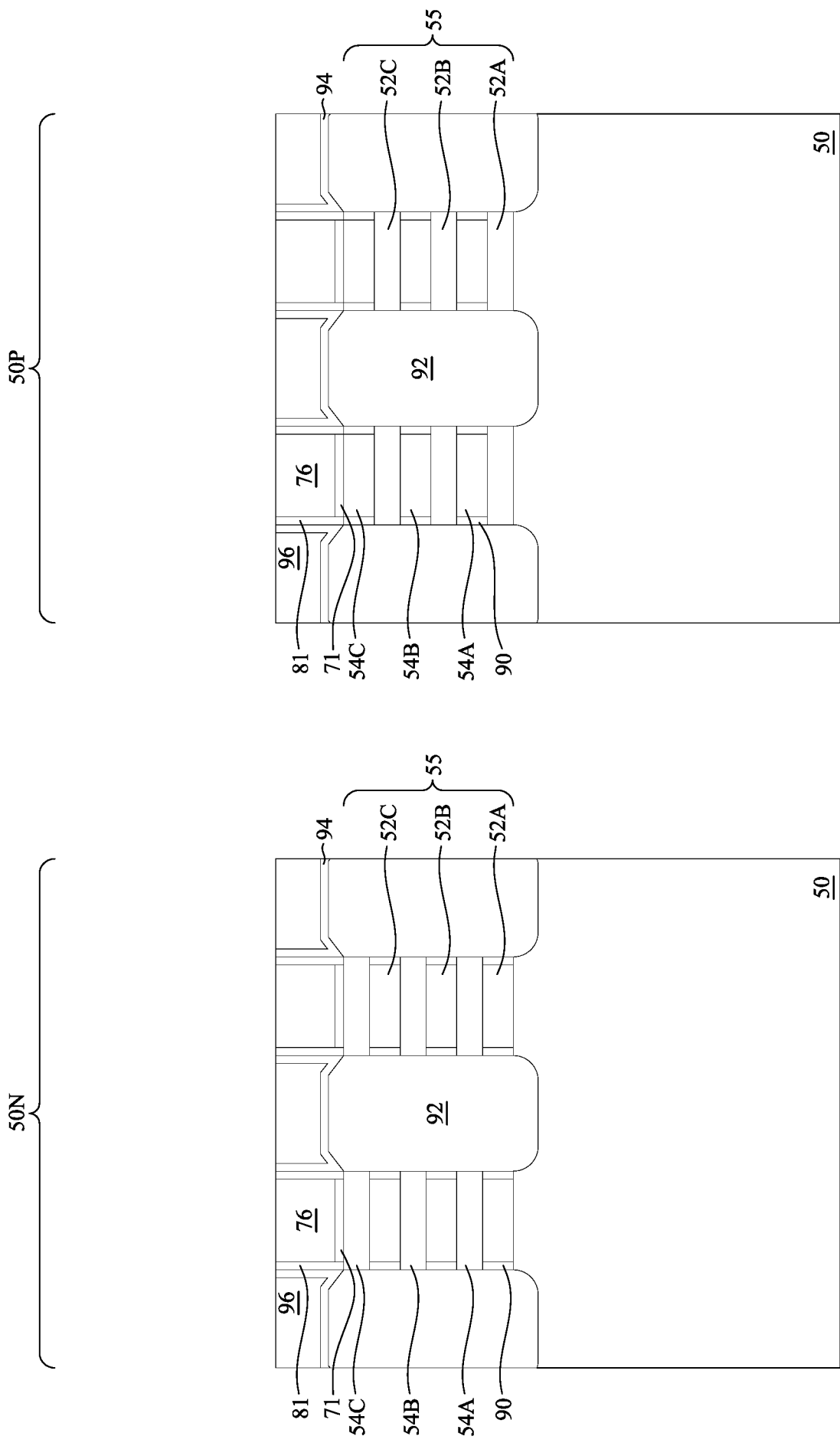




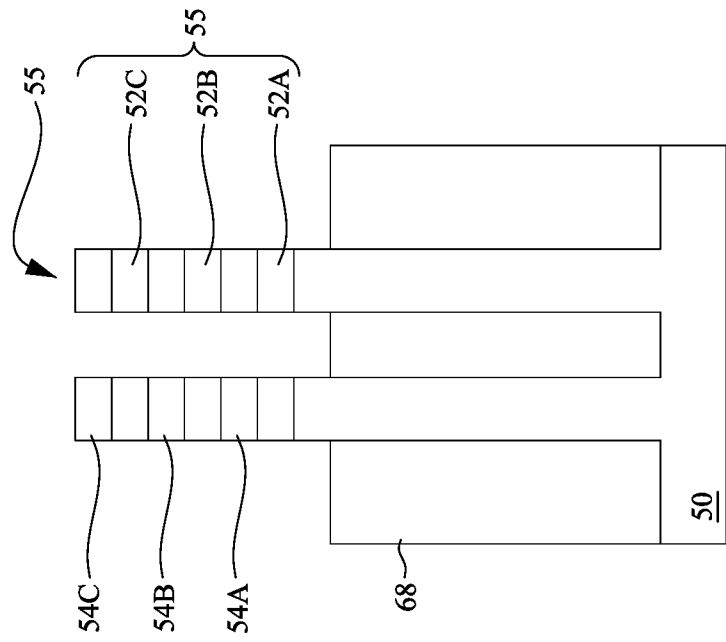
第 13C 圖



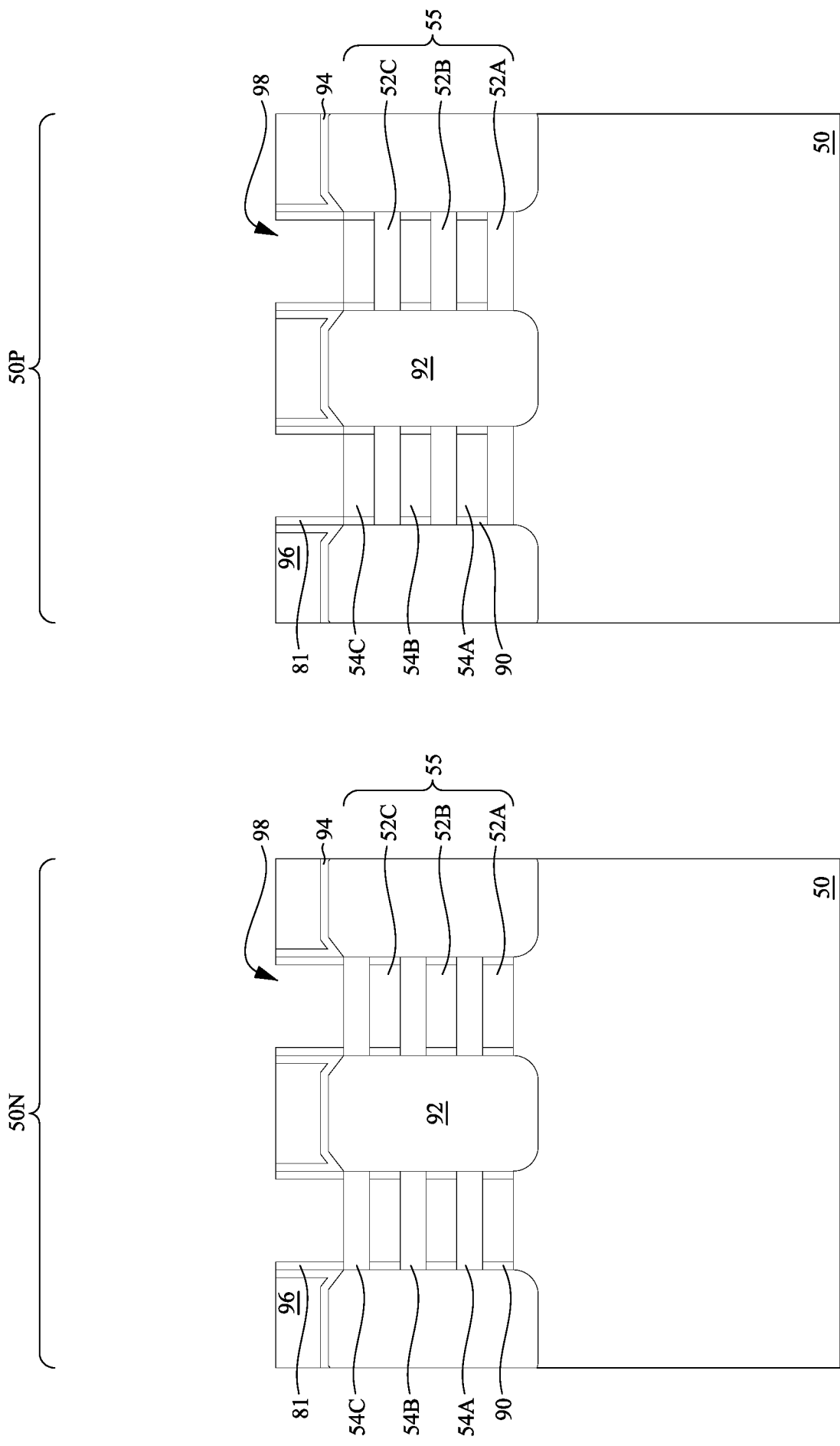
第 14A 圖



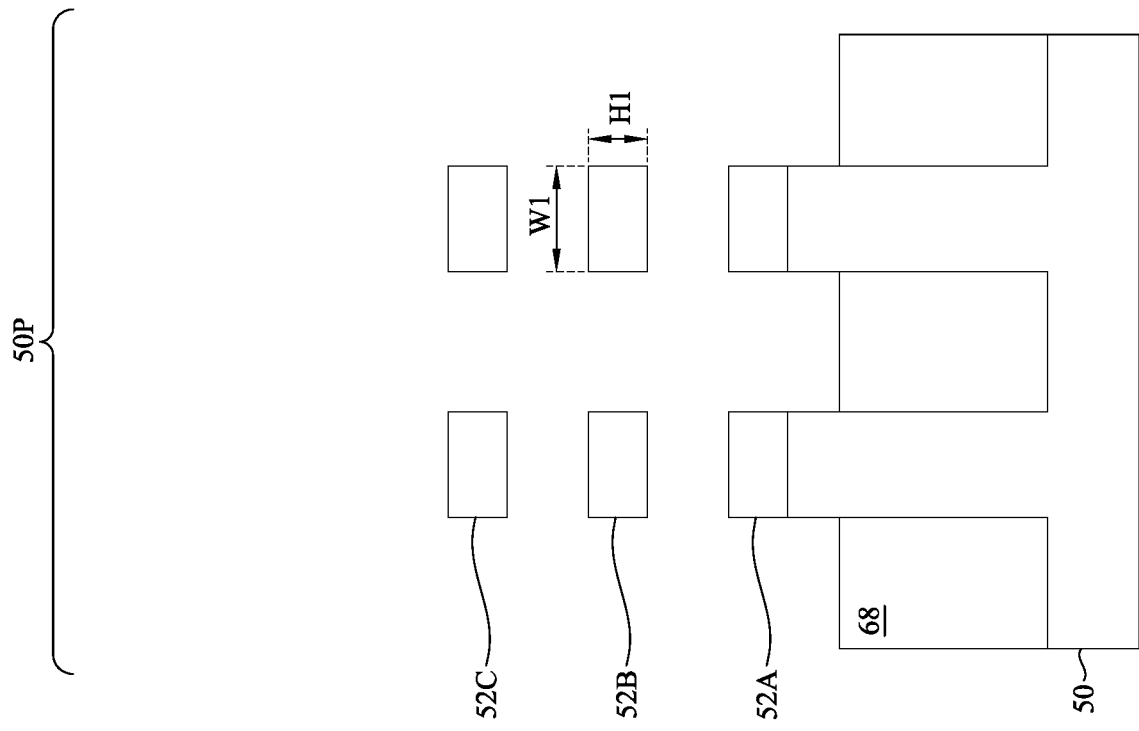
第 14B 圖



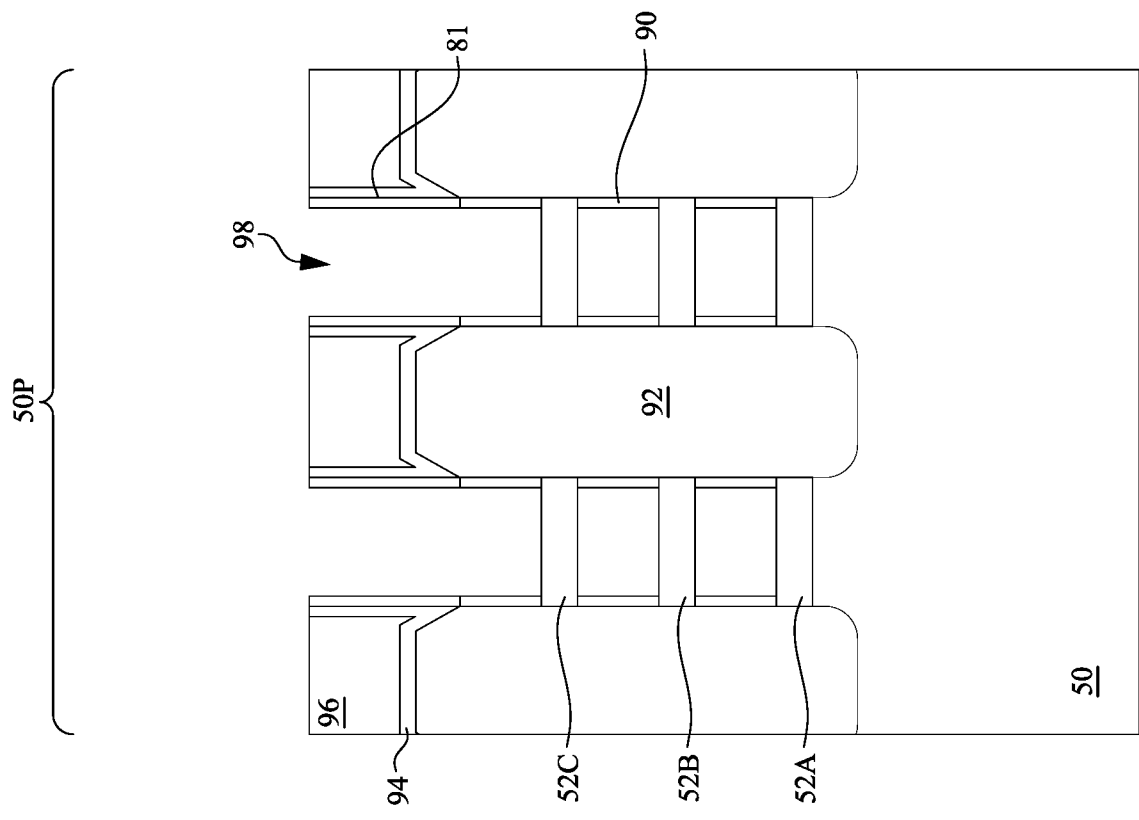
第 15A 圖



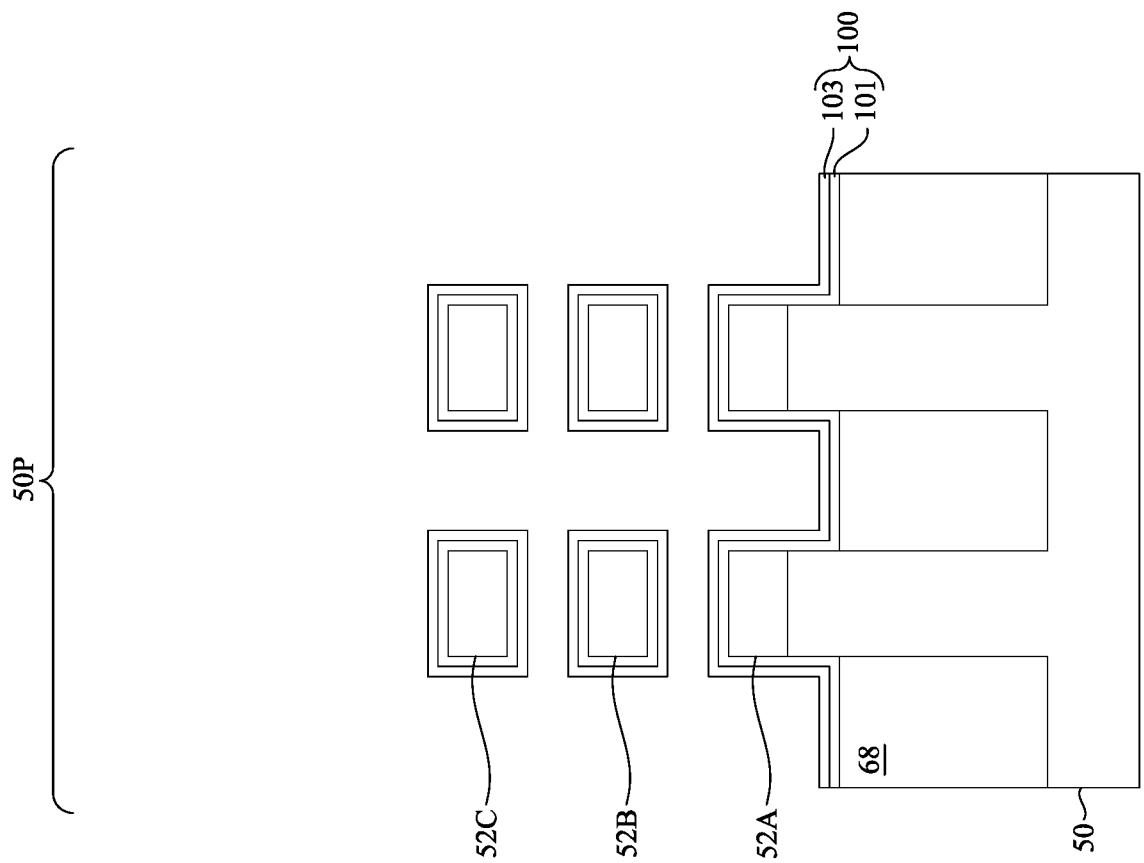
第 15B 圖



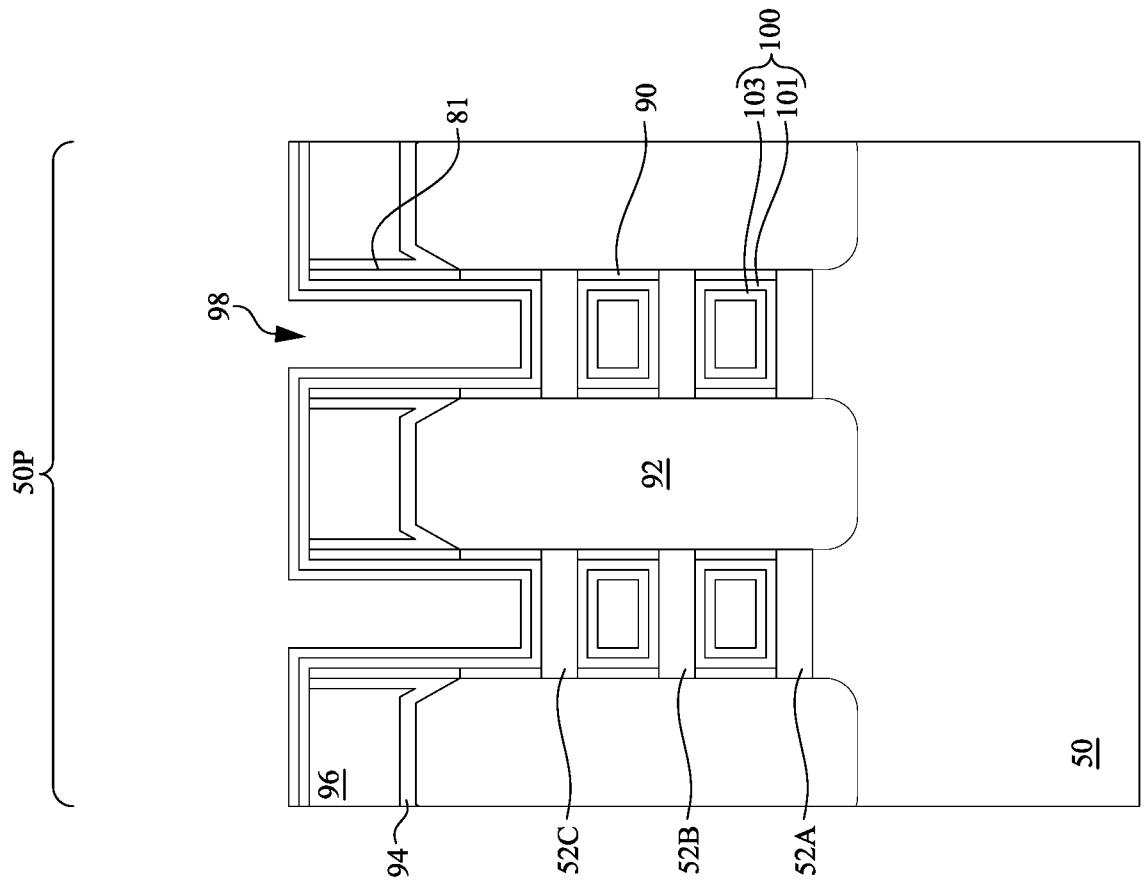
第 16A 圖



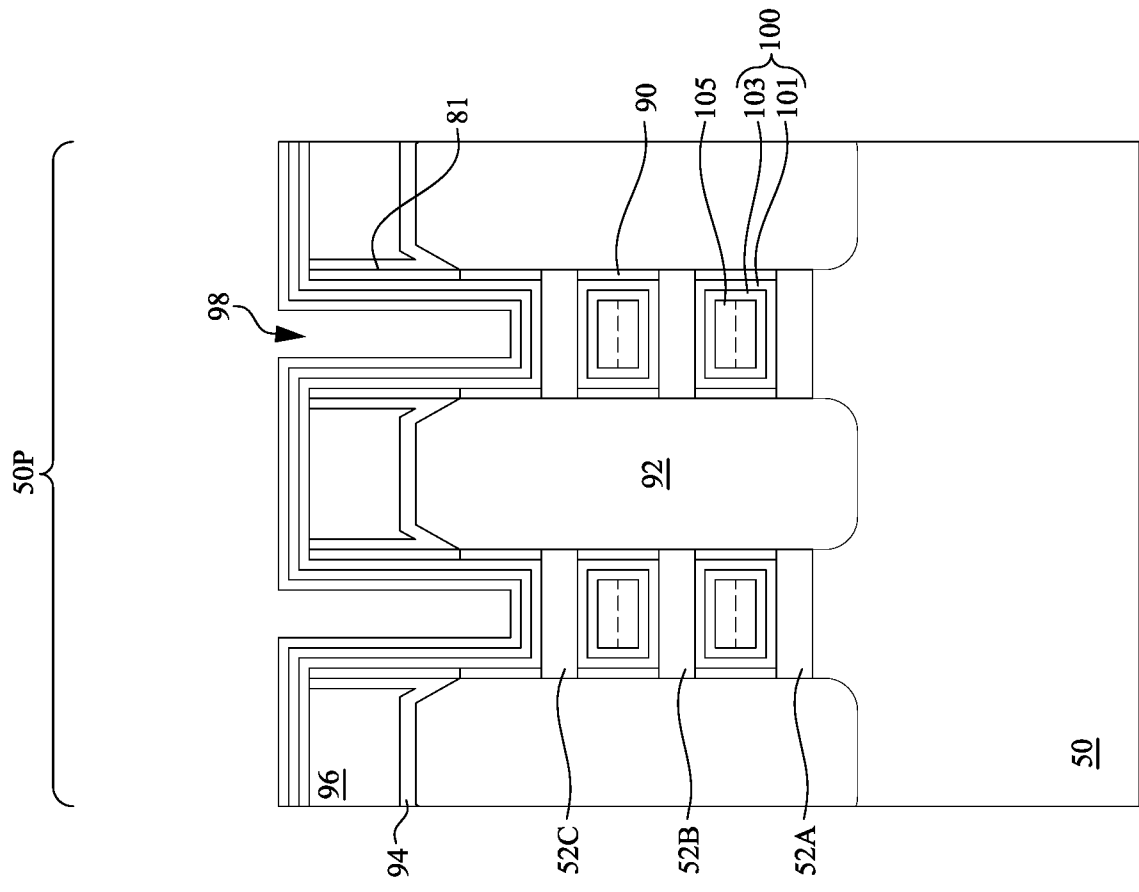
第 16B 圖



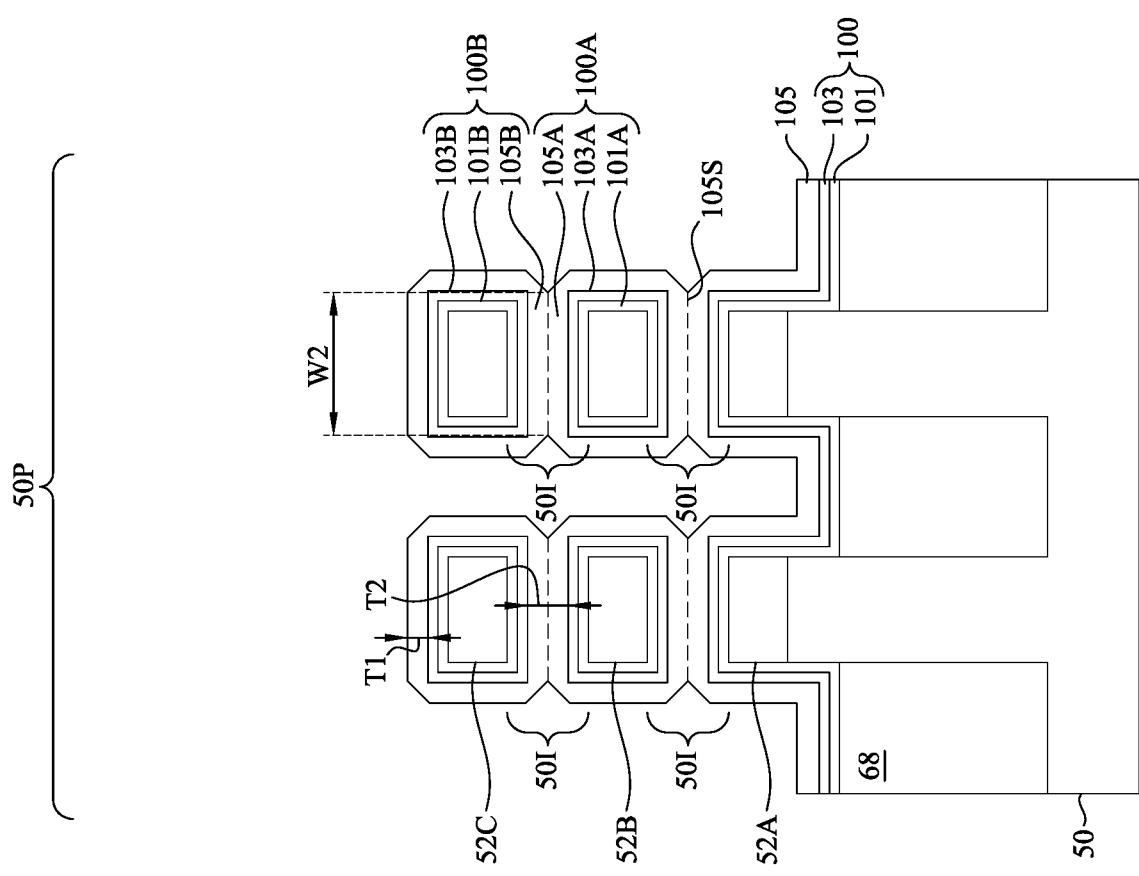
第17A圖



第17B圖

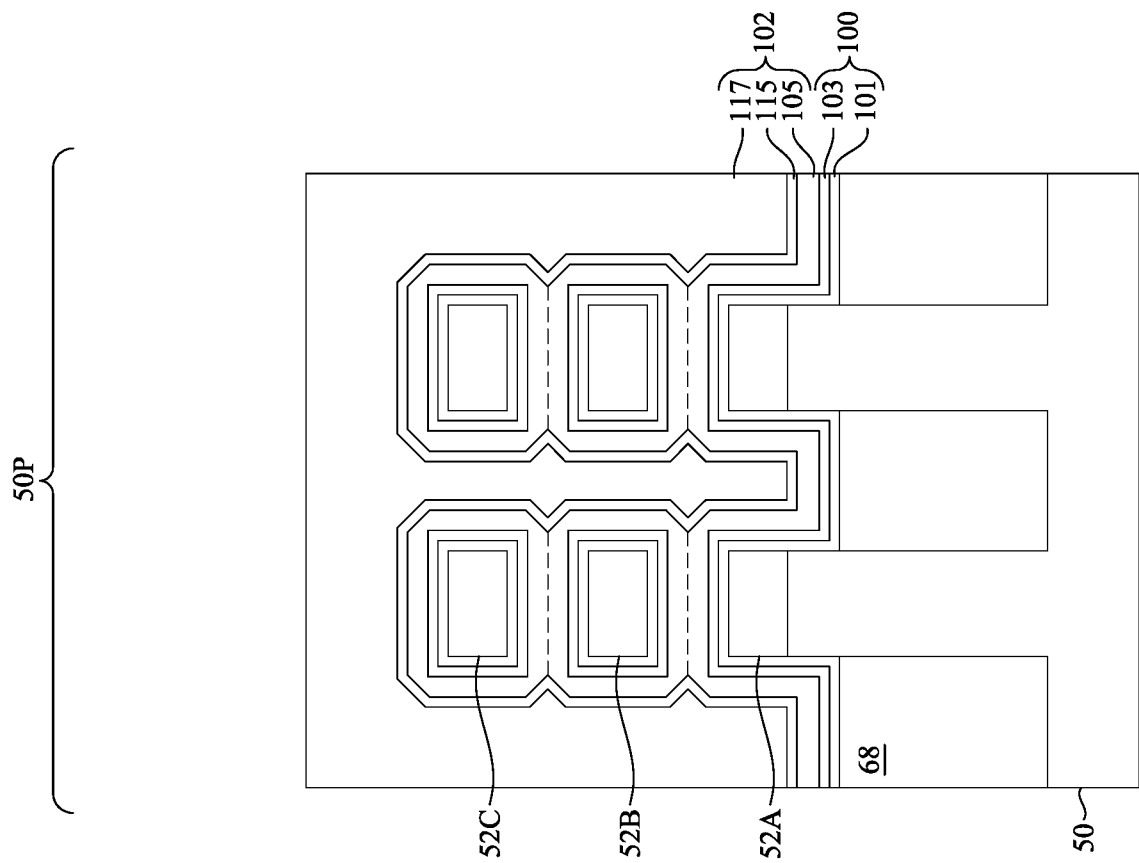


第 18B 圖

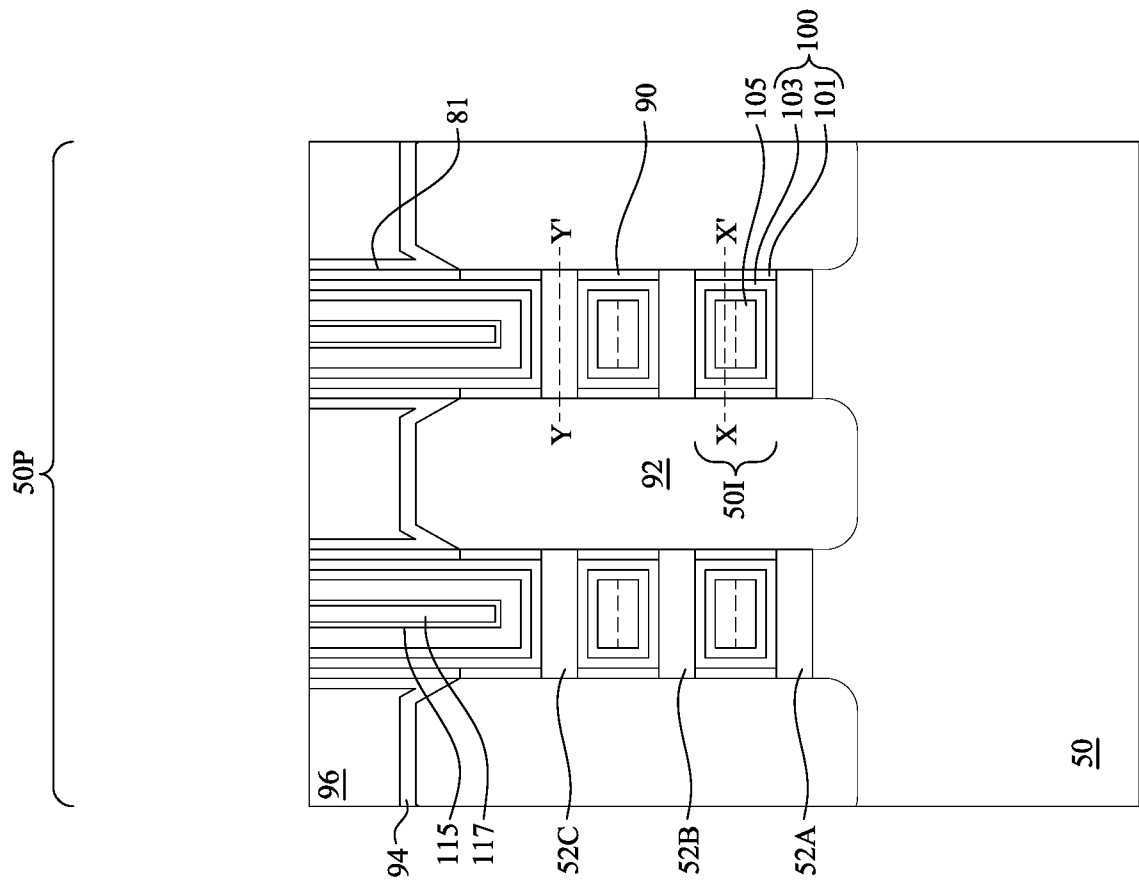


第 18A 圖

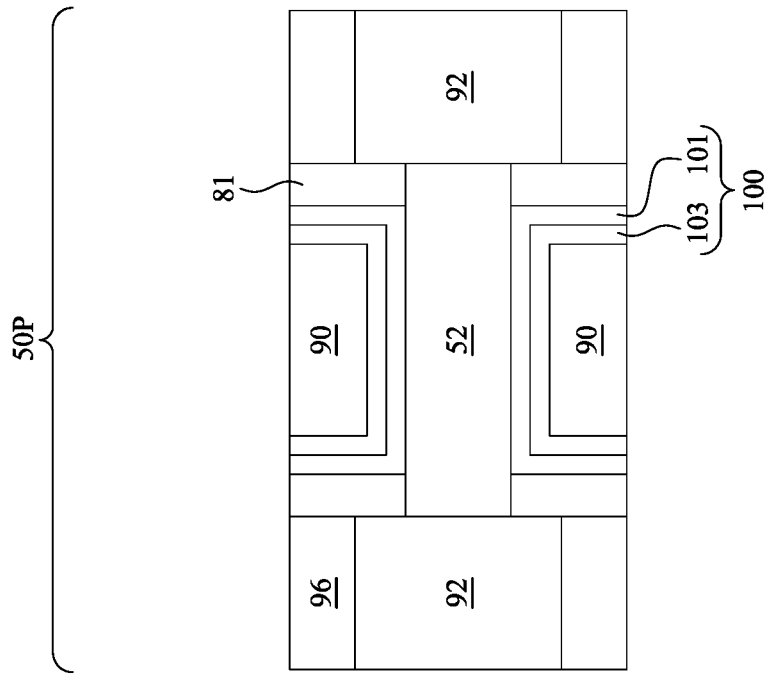




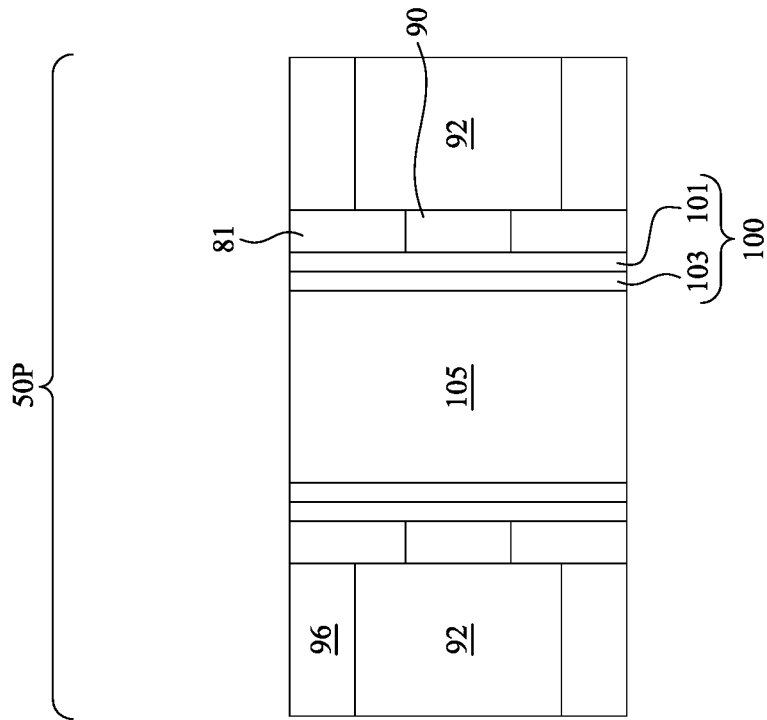
第 19A 圖



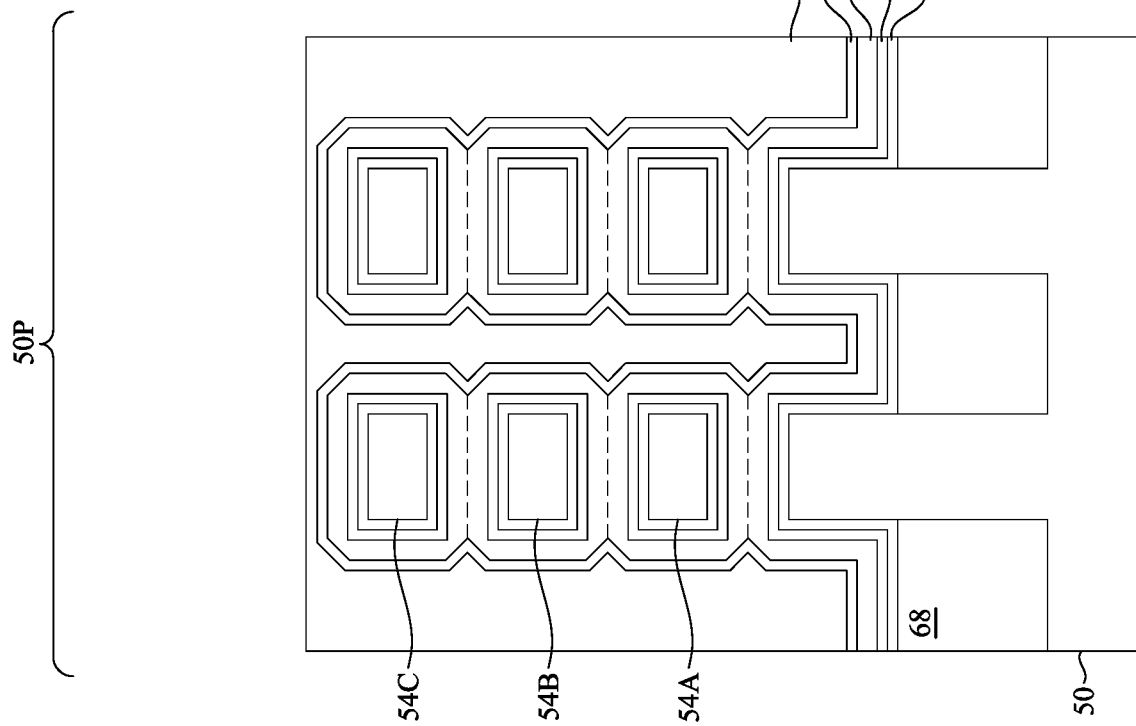
第 19B 圖



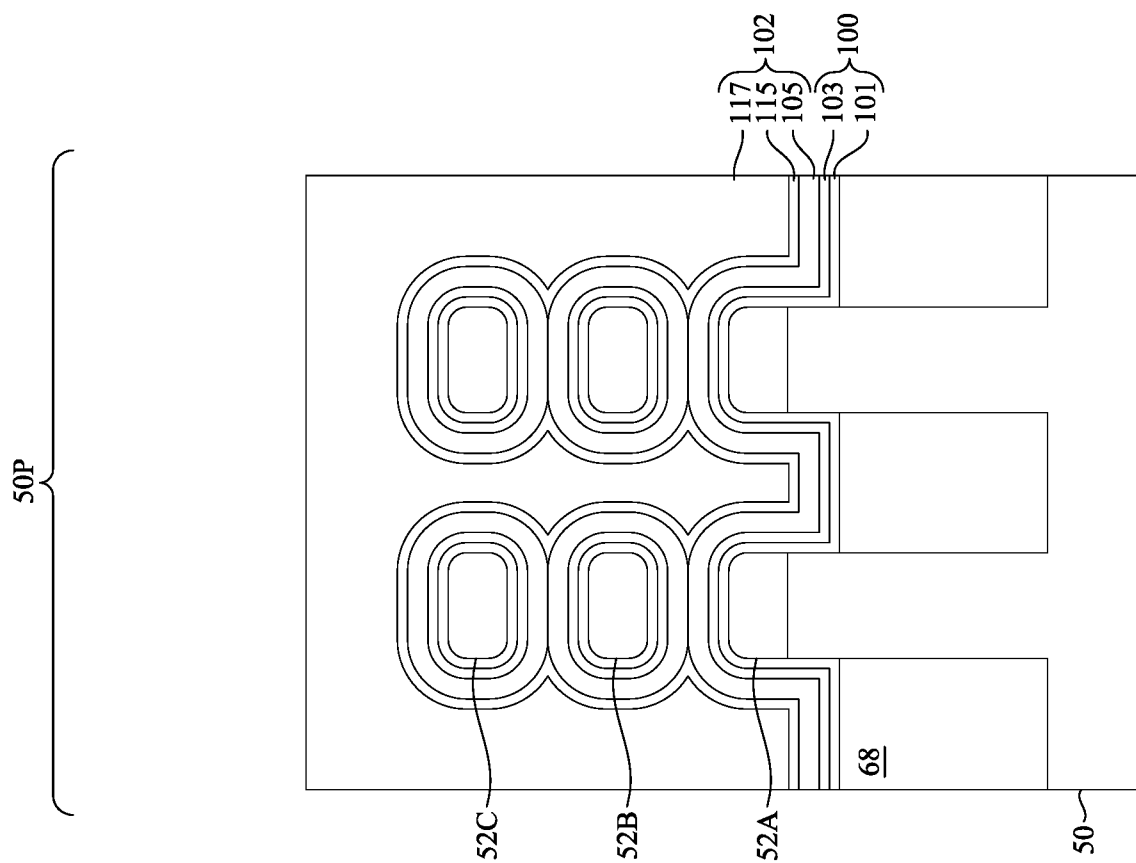
第 19D 圖



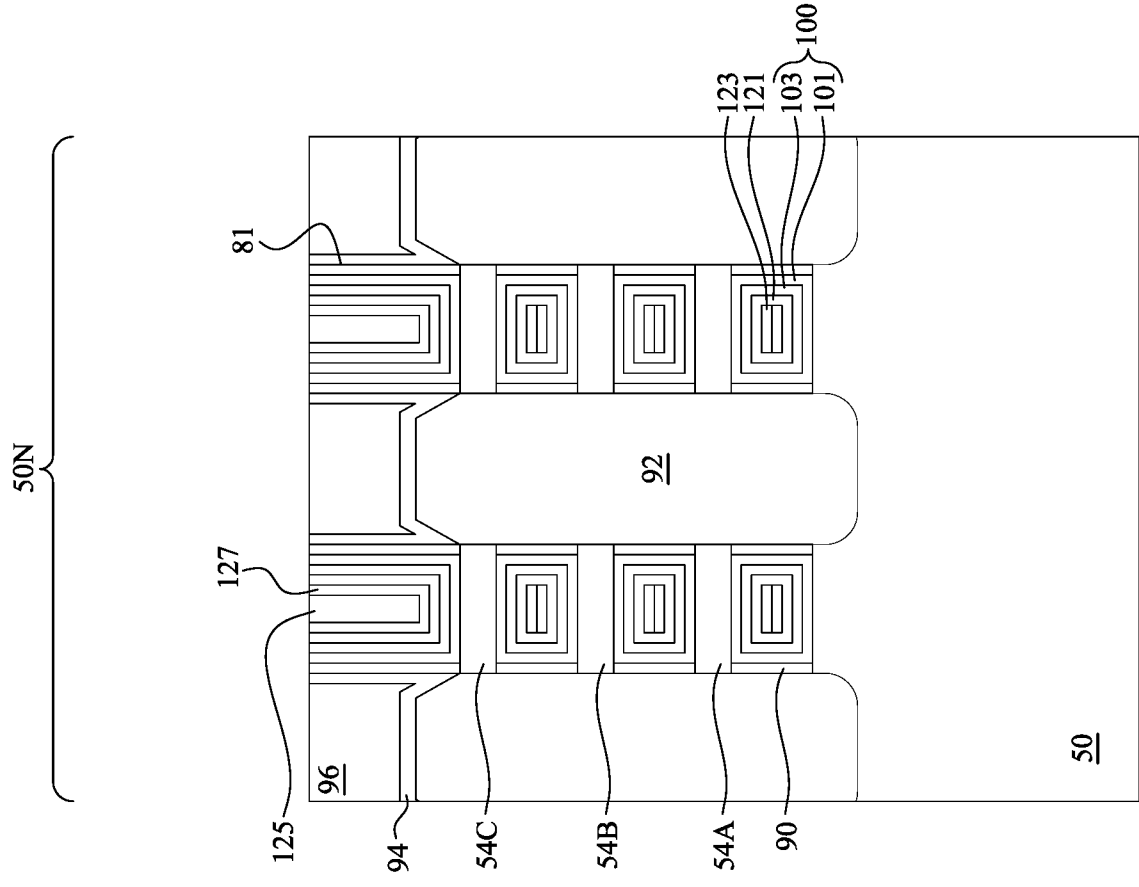
第 19C 圖



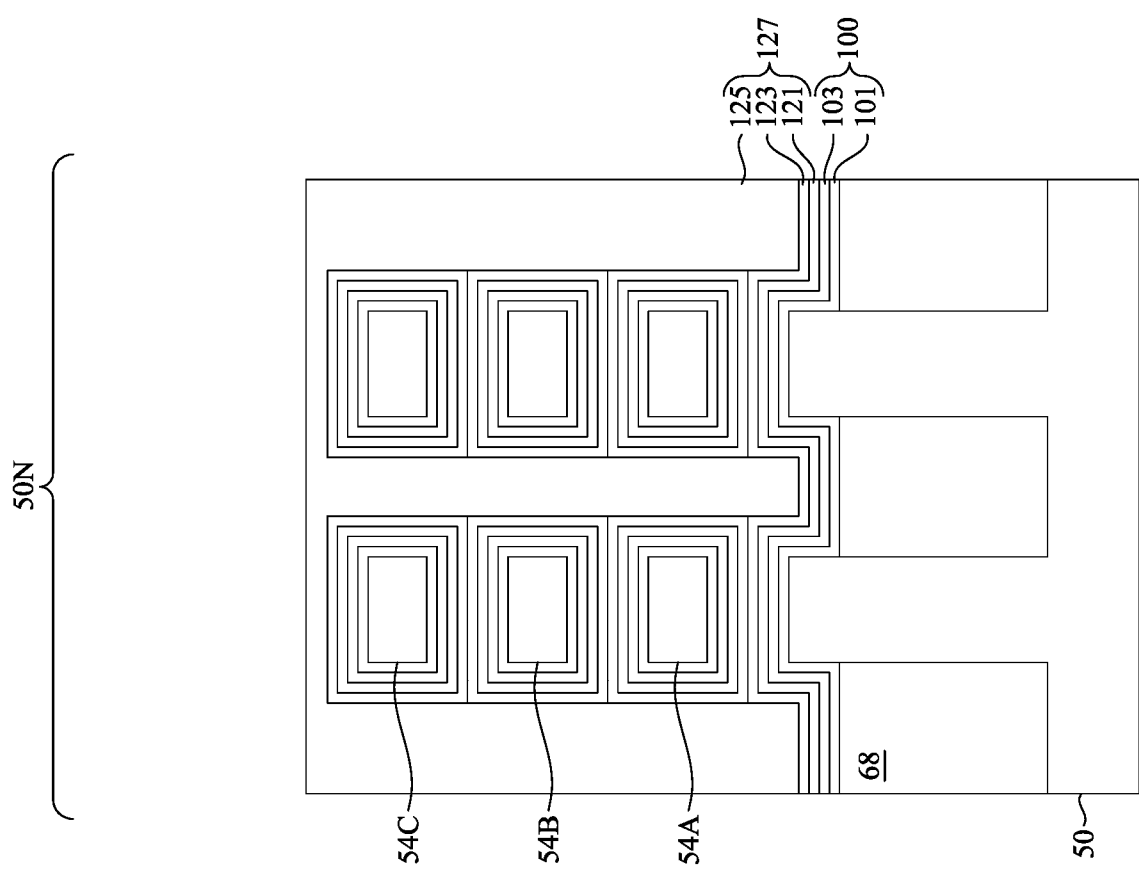
第 21 圖



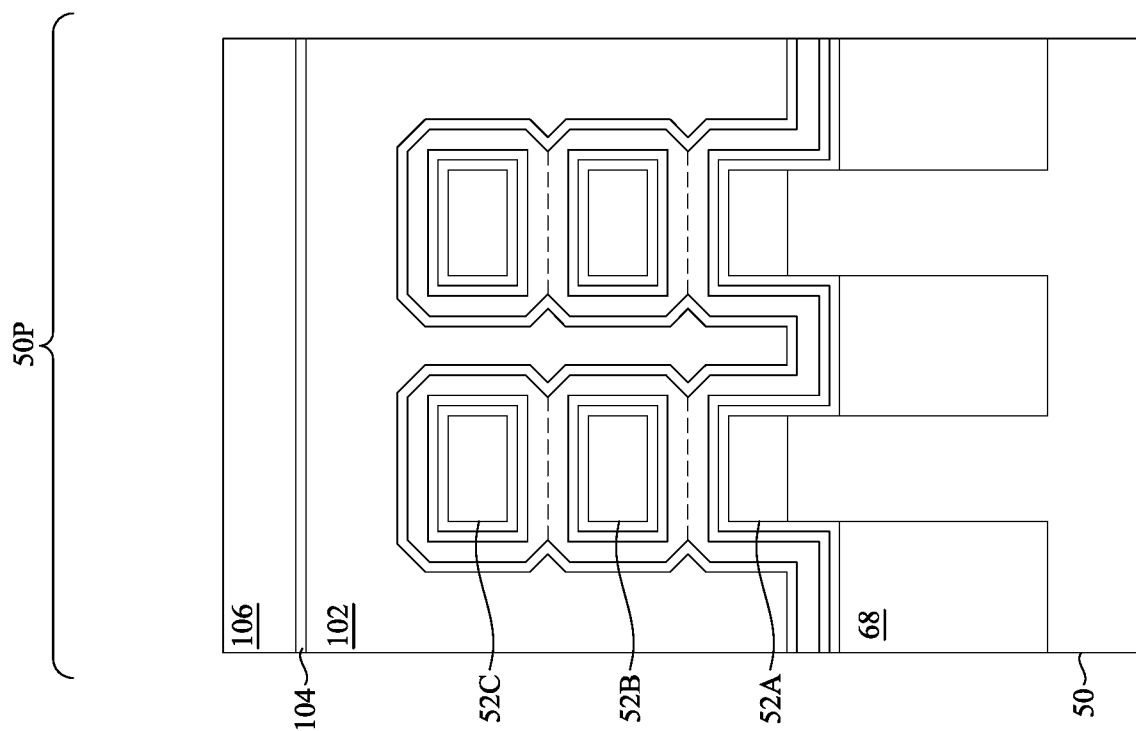
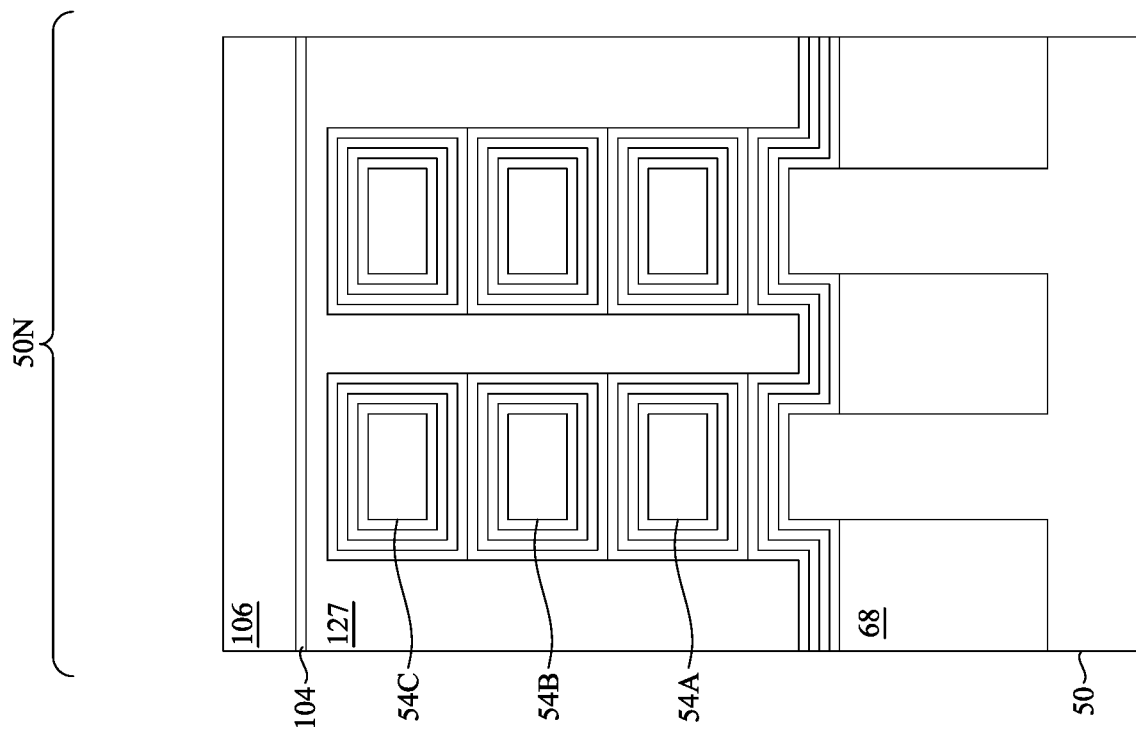
第 20 圖



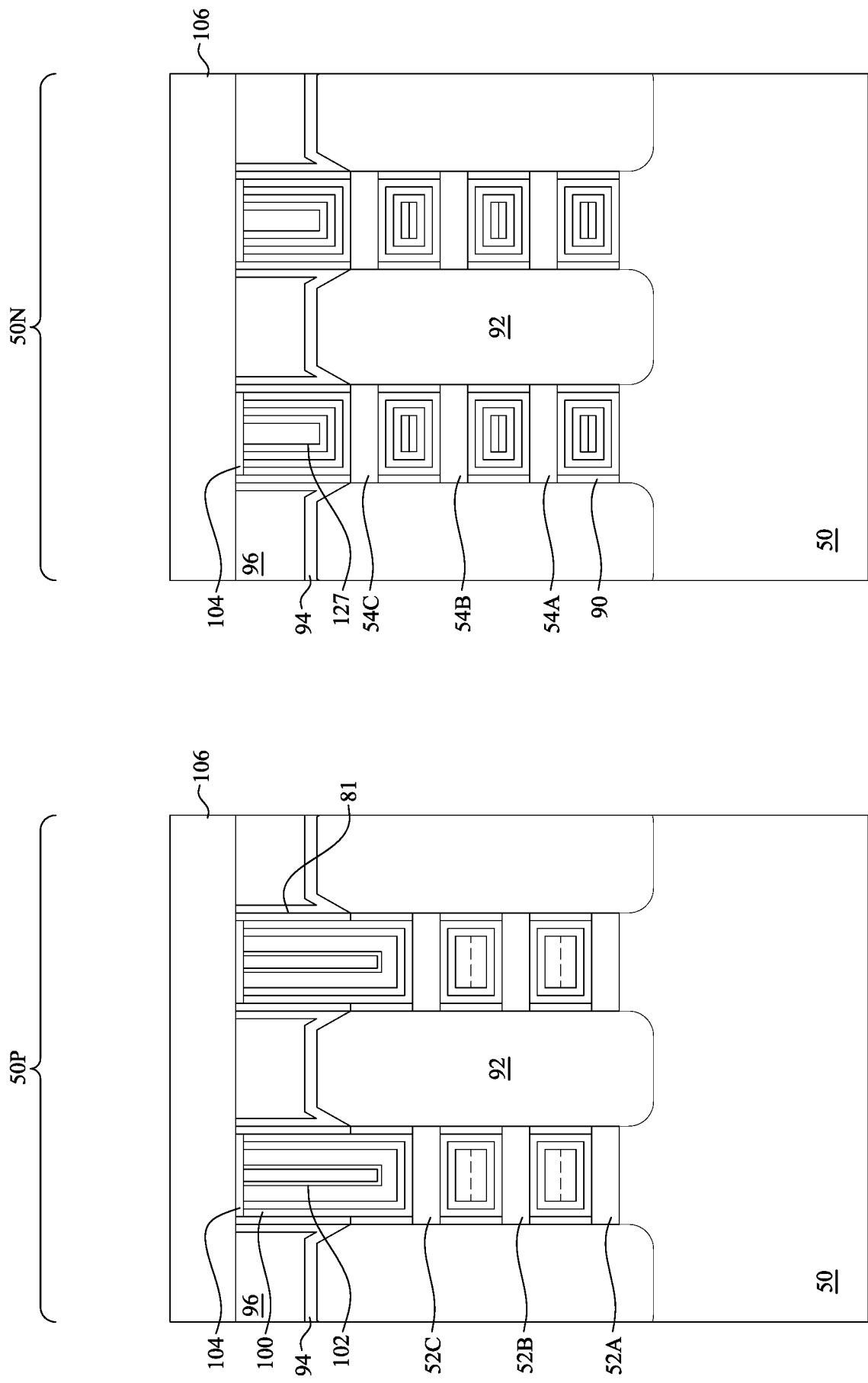
第 22B 圖



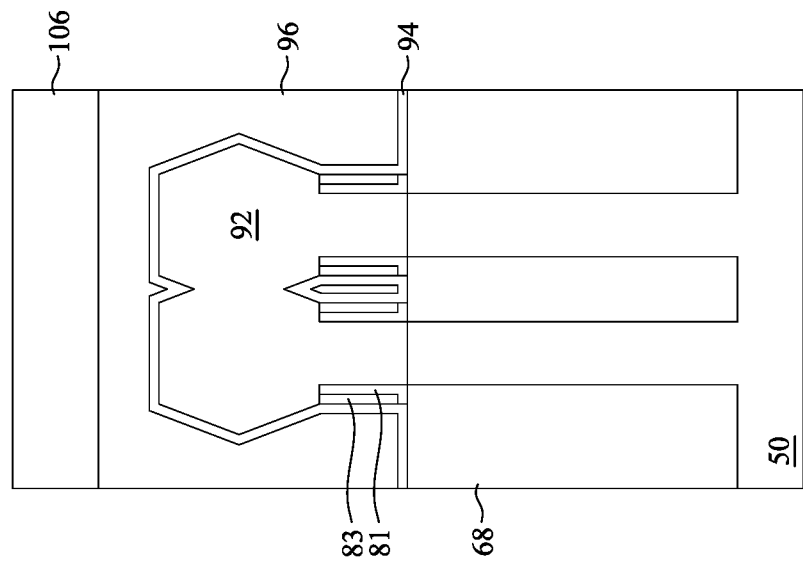
第 22A 圖



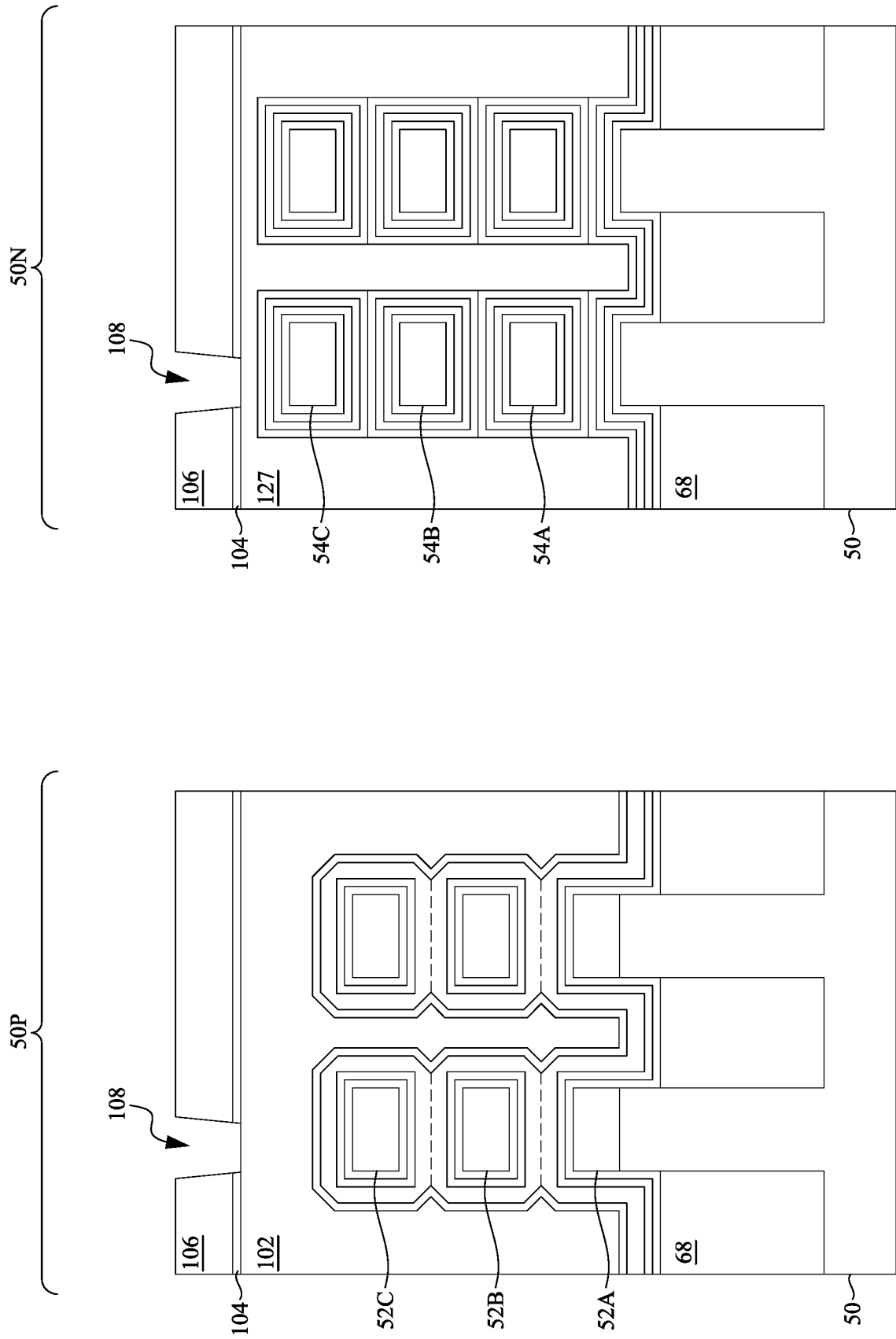
第 23A 圖



第 23B 圖

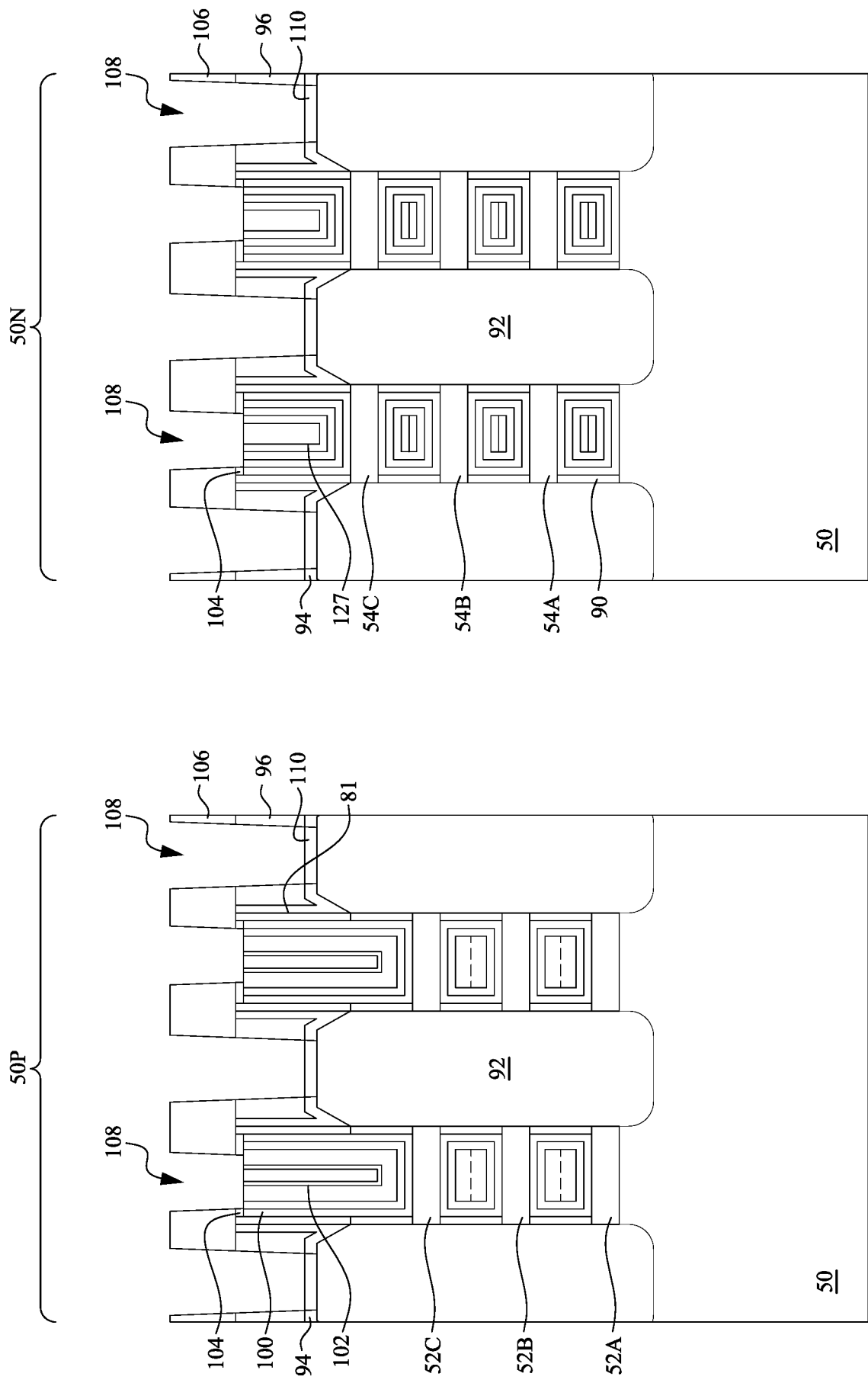


第 23C 圖

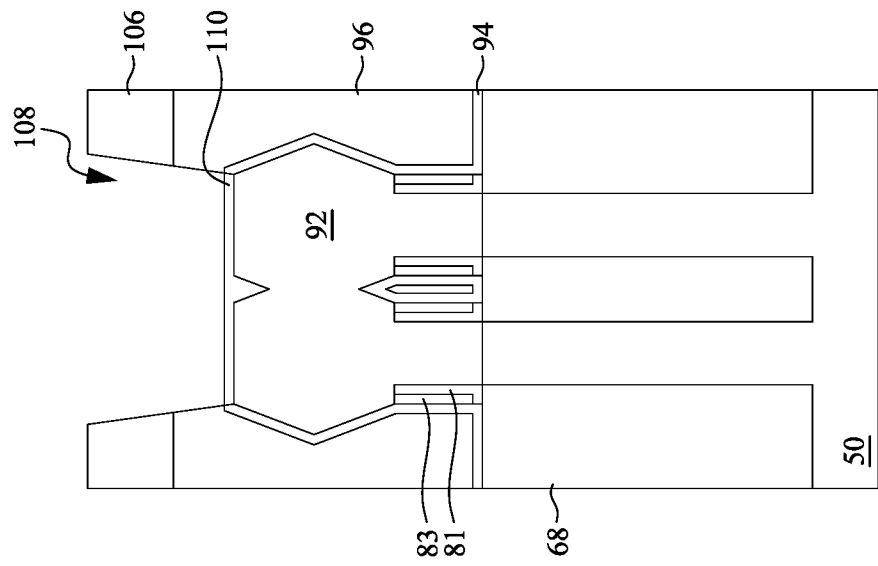


第 24A 圖

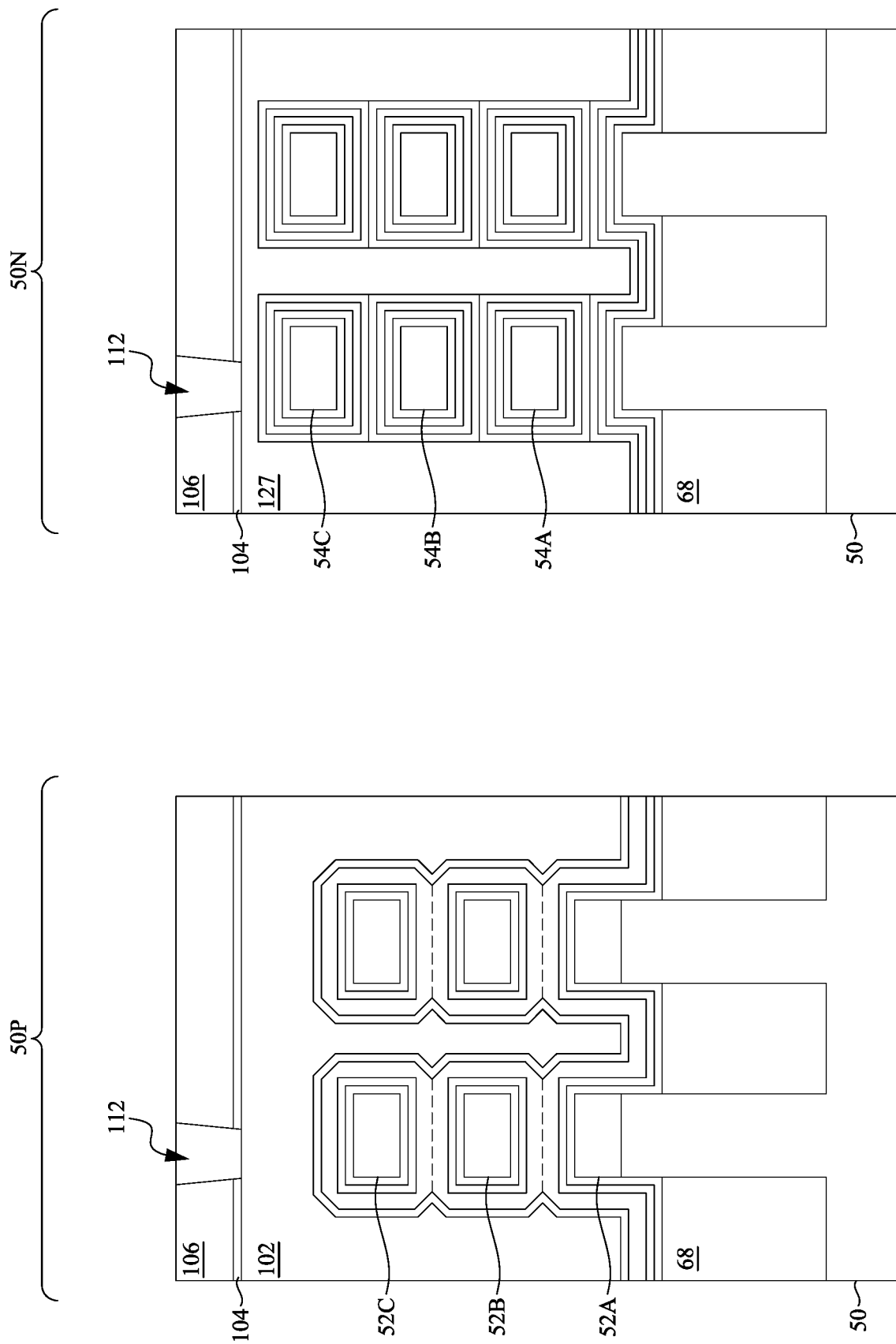




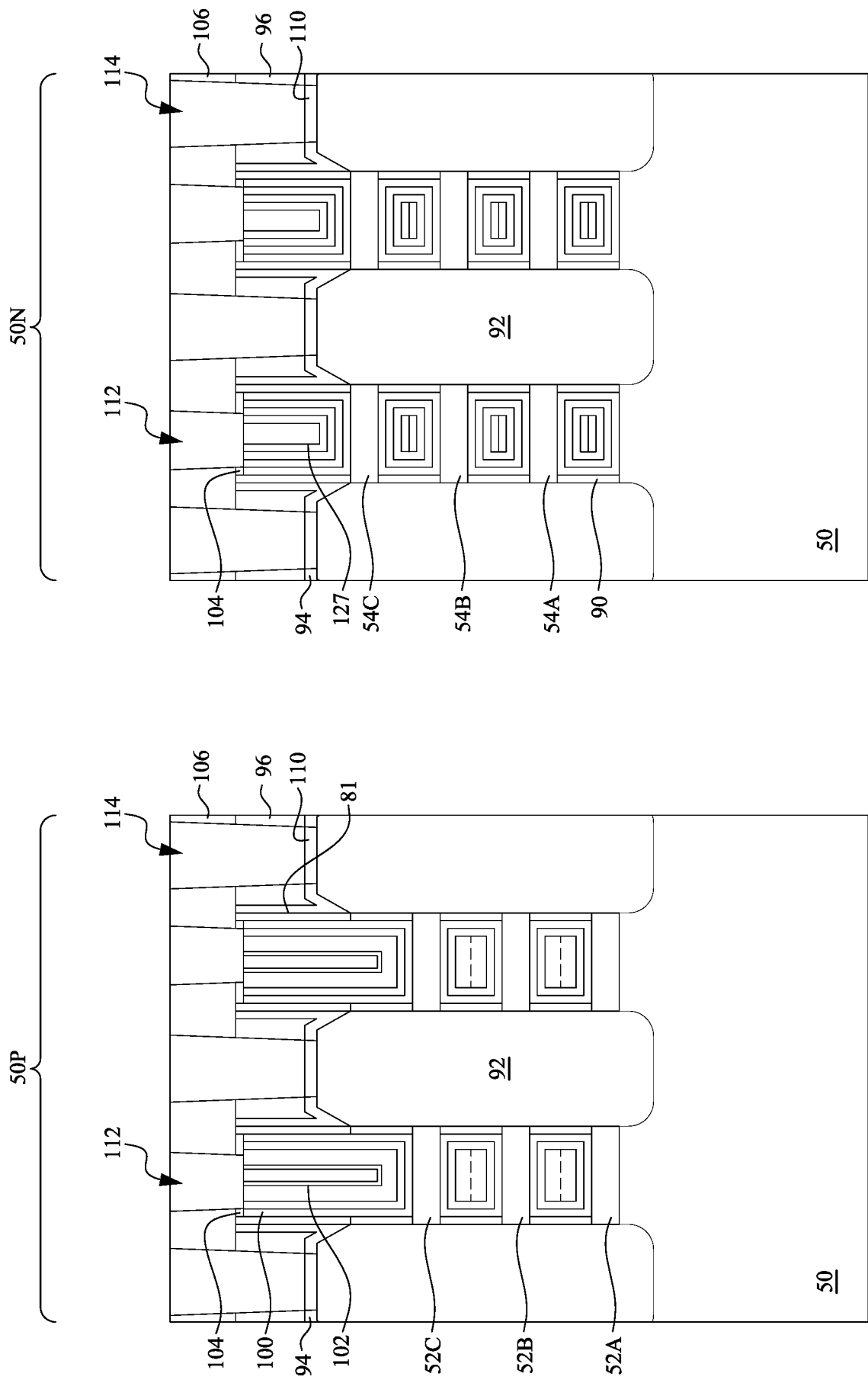
第 24B 圖



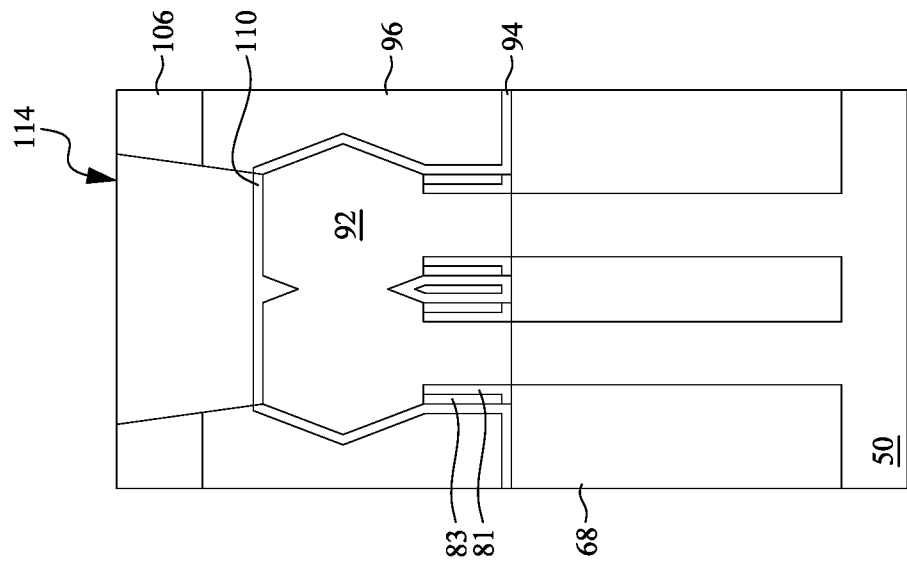
第 24C 圖



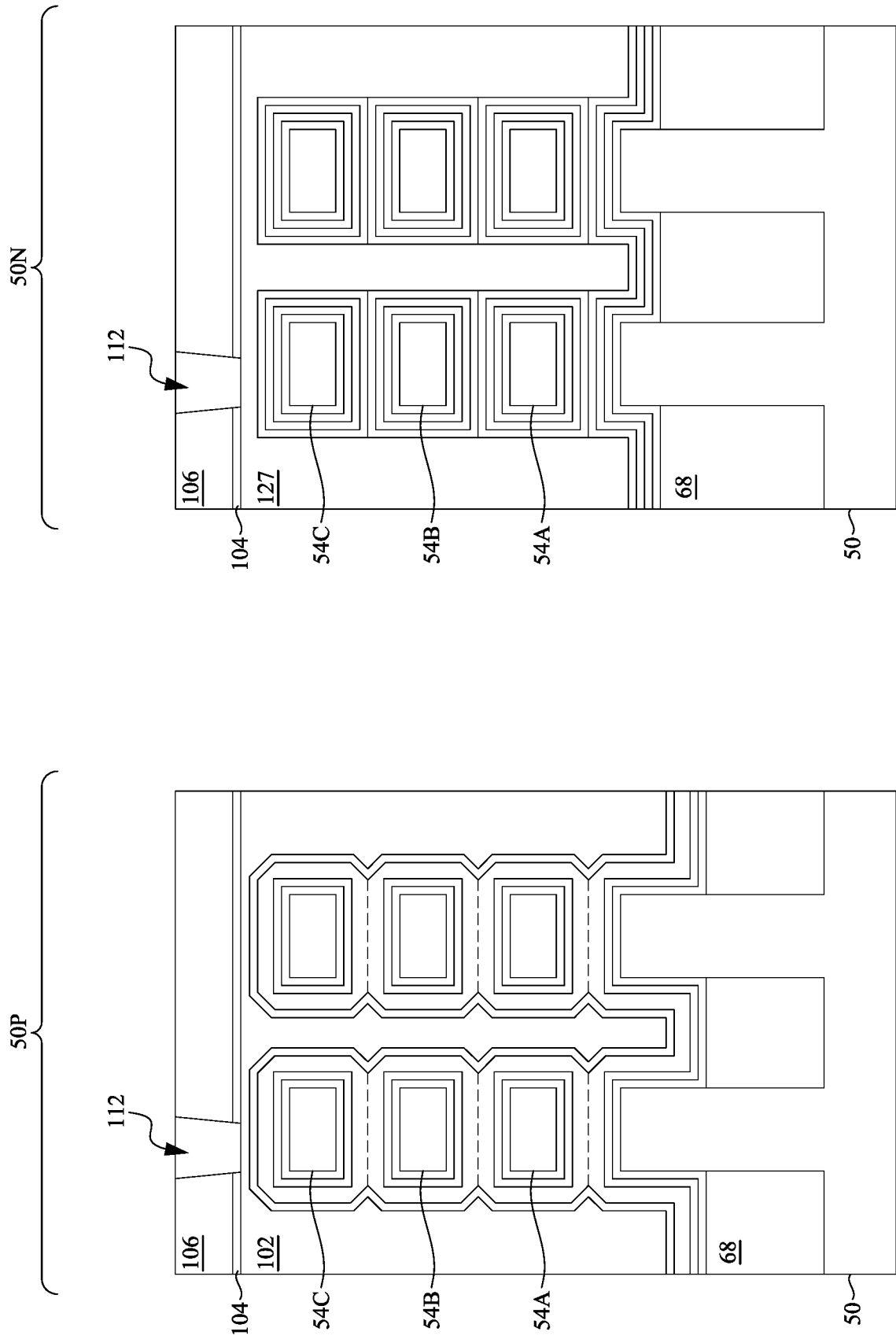
第 25A 圖



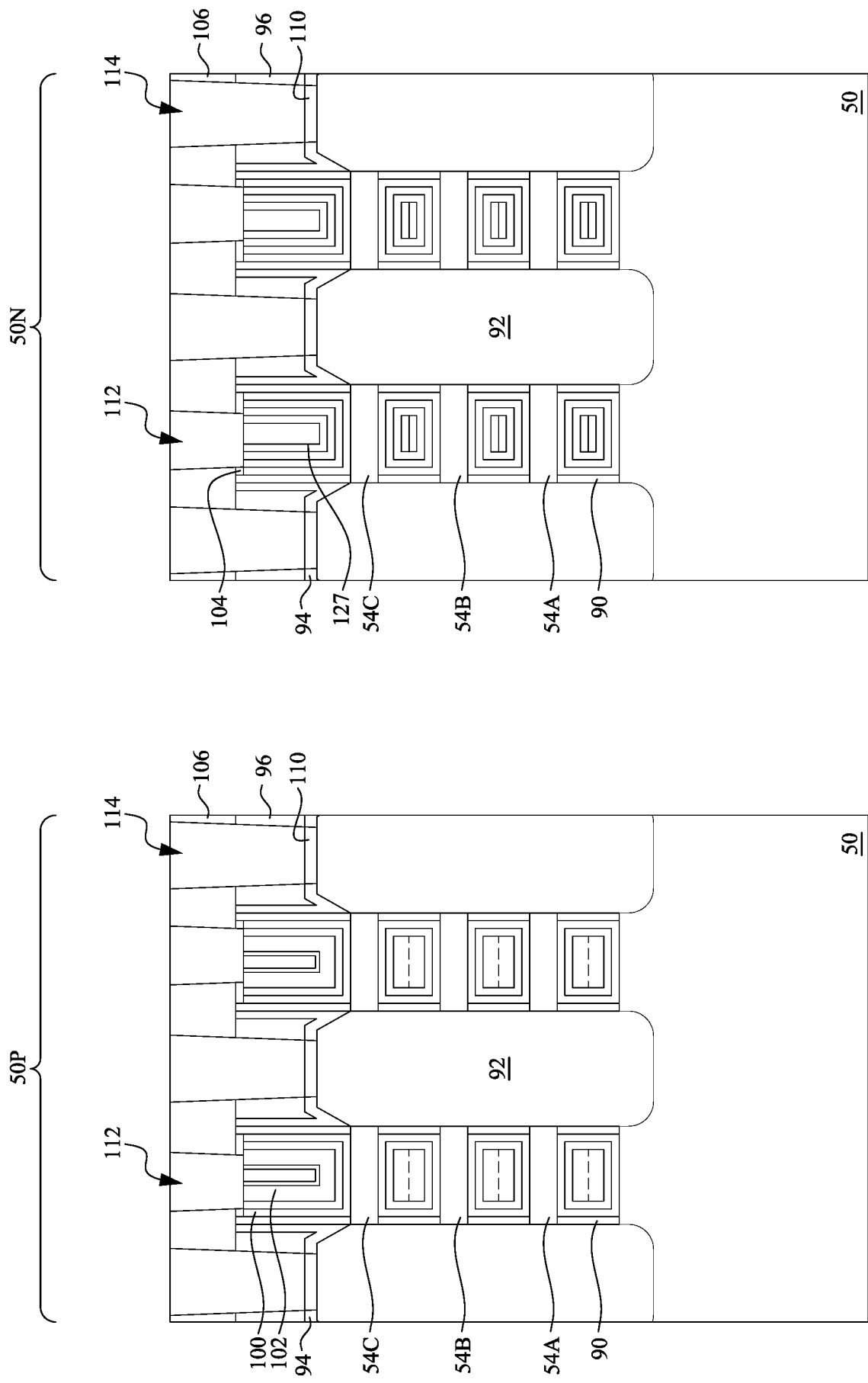
第 25B 圖



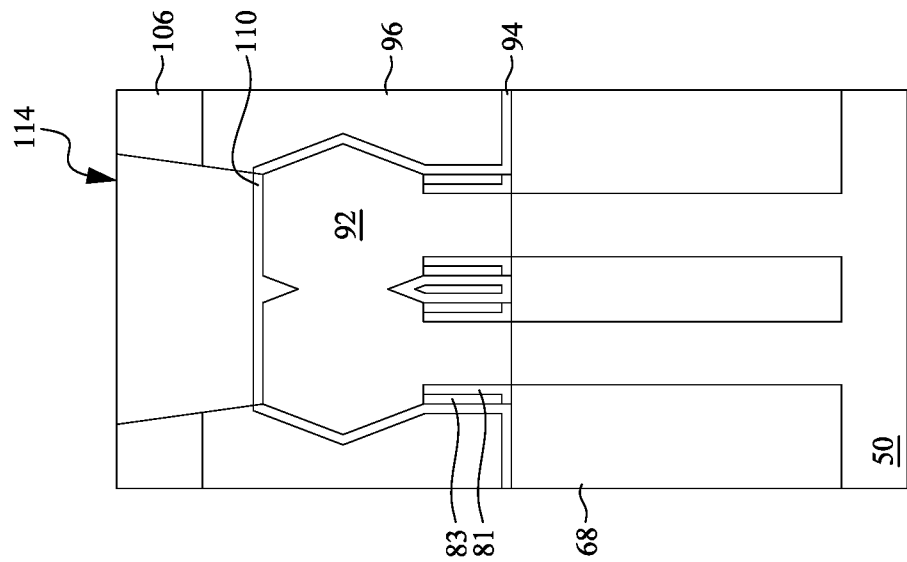
第 25C 圖



第 26A 圖



第 26B 圖



第 26C 圖



**【發明摘要】**

**【中文發明名稱】** 電晶體、半導體裝置及形成方法

**【英文發明名稱】** TRANSISTOR, SEMICONDUCTOR DEVICE AND METHOD OF FORMING THE SAME

**【中文】**

一種裝置包含第一奈米結構；第二奈米結構，位於該第一奈米結構上；第一高 k 閘極介電質，設置於該第一奈米結構周圍；第二高 k 閘極介電質，設置於該第二奈米結構周圍；以及閘極電極，位於該第一高 k 閘極介電質和該第二高 k 閘極介電質上。閘極電極在該第一奈米結構與該第二奈米結構之間的一部分包含 p 型功函數金屬的一第一部分，該 p 型功函數金屬的該第一部分填滿該第一高 k 閘極介電質和該第二高 k 閘極介電質之間的區域。

**【英文】**

A device includes a first nanostructure; a second nanostructure over the first nanostructure; a first high-k gate dielectric disposed around the first nanostructure; a second high-k gate dielectric being disposed around the second nanostructure; and a gate electrode over the first high-k gate dielectric and the second high-k gate dielectric. A portion of the gate electrode between the first nanostructure and the second nanostructure comprises a first portion of a p-type work function metal filling an area between the first high-k gate dielectric and the second high-k gate dielectric.

【指定代表圖】第 25B 圖。

【代表圖之符號簡單說明】

5 0：基板

5 0 N：n 型區域

5 0 P：p 型區域

5 2 A ~ 5 2 C：第一奈米結構

5 4 A ~ 5 4 C：第一奈米結構

8 1：第一間隔物

9 0：內部間隔物

9 2：磊晶源極 / 汲極區域

9 4：接觸蝕刻停止層

9 6：第一層間介電質

1 0 0：閘極介電質

1 0 2：閘極電極

1 0 4：閘極遮罩

1 0 6：第二層間介電質

1 1 0：矽化物區

1 1 2，1 1 4：接觸件

1 2 7：閘極電極

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】電晶體、半導體裝置及形成方法

【英文發明名稱】TRANSISTOR, SEMICONDUCTOR DEVICE AND METHOD OF FORMING THE SAME

### 【技術領域】

【0001】 本揭露是關於一種電晶體、半導體裝置及形成方法。

### 【先前技術】

【0002】 半導體裝置使用於各式各樣的電子應用，例如，舉例而言，個人電腦、手機、數位相機以及其他電子設備。半導體裝置的製造藉由依序地在基板上沉積絕緣或介電層、導電層以及半導體層的材料，以及使用光刻微影圖案化這些各種材料層，而形成電路零件與元件於基板上。

【0003】 半導體工業藉由持續地縮減最小特徵體積，讓更多零件能整合至給定區域，而持續地改善各式各樣的電子零件（例如電晶體、二極體、電阻、電容等）的積體密度。然而，隨著最小特徵體積的縮減，產生了額外需要克服的問題。

### 【發明內容】

【0004】 在部分實施方式中，半導體裝置包含一第一奈米結構；一第二奈米結構，位於該第一奈米結構上；一第一高 k

閘極介電質，設置於該第一奈米結構周圍；一第二高  $k$  閘極介電質，設置於該第二奈米結構周圍；以及一閘極電極，位於該第一高  $k$  閘極介電質和該第二高  $k$  閘極介電質上。該閘極電極在該第一奈米結構與該第二奈米結構之間的一部分包含一  $p$  型功函數金屬的一第一部分，該  $p$  型功函數金屬的該第一部分填滿該第一高  $k$  閘極介電質和該第二高  $k$  閘極介電質之間的一區域。

**【0005】** 於部分實施方式中，電晶體包含一第一奈米結構，位於一半導體基板上；一第二奈米結構，位於該第一奈米結構上；一閘極介電質，環繞該第一奈米結構以及該第二奈米結構；以及一閘極電極，位於該閘極介電質上。該閘極電極包含：一  $p$  型功函數金屬，其中該  $p$  型功函數金屬從該閘極介電質於該第一奈米結構上的一第一部分連續地延伸至該閘極介電質於該第二奈米結構上的一第二部分；一黏著層，位於該  $p$  型功函數金屬上；以及一填充金屬，位於該黏著層上。

**【0006】** 於部分實施方式中，一種形成半導體裝置的方法包含在一第一奈米結構以及一第二奈米結構周圍，沉積一閘極介電質，其中該第一奈米結構設置於該第二奈米結構上；以及在該閘極介電質上，沉積一  $p$  型功函數金屬。沉積該  $p$  型功函數金屬包含：沉積該  $p$  型功函數金屬的一第一部分在該第二奈米結構的一上表面上以及一第二部分在該第二奈米結構的一下表面上；以及接著沉積該  $p$  型功函數金屬，直到該  $p$  型功函數金屬的該第一部分與該  $p$  型功函數金屬

的該第二部分合併。

**【圖式簡單說明】**

**【0007】** 本揭露的部分態樣較佳由以下詳細敘述並參讀相關圖式了解。應注意到，各種特徵並未根據工業中的標準實務以比例繪製。事實上，為了清楚討論起見，各種特徵的尺寸可任意地增加或減小。

第 1 圖根據部分實施方式以三維視圖繪示奈米結構場效電晶體（`nanos``tructure``field-effect transistor`；`nan``o-FET`）的實施例。

第 2、3、4、5、6 A、6 B、7 A、7 B、8 A、8 B、9 A、9 B、10 A、10 B、11 A、11 B、11 C、12 A、12 B、12 C、12 D、13 A、13 B、13 C、14 A、14 B、15 A、15 B、16 A、16 B、17 A、17 B、18 A、18 B、19 A、19 B、19 C、19 D、22 A、22 B、23 A、23 B、23 C、24 A、24 B、24 C、25 A、25 B 以及 25 C 圖是根據部分實施方式於製造奈米結構場效電晶體的多個中間階段的剖面以及俯視圖。

第 20 圖是根據部分實施方式的奈米結構場效電晶體的剖面圖。

第 21 圖是根據部分實施方式的奈米結構場效電晶體的剖面圖。

第 26 A、26 B 以及 26 C 圖是根據部分實施方式的奈米結構場效電晶體的剖面圖。

**【實施方式】**

**【0008】** 以下本揭露將提供許多個不同的實施方式或實施方式以實現所提供之專利標的之不同特徵。許多組件、數值、操作、材料與設置將以特定實施例在以下說明，以簡化本揭露。當然這些實施例僅用以示例而不應用以限制。其他組件、數值、操作、材料與設置等是被考量在內的。舉例而言，敘述「第一特徵形成於第二特徵上或上面」包含多種實施方式，其中涵蓋第一特徵與第二特徵直接接觸，以及額外的特徵形成於第一特徵與第二特徵之間而使兩者不直接接觸。此外，於各式各樣的實施方式中，本揭露可能會重複標號以及/或標註字母。此重複是為了簡化並清楚說明，而非意圖表明這些討論的各種實施方式以及/或配置之間的關係。

**【0009】** 更甚者，空間相對的詞彙，例如「下方」、「之下」、「低於」、「上方」、「上層的」等相關詞彙，於此用以簡單描述元件或特徵與另一元件或特徵的關係，如圖所示。在使用或操作時，除了圖中所繪示的轉向之外，這些空間相對的詞彙涵蓋裝置的不同的轉向。或者，這些裝置可旋轉（旋轉 90 度或其他角度），且在此使用的空間相對的描述語可作對應的解讀。

**【0010】** 在電晶體閘極堆疊中，功函數金屬（work function metal；WFM）層的厚度影響電晶體的閾值電壓（threshold voltage；V<sub>TH</sub>）。然而，已經確定

由於功函數金屬層的合併區域（例如在奈米結構場效電晶體的奈米線之間）引起的厚度變化可能不會顯著影響電晶體的電氣特性。此外，通過不在功函數金屬層周圍沉積阻擋層（例如用以防止功函數金屬層的部分形成合併），可以提高製造容易性。這在具有小特徵尺寸的先進半導體節點中尤其如此，因為阻障層材料（例如氮化鈮或類似物等）可能難以在小空間中沉積。因此，通過在閘極堆疊中省略此類阻障層並允許功函數金屬層在某些區域合併，可以提高製造的容易性，並且可以減少製造缺陷（例如由於阻障層沉積不良而引起的缺陷），而不會顯著影響所產生的電晶體的電氣性能。

**【0011】** 第 1 圖根據部分實施方式以三維視圖繪示奈米結構場效電晶體（例如奈米線場效電晶體、奈米片場效電晶體或其類似物等）的實施例。奈米結構場效電晶體包含奈米結構 55（例如奈米片、奈米線或其類似物等），位在基板 50（例如半導體基板）上的鰭片 66 上，其中奈米結構 55 用作奈米結構場效電晶體的通道區。奈米結構 55 可以包含 p 型奈米結構、n 型奈米結構或其組合。隔離區域 68 設置在相鄰的鰭片 66 之間，鰭片 66 可以突出於在鄰近的隔離區域 68 上方且從相鄰的隔離區域 68 之間突出。儘管如本文所使用的，隔離區域 68 被描述或繪示為與基板 50 分離，但是術語「基板」可以是指單獨的半導體基板或是指半導體基板和隔離區域的組合。另外，儘管鰭片 66 的底部被繪示為與基板 50 的單個連續材料，但是鰭片 66 以及

/或基板 50 的底部可以包含單一材料或多種材料。在本文中，鰭片 66 指的是在鄰近的隔離區域 68 之間延伸的部分。

【0012】 閘極介電質 100 位在鰭片 66 的上表面上，並且沿著奈米結構 55 的上表面、側壁和下表面設置。閘極電極 102 位在閘極介電質 100 上。磊晶源極/汲極區域 92 設置在鰭片 66 上，且在閘極介電質 100 和閘極電極 102 的相對側上。

【0013】 第 1 圖進一步繪示在隨後的圖中使用的參考剖面。剖面 A - A' 沿著閘極電極 102 的長軸並且在一方向上，舉例而言，該方向是垂直於奈米結構場效電晶體的磊晶源極/汲極區域 92 之間的電流流動方向。剖面 B - B' 垂直於剖面 A - A'，並且平行於奈米結構場效電晶體的鰭片 66 的長軸並且在一方向上，舉例而言，該方向是奈米結構場效電晶體的磊晶源極/汲極區域 92 之間的電流流動方向。剖面 C - C' 平行於剖面 A - A'，並延伸穿過奈米結構場效電晶體的磊晶源極/汲極區域。為了清楚起見，後續附圖參考這些參考剖面。

【0014】 本文討論的部分實施方式是在使用後閘極製程 (gate-last process) 形成的奈米結構場效電晶體的背景下討論的。在其他實施方式中，可以使用先閘極製程 (gate-first process)。而且，部分實施方式考慮了在例如平面場效電晶體或鰭式場效電晶體 (fin field-effect transistors; FinFET) 的平面裝置中使



用的態樣。

【0015】 第 2 至 24 C 圖是根據部分實施方式於製造奈米結構場效電晶體的多個中間階段的剖面圖。第 2 至 5、6 A、13 A、14 A、15 A、16 A、17 A、18 A、19 A、20、21、22 A、23 A、24 A、25 A 以及 26 A 圖描繪了第 1 圖中所示的參考剖面 A-A'。第 6 B、7 B、8 B、9 B、10 B、11 B、11 C、12 B、12 D、13 B、14 B、15 B、16 B、17 B、18 B、19 B、22 B、23 B、24 B、25 B 以及 26 B 圖描繪了第 1 圖中所示的參考剖面 B-B'。第 7 A、8 A、9 A、10 A、11 A、12 A、12 C、13 C、22 C、23 C、24 C、25 C 以及 26 C 圖描繪了第 1 圖中所示的參考剖面 C-C'。

【0016】 在第 2 圖中，提供了基板 50。基板 50 可以是半導體基板，例如塊狀半導體、絕緣體上半導體 (semiconductor-on-insulator ; SOI) 基板或類似物等，其可以被摻雜 (例如用 p 型或 n 型摻雜劑) 或未摻雜。基板 50 可以是晶圓，例如矽晶圓。總體而言，絕緣體上半導體基板是在絕緣體層上形成的半導體材料層。絕緣體層可以是例如埋設氧化物 (buried oxide ; BOX) 層、氧化矽層或類似物等。絕緣層提供在一基板上，例如在矽或玻璃基板的基板上。也可以使用其他基板，例如多層或梯度基板。在部分實施方式中，基板 50 的半導體材料可以包含矽；鍺；化合物半導體，包含碳化矽、砷化鎵、磷化鎵、磷化銮、砷化銮和 / 或銻化銮；合金半導體，包含矽鍺、磷化砷化鎵、砷化鋁銮、砷化鋁鎵、砷化鎵銮、磷化鎵銮

和 / 或磷化砷化鎵鋼；或其組合。

【0017】 基板 50 具有 n 型區域 50N 和 p 型區域 50P。n 型區域 50N 可以用於形成 n 型裝置，例如 NMOS 電晶體，如 n 型奈米結構場效電晶體，並且 p 型區域 50P 可以用於形成 p 型裝置，例如 PMOS 電晶體，如 p 型奈米結構場效電晶體。n 型區域 50N 可以與 p 型區域 50P 實體上分開(如分隔器 20 所示)，並且可以設置任何數量的裝置特徵(例如其他主動裝置、摻雜區、隔離結構等)在 n 型區域 50N 和 p 型區域 50P 之間。儘管繪示了一個 n 型區域 50N 和一個 p 型區域 50P，但是可以提供任何數量的 n 型區域 50N 和 p 型區域 50P。

【0018】 更進一步來說，在第 2 圖中，在基板 50 上形成多層堆疊 64。多層堆疊 64 包含第一半導體層 51A~51C(統稱為第一半導體層 51)和第二半導體層 53A~53C(統稱為第二半導體層 53)的交替層。為了說明的目的並且如下面更詳細地討論的，第二半導體層 53 將被移除，且第一半導體層 51 將被圖案化以在 p 型區域 50P 中形成奈米結構場效電晶體的通道區。而且，第一半導體層 51 將被移除，且第二半導體層 53 將被圖案化以在 n 型區域 50N 中形成奈米結構場效電晶體的通道區。然而，在部分實施方式中，可以移除第一半導體層 51 並且可以對第二半導體層 53 進行圖案化以在 n 型區域 50N 中形成奈米結構場效電晶體的通道區，並且可以移除第二半導體層 53 並且可以對第一半導體層 51 進行圖案化以在 p 型區域 50P 中形成奈米結

構場效電晶體的通道區。

【0019】 在其他實施方式中，可以移除第一半導體層 51，並且對第二半導體層 53 進行圖案化，以在 n 型區域 50N 和 p 型區域 50P 兩者中形成奈米結構場效電晶體的通道區。在其他實施方式中，可以移除第二半導體層 53 並且對第一半導體層 51 進行圖案化，以在 n 型區域 50N 和 p 型區域 50P 兩者中形成奈米結構場效電晶體的通道區。在這樣的實施方式中，n 型區域 50N 和 p 型區域 50P 兩者中的通道區可以具有相同的材料成分（例如，矽或類似物等）並且可以同時形成。第 26A、26B 和 26C 圖繪示了由這樣的實施方式產生的結構，舉例而言，其中 p 型區域 50P 和 n 型區域 50N 中的通道區都包含矽。

【0020】 出於說明性目的，多層堆疊 64 繪示為包含第一半導體層 51 和第二半導體層 53 中的每一個的三層。在部分實施方式中，多層堆疊 64 可以包含任何數量的第一半導體層 51 和第二半導體層 53。可以使用例如化學氣相沉積（chemical vapor deposition；CVD）、原子層沉積（atomic layer deposition；ALD）、氣相磊晶（vapor phase epitaxy；VPE）、分子束磊晶（molecular beam epitaxy；MBE）等的製程，磊晶成長多層堆疊 64 的每個層。在各種實施方式中，第一半導體層 51 可以由適合用於 p 型奈米結構場效電晶體的第一半導體材料形成，例如矽鍺或類似物等，第二半導體層 53 可以由適合用於 n 型奈米結構場效電晶體的第二半導體材料形成，例如矽、碳化

矽或類似物等。出於說明性目的，多層堆疊 64 被繪示為具有適合於 p 型奈米結構場效電晶體的最底部的半導體層。在部分實施方式中，可以形成多層堆疊 64，使得最底層是適合於 n 型奈米結構場效電晶體的半導體層。

【0021】 第一半導體材料和第二半導體材料可以是對彼此具有高蝕刻選擇性的材料。如此一來，可以在不顯著移除 n 型區域 50N 中的第二半導體材料的第二半導體層 53 的情況下，移除第一半導體材料的第一半導體層 51，從而允許第二半導體層 53 被圖案化以形成 n 型奈米結構場效電晶體的通道區。類似地，可以在不顯著移除 p 型區域 50P 中的第一半導體材料的第一半導體層 51 的情況下，移除第二半導體材料的第二半導體層 53，從而允許第一半導體層 51 被圖案化以形成 p 型奈米結構場效電晶體的溝道區。在其他實施方式中，n 型區域 50N 和 p 型區域 50P 中的通道區可以同時形成並且具有相同的材料組成，例如矽、矽鍺或類似物等。第 26A、26B 和 26C 圖繪示了由這樣的實施方式產生的結構，舉例而言，其中 p 型區域 50P 和 n 型區域 50N 中的通道區都包含矽。

【0022】 現在參考第 3 圖，根據部分實施方式，在基板 50 中形成鱗片 66，並且在多層堆疊 64 中形成奈米結構 55。在部分實施方式中，可以通過在多層堆疊 64 和基板 50 中蝕刻溝槽，來分別在多層堆疊 64 和基板 50 中形成奈米結構 55 和鱗片 66。此蝕刻可以是任何合適的蝕刻製程，例如反應性離子蝕刻（reactive ion etch；RIE）、中性

束蝕刻 ( neutral beam etch ; NBE ) 、類似製程或其組合。此蝕刻可以是各向異性的。通過蝕刻多層堆疊 64 形成奈米結構 55 ，可以進一步從第一半導體層 51 限定第一奈米結構 52 A ~ 52 C ( 統稱為第一奈米結構 52 ) 並且從第二半導體層 53 限定第二奈米結構 54 A ~ 54 C ( 統稱為第二奈米結構 54 ) 。第一奈米結構 52 和第二奈米結構 54 可以進一步統稱為奈米結構 55 。

**【0023】** 可以通過任何合適的方法來圖案化鰭片 66 和奈米結構 55 。舉例而言，可以使用一種或多種光刻微影製程來圖案化鰭片 66 和奈米結構 55 ，該光刻微影製程包含雙重圖案化 ( double-patterning ) 或多重圖案化 ( multi-patterning ) 製程。總體而言，雙重圖案化或多重圖案化製程將光刻微影和自我對準製程結合，從而允許產生的圖案具有例如間距小於使用單次直接光刻微影製程可獲得的間距。舉例而言，在一個實施方式中，在基板上形成犧牲層，並使用光刻微影製程將其圖案化。使用自我對準製程在圖案化的犧牲層旁邊形成間隔物。然後，移除犧牲層，然後可以使用剩餘的間隔物來圖案化鰭片 66 。

**【0024】** 出於說明性目的，第 3 圖繪示 n 型區域 50 N 和 p 型區域 50 P 中的鰭片 66 的具有實質相等的寬度。在部分實施方式中，n 型區域 50 N 中的鰭片 66 的寬度可以大於或小於 p 型區域 50 P 中的鰭片 66 的寬度。更甚者，儘管在整個圖中，每個鰭片 66 和奈米結構 55 被繪示為具有一致的寬度，但是在其他實施方式中，鰭片 66 和 / 或奈米結

構 55 可以具有成錐形的側壁，使得每個鰭片 66 和 / 或奈米結構 55 的寬度在朝向基板 50 的方向上持續地增加。在這樣的實施例中，每個奈米結構 55 可具有不同的寬度並且為梯形形狀。

**【0025】** 在第 4 圖中，在鄰近鰭片 66 處，形成淺溝槽隔離 (shallow trench isolation ; STI) 區域 68。可以通過在基板 50、鰭片 66 和奈米結構 55 上以及鰭片 66 之間沉積絕緣材料，來形成淺溝槽隔離區域 68。絕緣材料可以是氧化物，例如氧化矽、氮化物、類似物或其組合，並且可以通過高密度電漿化學氣相沉積 (high-density plasma CVD ; HDP-CVD)、可流動化學氣相沉積 (flowable CVD ; FCVD)、類似製程或其組合而形成。可以使用通過任何合適的製程形成的其他絕緣材料。在所示的實施方式中，絕緣材料是通過可流動化學氣相沉積製程形成的氧化矽。在形成絕緣材料之後，可以進行退火製程。在部分實施方式中，形成絕緣材料，使得過量的絕緣材料覆蓋奈米結構 55。儘管將絕緣材料繪示為單層，但是部分實施方式可以採用多層。舉例而言，在部分實施方式中，可以首先沿著基板 50、鰭片 66 和奈米結構 55 的表面形成襯層 (未單獨示出)。其後，可以在襯層上形成例如上述的填充材料。

**【0026】** 然後，對絕緣材料進行移除製程，以移除奈米結構 55 上的多餘絕緣材料。在部分實施方式中，可以使用例如化學機械拋光 (chemical mechanical polish ; CMP)

之類的平坦化製程、回蝕製程或其組合。平坦化製程露出奈米結構 55，使得在平坦化製程完成之後，奈米結構 55 和絕緣材料的上表面是齊平的。

【0027】 然後，使絕緣材料凹陷，以形成淺溝槽隔離區域 68。使絕緣材料凹陷使得區域 50N 和 50P 中的鱗片 66 的上部從相鄰的淺溝槽隔離區域 68 之間突出。更甚者，淺溝槽隔離區域 68 的上表面可以具有如圖所示的平坦表面、凸表面、凹表面（例如盤狀凹陷）或其組合。通過適當的蝕刻，所形成的淺溝槽隔離區域 68 的上表面可以是平坦的、凸的和/或凹的。可以使用合適的蝕刻製程來凹陷淺溝槽隔離區域 68，例如對絕緣材料的材料具有選擇性的蝕刻製程（例如以比鱗片 66 和奈米結構 55 的材料更快的速率蝕刻絕緣材料的材料）。舉例而言，可以採用氧化物移除製程，其中該氧化物移除製程例如使用經稀釋處理的氫氟酸（dilute hydrofluoric acid；dHF acid）。

【0028】 以上參照第 2 至 4 圖所描述的製程僅是關於如何形成鱗片 66 和奈米結構 55 的一個實施例。在部分實施方式中，可以使用遮罩和磊晶成長製程來形成鱗片 66 和/或奈米結構 55。舉例而言，可以在基板 50 的上表面上，形成介電層，並且可以蝕刻穿過該介電層的溝槽以露出下面的基板 50。可以在該溝槽中磊晶成長磊晶結構，並且可以凹陷介電層，使得磊晶結構從介電層突出，而形成鱗片 66 和/或奈米結構 55。磊晶結構可以包含上述的交替半導體材料，例如第一半導體材料和第二半導體材料。在磊晶成

長磊晶結構的部分實施方式中，在成長期間，可以原位摻雜磊晶成長的材料，這可以免除之前和/或之後的植入製程，然而，原位和植入摻雜可以一起使用。

**【0029】** 另外，僅出於說明性目的，在此所繪示及討論的第一半導體層 51（以及所得的第一奈米結構 52）和第二半導體層 53（以及所得的第二奈米結構 54）是在 p 型區域 50P 和 n 型區域 50N 中包含相同的材料。如此一來，在部分實施方式中，第一半導體層 51 和第二半導體層 53 中的一個或兩個可以是不同的材料，或者可以以不同的順序形成在 p 型區域 50P 和 n 型區域 50N 中。

**【0030】** 更甚者，在第 4 圖中，可以在鰭片 66、奈米結構 55 和/或淺溝槽隔離區域 68 中，形成適當的井（未單獨示出）。在具有不同井類型的實施方式中，可以使用光阻或其他遮罩（未單獨示出）來實現不同植入步驟，以用於 n 型區域 50N 和 p 型區域 50P。舉例而言，可以在 n 型區域 50N 和 p 型區域 50P 中的鰭片 66 和淺溝槽隔離區域 68 上，形成光阻。圖案化光阻，以露出 p 型區域 50P。可以通過使用旋塗技術來形成光阻，並且可以使用合適的光刻微影技術來對光阻進行圖案化。在圖案化光阻後，在 p 型區域 50P 中進行 n 型雜質植入，並且光阻可以用作遮罩以實質上防止 n 型雜質被植入到 n 型區域 50N 中。n 型雜質可以是以大約  $10^{13}$  原子/cm<sup>3</sup> 至大約  $10^{14}$  原子/cm<sup>3</sup> 的濃度植入到該區域中的磷、砷、或類似物等。在植入之後，例如通過合適的灰化製程，移除光阻。



【0031】 在植入 p 型區域 50P 之後或之前，在 p 型區域 50P 與 n 型區域 50N 中的鰭片 66、奈米結構 55 和淺溝槽隔離區域 68 上，形成光阻或其他遮罩（未單獨示出）。圖案化光阻，以露出 n 型區域 50N。可以通過使用旋塗技術來形成光阻，並且可以使用合適的光刻微影技術來對光阻進行圖案化。在圖案化光阻之後，可以在 n 型區域 50N 中進行 p 型雜質植入，並且光阻可以用作遮罩以實質上防止 p 型雜質被植入到 p 型區域 50P 中。p 型雜質可以是以大約  $10^{13}$  原子 /  $\text{cm}^3$  至大約  $10^{14}$  原子 /  $\text{cm}^3$  的濃度植入到該區域中的硼、氟化硼、銦或類似物等。在植入之後，例如通過合適的灰化製程，移除光阻。

【0032】 在植入 n 型區域 50N 和 p 型區域 50P 之後，可以進行退火，以修復植入損壞並活化植入的 p 型和 / 或 n 型雜質。在部分實施方式中，在成長期間，可以原位摻雜磊晶鰭片的成長材料，這可以免除植入製程，儘管原位和植入摻雜可以一起使用。

【0033】 在第 5 圖中，在鰭片 66 和 / 或奈米結構 55 上形成虛設介電層 70。舉例而言，虛設介電層 70 可以是氧化矽、氮化矽、其組合或類似物等，且可以根據合適的技術沉積或熱生長。在虛設介電層 70 上形成虛設閘極層 72，並且在虛設閘極層 72 上形成遮罩層 74。在虛設介電層 70 上，可以沉積虛設閘極層 72，然後例如通過化學機械拋光（CMP）將虛設閘極層 72 平坦化。在虛設閘極層 72 上，可以沉積遮罩層 74。虛設閘極層 72 可以是導電或非導電

材料，並且可以選自一群組，該群組包含非晶矽、多晶矽（polycrystalline-silicon；polysilicon）、多晶矽鍺（poly-SiGe）、金屬氮化物、金屬矽化物、金屬氧化物和金屬。可以通過物理氣相沉積（physical vapor deposition；PVD）、化學氣相沉積、濺射沉積或用於沉積所選材料的其他技術，來沉積虛設閘極層 72。虛設閘極層 72 可以由其他材料製成，該其他材料相較於隔離區域的蝕刻具有高蝕刻選擇性。遮罩層 74 可以包含例如氮化矽、氮氧化矽或類似物等。在該實施例中，所形成的單個虛設閘極層 72 和單個遮罩層 74 橫跨 n 型區域 50N 和 p 型區域 50P。應當注意，僅出於說明的目的，示出的虛設介電層 70 僅覆蓋鰭片 66 和奈米結構 55。在部分實施方式中，可以沉積虛設介電層 70，使得虛設介電層 70 覆蓋淺溝槽隔離區域 68，使得虛設介電層 70 在虛設閘極層 72 和淺溝槽隔離區域 68 之間延伸。

【0034】 第 6A 圖至第 18A 圖繪示了裝置實施方式的製造中的各種額外步驟。第 6A、7A、8A、9A、10A、11A、12A、12C、13A、13C、14A、15A、18A 和 18B 圖繪示了區域 50N 或區域 50P 中的特徵。在第 6A 和 6B 圖中，可以使用可接受的光刻微影和蝕刻技術來對遮罩層 74（參見第 5 圖）進行圖案化，以形成遮罩 78。然後，可以將遮罩 78 的圖案轉移至虛設閘極層 72 和虛設介電層 70，以分別形成虛設閘極 76 和虛設閘極介電質 71。虛設閘極 76 覆蓋鰭片 66 的各個通道區。遮罩 78 的圖案可以用於

將虛設閘極 76 中的每個與相鄰的虛設閘極 76 結構上地分開。虛設閘極 76 還可以具有一縱長方向，該縱長方向實質上垂直於各個鰭片 66 的縱長方向。

【0035】 在第 7A 和 7B 圖中，分別第 6A 和 6B 圖所示的結構上，形成第一間隔物層 80 和第二間隔物層 82。隨後將第一間隔物層 80 和第二間隔物層 82 圖案化，以作為用於形成自我對準源極/汲極區域的間隔物。在第 7A 和 7B 圖中，第一間隔物層 80 形成在淺溝槽隔離區域 68 的上表面上；鰭片 66、奈米結構 55 和遮罩 78 的上表面和側壁上；以及虛設閘極 76 和虛設閘極介電質 71 的側壁上。第二間隔物層 82 沉積在第一間隔物層 80 上。第一間隔物層 80 可以由氧化矽、氮化矽、氧氮化矽或類似物等形成，其使用類似熱氧化法的技術或由化學氣相沉積、原子層沉積（ALD）或類似方法等沉積。第二間隔物層 82 可以由醫材料形成，該材料具有與第一間隔物層 80 的材料不同的蝕刻速率，該材料例如氧化矽、氮化矽、氮氧化矽或類似物等，並且可以通過化學氣相沉積、原子層沉積（ALD）或類似方法等沉積。

【0036】 在形成第一間隔物層 80 之後並且在形成第二間隔物層 82 之前，可以進行用於輕摻雜源極/汲極（lightly doped source/drain；LDD）區域（未單獨示出）的植入。在具有不同裝置類型的實施方式中，類似於以上在第 4 圖中討論的植入，可以在 n 型區域 50N 上方形成遮罩，例如光阻，同時露出 p 型區域 50P，且可以將合適類型（例

如 p 型) 的雜質植入到 p 型區域 50P 中露出的鰭片 66 和奈米結構 55 中。然後，可以移除遮罩。隨後，可以在 p 型區域 50P 上方形成遮罩，例如光阻，同時露出 n 型區域 50N，且可以將合適類型(例如 n 型)的雜質植入到 n 型區域 50N 中露出的鰭片 66 和奈米結構 55 中。然後，可以移除遮罩。n 型雜質可以是先前討論的任何 n 型雜質，並且 p 型雜質可以是先前討論的任何 p 型雜質。輕摻雜的源極/汲極區域可具有約  $1 \times 10^{15}$  原子/cm<sup>3</sup> 至約  $1 \times 10^{19}$  原子/cm<sup>3</sup> 的雜質濃度。可以使用退火，以修復植入損壞並活化植入的雜質。

**【0037】** 在第 8A 和 8B 圖中，蝕刻第一間隔物層 80 和第二間隔物層 82，以形成第一間隔物 81 和第二間隔物 83。如以下將更詳細地討論的，在後續的製程中，第一間隔物 81 和第二間隔物 83 用於自我對準隨後形成的源極/汲極區域，且保護鰭片 66 和/或奈米結構 55 的側壁。可以使用合適的蝕刻工藝來蝕刻第一間隔物層 80 和第二間隔物層 82，此合適的蝕刻工藝例如為各向同性蝕刻製程(例如濕蝕刻製程)、各向異性蝕刻工藝(例如乾蝕刻製程)或類似製程。在部分實施方式中，第二間隔物層 82 的材料具有與第一間隔物層 80 的材料不同的蝕刻速率，使得當圖案化第二間隔物層 82 時，第一間隔物層 80 可以用作蝕刻停止層，且使得當圖案化第二間隔物層 82 時，第一間隔物層 80 可以用作遮罩。舉例而言，可以使用各向異性蝕刻製程來蝕刻第二間隔物層 82，其中第一間隔物層 80 用作蝕刻

停止層，其中如第 8 A 圖所示，第二間隔物層 8 2 的剩餘部分形成第二間隔物 8 3。此後，在蝕刻第一間隔物層 8 0 的露出部分時，第二間隔物 8 3 作為遮罩，同時，從而形成如第 8 A 圖所示的第一間隔物 8 1。

【0038】 如第 8 A 圖所示，第一間隔物 8 1 和第二間隔物 8 3 設置在鰭片 6 6 和 / 或奈米結構 5 5 的側壁上。如第 8 B 圖所示，在部分實施方式中，可以從鄰近遮罩 7 8、虛設閘極 7 6 和虛設閘極介電質 7 1 的第一間隔物層 8 0 上方，移除第二間隔物層 8 2，並且第一間隔物 8 1 設置在遮罩 7 8、虛設閘極 7 6 和虛設閘極介電質 7 1 的側壁上。在其他實施方式中，第二間隔物層 8 2 的一部分可以保留在鄰近遮罩 7 8、虛設閘極 7 6 和虛設閘極介電質 7 1 的第一間隔物層 8 0 上方。

【0039】 注意到，以上揭露總體上描述了形成間隔物和輕摻雜源極 / 汲極區域的製程。可以使用其他製程和順序。舉例而言，可以使用更少或額外的間隔物、可以採用不同的步驟順序（例如可以在沉積第二間隔物層 8 2 之前，圖案化第一間隔物 8 1）、可以形成和移除額外的間隔物、以及 / 或類似的其他製程和順序。此外，可以使用不同的結構和步驟，來形成 n 型和 p 型裝置。

【0040】 在第 9 A 和 9 B 圖中，根據部分實施方式，在鰭片 6 6、奈米結構 5 5 和基板 5 0 中，形成第一凹槽 8 6。隨後，在第一凹槽 8 6 中，形成磊晶源極 / 汲極區域。第一凹槽 8 6 可以延伸穿過第一奈米結構 5 2 和第二奈米結構 5 4，並延

伸到基板 50 中。如第 9A 圖所示，淺溝槽隔離區域 68 的上表面可以與第一凹槽 86 的下表面齊平。在各個實施方式中，可以蝕刻鰭片 66，使得第一凹槽 86 的下表面設置在淺溝槽隔離區域 68 的上表面下方；或類似的設置。可以通過使用各向異性蝕刻製程，來蝕刻鰭 66、奈米結構 55 和基板 50，來形成第一凹槽 86，其中各向異性蝕刻製程例如為反應性離子蝕刻（reactive ion etch；RIE）、中性束蝕刻（neutral beam etch；NBE）或類似製程等。在用於形成第一凹槽 86 的蝕刻製程中，第一間隔物 81、第二間隔物 83 和遮罩 78 遮蓋鰭片 66、奈米結構 55 和基板 50 的部分。可以進行單次蝕刻或多次蝕刻製程，以蝕刻奈米結構 55 和 / 或鰭片 66 的每個層體。可以使用定時蝕刻製程，以在第一凹槽 86 達到期望的深度之後，停止蝕刻第一凹槽 86。

**【0041】** 在第 10A 和 10B 圖中，第一凹槽 86 露出的由第一半導體材料（例如第一奈米結構 52）形成的多層堆疊 64 的層體的側壁的部分被蝕刻，以在 n 型區域 50N 中形成側壁凹槽 88，且第一凹槽 86 露出的由第二半導體材料（例如第二奈米結構 54）形成的多層堆疊 64 的層體的側壁的部分被蝕刻，以在 p 型區域 50P 中形成側壁凹槽 88。儘管在第 10B 圖中將凹槽 88 中的第一奈米結構 52 和第二奈米結構 54 的側壁繪示為筆直的，但是這些側壁可以是凹的或凸的。可以使用各向同性蝕刻製程，例如濕蝕刻或類似製程等，來蝕刻側壁。可以使用遮罩（未示出）來保

護 p 型區域 50P，同時使用對第一半導體材料具有選擇性的蝕刻劑來蝕刻第一奈米結構 52，使得 n 型區域 50N 中的第一奈米結構 52 相比，第二奈米結構 54 和基板 50 保持相對未蝕刻。類似地，可以使用遮罩（未示出）來保護 n 型區域 50N，同時使用對第二半導體材料具有選擇性的蝕刻劑來蝕刻第二奈米結構 54，使得與 p 型區域 50P 中的第二奈米結構 54 相比，第一奈米結構 52 和基板 50 保持相對未蝕刻。在第一奈米結構 52 包含例如 SiGe 並且第二奈米結構 54 包含例如 Si 或 SiC 的實施方式中，可以使用採用氫氧化四甲基銨（tetramethylammonium hydroxide；TMAH）、氫氧化銨（ammonium hydroxide；NH<sub>4</sub>OH）或類似物等的乾蝕刻製程來蝕刻 n 型區域 50N 中的第一奈米結構 52 的側壁，並且可以使用採用氟化氫、另一種氟基氣體或類似物等的乾蝕刻製程來蝕刻 p 型區域 50P 中的第二奈米結構 54 的側壁。

**【0042】** 在第 11A 圖至第 11C 圖中，在側壁凹槽 88 中，形成第一內部間隔物 90。在第 10A 和 10B 圖所示的結構上，可以通過沉積內部間隔物層（未單獨示出），來形成第一內部間隔物 90。第一內部間隔物 90 用作隨後形成的源極/汲極區域和閘極結構之間的隔離特徵。如將在下面更詳細地討論的，在凹槽 86 中將形成源極/汲極區域，而 n 型區域 50N 中的第一奈米結構 52 和 p 型區域 50P 中的第二奈米結構 54 將被替換為相應的閘極結構。

**【0043】** 內部間隔層可以通過共形沉積製程來沉積，例如化

學氣相沉積、原子層沉積或類似方法等。內部間隔層可以包含例如氮化矽或氮氧化矽的材料，但是可以採用任何合適的材料，例如  $k$  值小於約 3.5 的任何低介電常數 (low- $k$ ) 材料。然後，可以各向異性地蝕刻內部間隔物層，以形成第一內部間隔物 90。儘管第一內部間隔物 90 的外側壁被繪示為與  $n$  型區域 50N 中的第二奈米結構 54 的側壁齊平並且與  $p$  型區域 50P 中的第一奈米結構 52 的側壁齊平，第一內部間隔物 90 的外側壁可以分別延伸超過第二奈米結構 54 和 / 或第一奈米結構 52 的側壁或從第二奈米結構 54 和 / 或第一奈米結構 52 的側壁凹進。

【0044】此外，儘管在第 11B 圖中將第一內部間隔物 90 的外側壁表示繪示為筆直的，但第一內部間隔物 90 的外側壁可以是凹的或凸的。作為實施例，第 11C 圖繪示了一個實施方式，其中在  $n$  型區域 50N 中，第一奈米結構 52 的側壁是凹的，第一內部間隔物 90 的外側壁是凹的，並且第一內部間隔物 90 從第二奈米結構 54 的側壁凹入。還繪示了部分實施方式，其中在  $p$  型區域 50P 中，第二奈米結構 54 的側壁是凹形的，第一內部間隔物 90 的外側壁是凹的，並且第一內部間隔物 90 從第一奈米結構 52 的側壁凹入。可以通過各向異性蝕刻製程，例如反應性離子蝕刻 (reactive ion etch ; RIE)、中性束蝕刻 (neutral beam etch ; NBE) 或類似製程等，來蝕刻內部間隔層。第一內部間隔物 90 可以用於防止後續蝕刻製程對隨後形成的源極 / 汲極區域 (例如磊晶源極 / 汲極區域 92，以下參



照第 12 A 圖至第 12 C 圖討論) 的損傷，該後續蝕刻製程例如為用於形成閘極結構的蝕刻製程。

**【0045】** 在第 12 A 圖至第 12 C 圖中，在第一凹槽 86 中，形成磊晶源極/汲極區域 92。在部分實施方式中，源極/汲極區域 92 可以在 n 型區域 50N 中的第二奈米結構 54 上以及在 p 型區域 50P 中的第一奈米結構 52 上施加應力，從而提高了性能。如第 12 B 圖所示，在第一凹槽 86 中形成磊晶源極/汲極區域 92，使得每個虛設閘極 76 設置在各個鄰近成對的磊晶源極/汲極區域 92 之間。在部分實施方式中，第一間隔物 81 是用於將磊晶源極/汲極區域 92 與虛設閘極 76 分開適當的橫向距離，第一間隔物 90 是用於將磊晶源極/汲極區域 92 與奈米結構 55 分開適當的橫向距離，使得磊晶源極/汲極區域 92 不要與隨後形成的奈米結構場效電晶體的閘極短路。

**【0046】** 可以通過遮蓋 p 型區域 50P(例如 PMOS 區域)，來形成 n 型區域 50N(例如 NMOS 區域)中的磊晶源極/汲極區域 92。然後，在 n 型區域 50N 中的第一凹槽 86 中，磊晶成長磊晶源極/汲極區域 92。磊晶源極/汲極區域 92 可以包含適合於 n 型奈米結構場效電晶體的任何合適的材料。舉例而言，如果第二奈米結構 54 是矽，則磊晶源極/汲極區域 92 可以包含在第二奈米結構 54 上施加拉伸應變的材料，例如矽、碳化矽、磷摻雜的碳化矽、磷化矽或類似物等。磊晶源極/汲極區域 92 可以具有從奈米結構 55 的相應上表面凸起的表面，並且可以具有晶面。

【0047】 可以通過遮蓋型 n 型區域 50N(例如 NMOS 區域)，來形成 p 型區域 50P (例如 PMOS 區域) 中的磊晶源極/汲極區域 92。然後，在 p 型區域 50P 中的第一凹槽 86 中磊晶成長磊晶源極/汲極區域 92。磊晶源極/汲極區域 92 可以包含適合於 p 型奈米結構場效電晶體的任何合適的材料。舉例而言，如果第一奈米結構 52 是矽鍺，則磊晶源極/汲極區域 92 可以包含在第一奈米結構 52 上施加壓縮應變的材料，例如矽鍺、摻雜硼的矽鍺、鍺、鍺錫或類似物。磊晶源極/汲極區域 92 還可以具有從多層堆疊 64 的相應表面凸起的表面，並且可以具有晶面。

【0048】 磊晶源極/汲極區域 92、第一奈米結構 52、第二奈米結構 54 和/或基板 50 可以植入摻雜劑，以形成源極/汲極區域，類似於先前討論的用於形成輕摻雜源極/汲極區域的製程，然後進行退火。源極/汲極區域的雜質濃度可以在大約  $1 \times 10^{19}$  原子/cm<sup>3</sup> 至大約  $1 \times 10^{21}$  原子/cm<sup>3</sup> 之間。用於源極/汲極區域的 n 型和/或 p 型雜質可以是先前討論的任何雜質。在部分實施方式中，可以在成長期間，原位摻雜磊晶源極/汲極區域 92。

【0049】 作為用於在 n 型區域 50N 和 p 型區域 50P 中形成磊晶源極/汲極區域 92 的磊晶製程的結果，磊晶源極/汲極區域 92 的上表面具有橫向擴展的晶面。如第 12A 圖所示，這些晶面使同一奈米結構場效電晶體 (NSFET) 的相鄰磊晶源極/汲極區域 92 合併。在其他實施方式中，如第 12C 圖所示，在磊晶製程完成之後，相鄰的磊晶源極/

汲極區域 92 保持分離。在第 12 A 和 12 C 圖所示的實施方式中，第一間隔物 81 可以形成在淺溝槽隔離區域 68 的上表面上，從而阻止磊晶成長。在部分其他實施方式中，第一間隔物 81 可以覆蓋奈米結構 55 的側壁的部分，從而進一步阻止磊晶成長。在部分其他實施例中，可以調整用於形成第一間隔物 81 的間隔物蝕刻，以移除間隔物材料，以允許磊晶成長的區域延伸到淺溝槽隔離區域 68 的表面。

**【0050】** 磊晶源極/汲極區域 92 可以包含一個或多個半導體材料層。舉例而言，磊晶源極/汲極區域 92 可以包含第一半導體材料層 92 A、第二半導體材料層 92 B 和第三半導體材料層 92 C。磊晶源極/汲極區域 92 可以使用任何數量的半導體材料層。第一半導體材料層 92 A、第二半導體材料層 92 B 和第三半導體材料層 92 C 中的每一個可以由不同的半導體材料形成並且可以被摻雜至不同的摻雜劑濃度。在部分實施方式中，第一半導體材料層 92 A 可以具有小於第二半導體材料層 92 B 並且大於第三半導體材料層 92 C 的摻雜劑濃度。在磊晶源極/汲極區域 92 包含三個半導體材料層的實施方式中，可以沉積第一半導體材料層 92 A，可以在第一半導體材料層 92 A 上沉積第二半導體材料層 92 B，且可以在第二半導體材料層 92 B 上方沉積第三半導體材料層 92 C。

**【0051】** 第 12 D 圖繪示部分實施方式，其中 n 型區域 50 N 中的第一奈米結構 52 的側壁和 p 型區域 50 P 中的第二奈米結構 54 的側壁是凹形的，第一內部間隔物 90 的外側壁

是凹形的，且第一內部隔離物 90 分別從第二奈米結構 54 和第一奈米結構 52 的側壁凹進。如第 12D 圖中所示，形成的磊晶源極/汲極區域 92 可以與第一內部間隔物 90 接觸，並且可以延伸超過 n 型區域 50N 中的第二奈米結構 54 的側壁以及超過 p 型區域 50P 中的第一奈米結構 52 的側壁。

**【0052】** 在第 13A 至 13C 圖中，在第 6A、12B 和 12A 圖所示的結構（第 7A 至 12D 圖的製程不會更改第 6A 圖所示的剖面）上，分別沉積第一層間介電質（interlayer dielectric；ILD）96。第一層間介電質 96 可以由介電材料形成，並且可以通過任何合適的方法來沉積，例如化學氣相沉積（CVD）、電漿增強化學氣相沉積（plasma-enhanced CVD；PECVD）或可流動化學氣相沉積（flowable CVD；FCVD）。介電材料可包含磷酸鹽玻璃（phospho-silicate glass；PSG）、硼磷酸鹽玻璃（boro-silicate glass；BSG）、摻硼磷酸鹽玻璃（boron-doped phospho-silicate glass；BPSG）、未摻雜磷酸鹽玻璃（undoped silicate glass；USG）或類似物等。可以使用通過任何可接受的製程形成的其他絕緣材料。在部分實施方式中，接觸蝕刻停止層（contact etch stop layer；CESL）94 設置在第一層間介電質 96 與磊晶源極/汲極區域 92、遮罩 78 和第一間隔物 81 之間。接觸蝕刻停止層 94 可以包含介電質材料，例如氮化矽、氧化矽、氮氧化矽或類似物等，且具有與上

方的第一層間介電質 96 的材料不同的蝕刻速率。

【0053】 在第 14 A 圖至第 14 B 圖中，可以進行例如化學機械拋光之類的平坦化製程，以使第一層間介電質 96 的上表面與虛設閘極 76 或遮罩 78 的上表面齊平。平坦化製程也可移除虛設閘極 76 上的遮罩 78 以及沿著遮罩 78 的側壁的第一間隔物 81 的部分。在平坦化製程之後，虛設閘極 76、第一間隔物 81 和第一層間介電質 96 的上表面在製程變異範圍內齊平。因此，虛設閘極 76 的上表面通過第一層間介電質 96 露出。在部分實施方式中，可以保留遮罩 78，在這種情況下，平坦化製程使第一層間介電質 96 的上表面與遮罩 78 和第一間隔物 81 的上表面齊平。

【0054】 在第 15 A 圖和第 15 B 圖中，在一或多個蝕刻步驟中，移除了虛設閘極 76 和遮罩 78（如果存在），從而形成了第二凹槽 98。第二凹槽 98 中的虛設閘極介電質 71 的部分也被移除。在部分實施方式中，通過各向異性乾蝕刻製程，移除虛設閘極 76 和虛設閘極介電質 71。舉例而言，蝕刻製程可以包含使用一或多種反應氣體的乾蝕刻製程，該反應氣體以比蝕刻第一層間介電質 96 或第一間隔物 81 更快的速率選擇性地蝕刻虛設閘極 76。每個第二凹槽 98 露出和 / 或覆蓋奈米結構 55 的部分，該奈米結構 55 的露出部份在隨後完成的奈米結構場效電晶體中作為通道區。作為通道區的奈米結構 55 的部分設置在鄰近成對的磊晶源極 / 汲極區域 92 之間。在移除期間，當蝕刻虛設閘極 76 時，虛設閘極介電質 71 可以用作蝕刻停止層。然後，可以

在移除虛設閘極 76 之後，移除虛設閘極介電質 71。

【0055】 在第 16 A 圖至第 22 B 圖中，根據部分實施方式，在 p 型區域 50 P 和 n 型區域 50 N 中定義了奈米結構，並且形成了閘極介電層和閘極電極，以替換閘極。多個閘極介電層的形成可以同時發生在 n 型區域 50 N 和 p 型區域 50 P 中，使得每個區域中的閘極介電層由相同的材料形成，並且多個閘極電極的形成可以同時發生。從而使得每個區域中的閘極電極由相同的材料形成。在部分實施方式中，可以通過各個不同的製程，來形成每個區域中的多個閘極介電層，使得這些閘極介電層可以是不同的材料和/或具有不同數量的層，且/或可以通過各個不同的製程在每個區域中形成閘極電極，使得這些閘極電極可以是不同的材料和/或具有不同數量的層。當使用這些各個不同的製程時，可以使用各種遮罩步驟來遮蓋和露出適當的區域。在以下的描述中，分別形成 n 型區域 50 N 的閘極電極和 p 型區域 50 P 的閘極電極。

【0056】 在第 16 A 圖和第 16 B 圖中，可以通過在 n 型區域 50 N 上方形成遮罩（未示出）並進行各向同性蝕刻製程（例如濕蝕刻或類似方法），來移除 p 型區域 50 P 中的第二奈米結構 54，其中該各向同性蝕刻製程使用對第二奈米結構 54 的材料具有選擇性的蝕刻劑，而與第二奈米結構 54 相比，第一奈米結構 52、基板 50 和淺溝槽隔離區域 68 保持相對未蝕刻的狀態。在某些實施方式中，其中第二奈米結構 54 包含例如 SiGe，並且第一奈米結構 52 包含

例如 Si 或 SiC，可以使用氟化氫、另一種氟基氣體或類似物等，來移除 p 型區域 50P 中的第二奈米結構 54。

【0057】 如第 16A 圖所示，第一奈米結構 52 可以具有高度 H1 和寬度 W1，並且高度 H1 與寬度 W1 之比例可以在大約 0.05 至大約 4 的範圍內。該比例足以避免影響裝置的導通電流 ( $I_{on}$ )，同時在沉積過程中仍可控制。舉例而言，據觀察得知，當高度 H1 與寬度 W1 之比例大於 4 時，奈米結構場效電晶體的通道區可能太厚並且對所得裝置的導通電流 ( $I_{on}$ ) 產生負面影響。據觀察得知，當高度 H1 與寬度 W1 之比大於 4 時，由於薄膜沉積製程的物理限制，通道區可能太薄而在沉積期間不受控制。

【0058】 在其他實施方式中，可以同時形成 n 型區域 50N 和 p 型區域 50P 中的通道區，例如通過移除 n 型區域 50N 和 p 型區域 50P 兩者中的第一奈米結構 52，或通過移除 n 型區域 50N 和 p 型區域 50P 兩者中的第二奈米結構 54。在這樣的實施方式中，n 型奈米結構場效電晶體和 p 型奈米結構場效電晶體的通道區可以具有相同的材料成分，例如矽、矽鍺或類似物等。第 26A、26B 和 26C 圖示出了由這樣的實施方式產生的結構，其中 p 型區域 50P 和 n 型區域 50N 中的通道區由第二奈米結構 54 提供並且例如包含矽。在這樣的實施方式中，第二奈米結構 54 可以具有與以上針對第 16A 圖中的第一奈米結構 52 所討論的相同的尺寸。

【0059】 第 17A 圖至第 19B 圖示出了在 p 型區域 50P 中

形成閘極介電質 100 和閘極電極 102，並且至少在在 p 型區域 50P 中形成閘極電極 102 時，可以遮蔽 n 型區域 50N（例如如下第 18A 圖至第 19B 圖所述）。

**【0060】** 在第 17A 圖和第 17B 圖中，閘極介電質 100 係形地沉積在 p 型區域 50P 的第二凹槽 98 中。閘極介電質 100 包含一或多個介電層，例如氧化物、金屬氧化物、類似物或其組合。舉例而言，在部分實施方式中，閘極介電質 100 可以包含第一閘極介電質 101（例如包含氧化矽或類似物等）以及在第一閘極介電質 101 上的第二閘極介電質 103（例如包含金屬氧化物或類似物等）。在部分實施方式中，第二閘極介電質 103 包含高 k 介電材料，並且在這些實施方式中，第二閘極介電質 103 的 k 值可以大於大約 7.0，並且可以包含鉛、鋁、銦、鐳、錳、鋇、鈦、鉛及其組合形成的金屬氧化物或矽酸鹽。在部分實施方式中，第一閘極介電質 101 可以被稱為介面層，第二閘極介電質 103 可以被稱為高 k 閘極介電質。

**【0061】** 在 n 型區域 50N 和 p 型區域 50P 中，閘極介電質 100 的結構可以相同或不同。舉例而言，可以在 p 型區域 50P 中形成閘極介電質 100 的同時，遮蔽或露出 n 型區域 50N。在露出 n 型區域 50N 的實施方式中，可以在 n 型區域 50N 中同時形成閘極介電質 100。閘極介電質 100 的形成方法可以包含分子束沉積（molecular-beam deposition；MBD）、原子層沉積（ALD）、電漿增強化學氣相沉積（PECVD）或類似方法等。



**【0062】** 在第 18 A 和 18 B 圖中，在 p 型區域 50 P 中的閘極介電質 100 上，共形地沉積導電材料 105。在部分實施方式中，導電材料 105 是 p 型功函數金屬 (WFM) 層，其包含氮化鈦、氮化鉬、氮化鎢、氮化鉬或類似物等。導電材料 105 可以通過化學氣相沉積 (CVD)、原子層沉積 (ALD)、電漿增強化學氣相沉積 (PECVD)、物理氣相沉積 (PVD) 或類似方法等沉積。在部分實施方式中，可以在閘極介電質 100 的露出表面上，沉積導電材料 105 至足夠的厚度，使得導電材料 105 在相鄰的第一奈米結構 52 (例如第一奈米結構 52 A、52 B 和 52 C) 之間的區域 50 I 中融合。舉例而言，可以在區域 50 I 中的第一奈米結構 52 的表面上沉積導電材料 105，並且隨著在沉積期間導電材料 105 的厚度增加，導電材料 105 的分離部分可以沿著接縫 105 S 接觸並合併。具體地，導電材料 105 的沉積可以持續直到在區域 50 I 中導電材料 105 的第一部分 105 A 與導電材料 105 的第二部分 105 B 合併。

**【0063】** 如第 18 A 圖所示，導電材料 105 可以在區域 50 I 之外 (例如導電材料 105 的未合併區域) 具有厚度 T1，並且在區域 50 I 內 (例如導電材料 105 的合併區域) 具有厚度 T2。舉例而言，導電材料 105 可以在第一奈米結構 52 的側壁上和在第一奈米結構 52 的最上表面上具有厚度 T1。厚度 T1 的厚度足以填充相鄰的第一奈米結構 52 (例如第一奈米結構 52 A、52 B 和 52 C) 之間的空間。舉例而言，厚度 T1 可以是厚度 T2 的至少一半，並且厚度 T2 與

厚度  $T1$  的比例可以不大於大約 2 : 1。

【0064】 在部分實施方式中，厚度  $T1$  可以在大約 30 埃到大約 50 埃的範圍內。據觀察得知，當厚度  $T1$  大於大約 50 Å 時，導電材料 105 的體積可能不必要地大了而限制了形成用於閘極電極的填充金屬（例如以下討論的填充金屬 117）的製程窗口。據觀察得知，當厚度  $T1$  小於大約 30 埃時，導電材料 105 可能不能充分填充第一奈米結構 52 中相鄰的數個之間的空間，這可能導致所得電晶體的閾值電壓性能不穩定。

【0065】 在第一奈米結構 52 A 之間的最窄點處，導電材料 105 具有寬度  $W2$ 。在部分實施方式中，寬度  $W2$  在大約 10 奈米至大約 180 奈米的範圍內。據觀察得知，當寬度  $W2$  大於大約 180 奈米時，在區域 50 I 中沉積導電材料 105 和圖案化/蝕刻薄膜的製程控制可能受到負面影響（例如類似於高縱橫比的效果）。據觀察得知，當寬度  $W2$  小於大約 10 奈米時，有效通道長度可能太短，而對所得電晶體的導通電流產生負面影響。

【0066】 此外，在部分實施方式中，厚度  $T2$  與寬度  $W2$  的比例在大約 0.03 至大約 1 的範圍內。據觀察得知，當厚度  $T2$  與寬度  $W2$  之比大於大約 1 時，導電材料 105 可能太厚，這對所得電晶體的導通電流產生負面影響。據觀察得知，當厚度  $T2$  與寬度  $W2$  的比例小於大約 0.03 時，在區域 50 I 中沉積導電材料 105 的製程控制可能受到負面影響（例如類似於高縱橫比的效果）。

【0067】 導電材料 105 填充第一奈米結構 52 之間的剩餘空間。舉例而言，區域 50I 跨越第一奈米結構 52 之相鄰的數個之間的整個距離（例如第一奈米結構 52A 和 52B 之間或第一奈米結構 52B 和 52C 之間）。區域 50I 可以被以下物件填充：閘極介電質 100 的第一部分（例如第一閘極介電質 100A）、在第一閘極介電質 100A 上方並與之接觸的導電材料 105 的合併部分以及在導電材料 105 的合併部分上方並與之接觸的閘極介電質 100 的第二部分（例如第二閘極介電層 100B）。第一閘極介電質 100A 包含介面層 101A 以及高 k 閘極介電質 103A，第二閘極介電質 100B 包含介面層 101B 和高 k 介電質 103B。換句話說，導電材料 105 可以連續地延伸並且完全填充第一奈米結構 52 中的相鄰數個上的閘極介電質 100 的部分之間的區域。值得注意的是，在區域 50I 中不存在分隔導電材料 105 的不同區域的阻擋層。舉例而言，在區域 50I 中，閘極電極可以沒有任何阻擋層。通過在內部區域 50I 中省略阻擋層，可以簡化製造程序。此外，據觀察得知，導電材料 105 的厚度變化（例如厚度 T1 和 T2 之間的差）不會顯著影響所得電晶體的電氣性能。舉例而言，在實驗資料中，具有厚度變化的導電材料 105 的電晶體（例如第 18A 和 18B 圖所示）的有效功函數為大約 4.89V。相比之下，具有更均勻的功函數金屬層（例如以中間阻擋層防止 WFM 層在區域 50I 中合併而提供的）具有大約 4.90V 的有效功函數。因此，各種實施方式允許更容易地製造具有相似的

有效功函數的電晶體，且不會顯著降低所得電晶體的電氣性能。

**【0068】** 在第 19 A、19 B、19 C 和 19 D 圖中，沉積閘極電極 102 的剩餘部分，以填充第二凹槽 98 的剩餘部分。舉例而言，可以在導電材料 105 上，沉積黏著層 115 和填充金屬 117。所形成的閘極電極 102 用於替換閘極，並且可以包含導電材料 105、黏著層 115 和填充金屬 117。第 19 C 圖繪示沿著第 19 B 圖的線 X-X'（例如在區域 50 I 中）的俯視圖，而第 19 D 圖繪示沿第 19 B 圖的線 Y-Y' 的俯視圖（例如穿過第一奈米結構 52）。

**【0069】** 在部分實施方式中，在 p 型區域 50 P 中的導電材料 105 上，共形地沉積黏著層 115。在部分實施方式中，黏著層 115 包含氮化鈦、氮化鉭或類似物等。可以通過化學氣相沉積、原子層沉積、電漿增強化學氣相沉積、物理氣相沉積或類似方法等，來沉積黏著層 115。黏著層 115 可以可替代地稱為膠合層，並且例如改善導電材料 105 和上覆的填充金屬 117 之間的附著力。

**【0070】** 然後，可以將填充金屬 117 沉積在黏著層 115 上方。在部分實施方式中，填充金屬 117 包含鈷、鈦、鋁、鎢、其組合或類似物等，其通過化學氣相沉積、原子層沉積、電漿增強化學氣相沉積、物理氣相沉積或類似方法等來沉積。在部分實施方式中，填充金屬 117 可以包含使用化學氣相沉積製程沉積的鎢。據觀察得知，化學氣相沉積為填充金屬 117 提供了改善的沉積速率。在部分實施方式

中，用於沉積填充金屬 117 的化學氣相沉積製程可以包含供應第一前驅物(例如  $WF_6$  或類似物等)和第二前驅物(例如， $SiH_4$  或類似物等)。在部分實施方式中，可以在用於填充金屬 117 的化學氣相沉積製程期間，同時供應第一前驅物和第二前驅物。

**【0071】** 在 p 型區域 50P 中，閘極介電質 100、導電材料 105、黏著層 115 和填充金屬 117 可以分別形成在第一奈米結構 52 的上表面、側壁和下表面上。閘極介電質 100、導電材料 105、黏著層 115 和填充金屬 117 也可以沉積在第一層間介電質 96、接觸蝕刻停止層 94、第一間隔物 81 和淺溝槽隔離區域 68 的上表面上。在填充第二凹槽 98 之後，可以進行例如化學機械拋光的平坦化製程，以移除閘極介電質 100、導電材料 105、黏著層 115 和填充金屬 117 的多餘部分，這些多餘部分是在第一層間介電質 96 的上表面上。閘極電極 102 和閘極介電質 100 的材料的剩餘部分，從而形成所得奈米結構場效電晶體的替換閘極結構。閘極電極 102 和閘極介電質 100 可以被統稱為「閘極結構」。

**【0072】** 儘管第 19A 和 19B 圖將閘極介電質 100 和閘極電極 102 繪示為具有直的側壁和直角，但是閘極介電質 100 和閘極電極 102 可以具有不同的配置。舉例而言，第 20 圖繪示了根據另一實施方式的閘極介電質 100 和閘極電極 102 的剖面圖。在第 20 圖中，相同的附圖標記表示與使用相同製程形成的第 19A 和 19B 圖相同的元件。然

而，在第 20 圖中，由於第一奈米結構 52 具有圓角，所以閘極介電質 100 和閘極電極 102 可同樣具有圓角。

【0073】 此外，儘管第 19 A 和 19 B 圖示出了第一奈米結構 52 的最下面的一個接觸下面的鰭片 66，但是第一奈米結構 52 的最下面的一個（例如第一奈米結構 52 A）可以與下面的鰭片 66 分開，如第 21 圖所示。在第 20 圖中，相同的附圖標記表示與使用相同製程形成的第 19 A 和 19 B 圖相同的元件。舉例而言，可以通過在第一奈米結構 52 和鰭片 66 之間設置第二奈米結構 54，然後如上所述地移除第二奈米結構 54，來形成第 21 圖的結構。結果，閘極介電質 100 和導電材料 105 的部分可以設置在第一奈米結構 52 的最下面的一個和鰭片 66 之間。

【0074】 第 22 A 和 22 B 圖繪示了 n 型區域 50 N 中的閘極堆疊。在 n 型區域 50 N 中形成閘極堆疊可以包含先移除 n 型區域 50 N 中的第一奈米結構 52。可以通過在 p 型區域 50 P 上形成遮罩（未示出），且使用對第一奈米結構 52 的材料具有選擇性的蝕刻劑進行諸如濕蝕刻或類似蝕刻等的各向同性蝕刻製程，來移除第一奈米結構 52，同時與第一奈米結構 52 相比，第二奈米結構 54、基板 50 和淺溝槽隔離區域 68 保持相對未被蝕刻。在某些實施方式中，其中在第一奈米結構 52 A 至 52 C 包含例如 SiGe，並且第二奈米結構 54 A - 54 C 包含例如 Si 或 SiC，可以氫氧化四甲基銨（tetramethylammonium hydroxide；TMAH），氫氧化銨（ammonium hydroxide；NH<sub>4</sub>OH）或類似

物等，來移除 n 型區域 50N 中的第一奈米結構 52。

**【0075】** 然後，在 n 型區域 50N 中的第二奈米結構 54 之上和周圍，形成閘極堆疊。閘極堆疊包含閘極介電質 100 和閘極電極 127。在部分實施方式中，可以同時形成 n 型區域 50N 和 p 型區域 50P 中的閘極介電質 100。此外，可以在形成閘極電極 102（見第 19A 和 19B 圖）之前或之後，形成閘極電極 127 的至少部分，並且可以在形成 p 型區域 50P 被遮蔽的同時形成閘極電極 127 的至少部分。如此一來，閘極電極 127 可以包含與閘極電極 102 不同的材料。舉例而言，閘極電極 127 可以包含導電層 121、阻擋層 123 和填充金屬 125。導電層 121 可以是 n 型功函數金屬（WFM）層，包含 n 型金屬，例如鈦鋁、碳化鈦鋁、鈮鋁、碳化鈮、其組合或類似物等。可以通過化學氣相沉積、原子層沉積、電漿增強化學氣相沉積、物理氣相沉積等沉積導電層 121。阻擋層 123 可以包含氮化鈦、氮化鈮、碳化鎢、其組合或類似物等，並且阻擋層 123 可以進一步用作黏著層。阻擋層 123 可以通過化學氣相沉積、原子層沉積、電漿增強化學氣相沉積、物理氣相沉積等沉積。填充金屬 125 可以包含通過化學氣相沉積、原子層沉積、電漿增強化學氣相沉積、物理氣相沉積等沉積的鈷、鈦、鋁、鎢、其組合或類似物等。填充金屬 125 可以或可以不具有相同的材料成份且與填充金屬 117 同時沉積。

**【0076】** 在填充第二凹槽 98 之後，可以進行例如化學機械拋光的平坦化製程，以移除閘極介電質 100 以及導電材料

127 的多餘部分，這些多餘部分是在第一層間介電質 96 的上表面上。閘極電極 127 和閘極介電質 100 的材料的多餘部分，從而形成 n 型區域 50N 的所得奈米結構場效電晶體的替換閘極結構。可以同時或分開地進行用以移除 p 型區域 50P 中的閘極電極 102 的多餘材料的化學機械拋光製程以及用以移除 n 型區域 50N 中的閘極電極 127 的多餘材料的化學機械拋光製程。

**【0077】** 在第 23A 圖至第 23C 圖中，使閘極結構（包含閘極介電質 100、閘極電極 102 和閘極電極 127）凹陷，從而在該閘極結構的正上方和第一間隔物 81 的相對部分之間形成凹槽。將包含一或多層介電材料（例如氮化矽、氮氧化矽或類似物等）的閘極遮罩 104 填充在凹槽中，然後進行平坦化製程，以移除在第一層間介電層 96 上延伸的介電材料的多餘部分。隨後形成的閘極接觸件（例如下面參照第 24A 和 24B 圖討論的閘極接觸件 114）穿過閘極遮罩 104，以接觸凹陷的閘極電極 102 和 127 的上表面。

**【0078】** 如第 23A 至 23C 圖進一步繪示的，在第一層間介電質 96 上方和閘極遮罩 104 上方，沉積第二層間介電質 106。在部分實施方式中，第二層間介電質 106 是通過可流動化學氣相沉積（FCVD）形成的可流動薄膜。在部分實施方式中，第二層間介電質 106 由介電材料形成，例如磷矽酸鹽玻璃（PSG）、硼矽酸鹽玻璃（BSG）、摻硼磷矽酸鹽玻璃（BPSG）、未摻雜矽酸鹽玻璃（USG）或類似物等，並且可以通過任何適當方法來沉積，例如化學氣



相沉積 (CVD)、電漿增強化學氣相沉積 (PECVD) 或類似方法等。

**【0079】** 在第 24 A 至 24 C 圖中，蝕刻第二層間介電質 106、第一層間介電質 96、接觸蝕刻停止層 94 和閘極遮罩 104，以形成第三凹槽 108，該第三凹槽露出磊晶源極/汲極區域 92 和/或閘極結構的表面。第三凹槽 108 可以通過使用各向異性蝕刻製程 (例如反應性離子蝕刻、中性束蝕刻或類似方法等) 的蝕刻來形成。在部分實施方式中，第三凹槽 108 可以藉由使用第一蝕刻製程來蝕刻穿過第二層間介電質 106 和第一層間介電質 96；藉由使用第二蝕刻製程穿過閘極遮罩 104；然後可以使用第三蝕刻製程穿過接觸蝕刻停止層 94。可以在第二層間介電質 106 上形成遮罩，例如光阻，並將其圖案化，以遮蔽第二層間介電質 106 的部分免於第一蝕刻製程和第二蝕刻製程。在部分實施方式中，蝕刻製程可能會過度蝕刻，因此，第三凹槽 108 延伸到磊晶源極/汲極區域 92 和/或閘極結構中，並且第三凹槽 108 的底部可以齊平於 (例如在相同的水平上，或離基板具有相同的距離) 或低於 (例如更接近基板) 磊晶源極/汲極區域 92 和/或閘極結構。儘管第 23 B 圖繪示了第三凹槽 108 以相同的剖面露出磊晶源極/汲極區域 92 和閘極結構，但在各種實施方式中，可以以不同的剖面露出磊晶源極/汲極區域 92 和閘極結構，從而減少了隨後形成的接觸件短路的風險。

**【0080】** 在形成第三凹槽 108 之後，在磊晶源極/汲極區域

92 上，形成矽化物區 110。在部分實施方式中，矽化物區 110 的形成是通過先沉積能夠與下方磊晶源極/汲極區域 92 的半導體材料（例如矽、矽鍺、鍺）反應的金屬（未示出），來形成矽化物或鍺化物區，例如鎳、鈷、鈦、鉭、鉑、鎢、其他貴金屬（noble metals）、其他難熔金屬（refractory metals）、稀土金屬（rare earth metals）或其合金，在磊晶源極/汲極區域 92 的露出部分上，然後執行熱退火製程以形成矽化物區 110。然後，例如通過蝕刻製程，移除沉積金屬的未反應部分。儘管矽化物區 110 被稱為矽化物區，但是矽化物區 110 也可以是鍺化物區或矽鍺化物區（例如包括矽化物和鍺化物的區域）。在部分實施方式中，矽化物區 110 包括  $TiSi$ ，並且具有在大約 2 奈米與大約 10 奈米之間的範圍內的厚度。

【0081】 接下來，在第 25A 至 25C 圖中，在第三凹槽 108 中，形成接觸件 112 和 114（也可以稱為接觸插栓）。接觸件 112 和 114 可以各自包括一或多個層，例如阻擋層、擴散層和填充材料。舉例而言，在部分實施方式中，接觸件 112 和 114 中的每一個包括阻擋層和導電材料，並且電性耦合到下面的導電特徵（例如所示的實施方式中的閘極電極 102、閘極電極 127 和/或矽化物區 110）。接觸件 114 電性耦合到閘極電極 102 和 127，並且可以被稱為閘極接觸件，且接觸件 112 電性耦合到矽化物區 110 且可以被稱為源極/汲極接觸件。阻擋層可以包括鈦、氮化鈦、鉭、氮化鉭或類似物等。導電材料可以是銅、銅合金、銀、金、

鎢、鈷、鋁、鎳或類似物等。可以進行例如化學機械拋光 (CMP) 的平坦化製程，以從第二層間介電層 106 的表面，移除多餘的材料。

**【0082】** 第 26A 圖至第 26C 圖繪示了根據部分替代實施方式的裝置的剖面圖。第 26A 圖示出了第 1 圖所示的參考剖面 A-A'。第 26B 圖示出了第 1 圖所示的參考剖面 B-B'。第 26C 圖示出了第 1 圖所示的參考剖面 C-C'。在第 26A 圖至第 26C 圖中，相同的附圖標記表示通過與第 25A 至 25C 圖的結構相同的製程形成的相同元件。然而，在第 26A 圖至第 26C 圖中，n 型區域 50N 和 p 型區域 50P 中的通道區包括相同的材料。舉例而言，包括矽的第二奈米結構 54 在 p 型區域 50P 中為 p 型奈米結構場效電晶體提供通道區，並且在 n 型區域 50N 中為 n 型奈米結構場效電晶體提供通道區。舉例而言，可以通過同時從 p 型區域 50P 和 n 型區域 50N 兩者中移除第一奈米結構 52；在 p 型區域 50P 中的第二奈米結構 54 周圍，沉積閘極介電質 100 和閘極電極 102；在 n 型區域 50N 中的第一奈米結構 54 周圍，沉積閘極介電質 100 和閘極電極 127，來形成第 26A 圖至第 26C 圖的結構。

**【0083】** 各個實施方式提供了在相鄰奈米結構之間沒有阻擋層的電晶體（例如奈米結構場效電晶體）的閘極堆疊。已經確定由於功函數金屬層的合併區域（例如在奈米結構場效電晶體的奈米線之間）引起的厚度變化可能不會顯著影響電晶體的電氣特性（例如，據觀察得知了相對相似的

有效功函數)。通過不在功函數金屬層周圍沉積阻擋層(例如以防止功函數金屬層的部分形成合併)，可以提高製造容易性。在具有小特徵尺寸的先進半導體節點中尤其如此，因為阻擋層材料(例如氮化鉭或類似等)可能難以沉積在小空間中。因此，通過在閘極堆疊中省略此類阻擋層並允許功函數金屬層在某些區域合併，可以提高製造的便利性，並且可以減少製造缺陷(例如由於阻擋層沉積不良而導致的缺陷)，而不會顯著影響產生的電晶體閘極的電氣性能。

**【0084】** 在部分實施方式中，半導體裝置包含一第一奈米結構；一第二奈米結構，位於該第一奈米結構上；一第一高 k 閘極介電質，設置於該第一奈米結構周圍；一第二高 k 閘極介電質，設置於該第二奈米結構周圍；以及一閘極電極，位於該第一高 k 閘極介電質和該第二高 k 閘極介電質上。該閘極電極在該第一奈米結構與該第二奈米結構之間的一部分包含一 p 型功函數金屬的第一部分，該 p 型功函數金屬的該第一部分填滿該第一高 k 閘極介電質和該第二高 k 閘極介電質之間的一區域。

**【0085】** 可選地，於部分實施方式中，該 p 型功函數金屬的該第一部分包含接縫，位於該第一奈米結構以及該第二奈米結構之間。

**【0086】** 可選地，於部分實施方式中，該 p 型功函數金屬的該第一部分具有一第一厚度，該 p 型功函數金屬位於該第一奈米結構的一側壁上的一第二部分具有一第二厚度，且其中該第一厚度大於該第二厚度。

【0087】 可選地，於部分實施方式中，該第一厚度與該第二厚度的比例不大於 2 : 1。

【0088】 可選地，於部分實施方式中，該第二厚度在 30 埃至 50 埃的範圍內。

【0089】 可選地，於部分實施方式中，該第二厚度與該 p 型功函數金屬的一最小寬度的比例在 0.03 至 1 的範圍內。

【0090】 可選地，於部分實施方式中，該 p 型功函數金屬的該最小寬度在 10 奈米至 180 奈米的範圍內。

【0091】 可選地，於部分實施方式中，該閘極電極在該第一奈米結構與該第二奈米結構之間的該部分是免於任何阻障層。

【0092】 可選地，於部分實施方式中，該閘極電極更包含一黏著層，位於該 p 型功函數金屬上，且該黏著層不延伸至該第一奈米結構與該第二奈米結構之間。

【0093】 可選地，於部分實施方式中，該第一奈米結構的一高度與該第一奈米結構的一寬度的比例在 0.05 至 4 的範圍內。

【0094】 於部分實施方式中，電晶體包含一第一奈米結構，位於一半導體基板上；一第二奈米結構，位於該第一奈米結構上；一閘極介電質，環繞該第一奈米結構以及該第二奈米結構；以及一閘極電極，位於該閘極介電質上。該閘極電極包含：一 p 型功函數金屬，其中該 p 型功函數金屬從該閘極介電質於該第一奈米結構上的一第一部分連續地

延伸至該閘極介電質於該第二奈米結構上的一第二部分；一黏著層，位於該 p 型功函數金屬上；以及一填充金屬，位於該黏著層上。

【0095】 可選地，於部分實施方式中，該 p 型功函數金屬在該第二奈米結構的一上表面上具有一第一厚度且在該第一奈米結構與該第二奈米結構之間具有一第二厚度，其中該第一厚度少於該第二厚度。

【0096】 可選地，於部分實施方式中，該 p 型功函數金屬包含一接縫，位於該第一奈米結構以及該第二奈米結構之間。

【0097】 可選地，於部分實施方式中，該 p 型功函數金屬包含氮化鈦。

【0098】 可選地，於部分實施方式中，電晶體更包含一介面層，位於該閘極介電質下，其中該介面層環繞該第一奈米結構以及該第二奈米結構，且該閘極介電質包含高 k 材料。

【0099】 於部分實施方式中，一種形成半導體裝置的方法包含在一第一奈米結構以及一第二奈米結構周圍，沉積一閘極介電質，其中該第一奈米結構設置於該第二奈米結構上；以及在該閘極介電質上，沉積一 p 型功函數金屬。沉積該 p 型功函數金屬包含：沉積該 p 型功函數金屬的一第一部分在該第二奈米結構的一上表面上以及一第二部分在該第二奈米結構的一下表面上；以及接著沉積該 p 型功函數金屬，直到該 p 型功函數金屬的該第一部分與該 p 型功函數金屬

的該第二部分合併。

**【0100】** 可選地，於部分實施方式中，該方法更包含：在該 p 型功函數金屬上，沉積一黏著層；以及在該黏著層上，沉積一填充金屬。

**【0101】** 可選地，於部分實施方式中，沉積該 p 型功函數金屬包含沉積該 p 型功函數金屬以具有：一第一厚度，位於該第一奈米結構以及該第二奈米結構之間；以及一第二厚度，位於該第一奈米結構的一側壁上，其中該第一厚度大於該第二厚度。

**【0102】** 可選地，於部分實施方式中，該第一厚度與該第二厚度的比例不大於 2：1。

**【0103】** 可選地，於部分實施方式中，沉積該 p 型功函數金屬更包含：在該 p 型功函數金屬的該第一部分以及該 p 型功函數金屬的該第二部分之間，形成一接縫。

**【0104】** 以上概述多個實施方式之特徵，該技術領域具有通常知識者可較佳地了解本揭露之多個態樣。該技術領域具有通常知識者應了解，可將本揭露作為設計或修飾其他程序或結構的基礎，以實行實施方式中提到的相同的目的以及/或達到相同的好處。該技術領域具有通常知識者也應了解，這些相等的結構並未超出本揭露之精神與範圍，且可以進行各種改變、替換、轉化，在此，本揭露精神與範圍涵蓋這些改變、替換、轉化。

**【符號說明】****【0105】**

- 20：分隔器
- 50：基板
- 50N：n 型區域
- 50P：p 型區域
- 50I：區域
- 51，51A~51C：第一半導體層
- 52，52A~52C：第一奈米結構
- 53，53A~53C：第二半導體層
- 54，54A~54C：第一奈米結構
- 55：奈米結構
- 64：多層堆疊
- 66：鱗片
- 68：隔離區域
- 70：虛設介電層
- 71：虛設介電質
- 72：虛設閘極層
- 74：遮罩層
- 76：虛設閘極
- 78：遮罩
- 80：第一間隔物層
- 81：第一間隔物
- 82：第二間隔物層



- 83：第二間隔物
- 86：第一凹槽
- 88：凹槽
- 90：內部間隔物
- 92：磊晶源極/汲極區域
- 92A：第一半導體材料層
- 92B：第二半導體材料層
- 92C：第三半導體材料層
- 94：接觸蝕刻停止層
- 96：第一層間介電質
- 98：第二凹槽
- 100：閘極介電質
- 100A：第一閘極介電質
- 100B：第二閘極介電層 1
- 101：第一閘極介電質
- 101A：介面層
- 101B：介面層
- 102：閘極電極
- 103：第二閘極介電質
- 103A：高 k 閘極介電質
- 103B：高 k 閘極介電質
- 104：閘極遮罩
- 105：導電材料
- 105A：第一部分

105B：第二部分

105S：接縫

106：第二層間介電質

108：第三凹槽

110：矽化物區

112, 114：接觸件

115：黏著層

117：填充金屬

121：導電層

123：阻擋層

125：填充金屬

127：閘極電極

H1：高度

W1：寬度

W2：寬度

T1：厚度

T2：厚度

A - A' , B - B' , C - C' : 剖面

X - X' , Y - Y' : 線

**【生物材料寄存】**

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

## 【發明申請專利範圍】

【請求項 1】 一種半導體裝置，包含：

一第一奈米結構；

一第二奈米結構，位於該第一奈米結構上；

一第一高 k 閘極介電質，設置於該第一奈米結構周圍；

一第二高 k 閘極介電質，設置於該第二奈米結構周圍；以及

一閘極電極，位於該第一高 k 閘極介電質和該第二高 k 閘極介電質上，其中該閘極電極在該第一奈米結構與該第二奈米結構之間的一部分包含一 p 型功函數金屬的一第一部分，該 p 型功函數金屬的該第一部分填滿該第一高 k 閘極介電質和該第二高 k 閘極介電質之間的一區域。

【請求項 2】 如請求項 1 所述之半導體裝置，其中該 p 型功函數金屬的該第一部分包含一接縫，位於該第一奈米結構以及該第二奈米結構之間。

【請求項 3】 如請求項 1 所述之半導體裝置，其中該 p 型功函數金屬的該第一部分具有一第一厚度，該 p 型功函數金屬位於該第一奈米結構的一側壁上的一第二部分具有一第二厚度，且其中該第一厚度大於該第二厚度。

【請求項 4】 如請求項 1 所述之半導體裝置，其中該閘極電極在該第一奈米結構與該第二奈米結構之間的該部分是

免於任何阻障層。

【請求項 5】如請求項 1 所述之半導體裝置，其中該閘極電極更包含一黏著層，位於該 p 型功函數金屬上，且該黏著層不延伸至該第一奈米結構與該第二奈米結構之間。

【請求項 6】一種電晶體，包含：

一第一奈米結構，位於一半導體基板上；

一第二奈米結構，位於該第一奈米結構上；

一閘極介電質，環繞該第一奈米結構以及該第二奈米結構；

以及

一閘極電極，位於該閘極介電質上，其中該閘極電極包含：

一 p 型功函數金屬，其中該 p 型功函數金屬從該閘極介電質於該第一奈米結構上的一第一部分連續地延伸至該閘極介電質於該第二奈米結構上的一第二部分；

一黏著層，位於該 p 型功函數金屬上；以及

一填充金屬，位於該黏著層上。

【請求項 7】如請求項 6 所述之電晶體，其中該 p 型功函數金屬在該第二奈米結構的一上表面上具有一第一厚度且在該第一奈米結構與該第二奈米結構之間具有一第二厚度，其中該第一厚度少於該第二厚度。

【請求項 8】一種半導體裝置的形成方法，包含：

在一第一奈米結構以及一第二奈米結構周圍，沉積一閘極介電質，其中該第一奈米結構設置於該第二奈米結構上；以及

在該閘極介電質上，沉積一 p 型功函數金屬，其中沉積該 p 型功函數金屬包含：

沉積該 p 型功函數金屬的一第一部分在該第二奈米結構的一上表面上以及一第二部分在該第二奈米結構的一下表面上；以及

接著沉積該 p 型功函數金屬，直到該 p 型功函數金屬的該第一部分與該 p 型功函數金屬的該第二部分合併。

【請求項 9】如請求項 8 所述之方法，其中沉積該 p 型功函數金屬包含沉積該 p 型功函數金屬以具有：

一第一厚度，位於該第一奈米結構以及該第二奈米結構之間；以及

一第二厚度，位於該第一奈米結構的一側壁上，其中該第一厚度大於該第二厚度。

【請求項 10】如請求項 8 所述之方法，其中沉積該 p 型功函數金屬更包含：

在該 p 型功函數金屬的該第一部分以及該 p 型功函數金屬的該第二部分之間，形成一接縫。