(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.^{7}
H01L 23/12

(11) 공개번호 10-2004-0060123
(43) 공개일자 2004년07월06일

(21) 출원번호 10-2002-0086652
(22) 출원일자 2002년12월30일

(71) 출원인 동부전자 주식회사
서울 강남구 역삼1동 838

(72) 발명자 강병영
경기도이천시부발읍신하리거평아파트101-502

(74) 대리인 장성구
김원준

심사청구 : 없음

(54) 반도체 소자 패키징 방법

요약

본 발명은 칩 본드 패드에 금 범프를 형성하여 플립칩 본딩으로 인터커넥션함으로써, 소형화 및 조립공정의 단순화가 가능하도록 하는 반도체 소자 패키징 방법에 관한 것이다. 즉, 본 발명에서는 반도체 소자 패키징에 있어서 기존의 와이어 본딩 공정, 몰딩 공정을 없애며, 솔더 볼 부착 공정의 생략으로 솔더 볼 부착 공정에 후속되는 플럭스 프린팅과 디플럭스 공정을 없애므로서, 패키징 공정을 단순화시키며, 패키징 공정의 단순화를 통해 생산성이 향상되어 원가를 절감시킬 수 있게 되는 이점이 있다. 또한 종래에 칩을 외부환경으로부터 보호하기 위해 에폭시 몰딩 콤파운드를 이용하여 몰딩하는 방법을 없애고, 인캡슐레이션시킴으로써 폐기물을 줄여 환경 공해를 줄일 수 있으며, 솔더 볼이 없으므로 패키지의 높이가 줄어 실장 공간을 줄일 수 있는 이점이 있다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래 BGA 패키징 공정 단면도,

도 2는 본 발명의 실시 예에 따른 BGA 패키징 공정 단면도.

도 3은 상기 도 2의 패키징 공정 중 금 범프 세부 단면도,

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 패키징 방법에 관한 것으로, 특히 칩 본드 패드(Chip bond pad)에 금 범프(Au bump)를 형성하여 플립칩 본딩(Flip-chip bonding)으로 인터커넥션(Interconnection)함으로써, 소형화 및 조립공정의 단순화가 가능하도록 하는 반도체 소자 패키징 방법에 관한 것이다.

도 1은 종래 BGA 패키징 공정 단면도를 도시한 것으로, 종래에는 상기 도 1에서와 같이 서브스트레이트(100)에 어드히시브(Adhesive)(102)를 도포한 후, 칩을 접착시킨다. 이어 골드 와이어(Gold wire)(104)를 사용하여 칩(Chip)(106)과 서브스트레이트(100)간 와이어 본딩(Wire bonding)을 통해 인터커넥션(Interconnection)을 수행하고, 외부환경으로부터 칩(106)과 인터커넥션된 와이어를 보호하기 위하여 에폭시 몰딩 콤파운드(Epoxy molding compound)(108) 로 봉지시킨다. 그런 후, 서브스트레이트(100)에 솔더 볼(Solder ball)(110)을 접착하여 개별화(Singulation)시키고 개개의 패키지 조립을 완료하게 된다.

그러나 상기한 바와 같은 종래 반도체 소자 패키징에서는 칩 본드 패드에 솔더 볼을 부착하여 플립칩 본딩을 수행함에 따라 플럭스 프린팅 공정과 디플럭스 공정이 후속되어야 하는 등 조립 공정이 복잡해지며, 패키지가 두껍게 형성되어 패키지의 소형화가 곤란한 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 칩 본드 패드에 금 범프를 형성하여 플립칩 본딩으로 인터커넥션함으로써, 소형화 및 조립 공정의 단순화가 가능하도록 하는 반도체 소자 패키징 방법을 제공함에 있다.

상술한 목적을 달성하기 위한 본 발명은 반도체 소자 패키징 방법에 있어서, (a)웨이퍼 레벨에서 본드 패드에 금 범프를 형성시키는 단계와; (b)상기 금 범프가 형성된 웨이퍼를 다이소잉을 통해 개개의 칩으로 분리시키는 단계와; (c)서브스트레이트에 상기 웨이퍼 칩을 열압착 방식으로 접착시키는 단계와; (d)비전도성 에폭시를 사용하여 인캡슐레이션시키는 단계와; (e)상기 서브스트레이트를 개별화하여 개개의 패키지로 만드는 단계;를 포함하는 것을 특징으로 한다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예의 동작을 상세하게 설명한다.

도 2는 본 발명의 실시 예에 따른 BGA 패키징 공정 단면도를 도시한 것이다. 이하 상기 도 2를 참조하여 본 발명의 BGA 패키징 공정을 상세히 설명하기로 한다.

먼저 상기 도 2에서 보여지는 바와 같이 웨이퍼 레벨에서 본드 패드에 금 범프(Au bump)(200)를 형성시킨다. 상기 금 범프(200)는 도 3의 (a)에 도시된 세부 단면도에서 보여지는 바와 같이 웨이퍼 칩(202)아래에 형성되어 Ag(300)와 구리(Cu)(302)가 차례로 적층된 서브스트레이트(204)와 칩(202)을 연결시키게 된다.

이어 금 범프(200)가 형성된 웨이퍼를 개개의 칩으로 분리하기 위해 다이 소잉(Die sawing)을 수행하고, 서브스트레이트(204)에 칩(202)을 열압착(Thermo-pressure) 방식으로 접착시킨다. 이때 상기 접착을 통해 외부와의 전기적 연결이 완료된다. 상기 열압착은 도 3의 (b)에 도시된 세부 단면도에서 보여지는 바와 같이 Ag90/Sn10(AgSn)(304) alloy를 사용하여 구리 패턴(Cu pattern)(306) 밑에 플랜팅(Planting)을 수행하게 된다.

그런 후, 비전도성 에폭시를 사용하여 인캡슐레이션(Encapsulation)(206)시키고, 서브스트레이트(204)를 개별화하여 개개의 패키지로 만들어 패키징을 완료하게 된다.

이에 따라 상기한 바와 같이 본 발명에서는 반도체 소자 패키징에 있어서 기존의 와이어 본딩 공정, 몰딩 공정을 없애며, 솔더 볼 부착 공정의 생략으로 솔더 볼 부착 공정에 후속되는 플럭스 프린팅과 디플럭스 공정을 없애므로서, 패키징 공정을 단순화시키고, 생산성을 향상시켜 원가를 절감시킬 수 있게 된다. 또한 종래에 칩을 외부환경으로부터 보호하기 위해 에폭시 몰딩 콤파운드(Epoxy molding compound)를 이용하여 몰딩하는 방법을 없애고, 인캡슐레이션시킴으로써 폐기물을 줄여 환경 공해를 줄일 수 있게 된다.

한편 상술한 본 발명의 설명에서는 구체적인 실시 예에 관해 설명하였으나, 여러 가지 변형이 본 발명의 범위에서 벗어나지 않고 실시될 수 있다. 따라서 발명의 범위는 설명된 실시 예에 의하여 정할 것이 아니고 특허청구범위에 의해 정하여져야 한다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에서는 반도체 소자 패키징에 있어서 기존의 와이어 본딩 공정, 몰딩 공정을 없애며, 솔더 볼 부착 공정의 생략으로 솔더 볼 부착 공정에 후속되는 플럭스 프린팅과 디플럭스 공정을 없애므로서, 패키징 공정을 단순화시키며, 패키징 공정의 단순화를 통해 생산성이 향상되어 원가를 절감시킬 수 있게 되는 이점이 있다. 또한 종래에 칩을 외부환경으로부터 보호하기 위해 에폭시 몰딩 콤파운드를 이용하여 몰딩하는 방법을 없애고, 인캡슐레이션시킴으로써 폐기물을 줄여 환경 공해를 줄일 수 있으며, 솔더 볼이 없으므로 패키지의 높이가 줄어 실장 공간을 줄일 수 있는 이점이 있다.

(57) 청구의 범위

청구항 1.

반도체 소자 패키징 방법에 있어서,

(a)웨이퍼 레벨에서 본드 패드에 금 범프를 형성시키는 단계와;

(b)상기 금 범프가 형성된 웨이퍼를 다이소잉을 통해 개개의 칩으로 분리시키는 단계와;

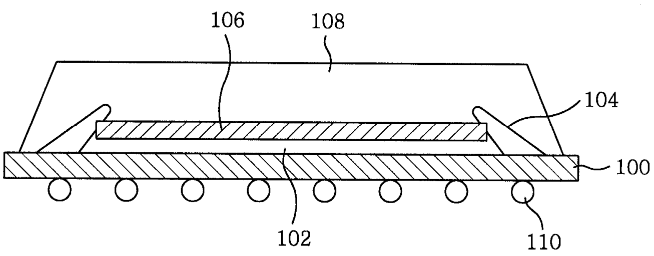
(c)서브스트레이트에 상기 웨이퍼 칩을 열압착 방식으로 접착시키는 단계와;

(d)비전도성 에폭시를 사용하여 인캡슐레이션시키는 단계와;

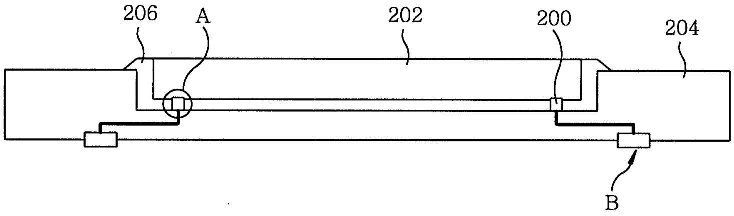
(e)상기 서브스트레이트를 개별화하여 개개의 패키지로 만드는 단계;를 포함하는 것을 특징으로 하는 반도체 소자 패키징 방법.

도면

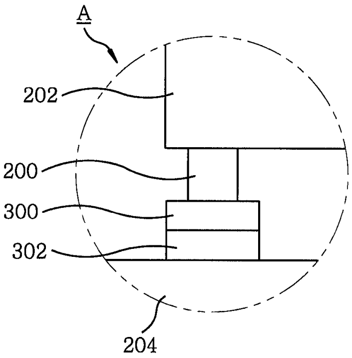
도면1



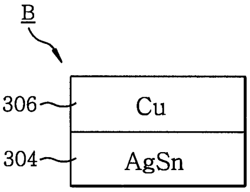
도면2



도면3



(a)



(b)