

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3586177号  
(P3586177)

(45) 発行日 平成16年11月10日(2004.11.10)

(24) 登録日 平成16年8月13日(2004.8.13)

(51) Int. Cl.<sup>7</sup>

F I

HO4N	1/19	HO4N	1/04	103Z
GO6T	1/00	GO6T	1/00	42OG
HO1L	27/146	GO6T	1/00	43OD
HO4N	1/028	GO6T	1/00	46OJ
HO4N	5/335	HO4N	1/028	Z

請求項の数 9 (全 10 頁) 最終頁に続く

(21) 出願番号 特願2000-227000 (P2000-227000)  
 (22) 出願日 平成12年7月27日 (2000.7.27)  
 (65) 公開番号 特開2002-44393 (P2002-44393A)  
 (43) 公開日 平成14年2月8日 (2002.2.8)  
 審査請求日 平成13年11月22日 (2001.11.22)  
 審判番号 不服2003-23537 (P2003-23537/J1)  
 審判請求日 平成15年12月4日 (2003.12.4)

(73) 特許権者 000001007  
 キヤノン株式会社  
 東京都大田区下丸子3丁目30番2号  
 (74) 代理人 100090538  
 弁理士 西山 恵三  
 (74) 代理人 100096965  
 弁理士 内尾 裕一  
 (72) 発明者 府川 仁彦  
 東京都大田区下丸子3丁目30番2号キヤ  
 ノン株式会社内

合議体  
 審判長 小川 謙  
 審判官 加藤 恵一  
 審判官 深沢 正志

最終頁に続く

(54) 【発明の名称】 画像処理装置

(57) 【特許請求の範囲】

【請求項1】

複数の画素が主走査方向に配列された第1の画素列と、前記第1の画素列と平行で前記第1の画素列に対して画素の位置を主走査方向にずらして複数の画素を配列した第2の画素列と、前記第1の画素列から信号を選択的に読み出すための第1の読み出し手段と、前記第2の画素列から信号を選択的に読み出すための第2の読み出し手段と、前記第1の読み出し手段から読み出される信号を出力するための第1の出力部と、前記第2の読み出し手段から読み出される信号を出力するための第2の出力部とを、前記第1の読み出し手段と前記第1の出力部とを前記第1の画素列に対して前記第2の画素列とは反対側の位置で、前記第2の読み出し手段と前記第2の出力部とを前記第2の画素列に対して前記第1の画素列とは反対側の位置で、前記第1と第2の画素列の両端の画素とセンサチップ端部との間に回路を設けないように同一半導体チップ上に形成したセンサチップを有し、前記センサチップを主走査方向に複数並べて配置し、前記複数並べたセンサチップの各々の前記第1の画素列が第1の直線上に並び、前記複数並べたセンサチップの各々の前記第2の画素列が第1の直線と平行な第2の直線上に並ぶように前記センサチップを主走査方向に複数並べて配置したことを特徴とする画像処理装置。

10

【請求項2】

それぞれの前記センサチップに含まれている前記第1の出力部からの信号が読み出される第1の出力線と、

それぞれの前記センサチップに含まれている前記第2の出力部からの信号が読み出される

20

第 2 の出力線と、  
前記第 1 の出力線と、前記第 2 の出力線に順次信号を読み出すように前記複数のセンサチップを駆動する駆動手段と、  
前記第 1 の出力線及び第 2 の出力線からの信号を合成する合成手段とを有し、  
前記合成手段は、前記複数並べたセンサチップに対して共通に設けられ、前記複数並べたセンサチップから順次に信号が入力されることを特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】

アナログデジタル変換回路が前記合成手段の後段に設けられ、前記第 1 の画素列及び前記第 2 の画素列からの信号は、前記合成手段によって合成された後に、前記アナログデジタル変換回路にてデジタル信号に変換されることを特徴とする請求項 2 に記載の画像処理装置。

10

【請求項 4】

アナログデジタル変換回路が前記合成手段の前段に設けられ、前記第 1 の画素列及び前記第 2 の画素列からの信号は、前記アナログデジタル変換回路によってデジタル信号に変換された後に、前記合成手段にて合成されることを特徴とする請求項 2 に記載の画像処理装置。

【請求項 5】

前記第 1 の画素列からの信号のリファレンスレベルを調整する第 1 の基準レベル調整手段と、前記第 2 の画素列からの信号のリファレンスレベルを調整する第 2 の基準レベル調整手段とを有し、前記第 1 及び第 2 の基準レベル調整手段は、前記合成手段の前段に設けられていることを特徴とする請求項 2 に記載の画像処理装置。

20

【請求項 6】

前記第 2 の画素列が前記第 1 の画素列に対して、主走査方向に 1 / 2 画素ピッチずらして配置していることを特徴とする請求項 1 に記載の画像処理装置。

【請求項 7】

前記複数並べたセンサチップの各センサチップにおいて、前記第 1 の画素列の総画素数と前記第 2 の画素列の総画素数が等しく構成されていることを特徴とする請求項 1 に記載の画像処理装置。

【請求項 8】

前記第 1 の画素列の中心と前記第 2 の画素列の中心の副走査方向の距離が、前記第 1 と第 2 の画素列の画素の主走査方向のピッチの整数倍になるように配置していることを特徴とする請求項 1 に記載の画像処理装置。

30

【請求項 9】

原稿を照射する光源と、前記原稿を照射した光の反射光を前記複数のセンサチップに導くレンズアレイと、を有することを特徴とする請求項 1 または 2 に記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えばスキャナ等の画像処理装置に関する。

40

【0002】

【従来の技術】

従来の密着型イメージセンサ（以下 C I S とする）を用いた画像処理装置においては C I S のセンサチップ内の画素の配列構成は主走査方向一列に画素が配列しており、画素からの信号は、一つの出力部からセンサチップ外部に出力され、A / D 変換、シェーディング補正等の画像処理を行っていた。

【0003】

【発明が解決しようとする課題】

縮小光学系 C C D を用いた画像処理装置のみならず、C I S を用いた画像処理装置においても高解像度化は進んでいるが、C I S は等倍光学系であるため高解像度にするには画素

50

の受光部を縮小することが必至であるが、C I Sとして感度を維持することは困難である。

【0004】

本発明の目的は上述のような点に鑑みて、感度低下をなくし、高解像な画像取得が可能な画像処理装置を提供することにある。

【0005】

【課題を解決するための手段】

上記目的を達成するために、複数の画素が主走査方向に配列された第1の画素列と、前記第1の画素列と平行で前記第1の画素列に対して画素の位置を主走査方向にずらして複数の画素を配列した第2の画素列と、前記第1の画素列から信号を選択的に読み出すための第1の読み出し手段と、前記第2の画素列から信号を選択的に読み出すための第2の読み出し手段と、前記第1の読み出し手段から読み出される信号を出力するための第1の出力部と、前記第2の読み出し手段から読み出される信号を出力するための第2の出力部とを、前記第1の読み出し手段と前記第1の出力部とを前記第1の画素列に対して前記第2の画素列とは反対側の位置で、前記第2の読み出し手段と前記第2の出力部とを前記第2の画素列に対して前記第1の画素列とは反対側の位置で、前記第1と第2の画素列の両端の画素とセンサチップ端部との間に回路を設けないように同一半導体チップ上に形成したセンサチップを有し、前記センサチップを主走査方向に複数並べて配置し、前記複数並べたセンサチップの各々の前記第1の画素列が第1の直線上に並び、前記複数並べたセンサチップの各々の前記第2の画素列が第1の直線と平行な第2の直線上に並ぶように前記センサチップを主走査方向に複数並べて配置したことを特徴とする画像処理装置を提供する。

10

20

【0006】

また、それぞれの前記センサチップに含まれている前記第1の出力部からの信号が読み出される第1の出力線と、それぞれの前記センサチップに含まれている前記第2の出力部からの信号が読み出される第2の出力線と、前記第1の出力線と、前記第2の出力線に順次信号を読み出すように前記複数のセンサチップを駆動する駆動手段と、前記第1の出力線及び第2の出力線からの信号を合成する合成手段とを有し、前記合成手段は、前記複数並べたセンサチップに対して共通に設けられ、前記複数並べたセンサチップから順次に信号が入力されることを特徴とする上記に記載の画像処理装置を提供する。

【0010】

【発明の実施の形態】

以下に、図面を参照して本発明の一実施形態の画像処理装置を詳細に説明する。

【0011】

図1は本発明の一実施形態の画像処理装置108であり、以下に図1を用いて画像処理装置の構成について説明する。

【0012】

101は密着型のイメージセンサ(C I S)であり、LED光源(図示せず)からの光を導光体104により原稿台ガラス105上の読取原稿106に照射し、その反射光をレンズアレイ103を介してマルチチップセンサ102で受光する。C I Sを搭載したキャリアッジを副走査方向に移動させながらC I Sからの出力信号を信号処理回路107にて処理してインターフェースを通じて、パーソナルコンピュータなどの本実施の形態に係る画像処理装置のホスト装置となる外部装置との間でコントロール信号の受容や画像信号の送受を行う。

40

【0013】

図2は、本実施の形態の画像処理装置における密着型イメージセンサ(C I S)の撮像部である複数のセンサチップを同一基板上で接続したマルチチップセンサ102を示す概略図であり、図3は、図2のマルチチップセンサの動作タイミング図である。以下に図2、図3を用いて、マルチチップセンサの構成及び動作について説明する。

【0014】

図2において、200は、原稿等の被写体像を撮像する撮像領域であり、201は複数の

50

画素が主走査方向に配列された第一の画素列であり、202は複数の画素が主走査方向に配列された第二の画素列である。各画素の大きさは一辺が $22\mu\text{m}$ の正方形であり、主走査方向に1200dpiの読取解像度を持っており、第二の画素列は第一の画素列に対して主走査方向に画素の配列ピッチの半分即ち $11\mu\text{m}$ ずらして配置されている。従って、本実施の形態における画像処理装置は第一の画素列からの出力信号と第二の画素列からの出力信号を合成することで主走査方向の読取解像度を2400dpiにすることができる。また副走査方向に関しては第一の画素列と第二の画素列の副走査方向のライン間距離は各画素の主走査方向の中心間距離と等しくなる様に構成されている。

#### 【0015】

各センサチップの第一の画素列201及び第二の画素列202内の受光部で蓄積された電荷は図2における主走査ライン同期信号301に従ってそれぞれ第一の蓄積部203及び第二の蓄積部204に転送され、各受光部では次のラインの蓄積が行われる。次に、読み出し信号302に従って、第一センサチップ上の第一の蓄積部203及び第二の蓄積部204で蓄積されている電荷はそれぞれ、第一のシフトレジスタ部(第1の読み出し手段)205及び第二のシフトレジスタ部(第2の読み出し手段)206に転送される。信号電荷が蓄積部からレジスタ部に転送されている間シフトレジスタは第一のクロック信号303及び第二のクロック信号304に従って停止している。

#### 【0016】

その後第1のシフトレジスタ部に転送された電荷はクロック信号303に従って第一の出力部207から第1の出力線209に、画素信号310(S11, S13, ...)として出力される。また、第2のシフトレジスタ部に転送された電荷はクロック信号304に従って第2の出力部208から第2の出力線210に画素信号311(S12, S14, ...)として出力される。

#### 【0017】

第一センサチップは動作判別信号305がHighの間動作しているが動作判別信号305がLowになると第一センサチップからの出力が終了する。そして、第二センサチップの動作判別信号309がHighになり、第二センサチップの蓄積部からレジスタ部への読み出し信号306及びクロック信号307, 308に従って第二センサチップから画素信号310(S21, S23, ...)及び311(S22, S24, ...)が出力される。

#### 【0018】

以降同様な手順で第三センサチップ, 第四センサチップと順番に蓄積部の電荷がシフトレジスタ部に転送され逐次出力される。

#### 【0019】

図2のマルチチップセンサ102の第一の出力線209及び第二の出力線210からの画素信号は図4で示すように、マルチチップセンサ102外部でマルチプレクサ404にて合成される。以下に図4のブロック図及び図5の動作タイミング図を用いて本実施形態の画像処理装置における、第1の画素列からの画素信号と第2の画素列からの画素信号の合成について説明する。

#### 【0020】

マルチチップセンサ102の第一の画素列からの画素信号501は相関2重サンプリング(CDS)回路(基準レベル調整手段)402において、各画素のリファレンスレベルと信号レベルの差分をクランプ信号502及びサンプリング信号503によりリファレンス電位(VCLP)を基準にして出力信号507として出力される。

#### 【0021】

同様にして第二の画素列からの画素信号502はCDS回路403において、各画素のリファレンスレベルと信号レベルの差分をクランプ信号502及びサンプリング信号503によりリファレンス電位(VCLP)を基準にして出力信号508として出力される。

#### 【0022】

それぞれの出力信号507, 508はマルチプレクサ(合成手段)404に入力され、マルチプレクサ入力パルス509がHighのときには第一の画素列の出力信号507を選

10

20

30

40

50

択し、マルチプレクサ入力パルス509がLowのときには第二の画素列の出力信号508を選択する。従って、マルチプレクサ回路404の出力信号510は、第一の画素列の出力信号507と第二の画素列の出力信号508が交互出力(合成)された1ラインのアナログ信号として出力される。

#### 【0023】

本実施の形態では、センサチップを複数接続したマルチチップセンサであるため、それぞれのセンサチップ内に、第1の画素列からの信号と第2の画素列からの信号の合成を行うための回路を設けると、その回路部分が不感領域となりセンサチップとセンサチップの間を連続性のある画像とすることができない。そのため図4のようにセンサチップ外部にマルチプレクサを設けることによって、センサチップとセンサチップの間に合成を行うための回路を設けないで済み、連続性のある画像が得られる。また、マルチプレクサをセンサチップ毎に設けず、複数のセンサチップで共通に用い、第1センサチップから順次信号を入力するようにしたことにより、装置の小型を図ることが出来る。さらに、CDS回路をマルチプレクサの前に設けることによって、正確にリファレンスレベルと信号レベルをサンプリングできる。

10

#### 【0024】

CIS101内のマルチプレクサ404からの出力信号は図6のような信号処理回路107によって処理される。以下に図6を用いて信号処理回路の動作を説明する。

#### 【0025】

AFE回路602は、CIS101より出力された信号にアンプ増幅、DCオフセット補正、A/D変換等の処理を行い、最終的に例えば12ビットのデジタル画像データを出力するようなアナログ・プリプロセッサである。

20

#### 【0026】

シェーディングRAM603は、CIS601によって標準白色板を読み取って作成された基準レベルのデータがシェーディング補正データとして記憶されている。シェーディング補正回路604は前記シェーディングRAM603のデータに基づいて読取原稿を読み取って生成した画像データのシェーディング補正を行う。

#### 【0027】

ガンマ変換回路605は、読み取られた画像データをガンマ変換するためのものであり、ホストコンピュータによってあらかじめ設定されたガンマカーブに従って行う。

30

#### 【0028】

バッファRAM606は、実際の読み取り動作とホストコンピュータとの通信におけるタイミングを合わせるために、画像データを1次的に記憶させるためのRAMである。

#### 【0029】

パッキング/バッファRAM制御回路607は、ホストコンピュータよりあらかじめ設定された画像出力モード(2値、4ビット多値、8ビット多値、24ビット多値)に従ったパッキング処理を行った後にそのデータをバッファRAM606に書き込む処理と、インターフェース回路608にバッファRAM606から画像データを読み込んで出力させる。

#### 【0030】

インターフェース回路608は、パーソナルコンピュータなどの本実施の形態に係る画像処理装置のホスト装置となる外部装置609との間でコントロール信号の受容や画像信号の送出を行う。

40

#### 【0031】

611は駆動信号発生回路(駆動手段)であり、CPU610からの命令によりCIS101内のマルチチップセンサに図3のようなクロックパルスを、CDS回路402、403及びマルチプレクサに図5のようなクロックパルスを供給する。

#### 【0032】

以上説明した実施の形態では、アナログ信号の状態(A/D変換回路の前段)で第1画素列からの信号と第2画素列からの信号の合成を行っているが、図7に示すようにディジタ

50

ル信号に変換した後（A/D変換回路の後段）に、合成を行うようにしてもよい。

【0033】

つまり、図7に示すようにCIS101'の第1画素列及び第2画素列からの信号はそれぞれ、AFE回路602'に含まれるA/D変換回路によってデジタル信号に変換された後、一旦ROM（メモリ）620、621に蓄積され、その後マルチプレクサ404'によって合成される。ここで、CDS回路402の機能は、AFE回路602'に含まれている。そして、その後の処理は、上記で説明した図6と同じである。

【0034】

また、上記で説明した画像処理装置108、108'は、シェディング補正回路等を含んでいるが、シェディング回路よりも後段の処理及びCPU610の処理を外部装置で行うようにし、画像処理装置における信号処理を簡略した構成のもであってもよい。

10

【0035】

また、上記の実施の形態では画素列の副走査方向のライン間隔を1ライン間隔としたが副走査方向の受光部の長さを大きくし画素を長方形で形成し、副走査方向のライン間隔を2倍以上の整数倍とすることで感度を上げることも可能である。

【0036】

また、主走査方向の画素サイズを小さくして画素間の非受光部を大きくすることでセンサチップ端面からの距離を増すことができ、また解像力（MTF）を高めることも可能である。

【0037】

さらに、上記の実施の形態では、CCD構成のセンサチップを説明したが、MOS型等の他のセンサチップであってもよい。

20

【0038】

【発明の効果】

本発明によれば、画素の受光部面積を小さくすることなく、また、複数のセンサチップを用いても不感領域を作ることなく解像度を上げることができる。

【図面の簡単な説明】

【図1】画像処理装置の全体を示す図である。

【図2】マルチチップセンサを示す図である。

【図3】マルチチップセンサの動作タイミング図である。

30

【図4】密着型イメージセンサ（CIS）の一部を示す図である。

【図5】相關2重サンプリング（CDS）回路及びマルチプレクサの動作タイミングを示す図である。

【図6】信号処理回路の詳細図である。

【図7】信号処理回路の詳細図である。

【符号の説明】

101 密着型イメージセンサ（CIS）

102 マルチチップセンサ

103 セルフォックレンズアレイ

104 導光体

40

105 原稿台ガラス

106 読取原稿

107 信号処理回路

200 撮像領域

201 第一の画素列

202 第二の画素列

203 第一の蓄積部

204 第二の蓄積部

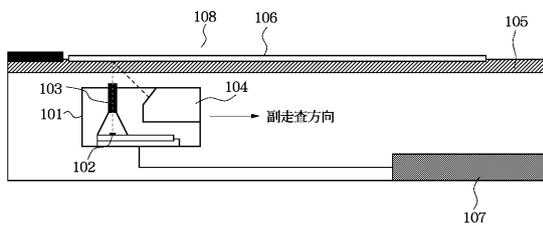
205 第一のシフトレジスタ部

206 第二のシフトレジスタ部

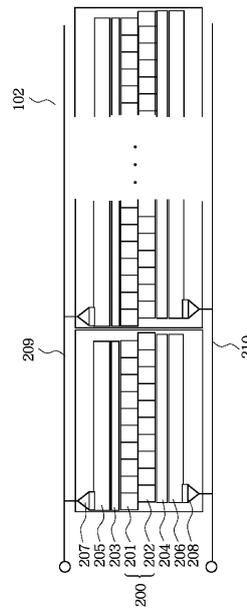
50

- 207 第一の出力部
- 208 第二の出力部
- 209 第1の出力線
- 210 第2の出力線
- 402、403 相関2重サンプリング(CDS)回路
- 404、404' マルチプレクサ

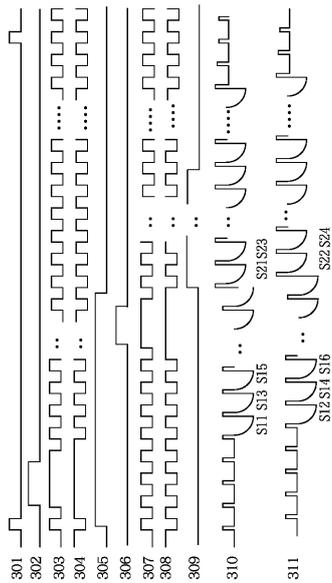
【図1】



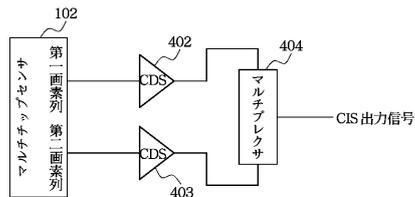
【図2】



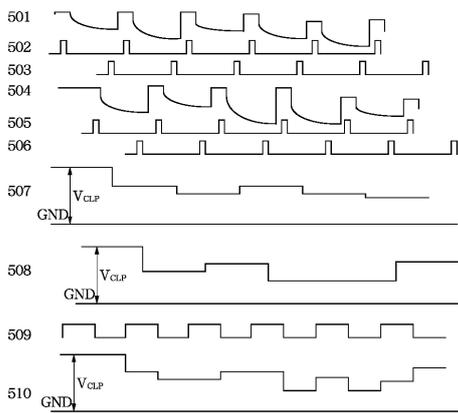
【 図 3 】



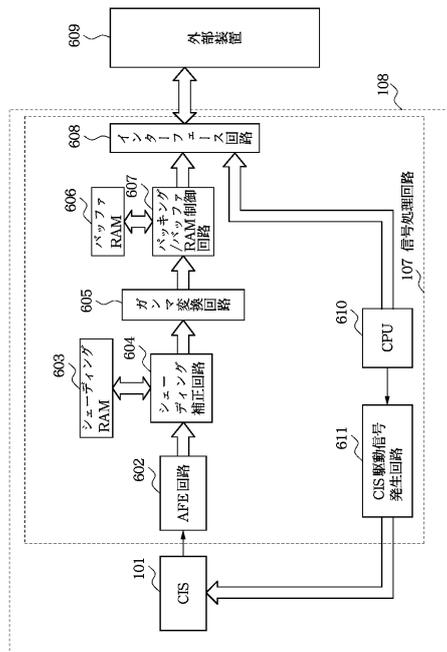
【 図 4 】



【 図 5 】



【 図 6 】





---

フロントページの続き

(51) Int.Cl.<sup>7</sup>

F I

H 0 4 N 5/335

W

H 0 1 L 27/14

A

(56) 参考文献 特開平 2 - 2 4 8 1 5 2 ( J P , A )  
特開平 8 - 9 1 1 5 ( J P , A )  
特開 2 0 0 0 - 1 0 1 8 0 5 ( J P , A )  
特開平 1 1 - 3 4 1 2 3 8 ( J P , A )  
特開平 9 - 1 3 0 5 3 7 ( J P , A )  
特開平 7 - 2 2 6 4 9 5 ( J P , A )