

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6133549号  
(P6133549)

(45) 発行日 平成29年5月24日 (2017.5.24)

(24) 登録日 平成29年4月28日 (2017.4.28)

(51) Int.Cl.	F I
<b>H05K 3/46 (2006.01)</b>	H05K 3/46 Q
	H05K 3/46 B
	H05K 3/46 N
	H05K 3/46 X

請求項の数 8 (全 13 頁)

(21) 出願番号	特願2012-100926 (P2012-100926)	(73) 特許権者	000190688
(22) 出願日	平成24年4月26日 (2012.4.26)		新光電気工業株式会社
(65) 公開番号	特開2013-229465 (P2013-229465A)		長野県長野市小島田町80番地
(43) 公開日	平成25年11月7日 (2013.11.7)	(74) 代理人	100105957
審査請求日	平成27年2月12日 (2015.2.12)		弁理士 恩田 誠
審判番号	不服2016-12742 (P2016-12742/J1)	(74) 代理人	100068755
審判請求日	平成28年8月24日 (2016.8.24)		弁理士 恩田 博宣
		(72) 発明者	海沼 一浩
			長野県長野市小島田町80番地 新光電気工業株式会社 内
		(72) 発明者	大宮 敏光
			長野県長野市小島田町80番地 新光電気工業株式会社 内

最終頁に続く

(54) 【発明の名称】 配線基板及び配線基板の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の主面と第2の主面とを有し、前記第1の主面と前記第2の主面とを貫通する開口部を有するコア基板と、

前記第1の主面に形成され、前記開口部を覆う第1の導電膜と、

前記第2の主面に形成され、前記開口部を覆う第2の導電膜と、

前記開口部内に配置され、前記第1の導電膜と接続された電子部品と、

前記開口部内に充填された絶縁材と、

前記コア基板の第1主面と前記第1の導電膜を覆い、絶縁層と配線層を積層して形成された第1の配線部と、

前記コア基板の第2主面と前記第2の導電膜を覆い、絶縁層と配線層を積層して形成された第2の配線部と、

を有し、

前記第1の導電膜は、前記開口部及び前記絶縁材を覆うとともに前記絶縁材から露出する前記電子部品の接続端子の表面全体を被覆し該接続端子に電氣的に接続された電極部と、前記電極部の周縁部を前記第1の主面に接続する接続部とを有し、

前記第2の導電膜は、前記開口部及び前記絶縁材の全体を覆う被覆部と、前記被覆部の周縁部の全周を前記第2の主面に接続する接続部とを有することを特徴とする配線基板。

【請求項2】

前記第1の導電膜の電極部は、前記電子部品の接続端子に対応して複数の部分に分割さ

れ、前記接続部は、分割された部分のそれぞれを前記コア基板の第 1 の主面に接続すること、を特徴とする請求項 1 に記載の配線基板。

【請求項 3】

前記コア基板の前記第 1 の主面と前記第 2 の主面とを貫通して形成され、前記第 1 の配線部に含まれる配線層と前記第 2 の配線部に含まれる配線層とを電氣的に接続するスルーホールを有することを特徴とする請求項 1 又は 2 に記載の配線基板。

【請求項 4】

前記スルーホールは、内部に絶縁材が充填されてなることを特徴とする請求項 3 に記載の配線基板。

【請求項 5】

前記第 1 の配線部は、前記第 1 の配線部の表面に、搭載される半導体チップと接続される電極を含み、

前記第 2 の配線部は、前記第 2 の配線部の表面に、他の基板と接続される接続用パッドを含むこと

を特徴とする請求項 1 ~ 4 のうちの何れか一項に記載の配線基板。

【請求項 6】

電子部品を内蔵するコア基板の両面にそれぞれ絶縁層と配線層を積層して形成された第 1 及び第 2 の配線部を有する配線基板の製造方法であって、

第 1 の主面と第 2 の主面とに第 1 導電層を有するコア基板に、前記第 1 の主面と前記第 2 の主面とを貫通する開口部を形成する工程と、

前記開口部を覆うフィルムを前記第 1 の主面に貼付する工程と、

前記開口部内に前記電子部品を配置し前記フィルムに固定する工程と、

前記開口部に絶縁材を充填する工程と、

前記フィルムを剥離する工程と、

前記絶縁材と前記第 1 導電層とを覆う第 2 導電層を形成する工程と、

前記第 1 導電層と前記第 2 導電層とをエッチングし、前記開口部及び前記絶縁材を覆うとともに前記絶縁材から露出する前記電子部品の接続端子の表面全体を被覆し該接続端子に電氣的に接続された電極部と、前記電極部の周縁部を前記コア基板の第 1 の主面に接続する接続部とを有する第 1 の導電膜と、前記開口部及び前記絶縁材の全体を覆う被覆部と、

前記被覆部の周縁部の全周を前記コア基板の第 2 の主面に接続する接続部とを有する第 2 の導電膜を形成する工程と、

を含むことを特徴とする配線基板の製造方法。

【請求項 7】

前記第 1 の導電膜の電極部を、前記電子部品の接続端子に応じて複数部分に分割したことを特徴とする請求項 6 に記載の配線基板の製造方法。

【請求項 8】

前記コア基板に貫通孔を形成する工程と、

前記貫通孔の内面にめっきを形成する工程と、

を含み、

前記開口部に前記絶縁材を充填する工程において、前記貫通孔内に絶縁材を充填すること

を特徴とする請求項 6 又は 7 に記載の配線基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

配線基板及び配線基板の製造方法に関する。

【背景技術】

【0002】

従来、半導体チップなどの電子部品を内蔵した配線基板が知られている（例えば、特許文献 1 参照）。配線基板は、平板状のコア材と、コア材の表面側及び裏面側に形成された

10

20

30

40

50

ビルドアップ層を有している。コア材には、貫通孔が形成され、その貫通孔内に電子部品が配置されている。貫通孔は、樹脂等の絶縁材により充填されている。電子部品は、ビルドアップ層に形成されたビアを介して、ビルドアップ層内の配線と電氣的に接続される。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2007-258541号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、コア材、コア材の貫通孔に充填された絶縁材、貫通孔内に配置された電子部品には、製造過程において熱が加わる。すると、各部材の熱膨張率の差により、ビルドアップ層に歪みを生じさせる場合がある。このようなビルトアップ層の歪みは、ビルドアップ層の亀裂、剥離や配線等の断線等の破損の要因となる。

【課題を解決するための手段】

【0005】

本発明の一観点によれば、第1の主面と第2の主面とを有し、前記第1の主面と前記第2の主面とを貫通する開口部を有するコア基板と、前記第1の主面に形成され、前記開口部を覆う第1の導電膜と、前記第2の主面に形成され、前記開口部を覆う第2の導電膜と、前記開口部内に配置され、前記第1の導電膜と接続された電子部品と、前記開口部に充填された絶縁材と、前記コア基板の第1主面と前記第1の導電膜を覆い、絶縁層と配線層を積層して形成された第1の配線部と、前記コア基板の第2主面と前記第2の導電膜を覆い、絶縁層と配線層を積層して形成された第2の配線部と、を有し、前記第1の導電膜は、前記開口部及び前記絶縁材を覆うとともに前記絶縁材から露出する前記電子部品の接続端子の表面全体を被覆し該接続端子に電氣的に接続された電極部と、前記電極部の周縁部を前記第1の主面に接続する接続部とを有し、前記第2の導電膜は、前記開口部及び前記絶縁材の全体を覆う被覆部と、前記被覆部の周縁部の全周を前記第2の主面に接続する接続部とを有する。

【発明の効果】

【0006】

本発明の一観点によれば、破損の低減を図ることが可能な配線基板及び配線基板の製造方法を提供することができる。

【図面の簡単な説明】

【0007】

【図1】(a)は配線基板の概略断面図、(b)～(d)は配線基板の一部平面図。

【図2】(a)～(e)は、配線基板の製造方法を示す概略断面図。

【図3】(a)～(e)は、配線基板の製造方法を示す概略断面図。

【図4】(a)～(d)は、配線基板の製造方法を示す概略断面図。

【図5】配線基板の概略断面図。

【図6】配線基板の概略断面図。

【図7】(a)～(e)は、配線基板の製造方法を示す概略断面図。

【図8】(a)～(e)は、配線基板の製造方法を示す概略断面図。

【図9】(a)～(d)は、配線基板の製造方法を示す概略断面図。

【図10】(a)～(c)は配線基板の一部平面図。

【図11】(a)～(c)は配線基板の一部平面図。

【発明を実施するための形態】

【0008】

以下、様々な実施形態を添付図面に従って説明する。

各形態において、同じ部材については同じ符号を付して説明する。

なお、添付図面は、構造の概略を説明するためのものであり、実際の大きさ、比率を表

10

20

30

40

50

していない。また、断面図では、各部材の断面構造を分かりやすくするために、絶縁層のハッチングを適宜省略している。

#### 【0009】

(第1の実施形態)

図1(a)に示すように、半導体チップ10は、配線基板20の第1の主面(図において上面)に搭載される。この配線基板20は、例えば、マザーボード等の基板に実装される。この配線基板20は、CPU等のチップを搭載する半導体パッケージ用の配線基板として使用することもできる。

#### 【0010】

配線基板20は、コア部21と、コア部21の上面側に形成された配線部22と、コア部21の下面側に形成された配線部23を有している。

コア部21は、コア基板31を有している。コア基板31は、例えば補強材であるガラスクロス(ガラス織布)にエポキシ樹脂を主成分とする熱硬化性の絶縁性樹脂を含浸させ硬化させた、いわゆるガラスエポキシ基板である。なお、コア基板31として、ガラスやアラミドの織布や不織布にエポキシ等の樹脂を含浸させた基板を用いてもよい。

#### 【0011】

コア基板31には、所定位置に上面(第1の主面)と下面(第2の主面)との間を貫通する複数の貫通孔31aが形成されている。貫通孔31a内には、コア基板31の上面と下面との間を貫通するスルーホール32が形成されている。スルーホール32は、貫通孔31aの内面に形成された筒状の貫通部32aと、コア基板31の上面及び下面に形成された環状のランド部32bと、ランド部32bを覆い、貫通部32aの開口を閉塞する配線部32cを有している。なお、図において、ランド部32bは2つの導電層である。スルーホール32の内部には、絶縁材33が充填されている。スルーホール32の材料は、例えば銅(Cu)である。絶縁材33は、スルーホール32(貫通部32a)内に充填可能な粘度を有する樹脂を、スルーホール32内に充填後に硬化して形成されている。絶縁材33に用いられる樹脂は、例えば、エポキシ樹脂、エポキシ樹脂及びアクリル樹脂である。

#### 【0012】

コア基板31は、上面と下面に開口する開口部31bを有している。即ち、開口部31bは、コア基板31を貫通している。開口部31bは、図1(b)に示すように、平面視矩形形状に形成されている。開口部31bは、コア基板31の上面側に形成された2つの配線34, 35により略覆われている。配線34, 35は、それぞれの先端が対向して配置されている。配線34の先端と配線35の先端の間隔は、例えば30 $\mu$ m~150 $\mu$ mである。配線34, 35は、第1の導電膜の一例である。2つの配線34, 35は、それぞれ電極部34a, 35aと接続部34b, 35bを有している。電極部34a, 35a及び接続部34b, 35bの材料は例えば銅である。

#### 【0013】

図1(c)に示すように、電極部34a, 35aは、それぞれ開口部31bの中央部分において先端が互いに対向し、開口部31bを略覆う矩形形状に形成されている。例えば、電極部34a, 35aは、それぞれ矩形形状に形成されている。電極部34a, 35aは、それぞれの端部を開口部31bの中央部分において対向するように配置されている。また、電極部34a, 35aは、それぞれ開口部31bの上方から、コア基板31の上面に係るように形成されている。図1(a)に示す接続部34bは、電極部34aをコア基板31の上面に接続するように形成されている。同様に、接続部35bは、電極部35aをコア基板31の上面に接続するように形成されている。なお、図1(a)において、接続部34b, 35bは、それぞれ2つの導電層である。

#### 【0014】

また、開口部31bは、コア基板31の下面側に形成された1つの配線36により覆われている。配線36は、第2の導電膜の一例である。この配線36は、被覆部36aと接続部36bを有している。被覆部36a及び接続部36bの材料は、上記配線34, 35

10

20

30

40

50

と同様に、例えば銅である。被覆部 3 6 a は、開口部 3 1 b よりも大きい矩形状に形成され、開口部 3 1 b を覆うように形成されている。接続部 3 6 b は、被覆部 3 6 a の周縁部全域をコア基板 3 1 の下面に接続するように、矩形棒状に形成されている。なお、接続部 3 6 b は、図 1 ( a ) において 2 つの導電層である。

【 0 0 1 5 】

コア基板 3 1 に形成された開口部 3 1 b の内面と、コア基板 3 1 の上面側の配線 3 4 , 3 5 と、コア基板 3 1 の下面側の配線 3 6 は、これらに囲まれた収容部 3 7 ( 図 1 ( b ) 参照 ) を形成する。この収容部 3 7 内には、チップキャパシタ 3 8 が収容されている。チップキャパシタ 3 8 は、電子部品の一例である。チップキャパシタ 3 8 は、直方体状のキャパシタ本体の長手方向の両端に形成された 2 つの接続端子 3 8 a , 3 8 b を有している。これら 2 つの接続端子 3 8 a , 3 8 b は、上記の 2 つの配線 3 4 , 3 5 ( 電極部 3 4 a , 3 5 a ) とそれぞれ接続されている。

10

【 0 0 1 6 】

収容部 3 7 内は、絶縁材 3 9 により充たされている。絶縁材 3 9 は、例えば、上記のスルーホール 3 2 内に充填された絶縁材 3 3 と同じ樹脂である。従って、この樹脂は、硬化前には、スルーホール 3 2 内に充填可能な粘度を有しているため、チップキャパシタ 3 8 を覆うように充填されている。

【 0 0 1 7 】

また、コア基板 3 1 の下面には、配線 4 0 が形成されている。配線 4 0 の材料は、例えば銅である。配線 4 0 は、複数の導電層 ( 図では 3 つの導電層 ) である。

20

コア部 2 1 の上面側に形成された配線部 2 2 は、複数の絶縁層 5 1 ~ 5 3 と、複数の配線層 6 1 ~ 6 3 を含む。絶縁層 5 1 , 配線層 6 1 , 絶縁層 5 2 , 配線層 6 2 , 絶縁層 5 3 , 配線層 6 3 は、この順番でコア部 2 1 の上面側に積層されている。絶縁層 5 1 ~ 5 3 の材料は、例えばエポキシ系の絶縁樹脂である。配線層 6 1 ~ 6 3 の材料は、例えば銅である。

【 0 0 1 8 】

図 1 ( d ) に示すように、配線層 6 1 は、絶縁層 5 1 を貫通するビア 6 4 を介して配線 3 4 , 3 5 , スルーホール 3 2 ( 図 1 ( a ) 参照 ) と接続されている。同様に、配線層 6 2 は、絶縁層 5 2 を貫通するビア 6 5 を介して配線層 6 1 と接続され、配線層 6 3 は、絶縁層 5 3 を貫通するビア 6 6 を介して配線層 6 2 と接続されている。最外層の絶縁層 5 3 及び配線層 6 3 は、レジスト膜 5 4 により被覆されている。レジスト膜 5 4 には、所定位置に開口 5 4 a が形成されている。開口 5 4 a により露出する配線層 6 3 は、半導体チップ 1 0 を接続する電極 6 3 a である。

30

【 0 0 1 9 】

同様に、コア部 2 1 の下面側に形成された配線部 2 3 は、複数の絶縁層 7 1 ~ 7 3 と、複数の配線層 8 1 ~ 8 3 を含む。絶縁層 7 1 , 配線層 8 1 , 絶縁層 7 2 , 配線層 8 2 , 絶縁層 7 3 , 配線層 8 3 は、この順番でコア部 2 1 の下面側に積層されている。絶縁層 7 1 ~ 7 3 の材料は、例えばエポキシ系の絶縁樹脂である。配線層 8 1 ~ 8 3 の材料は、例えば銅である。

【 0 0 2 0 】

配線層 8 1 は、絶縁層 7 1 を貫通するビア 8 4 を介して配線 4 0 , スルーホール 3 2 と接続されている。同様に、配線層 8 2 は、絶縁層 7 2 を貫通するビア 8 5 を介して配線層 8 1 と接続され、配線層 8 3 は、絶縁層 7 3 を貫通するビア 8 6 を介して配線層 8 2 と接続されている。最外層の絶縁層 7 3 及び配線層 8 3 は、レジスト膜 7 4 により被覆されている。レジスト膜 7 4 には、所定位置に開口 7 4 a が形成されている。開口 7 4 a により露出する配線層 8 3 は、外部接続用パッド 8 3 a である。

40

【 0 0 2 1 】

半導体チップ 1 0 のパンプ 1 1 は、電極 6 3 a に接続される。半導体チップ 1 0 と配線基板 2 0 との間には、アンダーフィル樹脂 1 2 が充填される。このアンダーフィル樹脂 1 2 は、電極 6 3 a とパンプ 1 1 との接続強度を向上させる。アンダーフィル樹脂 1 2 の材

50

料は、例えばエポキシ樹脂である。外部接続用パッド83aは、図示しないが、バンブ（はんだボール等）を介して実装基板のパッドと接続される。

#### 【0022】

次に、配線基板20の作用を説明する。

上記の配線基板20において、チップキャパシタ38は、開口部31b内に配置され、絶縁材39により覆われている。この絶縁材39は、コア基板31の上面側に配置された配線34, 35により略覆われている。また、絶縁材39は、コア基板31の下面側に配置された配線36により覆われている。したがって、この絶縁材39は、スルーホール32内に充填された絶縁材33と同様に、金属膜である配線34~36により覆われている。コア基板31の熱膨張率（CTE：Coefficient of Thermal Expansion）と絶縁材39の熱膨張率は互いに異なる場合がある。このような場合であっても、コア基板31の熱膨張率と絶縁材39の熱膨張率との差が配線部22, 23に与える影響は、配線34~36により緩和される。このため、コア基板31や、配線部22, 23に亀裂や剥離等の発生が抑制される。

10

#### 【0023】

次に、配線基板20の製造方法を説明する。

まず、図2(a)に示すように、上下の両主面に導電層101を有するコア基板31を用意する。導電層101は、例えば銅箔等の銅（Cu）である。次いで、図2(b)に示すように、コア基板31に貫通孔31aを形成する。貫通孔31aの形成には、例えばレーザ加工機やドリル機を用いることができる。例えば、レーザ加工機により貫通孔31aを形成した場合、デスマリア処理を行い、貫通孔31a内に残留する樹脂スミア等を除去する。デスマリア処理として、例えば過マンガン酸カリウム等を用いることができる。次いで、図2(c)に示すように、貫通孔31aの内面にスルーホール32（貫通部32a）を形成し、コア基板31の上面及び下面に導電層102を形成する。スルーホール32（貫通部32a）及び導電層102は、例えば、無電解銅めっきと電解銅めっきをこの順に施して形成される。次いで、図2(d)に示すように、コア基板31に開口部31bを形成する。開口部31bの形成には、例えば、パンチングプレス装置、ドリル機、ルータ機を用いることができる。次いで、図2(e)に示すように、コア基板31の一方の面（図において下面）に、粘着性フィルム103を貼着する。

20

#### 【0024】

次いで、図3(a)に示すように、マウンタを用いて、コア基板31に開口部31b内において、粘着性フィルム103上にチップキャパシタ38を搭載する。次いで、図3(b)に示すように、スルーホール32（貫通部32a）と開口部31bに絶縁材33, 39を充填する。絶縁材33, 39の材料は、例えば、エポキシ樹脂、又はアクリル樹脂及びエポキシ樹脂である。絶縁材33, 39の充填には、例えば、減圧下（例えば、真空雰囲気）において、マスクスクリーンとスキージを用いた印刷法が用いられる。このように、スルーホール32と開口部31bとに同時に絶縁材33, 39を充填することで、互いに異なる工程で充填する場合と比べ、工程数が少なくなり、製造に要する時間を短縮することが可能となる。次いで、図3(c)に示すように、粘着性フィルム103を剥離する。これにより、接続端子38a, 38bにおいて、粘着性フィルム103が披着していた部分が露出する。次いで、図3(d)に示すように、絶縁材33, 39の表面を、導電層102の表面と略面一となるように研磨する。これにより、接続端子38a, 38bの表面（図3(d)において下面）が、絶縁材39の表面に露出する。絶縁材33, 39の研磨には、パフ研磨又はブラスト処理が用いられる。次いで、デスマリア処理を行い、表面の残留物を除去する。次いで、図3(e)に示すように、上面及び下面に導電層104を形成する。導電層104は、例えば、無電解銅メッキと電解銅めっきをこの順に施して形成される。この導電層104により、絶縁材33, 39及び導電層102が覆われる。そして、チップキャパシタ38の接続端子38a, 38b表面は導電層104により覆われる。従って、導電層104は、接続端子38a, 38bに接続される。

30

40

#### 【0025】

50

次いで、図4(a)に示すように、導電層101, 102, 104を所定形状にエッチングでパターンニングして、配線34, 35, 36等を形成する。配線34~36等は、例えばサブトラクティブ法を用いて形成される。これらの配線34~36により、絶縁材39が収容された開口部31bは、蓋がされた状態となる。次いで、図4(b)に示すように、絶縁層51, 71を形成し、その絶縁層51, 71にビアのための開口51a, 71aを形成する。なお、図4(b)以降の工程において、図4(a)以前の工程に対して、上下を反転して示している。開口51a, 71aの形成には、例えばレーザー加工機を用いることができる。そして、デスミア処理を行い、レーザー加工による樹脂スミア等を除去する。次いで、図4(c)に示すように、ビア64, 84及び配線層61, 81を形成する。ビア64, 84及び配線層61, 81は、例えば、セミアディティブ法により、無電解銅めっき、電解銅めっきにより形成される。同様に、図4(d)に示すように、絶縁層52, 72、ビア65, 85、配線層62, 82、絶縁層53, 73、ビア66, 86、配線層63, 83を形成する。このように、配線部22, 23を形成する。次いで、絶縁層53及び配線層63の上側にレジスト膜54を形成し、そのレジスト膜54に開口54aを形成して配線層63の一部を電極63aとして露出させる。同様に、絶縁層73及び配線層83の下側にレジスト膜74を形成し、そのレジスト膜74に開口74aを形成して配線層83の一部を外部接続用パッド83aとして露出させる。レジスト膜54, 74は、例えばエポキシ樹脂系等の感光性樹脂のソルダレジストフィルムをラミネートし、このレジストを所要の形状にパターンニングして形成される。

#### 【0026】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) コア基板31は、チップキャパシタ38を搭載する開口部31bを有し、この開口部31b内には絶縁材39によりチップキャパシタ38が埋設される。絶縁材39は、コア基板31の上面側に形成された配線34, 35により略被覆されている。また、絶縁材39は、コア基板31の下面側に形成された配線36により被覆されている。したがって、絶縁材39の熱膨張率と、コア基板31の熱膨張率の差による影響は、配線部22, 23に影響し難い。従って、コア基板31や配線部22, 23における亀裂の発生や剥離の発生を抑制することができる。

#### 【0027】

(2) 開口部31b内に充填する絶縁材39は、スルーホール32に充填する絶縁材33と同じ材料を用いることができる。したがって、開口部31b内の絶縁材39と、スルーホール32内の絶縁材33を、同じ工程において充填することができる。このため、スルーホール32内の絶縁材と開口部31b内の絶縁材とを別々の工程で充填する場合と比べ、工程数が少なくなり、製造に要する時間を短縮することが可能となる。

#### 【0028】

(第2の実施形態)

図5に示すように、配線基板20aのコア部21aはコア基板31を含む。コア基板31に形成された開口部31bは、コア基板31の上面側に形成された1つの配線36により覆われている。また、開口部31bは、コア基板31の下面側に形成された2つの配線34, 35により覆われている。開口部31bの内面、上面側の配線36、下面側の配線34, 35により囲まれた収容部37はチップキャパシタ38を収容する。チップキャパシタ38の接続端子38a, 38bは、コア基板31の下面側に形成された配線34, 35に接続されている。そして、収容部37内は、絶縁材39により充たされている。

#### 【0029】

この配線基板20aは、上記第1の実施形態の配線基板20と同様に、配線34, 35, 36により上面と下面が覆われた絶縁材39を有している。チップキャパシタ38は、絶縁材39に埋設されている。この実施形態においても、コア基板31の熱膨張率と絶縁材39の熱膨張率との差が配線部22, 23に与える影響は、配線34, 35, 36により緩和される。このため、コア基板31や、配線部22, 23に亀裂や剥離等の発生を抑制することができる。

10

20

30

40

50

## 【 0 0 3 0 】

(第3の実施形態)

図6に示すように、配線基板20bのコア部21bは、コア基板31を含む。コア基板31には、所定位置に上面と下面との間を貫通する複数の貫通孔31aが形成されている。貫通孔31a内には、コア基板31の上面と下面との間を貫通するスルーホール91が形成されている。このスルーホール91は、内部が導電体(例えば銅)により充たされた、所謂フィールドビアスルーホールである。スルーホール91の形状は、貫通孔31aの形状に対応し、例えば円柱状に形成されている。

## 【 0 0 3 1 】

次に、上記の配線基板20bの製造方法を説明する。

先ず、図7(a)に示すように、上下の両主面に導電層101を有するコア基板31を用意する。導電層101は、例えば銅箔等の銅(Cu)である。次いで、図7(b)に示すように、コア基板31に貫通孔31aを形成する。貫通孔31aの形成には、例えばレーザ加工機やドリル機を用いることができる。例えば、レーザ加工機により貫通孔31aを形成した場合、デスマリア処理を行い、貫通孔31a内に残留する樹脂スミア等を除去する。デスマリア処理として、例えば過マンガン酸カリウム等を用いることができる。図7(c)に示すように、導電層102を形成する。導電層102は、例えば、無電解銅めっきと電解銅めっきをこの順に施して形成される。このとき、貫通孔31aの内面に無電解銅めっきにてシード層を形成し、シード層を電極とした電解銅めっきにより貫通孔31a内に導電層102を充填する。次いで、図7(d)に示すように、コア基板31に開口部31bを形成する。開口部31bの形成には、例えば、パンチングプレス装置、ドリル機、ルータ機を用いることができる。次いで、図7(e)に示すように、コア基板31の一方の面(図において下面)に、粘着性フィルム103を貼着する。

## 【 0 0 3 2 】

次いで、図8(a)に示すように、マウンタを用いて、コア基板31に開口部31b内において、粘着性フィルム103上にチップキャパシタ38を搭載する。次いで、図8(b)に示すように、開口部31bに絶縁材39を充填する。絶縁材39の材料は、例えば、エポキシ樹脂、又はアクリル樹脂及びエポキシ樹脂である。絶縁材39の充填には、例えば、減圧下(例えば、真空雰囲気)において、マスクスクリーンとスキージを用いた印刷法やフィルム充填法が用いられる。なお、半硬化状態のシート状の絶縁樹脂材料を、開口部31bを閉塞するように導電層102上に積層し、減圧下(例えば、真空雰囲気)で加熱・加圧し、開口部31b内に充填・硬化して、絶縁材39としてもよい。次いで、図8(c)に示すように、粘着性フィルム103を剥離する。次いで、図8(d)に示すように、絶縁材39の表面を、導電層102の表面と略面一となるように研磨する。絶縁材39の研磨には、パフ研磨又はブラスト処理が用いられる。次いで、デスマリア処理を行い、表面の残留物を除去する。次いで、図8(e)に示すように、上面及び下面に導電層104を形成する。導電層104は、例えば、無電解銅メッキと電解銅めっきをこの順に施して形成される。この導電層104により、絶縁材39と導電層102が覆われる。

## 【 0 0 3 3 】

次いで、図9(a)に示すように、導電層101, 102, 104を所定形状にエッチングでパターニングして、配線34, 35, 36等を形成する。配線34~36等は、例えばサブトラクティブ法を用いて形成される。次いで、図9(b)に示すように、絶縁層51, 71を形成し、その絶縁層51, 71に開口51a, 71aを形成する。なお、図9(b)以降の工程において、図9(a)以前の工程に対して、上下を反転して示している。開口51a, 71aの形成には、例えばレーザ加工機を用いることができる。そして、デスマリア処理を行い、レーザ加工による樹脂スミア等を除去する。次いで、図9(c)に示すように、ビア64, 84及び配線層61, 81を形成する。ビア64, 84及び配線層61, 81は、例えば、セミアディティブ法により、無電解銅めっき、電解銅めっきにより形成される。同様に、図9(d)に示すように、絶縁層52, 72、ビア65, 85、配線層62, 82、絶縁層53, 73、ビア66, 86、配線層63, 83を形成す

10

20

30

40

50

る。このように、配線部 2 2 , 2 3 を形成する。次いで、絶縁層 5 3 及び配線層 6 3 の上側にレジスト膜 5 4 を形成し、そのレジスト膜 5 4 に開口 5 4 a を形成して配線層 6 3 の一部を電極 6 3 a として露出させる。同様に、絶縁層 7 3 及び配線層 8 3 の下側にレジスト膜 7 4 を形成し、そのレジスト膜 7 4 に開口 7 4 a を形成して配線層 8 3 の一部を外部接続用パッド 8 3 a として露出させる。レジスト膜 5 4 , 7 4 は、例えばエポキシ樹脂系の感光性樹脂のソルダレジストフィルムをラミネートし、このレジストを所要の形状にパターンングして形成される。

#### 【 0 0 3 4 】

なお、本実施形態においても、図 5 に示す配線基板 2 0 a と同様に、コア基板 3 1 の上面側に 1 つの配線 3 6 を形成し、コア基板 3 1 の下面側に 2 つの配線 3 4 , 3 5 を形成してもよい。そして、コア基板 3 1 に形成した開口部 3 1 b 内にチップキャパシタ 3 8 配置し、そのチップキャパシタ 3 8 の接続端子 3 8 a , 3 8 b を配線 3 4 , 3 5 に電氣的に接続してもよい。

10

#### 【 0 0 3 5 】

以上記述したように、本実施の形態によれば、第 1 の実施形態の効果に加え、以下の効果を奏する。

( 3 ) コア基板 3 1 の上面と下面との間を貫通するスルーホール 9 1 は、コア基板 3 1 に形成された貫通孔 3 1 a にめっきを充填して形成されている。従って、コア基板 3 1 の開口部 3 1 b に充填する絶縁材 3 9 の材料は、スルーホール 9 1 に関わらずに選択することができる。従って、例えば絶縁材 3 9 の材料として、コア基板 3 1 の熱膨張率に近い熱膨張率の樹脂を用いることもでき、亀裂や剥離等の発生を抑制することができる。

20

#### 【 0 0 3 6 】

尚、上記各実施の形態は、以下の態様で実施してもよい。

- ・上記各実施形態において、配線部 2 2 , 2 3 の層数を適宜変更してもよい。
- ・配線基板 2 0 , 2 0 a , 2 0 b のコア基板 3 1 に形成した開口部 3 1 b にチップキャパシタ 3 8 を収容したが、チップ抵抗、インダクタ、半導体装置 ( L S I ) 等の電子部品を搭載するようにしてもよい。

#### 【 0 0 3 7 】

- ・収容部 3 7 に、2 つの接続端子 3 8 a , 3 8 b を有するチップキャパシタ 3 8 を収容したが、3 つ以上の端子を有するキャパシタなどの電子部品を収容してもよい。
- ・配線基板に複数のキャビティを形成して電子部品を搭載するようにしてもよい。1 つのキャビティ内に搭載する電子部品は 1 個に限らず、複数個の電子部品を搭載するようにしてもよい。また、1 つの配線基板に搭載する電子部品は 1 種類に限らず、複数種類の電子部品を搭載するようにしてもよい。

30

#### 【 0 0 3 8 】

例えば、図 1 0 ( a ) に示すように、コア基板 3 1 に形成した開口部 3 1 b 内には 2 つのチップキャパシタ 1 2 1 , 1 2 2 が配置されている。図示しないが、チップキャパシタ 1 2 1 , 1 2 2 は、開口部 3 1 b 内に充填された絶縁材 3 9 ( 例えば、図 1 ( a ) 参照 ) により埋設されている。このようにチップキャパシタ 1 2 1 , 1 2 2 が配置された開口部 3 1 b は、図 1 0 ( b ) に示すように、チップキャパシタ 1 2 1 , 1 2 2 の電極に対応する配線 1 3 1 , 1 3 2 , 1 3 3 , 1 3 4 により略覆われている。各配線 1 3 1 ~ 1 3 4 は、図 1 0 ( c ) に示すように、配線 1 3 1 ~ 1 3 4 を覆う絶縁層 5 1 の上面に形成された配線層 ( 図において紙面手前 ) 1 4 1 ~ 1 4 4 と、絶縁層 5 1 を貫通するビア 1 5 1 ~ 1 5 4 を介して電氣的に接続される。

40

#### 【 0 0 3 9 】

また、図 1 1 ( a ) に示すように、コア基板 3 1 に形成した開口部 3 1 b 内には 4 つのチップキャパシタ 1 2 1 , 1 2 2 , 1 2 3 , 1 2 4 が配置されている。図示しないが、チップキャパシタ 1 2 1 ~ 1 2 4 は、開口部 3 1 b 内に充填された絶縁材 3 9 ( 例えば、図 1 ( a ) 参照 ) により埋設されている。このようにチップキャパシタ 1 2 1 ~ 1 2 4 が配置された開口部 3 1 b は、図 1 1 ( b ) に示すように、チップキャパシタ 1 2 1 ~ 1 2 4

50

の電極に対応する配線 131 ~ 138 により略覆われている。各配線 131 ~ 138 は、図 11 (c) に示すように、配線 131 ~ 138 を覆う絶縁層 51 の上面に形成された配線層 (図において紙面手前) 141 ~ 148 と、絶縁層 51 を貫通するビア 151 ~ 158 を介して電氣的に接続される。

【0040】

尚、複数のチップキャパシタの配列方向等を適宜変更してもよい。例えば、図 11 (a) において、2つのチップキャパシタ 121, 122 を、それぞれの電極が1つの直線上 (図において左右方向に延びる直線上) となるように配置したが、各チップキャパシタ 121, 122 を図に示す位置に対して90度回転させて配置してもよい。

【符号の説明】

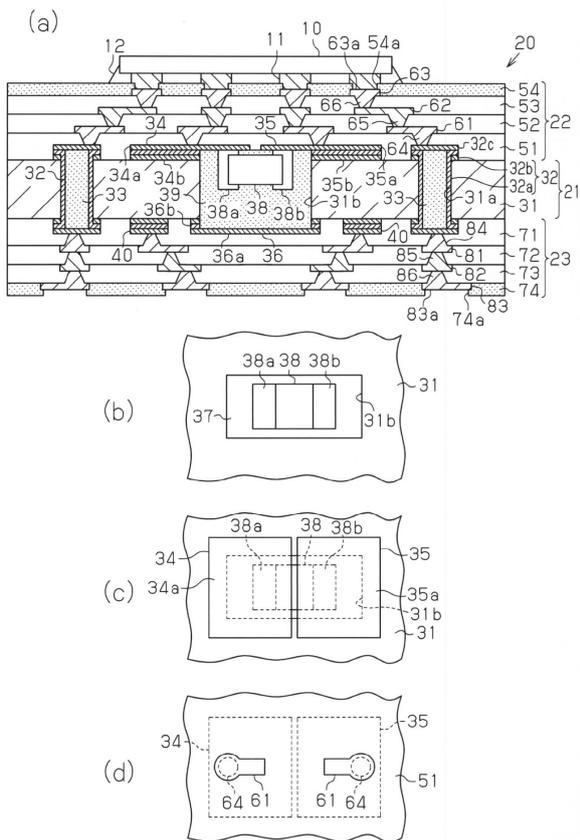
【0041】

- 20, 20a, 20b 配線基板
- 21 コア部
- 22, 23 配線部
- 31 コア基板
- 31b 開口部
- 32 スルーホール
- 33 絶縁材
- 34, 35 配線
- 36 配線
- 38 チップキャパシタ
- 39 絶縁材

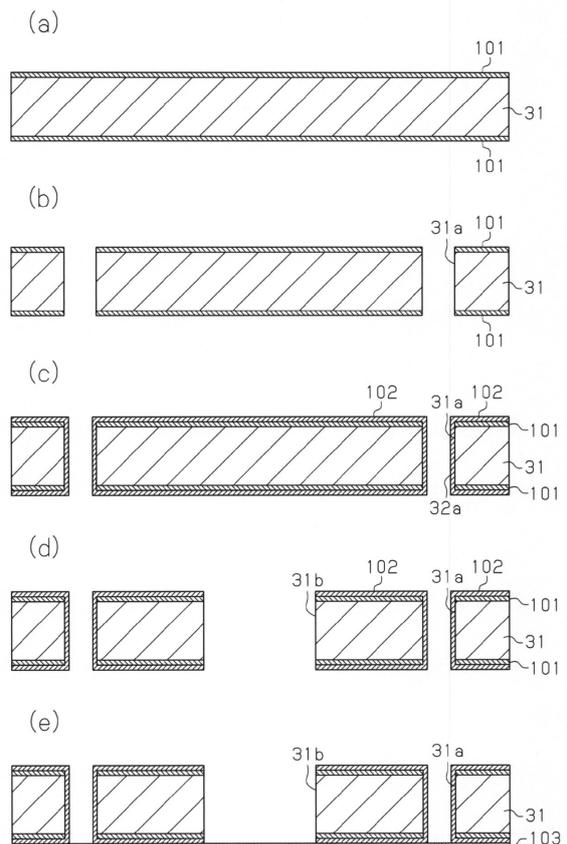
10

20

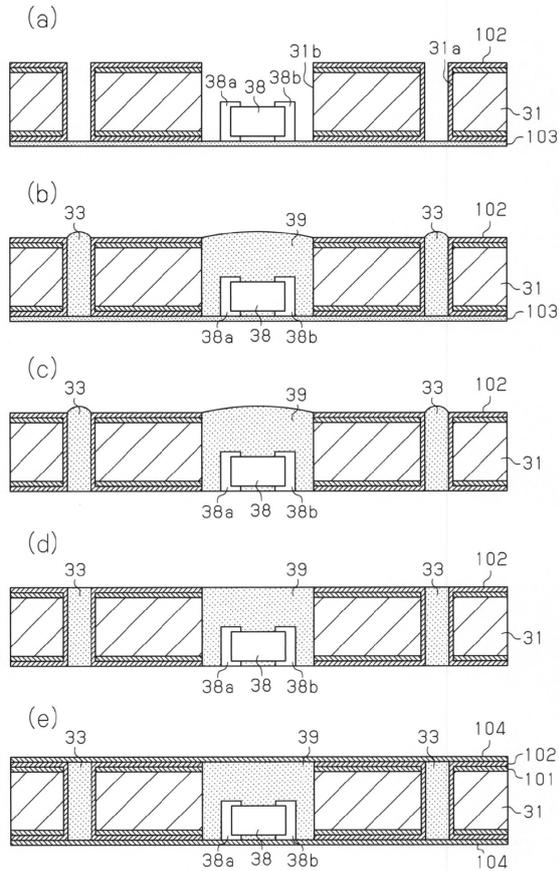
【図 1】



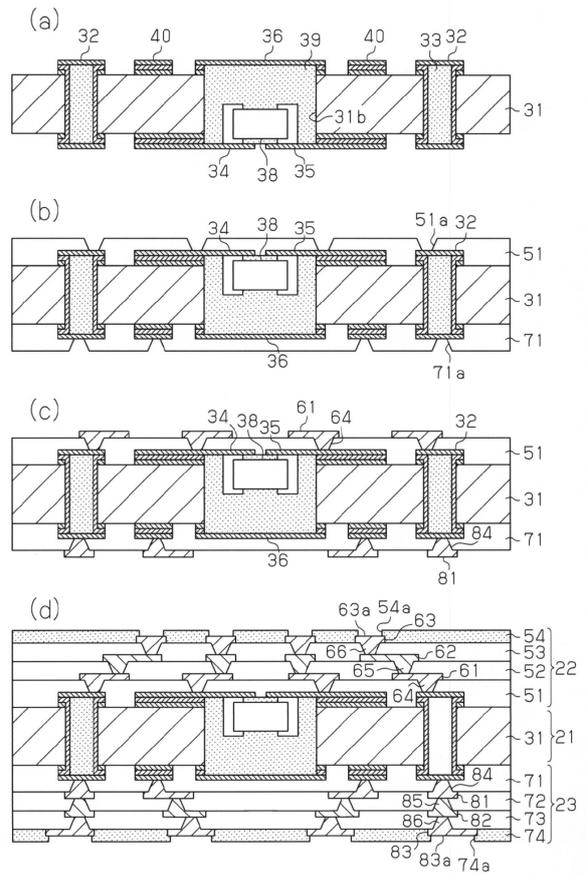
【図 2】



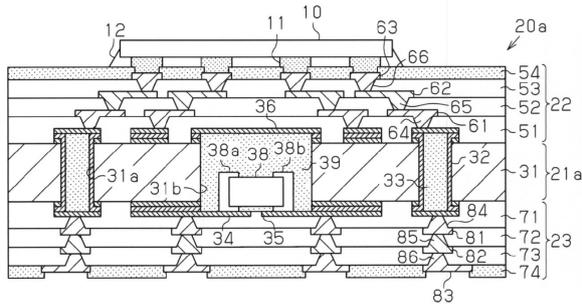
【図3】



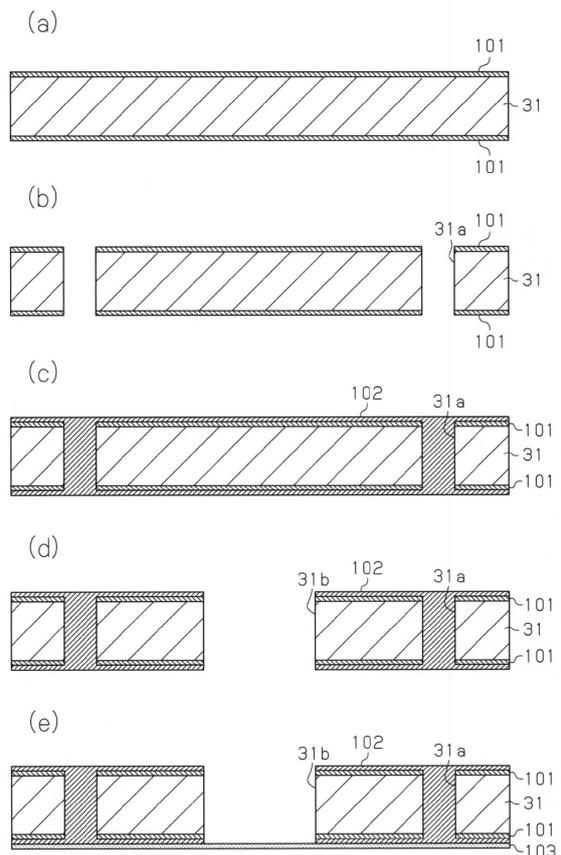
【図4】



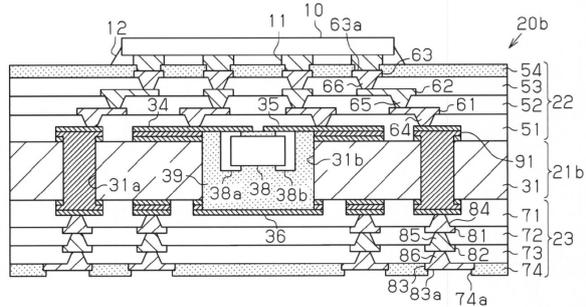
【図5】



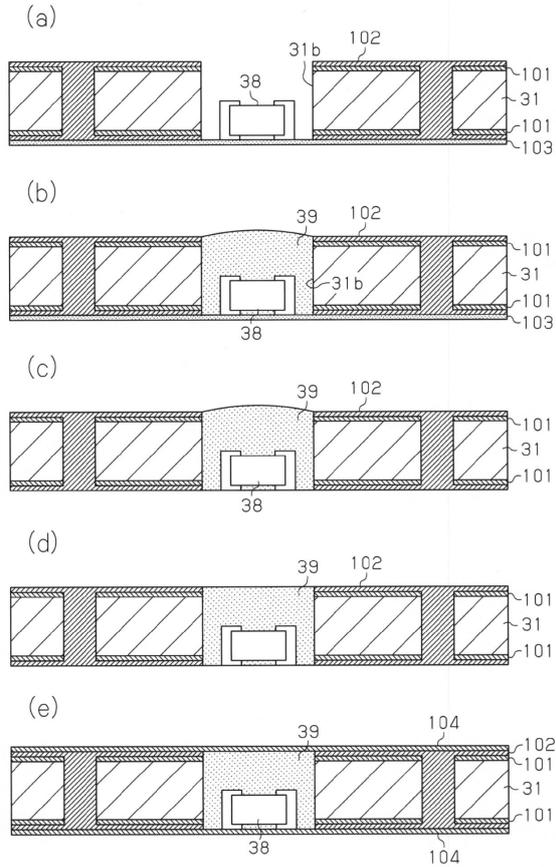
【図7】



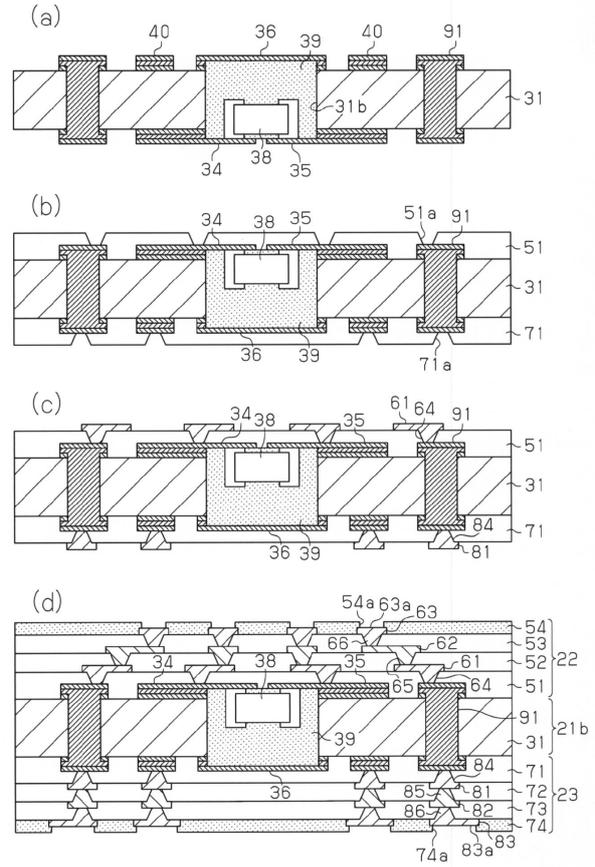
【図6】



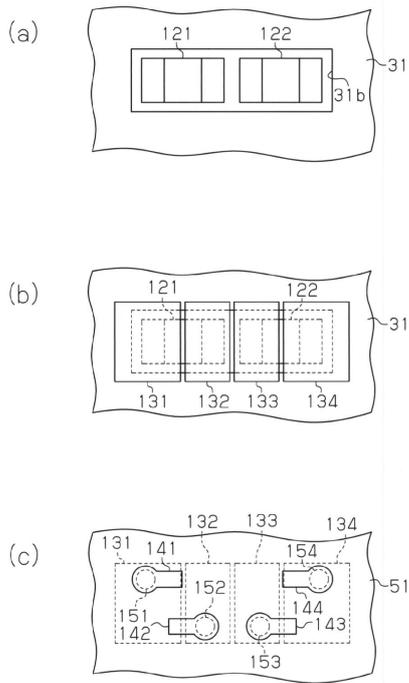
【図 8】



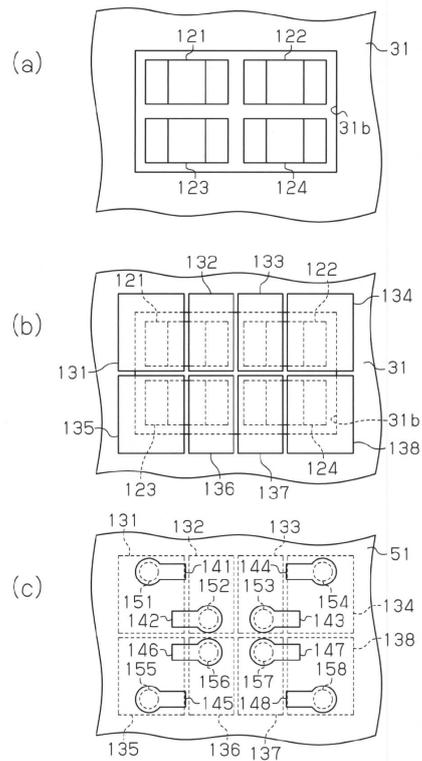
【図 9】



【図 10】



【図 11】



---

フロントページの続き

- (72)発明者 原 宏一  
長野県長野市小島田町80番地 新光電気工業 株式会社 内
- (72)発明者 佐藤 淳史  
長野県長野市小島田町80番地 新光電気工業 株式会社 内

合議体

- 審判長 阿部 利英  
審判官 中川 隆司  
審判官 小関 峰夫

- (56)参考文献 米国特許出願公開第2009/0249618(US, A1)  
特開2003-152317(JP, A)  
特開2007-5768(JP, A)  
特開2011-216740(JP, A)

- (58)調査した分野(Int.Cl., DB名)  
H05K3/46