

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-135158

(P2011-135158A)

(43) 公開日 平成23年7月7日(2011.7.7)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H03F 3/45 (2006.01)</b>	H03F 3/45 Z	2H193
<b>H03F 1/32 (2006.01)</b>	H03F 3/45 A	5C006
<b>G02F 1/133 (2006.01)</b>	H03F 1/32	5C080
<b>G09G 3/36 (2006.01)</b>	G02F 1/133 505	5J500
<b>G09G 3/20 (2006.01)</b>	G09G 3/36	

審査請求 未請求 請求項の数 6 O L (全 12 頁) 最終頁に続く

(21) 出願番号	特願2009-290542 (P2009-290542)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成21年12月22日 (2009.12.22)	(74) 代理人	100075812 弁理士 吉武 賢次
		(74) 代理人	100117787 弁理士 勝沼 宏仁
		(74) 代理人	100082991 弁理士 佐藤 泰和
		(74) 代理人	100096921 弁理士 吉元 弘
		(74) 代理人	100103263 弁理士 川崎 康
		(74) 代理人	100144967 弁理士 重野 隆之

最終頁に続く

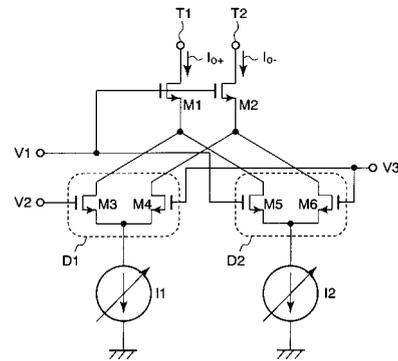
(54) 【発明の名称】 差動増幅回路、増幅回路及び液晶ディスプレイドライバ

(57) 【要約】 (修正有)

【課題】 差動対が線形領域で高精度に動作する差動増幅回路、増幅回路及びこの差動増幅回路を用いた液晶ディスプレイドライバを提供する。

【解決手段】 差動増幅回路は、入力電圧V1がゲート端子に与えられるトランジスタM1及びM2と、トランジスタM1、M2のソース端子に出力端が接続される差動対D1、D2と、差動対D1内のトランジスタM3、M4の共通ソース端子に電流を供給する可変電流源I1と、差動対D2内のトランジスタM5、M6の共通ソース端子に電流を供給する可変電流源I2と、を備え、トランジスタM3のゲート端子には入力電圧V2、トランジスタM5のゲート端子には入力電圧V1、トランジスタM4及びM6のゲート端子には入力電圧V3が与えられる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 の入力電圧がゲート端子に与えられ、導電型が同じである第 1 のトランジスタ及び第 2 のトランジスタと、

前記第 1 のトランジスタのソース端子にドレイン端子が接続され、ゲート端子に第 2 の入力電圧が与えられ、前記第 1 及び第 2 のトランジスタと同じ導電型である第 3 のトランジスタ、及び前記第 2 のトランジスタのソース端子にドレイン端子が接続され、ゲート端子に第 3 の入力電圧が与えられ、ソース端子が前記第 3 のトランジスタのソース端子と接続され、前記第 1 乃至第 3 のトランジスタと同じ導電型である第 4 のトランジスタを有する第 1 の差動対と、

前記第 1 のトランジスタのソース端子にドレイン端子が接続され、ゲート端子に前記第 1 の入力電圧が与えられ、前記第 1 乃至第 4 のトランジスタと同じ導電型である第 5 のトランジスタ、及び前記第 2 のトランジスタのソース端子にドレイン端子が接続され、ゲート端子に前記第 3 の入力電圧が与えられ、ソース端子が前記第 5 のトランジスタのソース端子と接続され、前記第 1 乃至第 5 のトランジスタと同じ導電型である第 6 のトランジスタを有する第 2 の差動対と、

前記第 3 のトランジスタのソース端子及び前記第 4 のトランジスタのソース端子に電流を供給する第 1 の可変電流源と、

前記第 5 のトランジスタのソース端子及び前記第 6 のトランジスタのソース端子に電流を供給する第 2 の可変電流源と、

を備える差動増幅回路。

## 【請求項 2】

前記第 1 乃至第 6 のトランジスタが N M O S トランジスタである場合、前記第 1 の入力電圧は前記第 2 の入力電圧より低く、前記第 1 乃至第 6 のトランジスタが P M O S トランジスタである場合、前記第 1 の入力電圧は前記第 2 の入力電圧より高いことを特徴とする請求項 1 に記載の差動増幅回路。

## 【請求項 3】

前記第 1 及び第 2 のトランジスタのドレイン端子に接続されたアクティブロードトランジスタと、

前記第 1 のトランジスタのドレイン端子に接続され、出力端子を有する出力段と、

をさらに備え、

前記第 4 のトランジスタのゲート端子及び前記第 6 のトランジスタのゲート端子が前記出力端子に接続されたボルテージフォロワ構成であることを特徴とする請求項 1 又は 2 に記載の差動増幅回路。

## 【請求項 4】

請求項 1 に記載の差動増幅回路であって、前記第 1 乃至第 6 のトランジスタが N M O S トランジスタであり、前記第 1 の差動対と前記第 1 の可変電流源との間に第 1 のスイッチが設けられ、前記第 2 の差動対と前記第 2 の可変電流源との間に第 2 のスイッチが設けられた第 1 の差動増幅回路と、

請求項 1 に記載の差動増幅回路であって、前記第 1 乃至第 6 のトランジスタが P M O S トランジスタであり、前記第 1 の差動対と前記第 1 の可変電流源との間に第 3 のスイッチが設けられ、前記第 2 の差動対と前記第 2 の可変電流源との間に第 4 のスイッチが設けられた第 2 の差動増幅回路と、

前記第 1 の差動増幅回路の出力電流と、前記第 2 の差動増幅回路の出力電流とを加算するレベルシフト回路と、

を備える増幅回路。

## 【請求項 5】

前記第 1 乃至第 3 の入力電圧のいずれかと前記 N M O S トランジスタの閾値電圧との差分が所定値以下の場合、前記第 1 及び第 2 のスイッチがオフされ、

前記第 1 乃至第 3 の入力電圧のいずれかと前記 P M O S トランジスタの閾値電圧との差

10

20

30

40

50

分が所定値以下の場合、前記第3及び第4のスイッチがオフされることを特徴とする請求項4に記載の増幅回路。

【請求項6】

複数の電圧を出力するデジタルアナログ変換器と、

前記複数の電圧のうちいずれか2つを選択する選択スイッチ回路と、

請求項1乃至3のいずれかに記載の差動増幅回路又は請求項4若しくは請求項5に記載の増幅回路を有し、前記選択された2つの電圧が供給され、当該2つの電圧の間の電圧値となる電圧を生成し、液晶ディスプレイパネルに設けられる複数の液晶セルに前記生成した電圧を印加するバッファアンプと、

を備える液晶ディスプレイドライバ。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、差動増幅回路、増幅回路及び液晶ディスプレイドライバに関するものである。

【背景技術】

【0002】

複数の差動対を有し、各差動対の入力端子が2つの入力電圧のいずれかと接続されるように切り替えることで、2つの入力電圧の間の電圧値を増幅回路に与えるDAC（デジタルアナログ変換器）付増幅回路が提案されている（例えば特許文献1参照）。例えば、2つの入力電圧 $V_1$ 、 $V_2$ （ $V_1 < V_2$ とする）が与えられ、増幅回路に電圧値 $V_1 + (V_2 - V_1) / 2$ を入力したい場合には、 $V_1$ と $V_2$ の影響が半々になるように、すなわち電圧 $V_1$ が入力される差動対と電圧 $V_2$ が入力される差動対が1対1となるように制御する。このような制御を行うことで、2つの入力電圧間の値を補完することができる。

20

【0003】

しかし、差動対が飽和領域で動作するため、差動対の非線形性から生じる歪により、差動対の比の通りに2つの入力電圧間の値が補完できず、DAC特性が劣化するという問題があった。特に2つの入力電圧の差分が大きいほど差動対の非線形性の影響は大きくなり、動作精度が低下した。

【0004】

また、この差動対の非線形性の影響を小さくするために非線形性を補正する回路を追加すると、回路面積や消費電流が増加するという問題があった。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2006-197532号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明は、差動対が線形領域で高精度に動作する差動増幅回路、増幅回路及びこの差動増幅回路を用いた液晶ディスプレイドライバを提供することを目的とする。

40

【課題を解決するための手段】

【0007】

本発明の一態様による差動増幅回路は、第1の入力電圧がゲート端子に与えられ、導電型が同じである第1のトランジスタ及び第2のトランジスタと、前記第1のトランジスタのソース端子にドレイン端子が接続され、ゲート端子に第2の入力電圧が与えられ、前記第1及び第2のトランジスタと同じ導電型である第3のトランジスタ、及び前記第2のトランジスタのソース端子にドレイン端子が接続され、ゲート端子に第3の入力電圧が与えられ、ソース端子が前記第3のトランジスタのソース端子と接続され、前記第1乃至第3のトランジスタと同じ導電型である第4のトランジスタを有する第1の差動対と、前記第

50

1のトランジスタのソース端子にドレイン端子が接続され、ゲート端子に前記第1の入力電圧が与えられ、前記第1乃至第4のトランジスタと同じ導電型である第5のトランジスタ、及び前記第2のトランジスタのソース端子にドレイン端子が接続され、ゲート端子に前記第3の入力電圧が与えられ、ソース端子が前記第5のトランジスタのソース端子と接続され、前記第1乃至第5のトランジスタと同じ導電型である第6のトランジスタを有する第2の差動対と、前記第3のトランジスタのソース端子及び前記第4のトランジスタのソース端子に電流を供給する第1の変電流源と、前記第5のトランジスタのソース端子及び前記第6のトランジスタのソース端子に電流を供給する第2の変電流源と、を備えるものである。

【0008】

10

本発明の一態様による増幅回路は、前記差動増幅回路であって、前記第1乃至第6のトランジスタがNMOSトランジスタであり、前記第1の差動対と前記第1の変電流源との間に第1のスイッチが設けられ、前記第2の差動対と前記第2の変電流源との間に第2のスイッチが設けられた第1の差動増幅回路と、前記差動増幅回路であって、前記第1乃至第6のトランジスタがPMOSトランジスタであり、前記第1の差動対と前記第1の変電流源との間に第3のスイッチが設けられ、前記第2の差動対と前記第2の変電流源との間に第4のスイッチが設けられた第2の差動増幅回路と、前記第1の差動増幅回路の出力電流と、前記第2の差動増幅回路の出力電流とを加算するレベルシフト回路と、を備えるものである。

【0009】

20

本発明の一態様による液晶ディスプレイドライバは、複数の電圧を出力するデジタルアナログ変換器と、前記複数の電圧のうちいずれか2つを選択する選択スイッチ回路と、前記差動増幅回路又は前記増幅回路を有し、前記選択された2つの電圧が供給され、当該2つの電圧の間の電圧値となる電圧を生成し、液晶ディスプレイパネルに設けられる複数の液晶セルに前記生成した電圧を印加するバッファアンプと、を備えるものである。

【発明の効果】

【0010】

本発明によれば、差動増幅回路内の差動対が線形領域で高精度に動作することができる。

【図面の簡単な説明】

30

【0011】

【図1】本発明の第1の実施形態に係る差動増幅回路の概略構成図である。

【図2】本発明の第2の実施形態に係る増幅回路の概略構成図である。

【図3】変電流源の構成の一例を示す図である。

【図4】変電流源の構成の一例を示す図である。

【図5】本発明の第3の実施形態に係る増幅回路の概略構成図である。

【図6】本発明の第4の実施形態に係る液晶表示装置の概略構成図である。

【図7】同第4の実施形態に係るカラムドライバの概略構成図である。

【発明を実施するための形態】

【0012】

40

以下、本発明の実施の形態を図面に基づいて説明する。

【0013】

(第1の実施形態) 図1に本発明の第1の実施形態に係る差動増幅回路の概略構成を示す。差動増幅回路は、トランジスタM1、M2、差動対D1、D2、変電流源I1及びI2を備える。差動対D1はトランジスタM3及びM4を有し、差動対D2はトランジスタM5及びM6を有する。トランジスタM1～M6は同じ導電型であり、ここではNMOSトランジスタであるとする。

【0014】

トランジスタM1のドレイン端子は出力端子T1に接続され、ソース端子は差動対D1内のトランジスタM3のドレイン端子及び差動対D2内のトランジスタM5のドレイン端

50

子に接続される。

【0015】

また、トランジスタM2のドレイン端子は出力端子T2に接続され、ソース端子は差動対D1内のトランジスタM4のドレイン端子及び差動対D2内のトランジスタM6のドレイン端子に接続される。

【0016】

トランジスタM1、M2のゲート端子には、入力電圧V1が与えられる。

【0017】

差動対D1内のトランジスタM3のソース端子及びトランジスタM4のソース端子は共に可変電流源I1に接続される。可変電流源I1は、トランジスタM3、M4の共通ソース端子に電流を供給する。トランジスタM3のゲート端子には、入力電圧V2が与えられる。トランジスタM4のゲート端子には入力電圧V3が与えられる。

10

【0018】

差動対D2内のトランジスタM5のソース端子及びトランジスタM6のソース端子は共に可変電流源I2に接続される。可変電流源I2は、トランジスタM5、M6の共通ソース端子に電流を供給する。トランジスタM5のゲート端子には、入力電圧V1が与えられる。トランジスタM6のゲート端子には入力電圧V3が与えられる。

【0019】

可変電流源I1、I2は、図示しない制御部により、電流値が変更される。

【0020】

電圧V1、V2、V3が近い値である（電圧値の差分が小さい）場合、トランジスタM3、M4のソース電圧は、電圧V2及びV3のうち高い方の電圧から、トランジスタM3、M4のゲートソース間電圧だけ低下した値となる。

20

【0021】

また、トランジスタM5、M6のソース電圧は、電圧V1及びV3のうち高い方の電圧から、トランジスタM5、M6のゲートソース間電圧だけ低下した値となる。

【0022】

また、トランジスタM3、M5のドレイン電圧は、トランジスタM1のソース電圧により決定され、トランジスタM4、M6のドレイン電圧は、トランジスタM2のソース電圧により決定される。トランジスタM1、M2のソース電圧は、トランジスタM1、M2のゲート電圧である入力電圧V1から、トランジスタM1、M2のゲートソース間電圧だけ低下した値である。

30

【0023】

このような条件下では差動対D1、D2内のトランジスタM3～M6は、ドレインソース間電圧が微小となるため、線形領域で動作する。

【0024】

トランジスタM3～M6が線形領域で動作している時に、可変電流源I1、I2の電流値を変化させることで、出力端子T1、T2からの出力電流 $I_{0+}$ 、 $I_{0-}$ の値を変えることができる。

【0025】

例えば、可変電流源I1の電流値の方が、可変電流源I2の電流値より大きい場合、トランジスタM3、M4からなる差動対D1に供給される電流の方が、トランジスタM5、M6からなる差動対D2に供給される電流より大きくなるため、入力電圧V1より入力電圧V2の方が出力電流 $I_{0+}$ 、 $I_{0-}$ への影響が大きくなる。

40

【0026】

一方、可変電流源I2の電流値の方が、可変電流源I1の電流値より大きい場合、トランジスタM5、M6からなる差動対D2に供給される電流の方が、トランジスタM3、M4からなる差動対D1に供給される電流より大きくなるため、入力電圧V2より入力電圧V1の方が出力電流 $I_{0+}$ 、 $I_{0-}$ への影響が大きくなる。

【0027】

50

このように、本実施形態に係る差動増幅回路は、入力電圧  $V_1$ 、 $V_2$  が出力電流  $I_{0+}$ 、 $I_{0-}$  に与える影響を変化させることができる。この時、トランジスタ  $M_3 \sim M_6$  は線形領域で動作しており、飽和領域で動作しているトランジスタを使用する場合よりも、線形に動作する入力電圧範囲を大きく取ることができるため、入力電圧  $V_1$ 、 $V_2$  の電圧差が大きい場合でも、精度良く動作することができる。また、差動対の非線形性を補正する回路を追加する必要がないため、回路面積や消費電流の増加を防止できる。

**【0028】**

入力電圧  $V_1$  が入力電圧  $V_2$  より高い場合、トランジスタ  $M_3$ 、 $M_4$  のソース電圧は、電圧  $V_2$  からトランジスタ  $M_3$ 、 $M_4$  のゲートソース間電圧だけ降下した電圧となり、トランジスタ  $M_3$ 、 $M_4$  のドレイン電圧は電圧  $V_1$  からトランジスタ  $M_1$ 、 $M_2$  のゲートソース間電圧だけ降下した電圧となる。

10

**【0029】**

トランジスタ  $M_1 \sim M_4$  のゲートソース間電圧がほぼ等しい場合、トランジスタ  $M_3$ 、 $M_4$  のドレインソース間電圧は  $V_1 - V_2$  となり、この電圧値がトランジスタ  $M_3$ 、 $M_4$  のドレインソース飽和電圧を超えると、トランジスタ  $M_3$ 、 $M_4$  は飽和領域で動作することになる。そのため、線形に動作する入力電圧範囲が減少し、電圧  $V_1$  と  $V_2$  の電圧差を大きくできなくなる。

**【0030】**

一方、入力電圧  $V_1$  が入力電圧  $V_2$  より低い場合は、上記のようなトランジスタ  $M_3$ 、 $M_4$  のドレインソース間電圧がドレインソース飽和電圧を超える状況は発生しない。線形に動作する入力電圧範囲を拡大できるため、電圧  $V_1$  と  $V_2$  の電圧差が大きい場合も、精度良く動作することができる。差動対をより確実に線形領域で動作させることが可能となるため、入力電圧  $V_1$  は、入力電圧  $V_2$  より低い電圧とすることが好ましい。

20

**【0031】**

上記実施形態では、トランジスタ  $M_1 \sim M_4$  が NMOS トランジスタの場合を例に説明を行ったが、トランジスタ  $M_1 \sim M_4$  を PMOS トランジスタにしてもよい。その場合、トランジスタ  $M_1$ 、 $M_2$  のゲート端子には、入力電圧  $V_1$ 、 $V_2$  のうち、高電圧の方が与えられる。

**【0032】**

(第2の実施形態) 図2に本発明の第2の実施形態に係る増幅回路の概略構成を示す。この増幅回路は、図1に示す上記第1の実施形態に係る差動増幅回路を入力段として使用し、トランジスタ  $M_7$ 、 $M_8$  からなるアクティブロード(能動負荷)と、トランジスタ  $M_9$  及び電流源  $I_3$  からなる出力段により A 級出力段を有する構成となっている。

30

**【0033】**

トランジスタ  $M_7$  のドレイン端子はトランジスタ  $M_1$  のドレイン端子及びトランジスタ  $M_9$  のゲート端子に接続される。トランジスタ  $M_8$  のドレイン端子は、トランジスタ  $M_2$  のドレイン端子、トランジスタ  $M_7$  及び  $M_8$  のゲート端子に接続される。トランジスタ  $M_9$  のソース端子はトランジスタ  $M_7$  及び  $M_8$  のソース端子に接続され、ドレイン端子は増幅回路の出力端子  $T_0$ 、電流源  $I_3$ 、トランジスタ  $M_4$  及び  $M_6$  のゲート端子に接続される。

40

**【0034】**

このような構成にすることで、図2に示す増幅回路は、2つの入力端子を持つボルテージフォロワ構成となる。通常の A 級出力段を用いた増幅回路を有するボルテージフォロワ構成は、入力電圧に対し、出力電圧がほぼ等しくなる。本実施形態に係る増幅回路は、可変電流源  $I_1$ 、 $I_2$  の電流値に応じて、以下のような出力電圧  $V_0$  を得ることができる。

**【0035】**

まず、可変電流源  $I_1$ 、 $I_2$  のうち、一方の電流値が 0、他方の電流値が  $I_{bias}$  ( $I_{bias}$  は 0 より大きい任意の電流値)である場合について考える。

**【0036】**

可変電流源  $I_1$  の電流値が 0 の時はトランジスタ  $M_3$ 、 $M_4$  の差動対が動作していない

50

状態となり、可変電流源 I 2 の電流値が 0 の時はトランジスタ M 5、M 6 の差動対が動作していない状態となる。入力電圧 V 1 が与えられる差動対と、入力電圧 V 2 が与えられる差動対のいずれか一方が動作していない状態であるため、出力電圧 V 0 は動作している差動対に与えられる入力電圧と等しくなる。

【 0 0 3 7 】

従って、可変電流源 I 1 の電流値が 0 の場合、出力電圧 V 0 は入力電圧 V 1 と等しくなり、可変電流源 I 2 の電流値が 0 の場合、出力電圧 V 0 は入力電圧 V 2 と等しくなる。

【 0 0 3 8 】

次に、可変電流源 I 1 の電流値 = 可変電流源 I 2 の電流値 = I b i a s の場合について考える。

【 0 0 3 9 】

増幅回路が理想的なボルテージフォロワとして動作していると、出力電圧 V 0 は、2 つの差動対の出力電流  $I_{o+}$ 、 $I_{o-}$  が等しくなる ( $I_{o+} = I_{o-}$ ) 点で安定する。この時の出力電圧 V 0 に与える入力電圧 V 1、V 2 の影響を求める。トランジスタ M 1、M 2 は共にゲート電圧 (V 1) が等しく、ドレイン電流 ( $I_{o+}$ 、 $I_{o-}$ ) も等しい。従って、トランジスタ M 1、M 2 のソース電圧  $V_{d+}$ 、 $V_{d-}$  も等しくなる。

【 0 0 4 0 】

トランジスタ M 3 ~ M 6 に流れる電流をそれぞれ  $I_3 \sim I_6$  とすると以下の数式 1、数式 2 が得られる。

【 数 1 】

$$I_{o+} = I_{o-}$$

【 数 2 】

$$I_3 + I_5 = I_4 + I_6$$

【 0 0 4 1 】

$I_3 \sim I_6$  は、線形領域で動作しているトランジスタ M 3 ~ M 6 のドレイン電流である。トランジスタ M 3、M 4 のソース電圧を  $V_{s1}$ 、トランジスタ M 5、M 6 のソース電圧を  $V_{s2}$ 、トランジスタ M 3 ~ M 6 の閾値電圧を  $V_{thn}$ 、電圧電流変換利得を  $\beta$  とすると、以下の数式 3 が得られる。

【 数 3 】

$$\begin{aligned} & \beta\{(V2 - V_{s1} - V_{thn})(V_{d+} - V_{s1}) - (V_{d+} - V_{s1})^2\} + \beta\{(V1 - V_{s2} - V_{thn})(V_{d+} - V_{s2}) - (V_{d-} - V_{s2})^2\} \\ & = \beta\{(V0 - V_{s1} - V_{thn})(V_{d-} - V_{s1}) - (V_{d-} - V_{s1})^2\} + \beta\{(V0 - V_{s2} - V_{thn})(V_{d-} - V_{s2}) - (V_{d-} - V_{s2})^2\} \end{aligned}$$

【 0 0 4 2 】

数式 3 を V 0 について求めると、以下の数式 4 が得られる。

【 数 4 】

$$V0 = \frac{V1 + V2}{2}$$

【 0 0 4 3 】

つまり、増幅回路は、電圧 V 1 と V 2 の中間値の電圧を出力することができる。

【 0 0 4 4 】

可変電流源 I 1 の電流値 = 可変電流源 I 2 の電流値の時に、出力電圧 V 0 は入力電圧 V 1、V 2 の中間値となるが、可変電流源 I 1、I 2 の電流値を調整することで、入力電圧 V 1、V 2 の間の電圧値であれば、任意の電圧値の出力電圧 V 0 を出力できる。

【 0 0 4 5 】

10

20

30

40

50

このように、上記第 1 の実施形態に係る差動増幅回路を入力段として用いた増幅回路をボルテージフォロワ構成とすると、2 つの可変電流源  $I_1$ 、 $I_2$  の電流値に応じて、2 つの入力電圧  $V_1$ 、 $V_2$  のうちいずれか一方と同じ電圧値となる電圧や、2 つの入力電圧  $V_1$ 、 $V_2$  の間の電圧値となる電圧を出力することができる。

【0046】

図 3 に可変電流源  $I_1$ 、 $I_2$  の一例を示す。可変電流源  $I_1$ 、 $I_2$  としてトランジスタを設け、そのゲートバイアス電圧  $V_{b1}$ 、 $V_{b2}$  を制御することで、電流値を変えることができる。

【0047】

また、図 4 に示すように、可変電流源  $I_1$ 、 $I_2$  を、一定のバイアス電圧  $V_b$  が与えられるトランジスタを 2 個設け、電流を流す経路をスイッチ  $S_{11}$  ~  $S_{14}$  で切り替えるような構成にしてもよい。また、トランジスタの個数を増やし、より細かく離散的に電流値を制御してもよい。

【0048】

(第 3 の実施形態) 図 5 に本発明の第 3 の実施形態に係る増幅回路の概略構成を示す。差動増幅回路 10 は NMOS トランジスタで構成され、図 1 に示す上記第 1 の実施形態に係る差動増幅回路にスイッチ  $S_1$ 、 $S_2$  を設けた構成となっている。差動増幅回路 20 は、図 1 に示す上記第 1 の実施形態に係る差動増幅回路を PMOS トランジスタで構成したものであり、スイッチ  $S_3$ 、 $S_4$  をさらに備える。スイッチ  $S_1$  ~  $S_4$  のオンオフ制御については後述する。

【0049】

レベルシフト回路 30 は差動増幅回路 10、20 により構成される入力段からの出力電流を加算する。レベルシフト回路 30 は出力段 40 に接続され、出力端子から電圧  $V_0$  が出力される。

【0050】

入力段が NMOS トランジスタと PMOS トランジスタで構成されているため、入力電圧  $V_1$  ~  $V_3$  が NMOS トランジスタの動作しない領域 (NMOS トランジスタの閾値電圧以下) の時は、PMOS トランジスタ側 20 が動作する。逆に、入力電圧  $V_1$  ~  $V_3$  が PMOS トランジスタの動作しない領域 (PMOS トランジスタの閾値電圧以上) の時は、NMOS トランジスタ側 10 が動作する。従って、増幅回路の入力電圧範囲を拡大することができる。

【0051】

入力電圧  $V_1$  ~  $V_3$  が全て NMOS トランジスタの閾値電圧に近い電圧値となっている場合を考える。可変電流源  $I_1$ 、 $I_2$  は図 3、図 4 に示すように、トランジスタにより構成される。また、トランジスタ  $M_1$ 、 $M_2$  のソース電圧  $V_{s1}$  と、トランジスタ  $M_3$ 、 $M_4$  のソース電圧  $V_{s2}$  は、入力電圧からトランジスタのゲートソース間電圧分降下していることを考えると、これらの電圧値はグランド電位に近い値となっている。この時、可変電流源  $I_1$ 、 $I_2$  を構成するトランジスタは、ドレインソース間電圧が微小となり、線形領域で動作していることが考えられる。

【0052】

更に、 $V_1 > V_3 > V_2$  という入力電圧条件では、電圧  $V_{s1}$  は電圧  $V_2$  からトランジスタ  $M_1$  のゲートソース間電圧分降下した電圧となり、電圧  $V_{s2}$  は電圧  $V_3$  からトランジスタ  $M_4$  のゲートソース間電圧分降下した電圧となる。従って、電圧  $V_{s1}$  と電圧  $V_{s2}$  との間には  $V_3 - V_2$  の電圧差が生じることになる。

【0053】

以上のような条件下では、線形領域で動作している可変電流源  $I_1$  と  $I_2$  のトランジスタのドレイン電圧に差分が生じることになる。可変電流源  $I_1$ 、 $I_2$  の電流値を制御することで、入力電圧  $V_1$  ~  $V_3$  の影響を出力電圧  $V_0$  に与える際に、可変電流源  $I_1$ 、 $I_2$  の電流値の比がドレイン電圧の差分により所望の比からずれることが考えられる。

【0054】

10

20

30

40

50

このような事態を避けるため、本実施形態では、図示しない制御部が、3つの入力電圧のうち少なくともいずれか1つを検出し、その電圧値がN M O Sトランジスタの閾値電圧付近（閾値電圧との差分が所定値以下）となる場合には、N M O Sトランジスタで構成した増幅回路10のスイッチS1、S2をオフする。また、制御部は、検出した電圧値がP M O Sトランジスタの閾値電圧近辺となる場合には、P M O Sトランジスタで構成した増幅回路20のスイッチS3、S4をオフする。

【0055】

このように、入力電圧V1～V3がN M O Sトランジスタの閾値電圧近辺の場合はN M O Sトランジスタで構成した差動対側の可変電流源I1、I2をカットオフし、入力電圧V1～V3がP M O Sトランジスタの閾値電圧近辺の場合はP M O Sトランジスタで構成した差動対側の可変電流源I3、I4をカットオフすることで、入力電圧V1～V3が出力電圧V0に与える影響を調整する可変電流源I1～I4の電流値の比を、所望の値にすることができる。

10

【0056】

（第4の実施形態）図6に本発明の第4の実施形態に係る液晶表示装置の概略構成を示す。液晶表示装置は、液晶ディスプレイパネル100、液晶ディスプレイパネル100を駆動するロウドライバ200及びカラムドライバ300を備える。液晶ディスプレイパネル100には、画素毎に、赤、緑、青の各色に対応したセル110がマトリクス状に設けられている。

20

【0057】

カラムドライバ300は、抵抗ストリングD/A変換器310、選択スイッチ回路320、及びバッファアンプ330を有する。バッファアンプ330は、液晶ディスプレイパネル100内のセル110の各列に対応するように複数設けられている。抵抗ストリングD/A変換器310の出力が、選択スイッチ回路320を介してバッファアンプ330でバッファされ、セル110に供給される。

【0058】

ロウドライバ200は、バッファアンプ330からの出力電圧をセル110の電極に印加するか否かを、スイッチSWのオンオフにより制御する。

【0059】

図7にカラムドライバ300の一部の拡大図を示す。バッファアンプ330には、図2に示す上記第2の実施形態に係る増幅回路や、図5に示す上記第3の実施形態に係る増幅回路を適用できる。図5の増幅回路を適用する場合、入力電圧V3 = 出力電圧V0となる。

30

【0060】

A + 1ビットのデータ（DATA[A : 0]）の下位Bビットがバッファアンプ330に与えられ、上位A - Bビットが選択スイッチ回路320に与えられる（A、Bは共に正の整数）。選択スイッチ回路320は、上位A - Bビットの値に基づいて、抵抗ストリングD/A変換器310から出力される複数の電圧のうちいずれか2つの電圧をバッファアンプ330に与える。バッファアンプ330は、下位Bビットの値に応じて出力電圧が調整される。例えば、下位Bビットの値に基づいて、図2における可変電流源I1、I2の電流値が制御される。

40

【0061】

抵抗ストリングD/A変換器310から、選択スイッチ回路320を介して、バッファアンプ330へ2つの入力電圧を与えると、バッファアンプ330は上記第1、第2の実施形態で説明したように、2つの入力電圧の間の値を出力することができる。バッファとして動作している増幅回路（バッファアンプ330）は、デジタルアナログ変換機能の一部を持つことができる。そのため、本来のD/A変換器310のビット数を削減することができ、カラムドライバ300の面積を低減することができる。

【0062】

また、バッファアンプ330内の差動対を構成するトランジスタ（図2におけるトラン

50

ジスタ M 3 ~ M 6 ) は線形領域で動作しているため、バッファアンプの 2 つの入力電圧の電圧差が大きい場合でも精度良く動作することができる。また、差動対の非線形性を補正する回路を追加する必要がないため、回路面積や消費電流の増加を防止できる。

【 0 0 6 3 】

このように、液晶ディスプレイパネル 1 0 0 を駆動するカラムドライバ 3 0 0 に上記実施形態に係る差動増幅回路を適用することで、カラムドライバ 3 0 0 の回路面積や消費電流の増加を抑制し、かつ D A C 特性の劣化を防止できる。

【 0 0 6 4 】

なお、本発明は上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。さらに、異なる実施形態にわたる構成要素を適宜組み合わせてもよい。

【 符号の説明 】

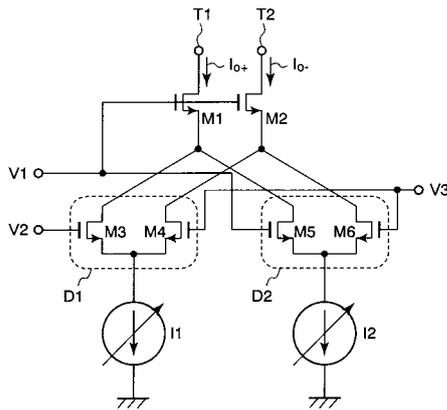
【 0 0 6 5 】

- D 1、D 2 差動対
- M 1 ~ M 9 トランジスタ
- I 1、I 2 可変電流源
- 1 0 0 液晶ディスプレイパネル
- 2 0 0 ロウドライバ
- 3 0 0 カラムドライバ

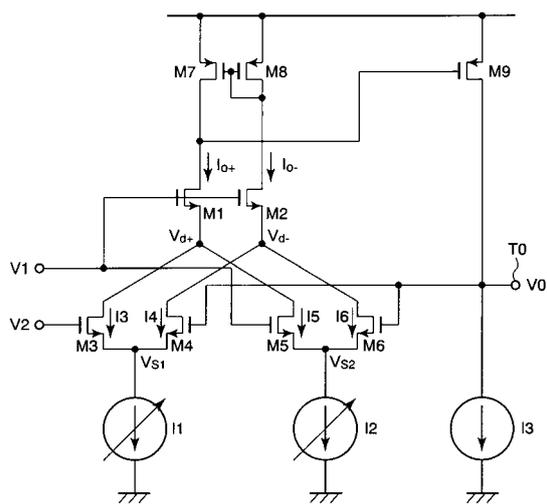
10

20

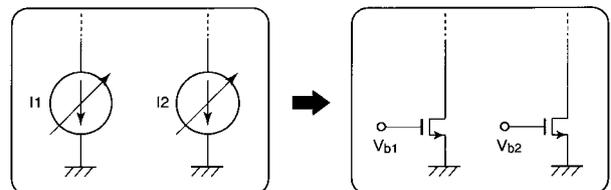
【 図 1 】



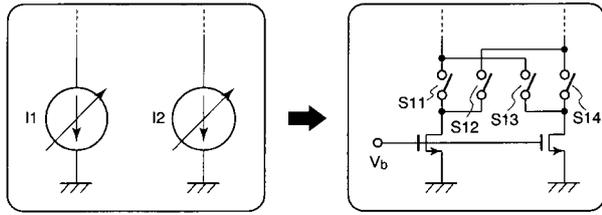
【 図 2 】



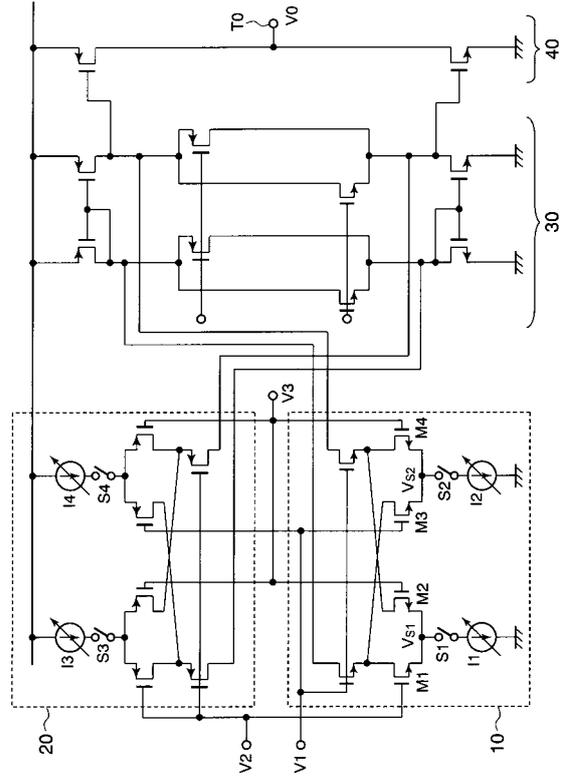
【 図 3 】



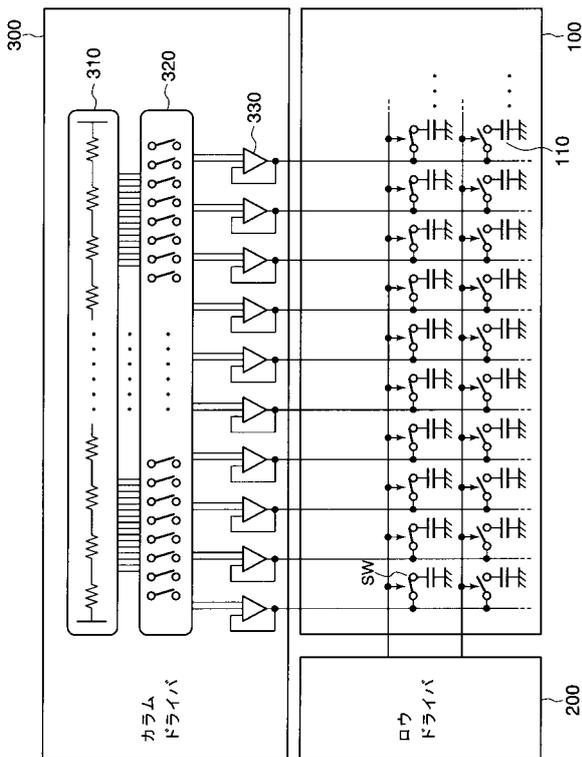
【 図 4 】



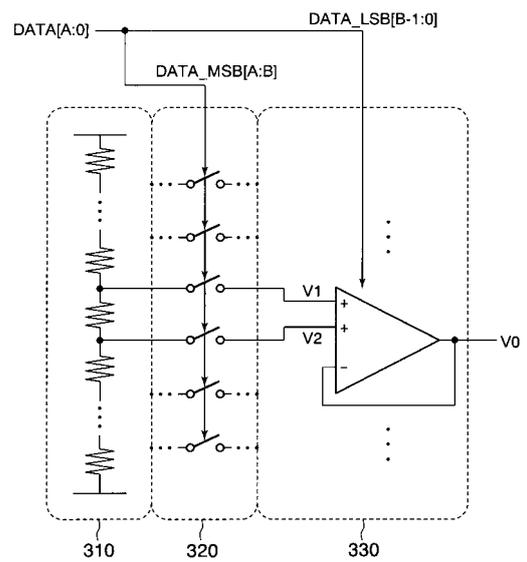
【 図 5 】



【 図 6 】



【 図 7 】



## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 3 B
	G 0 9 G 3/20	6 2 3 F
	G 0 9 G 3/20	6 2 3 R
	G 0 9 G 3/20	6 4 1 C

(72)発明者 伊 藤 類  
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 板 倉 哲 朗  
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 八 馬 雅 之  
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 2H193 ZA04 ZC24 ZD23 ZF18 ZF22 ZF34 ZF35  
5C006 AA16 AA22 AF83 BB16 BC06 BC13 BF25 BF34 BF42 BF46  
FA41 FA47 GA04  
5C080 AA10 BB05 CC03 DD01 DD22 DD27 EE29 EE30 JJ03  
5J500 AA01 AA12 AC21 AC36 AC92 AF02 AF09 AF15 AF18 AH10  
AH39 AK02 AK05 AK07 AK09 AK67 AM13 AS08 AT01 DN01  
DN14 DN22 DN28 NG01