

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5833481号
(P5833481)

(45) 発行日 平成27年12月16日 (2015.12.16)

(24) 登録日 平成27年11月6日 (2015.11.6)

(51) Int.Cl. F I
H04B 3/02 (2006.01) H04B 3/02

請求項の数 11 (全 8 頁)

(21) 出願番号	特願2012-63623 (P2012-63623)	(73) 特許権者	000004695 株式会社日本自動車部品総合研究所 愛知県西尾市下羽角町岩谷14番地
(22) 出願日	平成24年3月21日 (2012.3.21)	(73) 特許権者	000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
(65) 公開番号	特開2013-197938 (P2013-197938A)	(74) 代理人	110000567 特許業務法人 サトー国際特許事務所
(43) 公開日	平成25年9月30日 (2013.9.30)	(72) 発明者	鈴木 洋一朗 愛知県西尾市下羽角町岩谷14番地 株式会社日本自動車部品総合研究所内
審査請求日	平成26年12月3日 (2014.12.3)	(72) 発明者	前田 登 愛知県西尾市下羽角町岩谷14番地 株式会社日本自動車部品総合研究所内

最終頁に続く

(54) 【発明の名称】 受信装置

(57) 【特許請求の範囲】

【請求項1】

伝送線路(2)を介して送信された信号を受信する受信回路(18)と、
前記伝送線路に流れる電流を検知する電流検知部(16, 17, 22, 24~26)を備え、この電流検知部により検知される電流の変化に基づいて、前記受信回路が受信した信号の波形の立ち下がり時間を短縮するように入力インピーダンスを変化させるインピーダンス制御手段(19, 20, 28)とで構成されることを特徴とする受信装置。

【請求項2】

前記インピーダンス制御手段(19, 20)は、前記伝送線路に流れる電流が、前記受信回路に流入する方向から転じて流出を開始した際に、前記入力インピーダンスを変化させることを特徴とする請求項1記載の受信装置。

【請求項3】

前記インピーダンス制御手段(19, 20, 28)は、前記受信回路より流出する電流を消費するように、前記入力インピーダンスを変化させることを特徴とする請求項2記載の受信装置。

【請求項4】

前記インピーダンス制御手段(19, 20, 28)は、前記入力インピーダンスを、前記伝送線路のインピーダンスと整合させるように変化させることを特徴とする請求項1ないし3の何れか一項に記載の受信装置。

【請求項5】

前記伝送線路は、一对の信号線により差動信号を伝送するもので、

前記インピーダンス制御手段は、前記電流検知部の両端にソース、ゲートが接続され、ドレインが、前記電流検知部が挿入されている信号線とは異なる信号線に接続されるMOSFET(28)を備えて構成されることを特徴とする請求項1ないし4の何れか一項に記載の受信装置。

【請求項6】

前記伝送線路は、シングルエンド型であり、

前記インピーダンス制御手段は、前記電流検知部の両端にソース、ゲートが接続され、ドレインが、グランドに接続されるMOSFET(19)を備えて構成されることを特徴とする請求項1ないし4の何れか一項に記載の受信装置。

10

【請求項7】

前記インピーダンス制御手段は、前記MOSFETと直列に接続される抵抗素子(20)を備えて構成されることを特徴とする請求項5又は6記載の受信装置。

【請求項8】

前記電流検知部は、前記伝送線路に挿入される抵抗素子(16,17)で構成されることを特徴とする請求項1ないし7の何れか一項に記載の受信装置。

【請求項9】

前記電流検知部は、カレントトランス(22)で構成されることを特徴とする請求項1ないし7の何れか一項に記載の受信装置。

【請求項10】

20

前記電流検知部は、前記伝送線路に挿入され、互いに逆方向に接続されるそれぞれ1個以上のダイオード(24,26)を備えて構成されることを特徴とする請求項1ないし7の何れか一項に記載の受信装置。

【請求項11】

前記電流検知部は、前記ダイオードに直列に接続される抵抗素子(25)を備えて構成されることを特徴とする請求項10記載の受信装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、伝送線路を介して送信された信号を受信する受信回路の入力インピーダンスを変化させるように制御する受信装置に関する。

30

【背景技術】

【0002】

通信に使用される伝送線路は、線路長が長くなり、伝送線路に接続される通信ノードの数が増えるほど容量が増加する。そして、伝送線路において送信される信号の波形は、伝送線路に付帯する容量が増加すると、立ち上がり時間や立ち下がり時間に遅延を生じる。したがって、通信を成立させるには、線路長や接続ノード数を制限するか、若しくは伝送線路の途中に中継器を挿入して信号の遅延を抑制する必要がある。

【0003】

しかし、伝送線路に中継器を導入すればその分だけコストアップするため、それに替えて、受信ノード側で何らかの対策を施すことができれば望ましい。関連する技術として、例えば特許文献1には、受信側で実際に信号波形が変化する状態に応じて、波形歪みを抑制する機能を備えた受信装置が開示されている。

40

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-225138号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

50

しかしながら、特許文献 1 では、専ら信号波形のオーバーシュートやアンダーシュート、すなわち信号の反射を抑制することを目的としており、信号波形の立ち上がりや立ち下がりについて発生する遅延時間を抑制することについては、全く着目していない。

本発明は上記事情に鑑みてなされたものであり、その目的は、伝送線路において伝送される信号について発生する遅延を抑制できる受信装置を提供することにある。

【課題を解決するための手段】

【0006】

請求項 1 記載の受信装置によれば、インピーダンス制御手段は、電流検知部により検知される、伝送線路に流れる電流の変化に基づいて受信回路が受信した信号の波形の立ち下がり時間を短縮するように入力インピーダンスを変化させる。すなわち、極めて簡単な構成によって受信信号波形の立ち下がり時間を短縮できるので、中継器を使用することなく線路長を延ばしたり、通信ノードの最大接続数を増やすことが可能になる。

10

【図面の簡単な説明】

【0007】

【図 1】第 1 実施例であり、受信ノードの構成を示す図

【図 2】送信ノードの構成を示す図

【図 3】シミュレーションに使用したネットワーク構成を示す図

【図 4】シミュレーションによる受信信号波形の電圧波形を示す図

【図 5】同各部の電流波形を示す図

【図 6】第 2 実施例を示す図 1 相当図

20

【図 7】第 3 実施例を示す図 1 相当図

【図 8】第 4 実施例を示す図 1 相当図

【図 9】第 5 実施例を示す図 1 相当図

【図 10】第 6 実施例を示す図 1 相当図

【発明を実施するための形態】

【0008】

(第 1 実施例)

以下、本発明を一对の信号線により差動信号を伝送する通信ネットワークに適用した第 1 実施例について説明する。図 3 において、通信ネットワーク 1 は、複数の通信ノードが、ツイストペア線で構成される伝送線路 2 をなす本線 3 及び支線 4 を介して接続されている。本線 3 の図中左端には送信ノード 5 が接続され、右端には受信ノード 6 が接続され、本線 3 の途中には HUB 7 が挿入されている。送信ノード 5 と HUB 7 との間を接続する本線 3 a の線路長、並びに HUB 7 と受信ノード 6 との間を接続する本線 3 b の線路長は、何れも 16.5 m である。また、送信ノード 5、受信ノード 6 では 120 Ω の終端抵抗によって伝送線路 2 を終端している。

30

【0009】

また、HUB 7 には 6 本の支線 4 a ~ 4 f が接続されており、これらの一端には受信ノード 8 a ~ 8 f が接続されており、支線 4 の線路長は何れも 2 m である。そして、受信ノード 8 a ~ 8 f の 1 つである受信ノード 8 c を観測ノードとして、送信ノード 5 より送信した差動信号を観測ノード 8 c (受信装置) で受信した際の波形を、以下に述べる条件でシミュレーションした。

40

【0010】

図 2 において、電源 Vcc とグランドとの間には、P チャネル MOSFET 11、抵抗素子 12、N チャネル MOSFET 13 の直列回路が接続されている。N チャネル MOSFET 13 のゲートにはゲート駆動信号が直接与えられ、P チャネル MOSFET 11 のゲートには、ゲート駆動信号が NOT ゲート 14 を介して与えられる。本線 3 a をなす信号線 3 a H (Bus_high) は P チャネル MOSFET 11 のドレインに接続され、同信号線 3 a L (Bus_low) は N チャネル MOSFET 13 のドレインに接続されている。そして、抵抗素子 12 には、120 Ω の終端抵抗 15 が並列に接続されている。以上が送信ノード 5 を構成している。

50

【 0 0 1 1 】

図 1 において、支線 4 c をなす信号線 4 c H , 4 c L の間には、抵抗素子 1 6 , 1 7 を介して受信回路 1 8 が接続されている。但し、受信回路 1 8 は、シミュレーション上では所定容量のコンデンサとしてシミュレートしており、図中ではコンデンサのシンボルで示している。抵抗素子 1 6 (電流検知部, インピーダンス制御手段) の一端(信号線 4 c H 側)には P チャネル MOS F E T 1 9 (インピーダンス制御手段, 電圧駆動型スイッチング素子) のゲートが接続されており、他端(受信回路 1 8 側)には、P チャネル MOS F E T 1 9 のソースが接続されている。そして、P チャネル MOS F E T 1 9 のドレインは、抵抗素子 1 7 と受信回路 1 8 との共通接続点に接続されている。以上が観測ノード 8 c を構成している。

10

【 0 0 1 2 】

尚、受信回路 1 8 の容量は 2 5 0 p F とし、抵抗素子 1 6 及び 1 7 の抵抗値は 1 0 k としている。抵抗素子 1 7 は、信号線 4 c H 側に抵抗素子 1 6 を挿入したことでバランスを取るため信号線 4 c L 側に挿入している。また、P チャネル MOS F E T 1 9 の閾値電圧 V_{th} は例えば 1 . 5 V 程度であり、オン抵抗は、伝送線路 2 のインピーダンスである 1 2 0 Ω と等しくなるように設定している。

【 0 0 1 3 】

次に、本実施例の作用について図 4 及び図 5 も参照して説明する。送信ノード 5 において、ハイレベルパルスのゲート駆動信号を与えることで P チャネル MOS F E T 1 1 及び N チャネル MOS F E T 1 3 を同時にオンさせて差動信号を送信する。送信された信号が観測ノード 8 c に到達すると、受信回路 1 8 の容量を充電する。このとき、図 4 に示す電圧波形は立ち上がりを示す期間となる。

20

【 0 0 1 4 】

そして、送信ノード 5 が伝送線路 2 のドライブを停止すると、前記容量を充電した電荷が放電される。このとき、図 4 に示す電圧波形は立ち下がりを示す期間となり、抵抗素子 1 6 には、受信回路 1 8 側より信号線 4 c H の方向に電流が流れる。すると、P チャネル MOS F E T 1 9 のゲート電位がソース電位よりも低下して、電位差が閾値 V_{th} を超えることで P チャネル MOS F E T 1 9 がオンする。これにより、観測ノード 8 c の入力インピーダンスが低下し、伝送線路 2 のインピーダンスである 1 2 0 Ω に等しくなる。

【 0 0 1 5 】

図 4 において、実線で示す「対策あり」は観測ノード 8 c が P チャネル MOS F E T 1 9 を備えている場合の信号波形であり、破線で示す「対策なし」は観測ノード 8 c が P チャネル MOS F E T 1 9 を備えていない場合の信号波形である。両者の相違から明らかなように、「対策あり」の信号波形の立ち下がり時間は、「対策なし」の波形の立ち下がり時間よりも短くなっている。

30

【 0 0 1 6 】

また、図 5 は、図 4 の信号波形の変化に対応するもので、信号線 4 c H に流れる電流波形(丸数字の「1」)と、P チャネル MOS F E T 1 9 を介して流れる電流波形(丸数字の「2」)を示している。図 4 に示す電圧波形が立ち下がりに転じる瞬間に、P チャネル MOS F E T 1 9 が一瞬オンしてインパルス状の電流が流れる。この作用により、信号線 4 c H に流れる電流の一部が P チャネル MOS F E T 1 9 によって消費され、二点鎖線で示す信号線 4 c H に流れる電流のピークは、破線で示す「対策なし」の場合よりも低くなっている。

40

【 0 0 1 7 】

以上のように本実施例によれば、伝送線路 2 に接続される観測ノード 8 c において、抵抗素子 1 6 により検知される、伝送線路 2 の支線 4 c に流れる電流の変化に基づいて P チャネル MOS F E T 1 9 をオンさせ、受信回路 1 8 の容量を充電するように流入したものが流出に転じることで信号線 4 c H に流れる電流を P チャネル MOS F E T 1 9 により消費させ、受信信号波形の立ち下がり時間を短縮するように入力インピーダンスを変化させるようにした。

50

【 0 0 1 8 】

したがって、極めて簡単な構成によって受信信号波形の立ち下がり時間を短縮でき、中継器を使用することなく線路長を延ばしたり、通信ノードの最大接続数を増やすことが可能になる。また、PチャネルMOSFET 19がオンした際の抵抗が、伝送線路2のインピーダンスと等しくなるように設定したので、受信信号が支線4c側に極力反射させないようにして不要輻射ノイズが発生することを抑制できる。

【 0 0 1 9 】

(第2実施例)

以降、既に説明済みの構成と同一部分には同一符号を付して説明を省略し、異なる部分についてのみで説明する。第2実施例では、PチャネルMOSFET 19のドレインに抵抗素子20(インピーダンス制御手段)を挿入して、受信ノード21を構成している。このように構成すれば、PチャネルMOSFET 19のオン抵抗のみでは所望の抵抗値を得ることが困難な場合でも、抵抗素子20の抵抗値を変化させることで調整を容易に行うことができる。

10

【 0 0 2 0 】

(第3実施例)

第3実施例では、第1実施例の構成より抵抗素子16, 17を削除し、抵抗素子16に替えて、信号線4cHの電流変化をカレントトランス22(電流検知部, インピーダンス制御手段)によって検出し、前記電流変化に応じた電圧信号をPチャネルMOSFET 19のゲートに印加する。以上が受信ノード23を構成している。このように構成した場合も、受信信号波形の立ち下がり期間において受信回路18側より信号線4cH側に電流が流出すると、カレントトランス22がその電流変化を検出することでゲート電位を低下させてPチャネルMOSFET 19をオンさせることができる。

20

【 0 0 2 1 】

(第4実施例)

第4実施例では、第3実施例のカレントトランス22に替えて、信号線4cHにダイオード24(アノードが受信回路18側)及び抵抗素子25の直列回路を挿入し、この直列回路に並列に、ダイオード26をダイオード24とは逆方向となるように接続している(電流検知部, インピーダンス制御手段)。以上が受信ノード27を構成している。

【 0 0 2 2 】

このように構成すれば、受信信号波形の立ち上がり期間では、電流はダイオード26を介して受信回路18側に流入する。一方、上記波形の立ち上がり期間では、電流は受信回路18よりダイオード24を介して信号線4cH側に流出する。このとき、ダイオード24の順方向電圧 V_f と、抵抗素子25に発生する電圧降下分とを加えた電圧が閾値電圧 V_{th} を超えることでPチャネルMOSFET 19がオンする。

30

【 0 0 2 3 】

(第5実施例)

第5実施例は、第1実施例のPチャネルMOSFET 19をNチャネルMOSFET 28(インピーダンス制御手段, 電圧駆動型スイッチング素子)に置き換えたもので、NチャネルMOSFET 28のソースを受信回路18と抵抗素子17(電流検知部, インピーダンス制御手段)の共通接続点に接続し、ゲートを抵抗素子17と信号線4cLとの共通接続点に接続する。以上が受信ノード29を構成している。このように構成すれば、受信信号波形の立ち下がり期間において、信号線4cL側では電流が受信回路18側に流入する方向となるので、ゲート電位が上昇してNチャネルMOSFET 28がオンする。したがって、第1実施例と同様の効果が得られる。

40

【 0 0 2 4 】

(第6実施例)

第6実施例は、伝送線路が差動信号を伝送するものではなく、受信回路18は、信号線30に挿入された抵抗素子16とグランドとの間に接続されている。これにより、受信ノード31が構成されている。すなわち、伝送線路が信号線30のみからなるシングルエン

50

ド型に本発明を適用した場合を示す。このように構成した場合も、NチャネルMOSFET 19は第1実施例と同様に動作して、受信信号波形の立ち下がり時間を短縮するように動作する。

【0025】

本発明は上記した、又は図面に記載した実施例にのみ限定されるものではなく、以下のような変形又は拡張が可能である。

伝送線路の線路長や、伝送線路に接続する通信ノードの数は、適宜変更して実施すれば良い。

また、抵抗値や容量値，MOSFETの閾値電圧等についても、個別の設計に応じて適宜変更すれば良い。

第3～第6実施例において、第2実施例と同様にMOSFETと直列に抵抗素子を接続しても良い。

【0026】

第4実施例において、ダイオード24の順方向電圧のみでPチャネルMOSFET 19をオンさせることができれば、抵抗素子25を削除しても良い。また、ダイオードを複数個直列に接続しても良い。

立ち下がり時間の短縮について十分な効果が得られれば、必ずしも、伝送線路のインピーダンスと整合させるようにインピーダンスを変化させる必要はない。

【符号の説明】

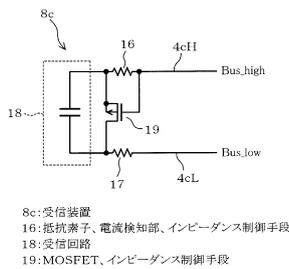
【0027】

図面中、2は伝送線路、8cは観測ノード（受信装置）、16は抵抗素子（電流検知部、インピーダンス制御手段）、19はPチャネルMOSFET（インピーダンス制御手段）、18は受信回路を示す。

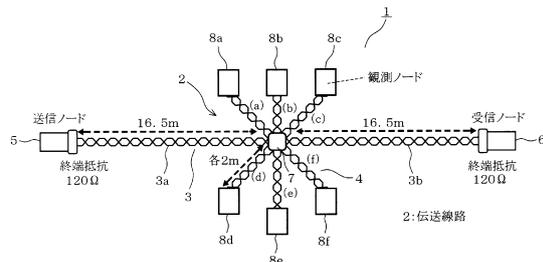
10

20

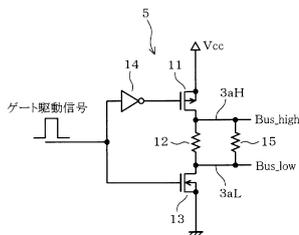
【図1】



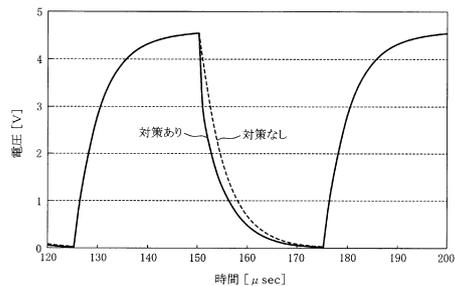
【図3】



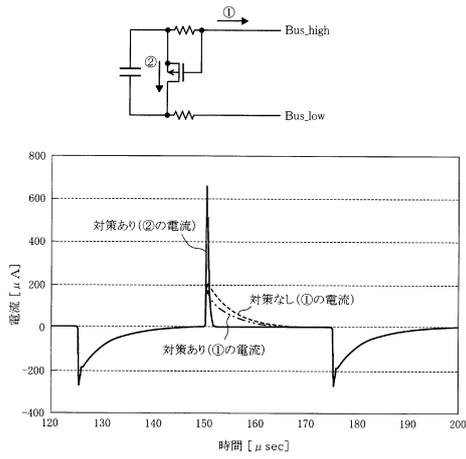
【図2】



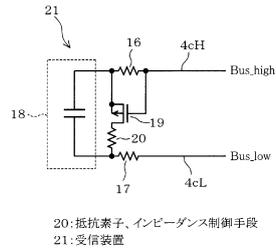
【図4】



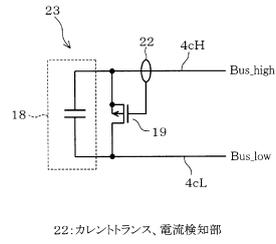
【図5】



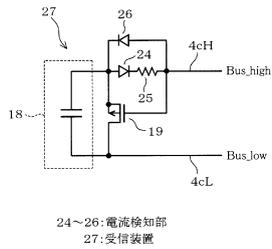
【図6】



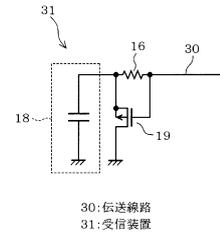
【図7】



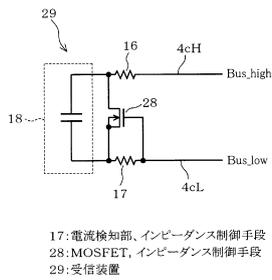
【図8】



【図10】



【図9】



フロントページの続き

(72)発明者 小畑 洋幸
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

審査官 川口 貴裕

(56)参考文献 特開平07-131488(JP,A)
特開平02-215239(JP,A)
特開2009-225138(JP,A)
特開2006-157607(JP,A)
特開2003-008669(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04B	3/00	-	3/44
H04B	3/50	-	3/60
H04L	25/00	-	25/66