

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6958418号  
(P6958418)

(45) 発行日 令和3年11月2日(2021.11.2)

(24) 登録日 令和3年10月11日(2021.10.11)

(51) Int. Cl. F I  
**H02J 1/00 (2006.01)**  
 H02J 1/00 309U  
 H02J 1/00 309Q

請求項の数 6 (全 21 頁)

<p>(21) 出願番号 特願2018-29112 (P2018-29112)                  (22) 出願日 平成30年2月21日 (2018.2.21)                  (65) 公開番号 特開2019-146385 (P2019-146385A)                  (43) 公開日 令和1年8月29日 (2019.8.29)                  審査請求日 令和2年6月18日 (2020.6.18)</p>	<p>(73) 特許権者 395011665                  株式会社オートネットワーク技術研究所                  三重県四日市市西末広町1番14号                  (73) 特許権者 000183406                  住友電装株式会社                  三重県四日市市西末広町1番14号                  (73) 特許権者 000002130                  住友電気工業株式会社                  大阪府大阪市中央区北浜四丁目5番33号                  (74) 代理人 100114557                  弁理士 河野 英仁                  (74) 代理人 100078868                  弁理士 河野 登夫</p>
--	---

最終頁に続く

(54) 【発明の名称】 給電制御装置

(57) 【特許請求の範囲】

【請求項1】

スイッチをオン又はオフに切替えることによって、前記スイッチを介した給電を制御する給電制御装置であって、

前記スイッチを介して流れる電流の電流経路に設けられている抵抗と、

前記抵抗の両端間の電圧値に応じた電圧を出力する差動増幅器と、

前記差動増幅器に供給する電力の供給経路の中途、及び、前記抵抗の上流側の一端間に接続される第1キャパシタと、

前記供給経路の中途、及び、前記抵抗の下流側の一端間に接続される第2キャパシタと、

、

第1インダクタと、

第2インダクタと、

前記抵抗の両端間に接続される第3キャパシタと

を備え、

前記第1キャパシタは、前記第2キャパシタを介して前記供給経路の中途に接続され、

前記第1キャパシタは、前記第1インダクタを介して、前記抵抗の上流側の一端に接続され、

前記第2キャパシタは、前記第2インダクタを介して、前記抵抗の下流側の一端に接続される

給電制御装置。

## 【請求項 2】

スイッチをオン又はオフに切替えることによって、前記スイッチを介した給電を制御する給電制御装置であって、

前記スイッチを介して流れる電流の電流経路に設けられている抵抗と、

前記抵抗の両端間の電圧値に応じた電圧を出力する差動増幅器と、

前記差動増幅器に供給する電力の供給経路の中途、及び、前記抵抗の上流側の一端間に接続される第 1 キャパシタと、

前記供給経路の中途、及び、前記抵抗の下流側の一端間に接続される第 2 キャパシタと第 1 インダクタと、

第 2 インダクタと、

前記抵抗の両端間に接続される第 3 キャパシタと

を備え、

前記第 2 キャパシタは、前記第 1 キャパシタを介して前記供給経路の中途に接続され、

前記第 1 キャパシタは、前記第 1 インダクタを介して、前記抵抗の上流側の一端に接続され、

前記第 2 キャパシタは、前記第 2 インダクタを介して、前記抵抗の下流側の一端に接続される

給電制御装置。

## 【請求項 3】

前記抵抗の上流側の一端に第 1 端が接続され、前記差動増幅器が出力した電圧の電圧値  
に応じて、前記第 1 端及び第 2 端間の抵抗値が変化する可変抵抗器と、

前記可変抵抗器の前記第 2 端に一端が接続される第 2 の抵抗と

を備え、

前記可変抵抗器及び前記第 2 の抵抗間の接続ノードから電圧が出力される

請求項 1 又は請求項 2 に記載の給電制御装置。

## 【請求項 4】

前記可変抵抗器はトランジスタであり、

前記第 1 端及び第 2 端間の抵抗値は、前記可変抵抗器の制御端に入力される電圧の電圧  
値に応じて変化する、

前記差動増幅器は前記制御端に電圧を出力する

請求項 3 に記載の給電制御装置。

## 【請求項 5】

前記第 1 インダクタは、第 1 導線の等価回路として表されるインダクタである

請求項 1 から請求項 4 のいずれか 1 項に記載の給電制御装置。

## 【請求項 6】

前記第 2 インダクタは、第 2 導線の等価回路として表されるインダクタである

請求項 1 から請求項 5 のいずれか 1 項に記載の給電制御装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、給電制御装置に関する。

## 【背景技術】

## 【0002】

車両には、バッテリー及び負荷間に接続されるスイッチをオン又はオフに切替えること  
によって、スイッチを介した給電を制御する給電制御装置（例えば、特許文献 1 を参照）が  
搭載されている。特許文献 1 に記載の給電制御装置では、スイッチを介して流れる電流の  
電流値を検出する。検出した電流値が所定電圧値以上である場合にスイッチをオフに切替  
える。これにより、スイッチを介して過電流が流れることが防止される。

## 【先行技術文献】

## 【特許文献】

10

20

30

40

50

【 0 0 0 3 】

【特許文献1】特開2017-118791号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 4 】

電流値を検出する構成として、スイッチを介して流れる電流の電流経路に設けられた抵抗の両端間の電圧値を検出する構成がある。抵抗の両端間の電圧値は、スイッチを介して流れる電流の電流値が大きい程、高い。このため、抵抗の両端間の電圧値は、スイッチを介して流れる電流の電流値を示す。

【 0 0 0 5 】

また、差動増幅器を用いて、抵抗の両端間の電圧値を検出することができる。この場合、差動増幅器の第1入力端子に抵抗の一端が接続され、差動増幅器の第2入力端子に抵抗の他端が接続されている。差動増幅器は、第1入力端子及び第2入力端子間の電圧値、即ち、抵抗の両端間の電圧値に応じた電圧を出力する。差動増幅器が出力する電圧の電圧値は、抵抗の両端間の電圧値が高い程、即ち、スイッチを介して流れる電流の電流値が大きい程、高いか又は低い。

【 0 0 0 6 】

差動増幅器は、電力が供給される電力供給端子を有する。電力供給端子はバッテリーの正極に接続されている。電力供給端子を介してバッテリーから差動増幅器に電力が供給される。

【 0 0 0 7 】

バッテリー及びスイッチを接続する導線に、交流成分が含まれている外乱ノイズが混入する可能性がある。この場合、差動増幅器の電力供給端子、第1入力端子及び第2入力端子夫々に外乱ノイズが入力される。ここで、電力供給端子、第1入力端子及び第2入力端子に入力される外乱ノイズの伝播経路は相互に異なる。このため、電力供給端子、第1入力端子及び第2入力端子夫々に入力される外乱ノイズの波形は相互に異なっており、外乱ノイズが電力供給端子、第1入力端子及び第2入力端子に入力するタイミングも相互に異なっている。

【 0 0 0 8 】

従って、外乱ノイズが混入した場合、差動増幅器に関して、第1入力端子の電位を基準とした電力供給端子の電圧値、及び、第2入力端子の電位を基準とした電力供給端子の電圧値の少なくとも一方が変動する。第1入力端子の電位を基準とした電力供給端子の電圧値、及び、第2入力端子の電位を基準とした電力供給端子の電圧値の少なくとも一方が変動した場合、スイッチを介して流れる電流の電流値に無関係に、差動増幅器が出力する電圧の電圧値が変動する。結果、差動増幅器から誤った電圧が出力される。

【 0 0 0 9 】

本発明は斯かる事情に鑑みてなされたものであり、その目的とするところは、差動増幅器から適切な電圧が出力される給電制御装置を提供することにある。

【課題を解決するための手段】

【 0 0 1 0 】

本発明の一態様に係る給電制御装置は、スイッチをオン又はオフに切替えることによって、前記スイッチを介した給電を制御する給電制御装置であって、前記スイッチを介して流れる電流の電流経路に設けられている抵抗と、前記抵抗の両端間の電圧値に応じた電圧を出力する差動増幅器と、前記差動増幅器に供給する電力の供給経路の中途、及び、前記抵抗の上流側の一端間に接続される第1キャパシタと、前記供給経路の中途、及び、前記抵抗の下流側の一端間に接続される第2キャパシタと、第1インダクタと、第2インダクタと、前記抵抗の両端間に接続される第3キャパシタとを備え、前記第1キャパシタは、前記第2キャパシタを介して前記供給経路の中途に接続され、前記第1キャパシタは、前記第1インダクタを介して、前記抵抗の上流側の一端に接続され、前記第2キャパシタは、前記第2インダクタを介して、前記抵抗の下流側の一端に接続される。

10

20

30

40

50

本発明の一態様に係る給電制御装置は、スイッチをオン又はオフに切替えることによって、前記スイッチを介した給電を制御する給電制御装置であって、前記スイッチを介して流れる電流の電流経路に設けられている抵抗と、前記抵抗の両端間の電圧値に応じた電圧を出力する差動増幅器と、前記差動増幅器に供給する電力の供給経路の中途、及び、前記抵抗の上流側の一端間に接続される第1キャパシタと、前記供給経路の中途、及び、前記抵抗の下流側の一端間に接続される第2キャパシタと第1インダクタと、第2インダクタと、前記抵抗の両端間に接続される第3キャパシタとを備え、前記第2キャパシタは、前記第1キャパシタを介して前記供給経路の中途に接続され、前記第1キャパシタは、前記第1インダクタを介して、前記抵抗の上流側の一端に接続され、前記第2キャパシタは、前記第2インダクタを介して、前記抵抗の下流側の一端に接続される。

10

【発明の効果】

【0011】

上記の態様によれば、差動増幅器から適切な電圧が出力される。

【図面の簡単な説明】

【0012】

【図1】実施形態1における電源システムの要部構成を示すブロック図である。

【図2】給電制御処理の手順を示すフローチャートである。

【図3】電流検出回路の回路図である。

【図4】第1キャパシタが設けられていない場合における電源電圧値、第1入力電圧値及び差分値の波形図である。

20

【図5】第1キャパシタが設けられている場合における電源電圧、第1入力電圧値及び差分値の波形図である。

【図6】第3キャパシタが設けられていない場合における第1入力電圧値、第2入力電圧値及び差分値の波形図である。

【図7】第3キャパシタが設けられている場合における第1入力電圧値、第2入力電圧値及び差分値の波形図である。

【図8】実施形態2における電流検出回路の回路図である。

【図9】実施形態3における電流検出回路の回路図である。

【図10】実施形態4における電流検出回路の回路図である。

【発明を実施するための形態】

30

【0013】

[本発明の実施形態の説明]

最初に本発明の実施態様を列挙して説明する。以下に記載する実施形態の少なくとも一部を任意に組み合わせてもよい。

【0014】

(1)本発明の一態様に係る給電制御装置は、スイッチをオン又はオフに切替えることによって、前記スイッチを介した給電を制御する給電制御装置であって、前記スイッチを介して流れる電流の電流経路に設けられている抵抗と、前記抵抗の両端間の電圧値に応じた電圧を出力する差動増幅器と、前記差動増幅器に供給する電力の供給経路の中途、及び、前記抵抗の上流側の一端間に接続される第1キャパシタと、前記供給経路の中途、及び、前記抵抗の下流側の一端間に接続される第2キャパシタとを備える。

40

【0015】

上記の一態様にあつては、差動増幅器に関して、電力が供給される電力供給端子と、第1抵抗の上流側の一端から電圧が入力される第1入力端子との間では、第1キャパシタを介して、電圧の交流成分が双方向に移動する。結果、電力供給端子又は第1入力端子で外乱ノイズが混入している期間、電力供給端子及び第1入力端子の電圧値は同様に振動し、電力供給端子及び第1入力端子の電圧値の差分値が変動することは殆どない。また、差動増幅器に関して、電力供給端子と、第1抵抗の下流側の一端から電圧が入力される第2入力端子との間では、第2キャパシタを介して、電圧の交流成分が双方向に移動する。結果、電力供給端子又は第2入力端子で外乱ノイズが混入している期間、電力供給端子及び第

50

2入力端子の電圧値は同様に振動し、電力供給端子及び第2入力端子の電圧値の差分値が変動することは殆どない。

【0016】

以上のことから、外乱ノイズが混入した場合であっても、電力供給端子及び第1入力端子の電圧値の差分値と、電力供給端子及び第2入力端子の電圧値の差分値とは略一定であり、差動増幅器は適切な電圧を出力する。

【0017】

(2)本発明の一態様に係る給電制御装置は、前記抵抗の上流側の一端に第1端が接続され、前記差動増幅器が出力した電圧の電圧値に応じて、前記第1端及び第2端間の抵抗値が変化する可変抵抗器と、前記可変抵抗器の前記第2端に一端が接続される第2の抵抗とを備え、前記可変抵抗器及び前記第2の抵抗間の接続ノードから電圧が出力される。

10

【0018】

上記の一態様にあつては、可変抵抗器及び第2の抵抗によって分圧された電圧が出力され、この電圧の電圧値は、抵抗を介して流れる電流の電流値を示す。

【0019】

(3)本発明の一態様に係る給電制御装置では、前記可変抵抗器はトランジスタであり、前記第1端及び第2端間の抵抗値は、前記可変抵抗器の制御端に輸入される電圧の電圧値に応じて変化し、前記差動増幅器は前記制御端に電圧を出力する。

【0020】

上記の一態様にあつては、可変抵抗器として、トランジスタが用いられるので、簡単な構成で装置が実現される。

20

【0021】

(4)本発明の一態様に係る給電制御装置では、前記第1キャパシタの前記供給経路側の一端は、前記第2キャパシタの前記供給経路側の一端に接続される。

【0022】

上記の一態様にあつては、第1キャパシタの一端が第2キャパシタの一端に接続されているので、差動増幅器の電力供給端子及び第1入力端子の間において、電圧の交流成分が第2キャパシタを介して移動することはない。更に、差動増幅器の電力供給端子及び第2入力端子の間において、電圧の交流成分が第1キャパシタを介して移動することはない。

【0023】

(5)本発明の一態様に係る給電制御装置は、第3の抵抗と、第4の抵抗とを備え、前記第1キャパシタは、前記第3の抵抗を介して、前記抵抗の上流側の一端に接続され、前記第2キャパシタは、前記第4の抵抗を介して、前記抵抗の下流側の一端に接続される。

30

【0024】

上記の一態様にあつては、第3の抵抗及び第1キャパシタによってRCフィルタが形成され、第4の抵抗及び第2キャパシタによってRCフィルタが形成される。第1キャパシタ及び第2キャパシタの他端が接地している場合、接地電位を基準とした第1入力端子及び第2入力端子の電圧値は安定する。第1キャパシタ及び第2キャパシタの他端が、接地されていない場合、電力供給端子及び第1入力端子の電圧値の差分値と、電力供給端子及び第2入力端子の電圧値の差分値とは、より安定する。

40

【0025】

(6)本発明の一態様に係る給電制御装置では、前記第1キャパシタは、前記第2キャパシタを介して前記供給経路の中途に接続される。

【0026】

上記の一態様にあつては、第1キャパシタは第2キャパシタを介して供給経路の中途に接続されるので、電力供給端子及び第1入力端子の間において、電圧の交流成分は、第1キャパシタ及び第2キャパシタを介して双方向に移動する。

【0027】

(7)本発明の一態様に係る給電制御装置では、前記第2キャパシタは、前記第1キャパシタを介して前記供給経路の中途に接続される。

50

## 【 0 0 2 8 】

上記の一態様にあつては、第 2 キャパシタは第 1 キャパシタを介して供給経路の中途に接続されるので、電力供給端子及び第 2 入力端子の間において、電圧の交流成分は、第 1 キャパシタ及び第 2 キャパシタを介して双方向に移動する。

## 【 0 0 2 9 】

( 8 ) 本発明の一態様に係る給電制御装置は、第 1 インダクタと、第 2 インダクタと、前記抵抗の両端間に接続される第 3 キャパシタとを備え、前記第 1 キャパシタは、前記第 1 インダクタを介して、前記抵抗の上流側の一端に接続され、前記第 2 キャパシタは、前記第 2 インダクタを介して、前記抵抗の下流側の一端に接続される。

## 【 0 0 3 0 】

上記の一態様にあつては、第 1 キャパシタ及び第 2 キャパシタの一方と、第 3 キャパシタ、第 1 インダクタ及び第 2 インダクタとによって、パイ型の LC フィルタが形成されている。このため、第 1 入力端子及び第 2 入力端子の電圧値の差分値は安定する。

## 【 0 0 3 1 】

( 9 ) 本発明の一態様に係る給電制御装置は、前記抵抗の両端間に接続される第 4 キャパシタを備える。

## 【 0 0 3 2 】

上記の一態様にあつては、第 1 抵抗の両端間において、電圧の交流成分が第 4 キャパシタを介して移動する。結果、第 1 入力端子又は第 2 入力端子で外乱ノイズが混入している期間、第 1 入力端子及び第 2 入力端子の電圧値は同様に振動し、第 1 入力端子及び第 2 入力端子の電圧値の差分値が変動することは殆どない。このため、外乱ノイズが混入した場合であっても、第 1 入力端子及び第 2 入力端子の電圧値の差分値は略一定であり、差動増幅器は、より適切な電圧を出力する。

## 【 0 0 3 3 】

## [ 本発明の実施形態の詳細 ]

本発明の実施形態に係る電源システムの具体例を、以下に図面を参照しつつ説明する。なお、本発明はこれらの例示に限定されるものではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

## 【 0 0 3 4 】

## ( 実施形態 1 )

図 1 は、実施形態 1 における電源システム 1 の要部構成を示すブロック図である。電源システム 1 は、好適に車両に搭載され、バッテリー 10、給電制御装置 11 及び負荷 12 を備える。バッテリー 10 の正極は、給電制御装置 11 に接続されている。給電制御装置 11 は、更に、負荷 12 の一端に接続されている。バッテリー 10 の負極と、負荷 12 の他端とは接地されている。

## 【 0 0 3 5 】

バッテリー 10 は、給電制御装置 11 を介して負荷 12 に電力を供給する。負荷 12 は車両に搭載された電気機器である。バッテリー 10 から負荷 12 に電力が供給されている場合、負荷 12 は作動する。バッテリー 10 から負荷 12 への給電が停止した場合、負荷 12 は動作を停止する。

## 【 0 0 3 6 】

給電制御装置 11 は、バッテリー 10 から負荷 12 への給電を制御する。給電制御装置 11 には、負荷 12 の作動を指示する作動信号と、負荷 12 の動作の停止を指示する停止信号とが入力される。給電制御装置 11 は、作動信号が入力された場合、バッテリー 10 及び負荷 12 を電氣的に接続する。これにより、バッテリー 10 から負荷 12 に電力が供給され、負荷 12 が作動する。給電制御装置 11 は、停止信号が入力された場合、バッテリー 10 及び負荷 12 の電氣的な接続を遮断する。これにより、バッテリー 10 から負荷 12 への給電が停止し、負荷 12 は動作を停止する。

## 【 0 0 3 7 】

給電制御装置 11 は、スイッチ 20、電流検出回路 21、駆動回路 22、マイクロコンピュータ（以下、マイコンという）23 及び導線 A1, A2, A3 を有する。マイコン 23 は、出力部 30、入力部 31, 32、A (Analog) / D (Digital) 変換部 33、記憶部 34 及び制御部 35 を有する。スイッチ 20 は、Nチャネル型の FET (Field Effect Transistor) である。

【0038】

スイッチ 20 のドレインは、導線 A1 を介して、バッテリー 10 の正極に接続されている。スイッチ 20 のソースは、導線 A2 を介して、電流検出回路 21 に接続されている。電流検出回路 21 は、更に、負荷 12 の一端に接続されている。電流検出回路 21 及び駆動回路 22 は、導線 A3 を介してバッテリー 10 の正極に接続されている。駆動回路 22 は、更に、スイッチ 20 のゲートと、マイコン 23 の出力部 30 とに接続されている。駆動回路 22 は、更に、接地されている。電流検出回路 21 は、更に、マイコン 23 の入力部 31 に接続されている。

10

【0039】

マイコン 23 内では、入力部 31 は、更に、A / D 変換部 33 に接続されている。出力部 30、入力部 32、A / D 変換部 33、記憶部 34 及び制御部 35 は、内部バス 36 に接続されている。

導線 A1, A2, A3 夫々は、例えば、回路基板上に形成される導電パターンである。導線 A1, A2, A3 夫々の等価回路は、図 1 に示すように、インダクタ L1, L2, L3 で表される。導線 A1, A2, A3 を有することは、インダクタ L1, L2, L3 を有することに相当する。

20

【0040】

スイッチ 20 において、ソースの電位を基準としたゲートの電圧値が一定電圧値以上である場合、ドレイン及びソースを介して電流が流れることが可能である。このとき、スイッチ 20 はオンである。スイッチ 20 がオンである場合、バッテリー 10 及び負荷 12 が電氣的に接続され、スイッチ 20 及び電流検出回路 21 を介して、バッテリー 10 から負荷 12 に電力が供給される。

【0041】

スイッチ 20 において、ソースの電位を基準としたゲートの電圧値が一定電圧値未満である場合、ドレイン及びソースを介して電流は流れることはない。このとき、スイッチ 20 はオフである。スイッチ 20 がオフである場合、バッテリー 10 及び負荷 12 の電氣的な接続が遮断され、バッテリー 10 から負荷 12 への給電が停止する。

30

【0042】

電流検出回路 21 及び駆動回路 22 には、バッテリー 10 から導線 A3 を介して電力が供給されている。電流検出回路 21 及び駆動回路 22 は、バッテリー 10 から供給された電力によって作動する。

【0043】

出力部 30 は駆動回路 22 にハイレベル電圧又はローレベル電圧を出力している。出力部 30 は、制御部 35 の指示に従って、駆動回路 22 に出力している電圧を、ハイレベル電圧又はローレベル電圧に切替える。

40

【0044】

出力部 30 が、駆動回路 22 に出力している電圧をローレベル電圧からハイレベル電圧に切替えた場合、駆動回路 22 は、接地電位を基準としたゲートの電圧値を上昇させる。これにより、スイッチ 20 において、ソースの電位を基準としたゲートの電圧値が一定電圧値以上に上昇し、スイッチ 20 はオンに切替わる。結果、負荷 12 に電力が供給され、負荷 12 は作動する。

【0045】

出力部 30 が、駆動回路 22 に出力している電圧をハイレベル電圧からローレベル電圧に切替えた場合、駆動回路 22 は、接地電位を基準としたゲートの電圧値を低下させる。これにより、スイッチ 20 において、ソースの電位を基準としたゲートの電圧値が一定電

50

圧値未満に低下し、スイッチ 20 はオフに切替わる。結果、バッテリー 10 から負荷 12 への給電が停止し、負荷 12 は動作を停止する。

以上のように、給電制御装置 11 では、駆動回路 22 は、スイッチ 20 をオン又はオフに切替えることによって、スイッチ 20 を介した給電を制御する。

#### 【0046】

電流検出回路 21 は、スイッチ 20 を介して負荷 12 に流れる電流の電流値（以下、スイッチ電流値という）を検出する。電流検出回路 21 は、検出したスイッチ電流値を示すアナログのスイッチ電圧値を、マイコン 23 の入力部 31 に出力する。入力部 31 は、電流検出回路 21 からアナログのスイッチ電圧値が入力された場合、入力されたアナログのスイッチ電圧値を A/D 変換部 33 に出力する。A/D 変換部 33 は、アナログのスイッチ電圧値をデジタルのスイッチ電圧値に変換する。制御部 35 は、A/D 変換部 33 から、デジタルのスイッチ電圧値を取得する。制御部 35 が取得したスイッチ電圧値が示すスイッチ電流値は、取得時におけるスイッチ電流値と略一致する。

10

#### 【0047】

入力部 32 には、作動信号及び停止信号が入力される。入力部 32 は、作動信号又は停止信号が入力された場合、入力された信号を制御部 35 に通知する。

#### 【0048】

記憶部 34 は不揮発性メモリである。記憶部 34 には、コンピュータプログラム P1 が記憶されている。制御部 35 は、一又は複数の CPU (Central Processing Unit) を有する。制御部 35 が有する一又は複数の CPU は、コンピュータプログラム P1 を実行することによって、スイッチ 20 を介したバッテリー 10 から負荷 12 への給電を制御する給電制御処理を実行する。コンピュータプログラム P1 は、制御部 35 が有する一又は複数の CPU に給電制御処理を実行させるために用いられる。

20

#### 【0049】

なお、コンピュータプログラム P1 は、制御部 35 が有する一又は複数の CPU が読み取り可能に、記憶媒体 E1 に記憶されていてもよい。この場合、図示しない読み出し装置によって記憶媒体 E1 から読み出されたコンピュータプログラム P1 が記憶部 34 に記憶される。記憶媒体 E1 は、光ディスク、フレキシブルディスク、磁気ディスク、磁気光ディスク又は半導体メモリ等である。光ディスクは、CD (Compact Disc) - ROM (Read Only Memory)、DVD (Digital Versatile Disc) - ROM、又は、BD (Blu-ray (登録商標) Disc) 等である。磁気ディスクは、例えばハードディスクである。また、図示しない通信網に接続されている図示しない外部装置からコンピュータプログラム P1 をダウンロードし、ダウンロードしたコンピュータプログラム P1 を記憶部 34 に記憶してもよい。

30

#### 【0050】

図 2 は給電制御処理の手順を示すフローチャートである。制御部 35 は、周期的に給電制御処理を実行する。まず、制御部 35 は、入力部 32 に作動信号が入力されたか否かを判定する (ステップ S1)。制御部 35 は、作動信号が入力されたと判定した場合 (S1: YES)、ハイレベル電圧への切替えを出力部 30 に指示する (ステップ S2)。これにより、出力部 30 は、駆動回路 22 に出力している電圧をハイレベル電圧に切替える。結果、駆動回路 22 はスイッチ 20 をオンに切替え、バッテリー 10 から負荷 12 に電力が供給され、負荷 12 が作動する。

40

#### 【0051】

制御部 35 は、作動信号が入力されていないと判定した場合 (S1: NO)、入力部 32 に停止信号が入力されたか否かを判定する (ステップ S3)。制御部 35 は、停止信号が入力されたと判定した場合 (S3: YES)、ローレベル電圧への切替えを出力部 30 に指示する (ステップ S4)。これにより、出力部 30 は、駆動回路 22 に出力している電圧をローレベル電圧に切替える。結果、駆動回路 22 はスイッチ 20 をオフに切替え、バッテリー 10 から負荷 12 への給電が停止し、負荷 12 が動作を停止する。

#### 【0052】

50

制御部 35 は、ステップ S 2 , S 4 の一方を実行した後、又は、停止信号が入力されていないと判定した場合 ( S 3 : N O )、出力部 30 がハイレベル電圧を出力しているか否かを判定する (ステップ S 5 )。前述したように、出力部 30 がハイレベル電圧を出力している場合、スイッチ 20 はオンである。出力部 30 がローレベル電圧を出力している場合、スイッチ 20 はオフである。

【 0 0 5 3 】

制御部 35 は、出力部 30 がハイレベル電圧を出力していると判定した場合 ( S 5 : Y E S )、A / D 変換部 33 からデジタルのスイッチ電圧値を取得し (ステップ S 6 )、取得したスイッチ電圧値が示すスイッチ電流値が電流閾値以上であるか否かを判定する (ステップ S 7 )。電流閾値は、一定値であり、予め設定されている。

10

【 0 0 5 4 】

制御部 35 は、スイッチ電流値が電流閾値以上であると判定した場合 ( S 7 : Y E S )、ローレベル電圧への切替えを出力部 30 に指示する (ステップ S 8 )。これにより、出力部 30 は、駆動回路 22 に出力している電圧をローレベル電圧に切替え、駆動回路 22 はスイッチ 20 をオフに切替える。

制御部 35 は、出力部 30 がハイレベル電圧を出力していないと判定した場合 ( S 5 : N O )、スイッチ電流値が電流閾値未満であると判定した場合 ( S 7 : N O )、又は、ステップ S 8 を実行した後、給電制御処理を終了する。

【 0 0 5 5 】

以上のように、給電制御装置 11 では、入力部 32 に作動信号が入力した場合、駆動回路 22 はスイッチ 20 をオンに切替え、負荷 12 を作動させる。また、入力部 32 に停止信号が入力された場合、駆動回路 22 はスイッチ 20 をオフに切替え、負荷 12 に動作を停止させる。更に、スイッチ電流値が電流閾値以上である場合、スイッチ 20 をオフに切替え、スイッチ 20 を介して過電流が流れることを防止する。

20

【 0 0 5 6 】

制御部 35 は、ステップ S 8 を実行して給電制御処理を終了した場合、所定の条件が満たされるまで、給電制御処理を実行せず、スイッチ 20 はオフに維持される。所定の条件は、例えば、給電制御処理が終了してから、入力部 32 に停止信号及び作動信号がこの順に入力されることである。

【 0 0 5 7 】

図 3 は電流検出回路 21 の回路図である。電流検出回路 21 は、差動増幅器 40、トランジスタ 41、第 1 キャパシタ C 1、第 2 キャパシタ C 2、第 3 キャパシタ C 3、バイパスキャパシタ C 4、第 1 抵抗 R 1、第 2 抵抗 R 2、第 3 抵抗 R 3、第 4 抵抗 R 4 及び導線 A 4 , A 5 を有する。差動増幅器 40 は、所謂オペアンプであり、電力供給端子、GND 端子、プラス端子、マイナス端子及び出力端子を有する。トランジスタ 41 は、Pチャネル型の FET である。

30

【 0 0 5 8 】

第 1 抵抗 R 1 の一端は、導線 A 2 を介してスイッチ 20 のソースに接続されている。第 1 抵抗 R 1 の他端は、負荷 12 の一端に接続されている。スイッチ 20 がオンである場合、電流は、バッテリー 10 の正極から、導線 A 1、スイッチ 20、導線 A 2、第 1 抵抗 R 1 及び負荷 12 の順に流れる。従って、第 1 抵抗 R 1 は、スイッチ 20 を介して流れる電流の電流経路に設けられている。第 1 抵抗 R 1 は、所謂シャント抵抗である。

40

【 0 0 5 9 】

第 1 抵抗 R 1 の両端間に第 3 キャパシタ C 3 が接続されている。第 1 抵抗 R 1 の上流側の一端は、更に、導線 A 4 及び第 3 抵抗 R 3 を介して差動増幅器 40 のマイナス端子に接続されている。第 1 抵抗 R 1 の下流側の一端は、更に、導線 A 5 及び第 4 抵抗 R 4 を介して、差動増幅器 40 のプラス端子に接続されている。差動増幅器 40 の出力端子は、トランジスタ 41 のゲートに接続されている。第 3 キャパシタ C 3 は第 4 キャパシタとしても機能する。

【 0 0 6 0 】

50

差動増幅器 40 のマイナス端子は、更に、トランジスタ 41 のソースに接続されている。従って、トランジスタ 41 のソースは、第 3 抵抗 R 3 及び導線 A 4 を介して、第 1 抵抗 R 1 の上流側の一端に接続されている。トランジスタ 41 のドレインに、第 2 抵抗 R 2 の一端が接続されている。第 2 抵抗 R 2 の他端は接地されている。トランジスタ 41 のドレインと第 2 抵抗 R 2 の一端との間の接続ノードは、マイコン 23 の入力部 31 に接続されている。差動増幅器 40 のマイナス端子は、更に、第 1 キャパシタ C 1 の一端に接続されている。差動増幅器 40 のプラス端子は、更に、第 2 キャパシタ C 2 の一端に接続されている。従って、第 1 キャパシタ C 1 の一端は、第 3 抵抗 R 3 を介して、第 1 抵抗 R 1 の上流側の一端に接続され、第 2 キャパシタ C 2 の一端は、第 4 抵抗 R 4 を介して、第 1 抵抗 R 1 の下流側の一端に接続されている。第 1 キャパシタ C 1 及び第 2 キャパシタ C 2 の他端も接地されている。

10

**【 0 0 6 1 】**

差動増幅器 40 の電力供給端子は、導線 A 3 を介してバッテリー 10 の正極に接続されている。差動増幅器 40 の GND 端子は接地されている。差動増幅器 40 の電力供給端子は、更に、バイパスキャパシタ C 4 の一端に接続され、バイパスキャパシタ C 4 の他端は接地されている。

導線 A 4 , A 5 夫々は、導線 A 1 , A 2 , A 3 と同様に、例えば、回路基板上に形成される導電パターンである。導線 A 4 , A 5 夫々の等価回路は、インダクタ L 4 , L 5 で表される。従って、第 1 キャパシタ C 1 の一端は、インダクタ L 4 を介して、第 1 抵抗 R 1 の上流側の一端に接続され、第 2 キャパシタ C 2 の一端は、インダクタ L 5 を介して、第 1 抵抗 R 1 の下流側の一端に接続されている。導線 A 4 , A 5 を有することは、インダクタ L 4 , L 5 を有することに相当する。インダクタ L 4 は第 1 インダクタとして機能し、インダクタ L 5 は第 2 インダクタとして機能する。

20

**【 0 0 6 2 】**

バッテリー 10 は、導線 A 3 を介して、差動増幅器 40 に電力を供給する。このとき、電流は、差動増幅器 40 の電力供給端子に入力され、差動増幅器 40 の GND 端子から出力される。従って、バイパスキャパシタ C 4 の一端は、差動増幅器 40 に供給する電力の供給経路の中途に接続されている。

**【 0 0 6 3 】**

第 1 キャパシタ C 1 及び第 2 キャパシタ C 2 の他端は、バイパスキャパシタ C 4 を介して供給経路の中途に接続されている。従って、第 1 キャパシタ C 1 は、差動増幅器 40 に供給する電力の供給経路の中途と、第 1 抵抗 R 1 の上流側の一端との間に接続されている。第 2 キャパシタ C 2 は、差動増幅器 40 に供給する電力の供給経路の中途と、第 1 抵抗 R 1 の下流側の一端との間に接続されている。第 1 キャパシタ C 1 及び第 2 キャパシタ C 2 の他端は接地されているので、第 1 キャパシタ C 1 の供給経路側の一端は、第 2 キャパシタ C 2 の供給経路側の一端に接続されている。

30

**【 0 0 6 4 】**

差動増幅器 40 は、第 1 抵抗 R 1 の両端間の電圧値に応じた電圧をトランジスタ 41 のゲートに出力する。差動増幅器 40 において、マイナス端子の電位を基準としたプラス端子の電圧値は、第 1 抵抗 R 1 の両端間の電圧値が高い程、低い。第 1 抵抗 R 1 の両端間の電圧値がゼロ V である場合、マイナス端子の電位を基準としたプラス端子の電圧値は、ゼロ V であり、最も高い。差動増幅器 40 がゲートに出力する電圧の電圧値は、マイナス端子の電位を基準としたプラス端子の電圧値が高い程、即ち、第 1 抵抗 R 1 の両端間の電圧値が高い程、低い。

40

**【 0 0 6 5 】**

トランジスタ 41 は可変抵抗器として機能する。トランジスタ 41 において、ソースの電位を基準としたゲートの電圧値が低い程、ソース及びドレイン間の抵抗値は低い。ソース電位を基準としたゲートの電圧値が高い程、ソース及びドレイン間の抵抗値は高い。トランジスタ 41 のソース、ドレイン及びゲート夫々は、第 1 端、第 2 端及び制御端として機能する。

50

## 【 0 0 6 6 】

差動増幅器 4 0 がトランジスタ 4 1 のゲートに出力した電圧の電圧値が低い程、即ち、第 1 抵抗 R 1 の両端間の電圧値が高い程、ソース電位を基準としたゲートの電圧値が低く、トランジスタ 4 1 のソース及びドレイン間の抵抗値は小さい。

## 【 0 0 6 7 】

第 1 抵抗 R 1 の両端間の電圧値は、第 1 抵抗 R 1 を流れる電流の電流値と、第 1 抵抗 R 1 の抵抗値との積で表される。第 3 抵抗 R 3 の抵抗値は、第 1 抵抗 R 1 の抵抗値よりも十分に大きい。このため、スイッチ 2 0 を介して流れた電流の略全てが第 1 抵抗 R 1 を流れる。このため、第 1 抵抗 R 1 を流れる電流の電流値は、スイッチ 2 0 を介して流れる電流の電流値、即ち、スイッチ電流値と略一致する。

10

## 【 0 0 6 8 】

また、第 1 抵抗 R 1 の抵抗値は一定である。このため、第 1 抵抗 R 1 の両端間の電圧値は、スイッチ電流値が大きい程、高い。従って、スイッチ電流値が大きい程、トランジスタ 4 1 のソース及びドレイン間の抵抗値は小さい。

## 【 0 0 6 9 】

なお、第 4 抵抗 R 4 の抵抗値も、第 3 抵抗 R 3 の抵抗値と同様に、第 1 抵抗 R 1 の抵抗値よりも十分に大きい。このため、第 1 抵抗 R 1 を介して流れる電流の略全て、即ち、スイッチ 2 0 を介して流れる電流の略全てが負荷 1 2 に流れる。

## 【 0 0 7 0 】

スイッチ 2 0 がオンである場合、第 3 抵抗 R 3 及びトランジスタ 4 1 の合成抵抗と、第 2 抵抗 R 2 とは、バッテリー 1 0 の出力電圧を分圧する。第 3 抵抗 R 3 及びトランジスタ 4 1 の合成抵抗と、第 2 抵抗 R 2 とが分圧した電圧は、トランジスタ 4 1 及び第 2 抵抗 R 2 間の接続ノードからマイコン 2 3 の入力部 3 1 に出力される。入力部 3 1 には、第 3 抵抗 R 3 及びトランジスタ 4 1 の合成抵抗と、第 2 抵抗 R 2 とが分圧した電圧の電圧値が、アナログのスイッチ電圧値として入力される。合成抵抗は、第 3 抵抗 R 3 の抵抗値と、トランジスタ 4 1 のソース及びドレイン間の抵抗値との和で表される。

20

## 【 0 0 7 1 】

スイッチ電流値が大きい場合、第 1 抵抗 R 1 の両端間の電圧値が高く、トランジスタ 4 1 のソース及びドレイン間の抵抗値が小さい。このため、スイッチ電圧値は高い。スイッチ電流値が小さい場合、第 1 抵抗 R 1 の両端間の電圧値が低く、トランジスタ 4 1 のソース及びドレイン間の抵抗値は大きい。このため、スイッチ電圧値は低い。

30

## 【 0 0 7 2 】

第 1 抵抗 R 1、第 2 抵抗 R 2 及び第 3 抵抗 R 3 夫々の抵抗値を、 $r_1$ 、 $r_2$  及び  $r_3$  と記載する。第 1 抵抗 R 1 を流れる電流の電流値を  $I_r$  と記載する。この場合、スイッチ電圧値  $V_s$  は、下記の式で表され、電流値  $I_r$  を示す。スイッチ電圧値  $V_s$  は、接地電位を基準とした電圧値である。

$$V_s = (I_r \cdot r_1 \cdot r_2) / r_3$$

## 【 0 0 7 3 】

前述したように、スイッチ 2 0 を介して流れる電流の略全てが第 1 抵抗 R 1 に流れる。このため、電流値  $I_r$  をスイッチ電流値  $I_s$  に置き換えることができる。従って、下記の式が成り立つ。

40

$$V_s = (I_s \cdot r_1 \cdot r_2) / r_3$$

抵抗値  $r_1$ 、 $r_2$ 、 $r_3$  夫々は一定値である。このため、スイッチ電圧値  $V_s$  は、スイッチ電流値  $I_s$  に比例し、スイッチ電流値  $I_s$  を示す。

## 【 0 0 7 4 】

以下では、接地電位を基準とした差動増幅器 4 0 の電力供給端子の電圧値を電源電圧値と記載する。また、接地電位を基準とした差動増幅器 4 0 のマイナス端子及びプラス端子夫々の電圧値を第 1 入力電圧値及び第 2 入力電圧値と記載する。電源電圧値、第 1 入力電圧値及び第 2 入力電圧値夫々を  $V_p$ 、 $V_{i1}$  及び  $V_{i2}$  で表す。

## 【 0 0 7 5 】

50

バイパスキャパシタ C 4 は電源電圧値  $V_p$  の変動を抑制する。

【 0 0 7 6 】

第 1 キャパシタ C 1 の作用を説明する。図 4 は、第 1 キャパシタ C 1 が設けられていない場合における電源電圧値  $V_p$ 、第 1 入力電圧値  $V_{i1}$  及び差分値の波形図である。図 4 に示す差分値は、電源電圧値  $V_p$  から第 1 入力電圧値  $V_{i1}$  を減算することによって算出される値である。横軸は時間を示す。

【 0 0 7 7 】

電源システム 1 では、交流成分が含まれている外乱ノイズが混入する。外乱ノイズは、例えば、携帯電話機が出力する電磁波である。この電磁波は、例えば、2 GHz 帯の周波数成分を有する。スイッチ 20 がオンである状態で外乱ノイズが導線 A 3 に混入したと仮定する。この場合、外乱ノイズの一部は、差動増幅器 40 の電力供給端子に入力される。これにより、差動増幅器 40 の電力供給端子に入力される電圧に交流成分が含まれ、電源電圧値  $V_p$  は図 4 に示すように変動する。

【 0 0 7 8 】

また、外乱ノイズの他の一部は、導線 A 1、スイッチ 20、導線 A 2、A 4 及び第 3 抵抗 R 3 の順に伝播し、差動増幅器 40 のマイナス端子に入力する。これにより、差動増幅器 40 のマイナス端子に入力された電圧に交流成分が含まれ、第 1 入力電圧値  $V_{i1}$  も図 4 に示すように変動する。

【 0 0 7 9 】

まず、差動増幅器 40 の電力供給端子に入力される外乱ノイズと、差動増幅器 40 のマイナス端子に入力される外乱ノイズとが伝播する距離が互いに異なる。このため、電源電圧値  $V_p$  及び第 1 入力電圧値  $V_{i1}$  が外乱ノイズによって変動するタイミングが互いに異なる。更に、差動増幅器 40 の電力供給端子に入力される外乱ノイズが通過する素子のインピーダンスは、差動増幅器 40 のマイナス端子に入力される外乱ノイズが通過する素子のインピーダンスと異なる。このため、差動増幅器 40 の電力供給端子に入力される外乱ノイズが混入した部分における波形は、差動増幅器 40 のマイナス端子に入力される外乱ノイズが混入した部分における波形と互いに異なる。

【 0 0 8 0 】

結果、電源電圧値  $V_p$  及び第 1 入力電圧値  $V_{i1}$  の差分値は、一定に保たれず、外乱ノイズによって図 4 に示すように変動する。従って、外乱ノイズが混入した場合、差動増幅器 40 が出力している電圧の電圧値は、スイッチ電流値  $I_s$  とは無関係に変動し、スイッチ電圧値  $V_s$  も変動する。差動増幅器 40 は、誤った電圧を出力する。

【 0 0 8 1 】

図 5 は、第 1 キャパシタ C 1 が設けられている場合における電源電圧値  $V_p$ 、第 1 入力電圧値  $V_{i1}$  及び差分値の波形図である。図 5 に示す差分値も、電源電圧値  $V_p$  から第 1 入力電圧値  $V_{i1}$  を減算することによって算出される値である。横軸は時間を示す。

【 0 0 8 2 】

第 1 キャパシタ C 1 が設けられている場合、図 4 において矢印で示すように、差動増幅器 40 の電力供給端子及びマイナス端子間で、第 1 キャパシタ C 1 及びバイパスキャパシタ C 4 を介して、電圧の交流成分が双方向に移動する。結果、図 5 に示すように、電源電圧値  $V_p$  及び第 1 入力電圧値  $V_{i1}$  は、電力供給端子又はマイナス端子で外乱ノイズが混入している期間、同様に振動し、電源電圧値  $V_p$  及び第 1 入力電圧値  $V_{i1}$  の差分値が変動することは殆どない。差分値は略一定である。

【 0 0 8 3 】

次に、第 2 キャパシタ C 2 の作用を説明する。第 2 キャパシタ C 2 は、第 1 キャパシタ C 1 と同様に作用する。スイッチ 20 がオンである状態で外乱ノイズが導線 A 3 に混入したと仮定する。この場合、外乱ノイズの一部は、差動増幅器 40 の電力供給端子に入力される。これにより、差動増幅器 40 の電力供給端子に入力された電圧に交流成分が含まれ、電源電圧値  $V_p$  は変動する。また、外乱ノイズの他の一部は、導線 A 1、スイッチ 20、導線 A 2、第 1 抵抗 R 1、導線 A 5 及び第 4 抵抗 R 4 の順に伝播し、差動増幅器 40 の

10

20

30

40

50

プラス端子に入力する。これにより、差動増幅器 40 のプラス端子に入力された電圧に交流成分が含まれ、第 2 入力電圧値  $V_{i2}$  は、第 1 入力電圧値  $V_{i1}$  と同様に変動する。

【0084】

第 2 キャパシタ  $C_2$  が設けられていない場合、差動増幅器 40 の電力供給端子に入力される外乱ノイズと、差動増幅器 40 のプラス端子に入力される外乱ノイズとが伝播する伝播経路が互いに異なる。このため、電源電圧値  $V_p$  及び第 2 入力電圧値  $V_{i2}$  が外乱ノイズによって変動するタイミングが互いに異なる。更に、差動増幅器 40 の電力供給端子に入力される外乱ノイズが混入した部分における波形は、差動増幅器 40 のプラス端子に入力される外乱ノイズが混入した部分における波形と互いに異なる。結果、外乱ノイズが混入した場合、差動増幅器 40 が出力している電圧の電圧値は、スイッチ電流値  $I_s$  とは無関係に変動し、スイッチ電圧値  $V_s$  も変動する。差動増幅器 40 は、誤った電圧を出力する。

10

【0085】

第 2 キャパシタ  $C_2$  が設けられている場合、差動増幅器 40 の電力供給端子及びプラス端子間で、第 2 キャパシタ  $C_2$  及びバイパスキャパシタ  $C_4$  を介して、電圧の交流成分が双方向に移動する。結果、電源電圧値  $V_p$  及び第 2 入力電圧値  $V_{i2}$  は、電力供給端子又はプラス端子で外乱ノイズが混入している期間、同様に振動し、電源電圧値  $V_p$  及び第 2 入力電圧値  $V_{i2}$  の差分値が変動することは殆どない。差分値は略一定である。

【0086】

以上のように、第 1 キャパシタ  $C_1$  及び第 2 キャパシタ  $C_2$  が設けられている場合においては、たとえ、外乱ノイズが混入したときであっても、電源電圧値  $V_p$  及び第 1 入力電圧値  $V_{i1}$  の差分値と、電源電圧値  $V_p$  及び第 2 入力電圧値  $V_{i2}$  の差分値とは略一定である。このため、差動増幅器 40 は、第 1 抵抗  $R_1$  の両端間の電圧に応じた適切な電圧を出力し、スイッチ電圧値  $V_s$  は、第 1 抵抗  $R_1$  の両端間の電圧値、即ち、スイッチ電流値  $I_s$  を正確に示す。

20

【0087】

次に、第 3 キャパシタ  $C_3$  の作用を説明する。図 6 は、第 3 キャパシタ  $C_3$  が設けられていない場合における第 1 入力電圧値  $V_{i1}$ 、第 2 入力電圧値  $V_{i2}$  及び差分値の波形図である。図 6 に示す差分値は、第 1 入力電圧値  $V_{i1}$  から第 2 入力電圧値  $V_{i2}$  を減算することによって算出される値である。横軸は時間を示す。

30

【0088】

スイッチ 20 がオンである状態で外乱ノイズが導線  $A_2$  に混入したと仮定する。この場合、外乱ノイズの一部は、導線  $A_4$  及び第 3 抵抗  $R_3$  を介して差動増幅器 40 のマイナス端子に入力される。これにより、差動増幅器 40 のマイナス端子に入力される電圧に交流成分が含まれ、第 1 入力電圧値  $V_{i1}$  は変動する。また、外乱ノイズの他の一部は、第 1 抵抗  $R_1$ 、導線  $A_5$  及び第 4 抵抗  $R_4$  を介して差動増幅器 40 のマイナス端子に入力される。これにより、差動増幅器 40 のプラス端子に入力される電圧に交流成分が含まれ、第 2 入力電圧値  $V_{i2}$  も変動する。

【0089】

まず、差動増幅器 40 のマイナス端子に入力される外乱ノイズと、差動増幅器 40 のプラス端子に入力される外乱ノイズとが伝播する距離が互いに異なる。このため、第 1 入力電圧値  $V_{i1}$  及び第 2 入力電圧値  $V_{i2}$  が外乱ノイズによって変動するタイミングが互いに異なる。更に、差動増幅器 40 のマイナス端子に入力される外乱ノイズが通過する素子のインピーダンスは、差動増幅器 40 のプラス端子に入力される外乱ノイズが通過する素子のインピーダンスと異なる。このため、差動増幅器 40 のマイナス端子に入力される外乱ノイズが混入した部分における波形は、差動増幅器 40 のプラス端子に入力される外乱ノイズが混入した部分における波形と互いに異なる。

40

【0090】

結果、第 1 入力電圧値  $V_{i1}$  及び第 2 入力電圧値  $V_{i2}$  の差分値は、図 6 に示すように変動する。従って、外乱ノイズが混入した場合、差動増幅器 40 が出力している電圧の電

50

圧値は、スイッチ電流値  $I_s$  とは無関係に変動し、スイッチ電圧値  $V_s$  も変動する。差動増幅器 40 は、誤った電圧を出力する。

【0091】

図7は、第3キャパシタ  $C_3$  が設けられている場合における第1入力電圧値  $V_{i1}$ 、第2入力電圧値  $V_{i2}$  及び差分値の波形図である。図7に示す差分値も、第1入力電圧値  $V_{i1}$  から第2入力電圧値  $V_{i2}$  を減算することによって算出される値である。横軸は時間を示す。

【0092】

第3キャパシタ  $C_3$  が設けられている場合、図6において矢印で示すように、第1抵抗  $R_1$  の両端間で、第3キャパシタ  $C_3$  を介して、電圧の交流成分が双方向に移動する。結果、図7に示すように、マイナス端子又はプラス端子で外乱ノイズが混入している期間、第1入力電圧値  $V_{i1}$  及び第2入力電圧値  $V_{i2}$  は同様に振動し、第1入力電圧値  $V_{i1}$  及び第2入力電圧値  $V_{i2}$  の差分値が変動することは殆どない。差分値は略一定である。

【0093】

従って、第3キャパシタ  $C_3$  が設けられている場合においては、たとえ、外乱ノイズが混入したときであっても、第1入力電圧値  $V_{i1}$  及び第2入力電圧値  $V_{i2}$  の差分値は略一定である。このため、差動増幅器 40 は、第1抵抗  $R_1$  の両端間の電圧に応じたより適切な電圧を出力し、スイッチ電圧値  $V_s$  は、第1抵抗  $R_1$  の両端間の電圧値、即ち、スイッチ電流値  $I_s$  をより正確に示す。

【0094】

給電制御装置 11 では、可変抵抗器としてトランジスタ 41 が用いられている。このため、給電制御装置 11 は、簡単な構成で実現される。

また、第1キャパシタ  $C_1$  の他端が第2キャパシタ  $C_2$  の他端に接続されている。このため、差動増幅器 40 の電力供給端子及び第1入力端子間において、電圧の交流成分が第2キャパシタ  $C_2$  を介して移動することはない。更に、差動増幅器 40 の電力供給端子及び第2入力端子間において、電圧の交流成分が第1キャパシタ  $C_1$  を介して移動することはない。

【0095】

更に、第3抵抗  $R_3$  及び第1キャパシタ  $C_1$  によって、RCフィルタが形成され、第4抵抗  $R_4$  及び第2キャパシタ  $C_2$  によって、もう一つのRCフィルタが形成されている。また、第1キャパシタ  $C_1$  及び第2キャパシタ  $C_2$  の他端は接地されている。このため、接地電位を基準とした第1入力電圧値  $V_{i1}$  及び第2入力電圧値  $V_{i2}$  夫々は安定する。

【0096】

(実施形態2)

図8は、実施形態2における電流検出回路 21 の回路図である。

以下では、実施形態2について、実施形態1と異なる点を説明する。後述する構成を除く他の構成は実施形態1と共通している。このため、実施形態1と共通する構成部には、実施形態1と同一の参照符号を付してその説明を省略する。

【0097】

実施形態2を実施形態1と比較した場合、給電制御装置 11 が有する電流検出回路 21 の第1キャパシタ  $C_1$  の接続が異なる。実施形態2では、実施形態1と同様に、第1キャパシタ  $C_1$  の一端は、第3抵抗  $R_3$  及び導線 A4 を介して、第1抵抗  $R_1$  の上流側の一端に接続されている。第1キャパシタ  $C_1$  の他端は、第2キャパシタ  $C_2$  の一端に接続されている。実施形態1で述べたように、バイパスキャパシタ  $C_4$  の一端は、差動増幅器 40 に供給する電力の供給経路の中途に接続されている。第2キャパシタ  $C_2$  及びバイパスキャパシタ  $C_4$  の他端は接地されている。従って、第1キャパシタ  $C_1$  の他端は、第2キャパシタ  $C_2$  及びバイパスキャパシタ  $C_4$  を介して、供給経路の中途に接続されている。

【0098】

以上のように構成された実施形態2における給電制御装置 11 では、差動増幅器 40 の電力供給端子及びマイナス端子間で、第1キャパシタ  $C_1$ 、第2キャパシタ  $C_2$  及びバイ

10

20

30

40

50

パスキャパシタC 4を介して、電圧の交流成分が双方向に移動する。結果、実施形態1と同様に、電源電圧値V p及び第1入力電圧値V i 1は、外乱ノイズが混入している期間、同様に振動し、電源電圧値V p及び第1入力電圧値V i 1の差分値が変動することは殆どない。

【0099】

更に、第1キャパシタC 1、第3キャパシタC 3及びインダクタL 4, L 5によって、パイ型のLCフィルタが形成されている。このため、第1入力電圧値V i 1及び第2入力電圧値V i 2の差分値は、より安定する。

【0100】

実施形態2における給電制御装置11は、実施形態1における給電制御装置11が奏する効果の中で、下記の効果を除く他の効果を同様に奏する。除かれる効果は、第1キャパシタC 1の供給経路側の一端が第2キャパシタC 2の供給経路側の一端に接続していることによって得られる効果、第3抵抗R 3及び第1キャパシタC 1によって、RCフィルタが形成されることによって得られる効果、並びに、第4抵抗R 4及び第2キャパシタC 2によって、もう1つのRCフィルタが形成されることによって得られる効果である。

なお、実施形態2において、インダクタL 4, L 5夫々は、導線A 4, A 5に含まれるインダクタ成分に限定されず、素子であってもよい。

【0101】

(実施形態3)

図9は、実施形態3における電流検出回路21の回路図である。

以下では、実施形態3について、実施形態1と異なる点を説明する。後述する構成を除く他の構成は実施形態1と共通している。このため、実施形態1と共通する構成部には、実施形態1と同一の参照符号を付してその説明を省略する。

【0102】

実施形態3を実施形態1と比較した場合、給電制御装置11が有する電流検出回路21の第1キャパシタC 1及び第2キャパシタC 2の接続が異なる。実施形態3では、実施形態1と同様に、第1キャパシタC 1の一端は、第3抵抗R 3及び導線A 4を介して、第1抵抗R 1の上流側の一端に接続され、第2キャパシタC 2の一端は、第4抵抗R 4及び導線A 5を介して、第1抵抗R 1の下流側の一端に接続されている。第1キャパシタC 1及び第2キャパシタC 2の他端は、バイパスキャパシタC 4を介さずに、差動増幅器40の電力供給端子に接続されている。第1キャパシタC 1及び第2キャパシタC 2の他端は接地されていない。

【0103】

実施形態1で述べたように、バッテリー10は、導線A 3を介して、差動増幅器40に電力を供給する。このとき、電流は、差動増幅器40の電力供給端子に入力され、差動増幅器40のGND端子から出力される。従って、第1キャパシタC 1及び第2キャパシタC 2の他端は、差動増幅器40に供給される電力の供給経路の中途に接続されている。第1キャパシタC 1の供給経路側の一端は、第2キャパシタC 2の供給経路側の一端に接続されている。

【0104】

以上のように構成された実施形態3における給電制御装置11では、差動増幅器40の電力供給端子及びマイナス端子間で、第1キャパシタC 1を介して、電圧の交流成分が双方向に移動する。また、差動増幅器40の電力供給端子及びプラス端子間で、第2キャパシタC 2を介して、電圧の交流成分が双方向に移動する。

【0105】

また、実施形態1と同様に、第3抵抗R 3及び第1キャパシタC 1によって、RCフィルタが形成され、第4抵抗R 4及び第2キャパシタC 2によって、もう1つのRCフィルタが形成されている。更に、第1キャパシタC 1及び第2キャパシタC 2の他端は、接地されず、差動増幅器40に供給される電力の供給経路の中途に接続されている。このため、電源電圧値V p及び第1入力電圧値V i 1の差分値と、電源電圧値V p及び第2入力電

10

20

30

40

50

圧値  $V_{i2}$  の差分値とは、より安定する。

【0106】

実施形態3における給電制御装置11は、実施形態1における給電制御装置11が奏する効果の中で、第3抵抗  $R_3$  及び第1キャパシタ  $C_1$  によって、RCフィルタが形成されることによって得られる効果と、第4抵抗  $R_4$  及び第2キャパシタ  $C_2$  によって、もう一つのRCフィルタが形成されることによって得られる効果とを除く他の効果を同様に奏する。

【0107】

(実施形態4)

図10は、実施形態4における電流検出回路21の回路図である。

10

以下では、実施形態4について、実施形態3と異なる点を説明する。後述する構成を除く他の構成は実施形態3と共通している。このため、実施形態3と共通する構成部には、実施形態3と同一の参照符号を付してその説明を省略する。

【0108】

実施形態4を実施形態3と比較した場合、給電制御装置11が有する電流検出回路21の第2キャパシタ  $C_2$  の接続が異なる。実施形態4では、実施形態3と同様に、第2キャパシタ  $C_2$  の一端は、第4抵抗  $R_4$  及び導線  $A_5$  を介して、第1抵抗  $R_1$  の下流側の一端に接続されている。第2キャパシタ  $C_2$  の他端は、第1キャパシタ  $C_1$  の一端に接続されている。実施形態3で述べたように、第1キャパシタ  $C_1$  の他端は、差動増幅器40に供給される電力の供給経路の中途に接続されている。従って、第2キャパシタ  $C_2$  の他端は、第1キャパシタ  $C_1$  を介して給電経路の中途に接続されている。

20

【0109】

以上のように構成された実施形態4における給電制御装置11では、差動増幅器40の電力供給端子及びプラス端子間で、第1キャパシタ  $C_1$  及び第2キャパシタ  $C_2$  を介して、電圧の交流成分が双方向に移動する。結果、実施形態3と同様に、電源電圧値  $V_p$  及び第2入力電圧値  $V_{i2}$  は、外乱ノイズが混入している期間、同様に振動し、電源電圧値  $V_p$  及び第2入力電圧値  $V_{i2}$  の差分値が変動することは殆どない。

【0110】

更に、第2キャパシタ  $C_2$ 、第3キャパシタ  $C_3$  及びインダクタ  $L_4$ 、 $L_5$  によって、パイ型のLCフィルタが形成されている。このため、第1入力電圧値  $V_{i1}$  及び第2入力電圧値  $V_{i2}$  の差分値は、より安定する。

30

【0111】

実施形態4における給電制御装置11は、実施形態3における給電制御装置11が奏する効果の中で、下記の効果を除く他の効果を同様に奏する。除かれる効果は、第2キャパシタ  $C_2$  の他端が第1キャパシタ  $C_1$  を介さずに供給経路の中途に接続することによって得られる効果、第3抵抗  $R_3$  及び第1キャパシタ  $C_1$  によって、RCフィルタが形成されることによって得られる効果、並びに、第4抵抗  $R_4$  及び第2キャパシタ  $C_2$  によって、もう一つのRCフィルタが形成されることによって得られる効果である。

なお、実施形態4において、実施形態2と同様に、インダクタ  $L_4$ 、 $L_5$  夫々は、導線  $A_4$ 、 $A_5$  に含まれるインダクタ成分に限定されず、素子であってもよい。

40

【0112】

なお、実施形態1~4において、トランジスタ41は、Pチャネル型のFETに限定されず、例えば、PNP型のバイポーラトランジスタであってもよい。この場合、PNP型のバイポーラトランジスタのエミッタ、コレクタ及びベース夫々は、Pチャネル型のFETのソース、ドレイン及びゲートに対応する。

【0113】

更に、トランジスタ41は、Nチャネル型のFETであってもよい。この場合、差動増幅器40のプラス端子が第3抵抗  $R_3$  及び導線  $A_4$  を介して第1抵抗  $R_1$  の上流側の一端に接続され、差動増幅器40のマイナス端子が第4抵抗  $R_4$  及び導線  $A_5$  を介して第1抵抗  $R_1$  の下流側の一端に接続される。差動増幅器40が出力する電圧の電圧値は、第1抵

50

抗 R 1 の両端間の電圧値が高い程、高い。トランジスタ 4 1 のドレインは、差動増幅器 4 0 のプラス端子に接続され、トランジスタ 4 1 のソースは第 2 抵抗 R 2 の一端に接続される。

【 0 1 1 4 】

トランジスタ 4 1 のドレイン及びソース間の抵抗値は、ソースの電位を基準としたゲートの電圧値、即ち、差動増幅器 4 0 が出力している電圧の電圧値が高い程、小さい。トランジスタ 4 1 及び第 2 抵抗 R 2 間の接続ノードからマイコン 2 3 の入力部 3 1 に電圧が出力される。トランジスタ 4 1 のドレイン及びソース間の抵抗値が小さい程、スイッチ電圧値は大きい。このように構成された給電制御装置 1 1 も、実施形態 1 ~ 4 と同様の効果を奏する。

10

【 0 1 1 5 】

また、トランジスタ 4 1 は、NPN型のバイポーラトランジスタ又はIGBT(Insulated Gate Bipolar Transistor)等であってもよい。NPNのバイポーラトランジスタのコレクタ、エミッタ及びベース夫々は、Nチャネル型のFETのドレイン、ソース及びゲートに対応する。IGBTのコレクタ、エミッタ及びゲート夫々は、Nチャネル型のFETのドレイン、ソース及びゲートに対応する。

【 0 1 1 6 】

更に、第 3 キャパシタ C 3 は、間接的に第 1 抵抗 R 1 の両端間に接続されてもよい。一例として、第 3 キャパシタ C 3 の一端が第 3 抵抗 R 3 及び導線 A 4 を介して第 1 抵抗 R 1 の一端に接続され、第 3 キャパシタ C 3 の他端が第 4 抵抗 R 4 及び導線 A 5 を介して第 1 抵抗 R 1 の他端に接続されてもよい。他の一例として、第 3 キャパシタ C 3 の一端が導線 A 4 を介して第 1 抵抗 R 1 の一端に接続され、第 3 キャパシタ C 3 の他端が導線 A 5 を介して第 1 抵抗 R 1 の他端に接続されてもよい。前述した 2 つの例に関して、実施形態 2 , 4 夫々では、パイ型の LC フィルタを形成するために、第 3 キャパシタ C 3 とは異なるキャパシタを直接的に第 1 抵抗 R 1 の両端間に接続してもよい。このキャパシタは第 4 キャパシタとして機能する。

20

【 0 1 1 7 】

更に、実施形態 1 ~ 4 において、スイッチ 2 0 は、Nチャネル型のFETに限定されず、Pチャネル型のFET、バイポーラトランジスタ又はリレー接点等であってもよい。

また、過電流が流れることを防止する構成は、マイコン 2 3 を用いたソフトウェアの構成に限定されず、例えば、コンパレータを用いたハードウェアの構成であってもよい。この場合、コンパレータは、電流検出回路 2 1 が出力した電圧の電圧値を一定電圧値と比較し、比較結果に応じてハイレベル電圧又はローレベル電圧を出力する。電流検出回路 2 1 が出力した電圧の電圧値が一定電圧値以上であることを、コンパレータの出力電圧が示している場合、駆動回路 2 2 はスイッチ 2 0 をオフに切替える。

30

【 0 1 1 8 】

開示された実施形態 1 ~ 4 はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は、上述した意味ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。

40

【 符号の説明 】

【 0 1 1 9 】

- 1 電源システム
- 10 バッテリ
- 11 給電制御装置
- 12 負荷
- 20 スイッチ
- 21 電流検出回路
- 22 駆動回路
- 23 マイコン

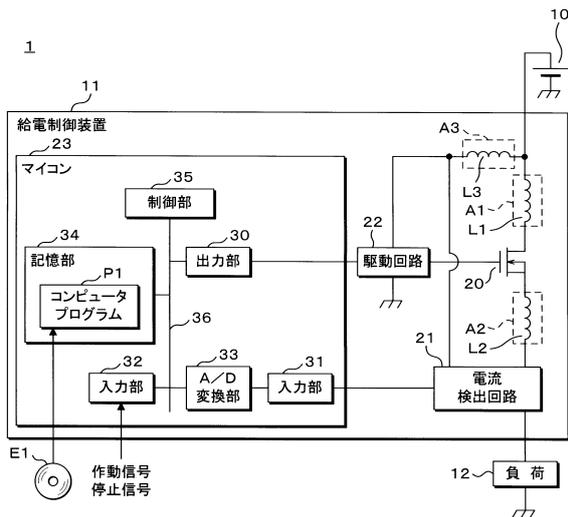
50

- 3 0 出力部
- 3 1 , 3 2 入力部
- 3 3 A / D変換部
- 3 4 記憶部
- 3 5 制御部
- 3 6 内部バス
- 4 0 差動増幅器
- 4 1 トランジスタ (可変抵抗器)
- A 1 , A 2 , A 3 , A 4 導線
- C 1 第1キャパシタ
- C 2 第2キャパシタ
- C 3 第3キャパシタ (第4キャパシタ)
- C 4 バイパスキャパシタ
- E 1 記憶媒体
- L 1 , L 2 , L 3 インダクタ
- L 4 インダクタ (第1インダクタ)
- L 5 インダクタ (第2インダクタ)
- P 1 コンピュータプログラム
- R 1 第1抵抗
- R 2 第2抵抗
- R 3 第3抵抗
- R 4 第4抵抗

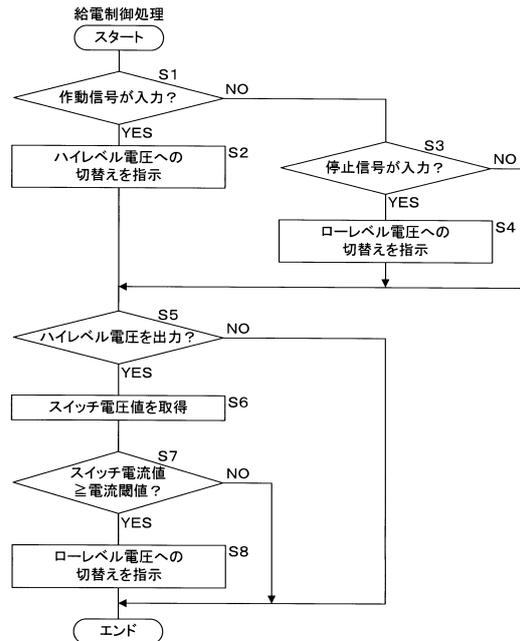
10

20

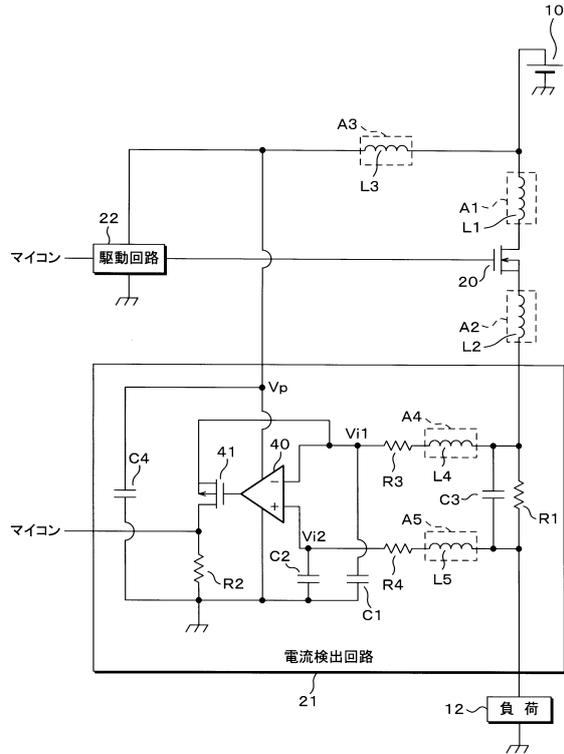
【図1】



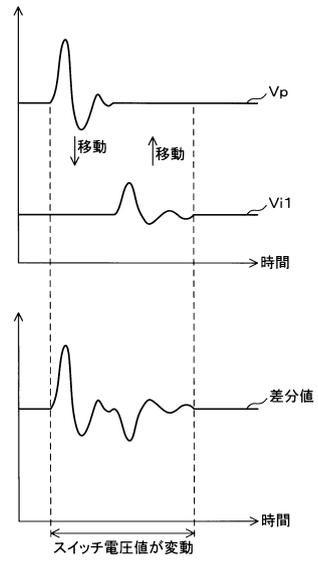
【図2】



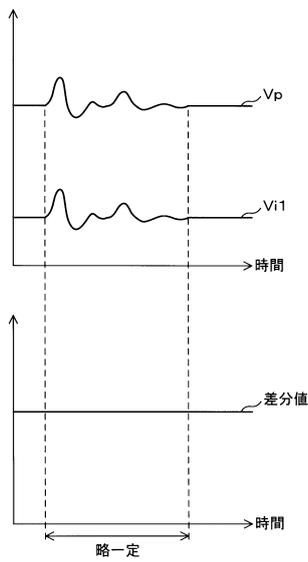
【図3】



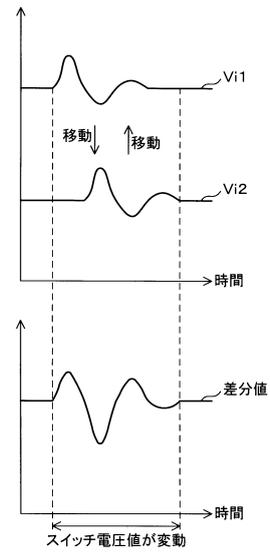
【図4】



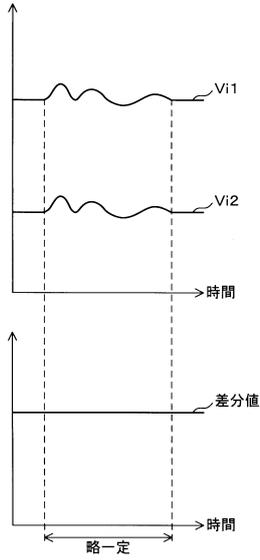
【図5】



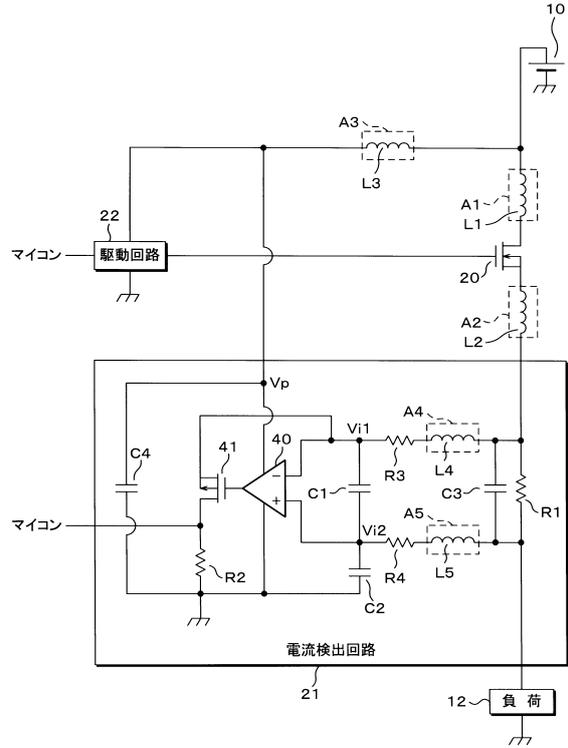
【図6】



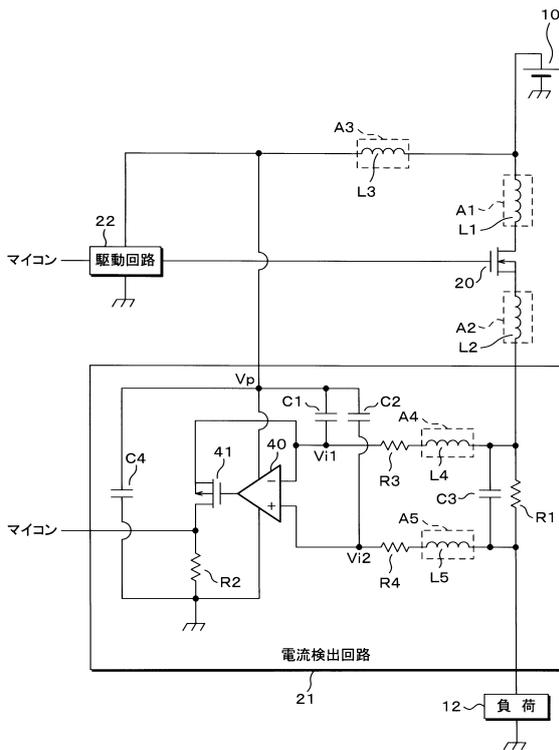
【図7】



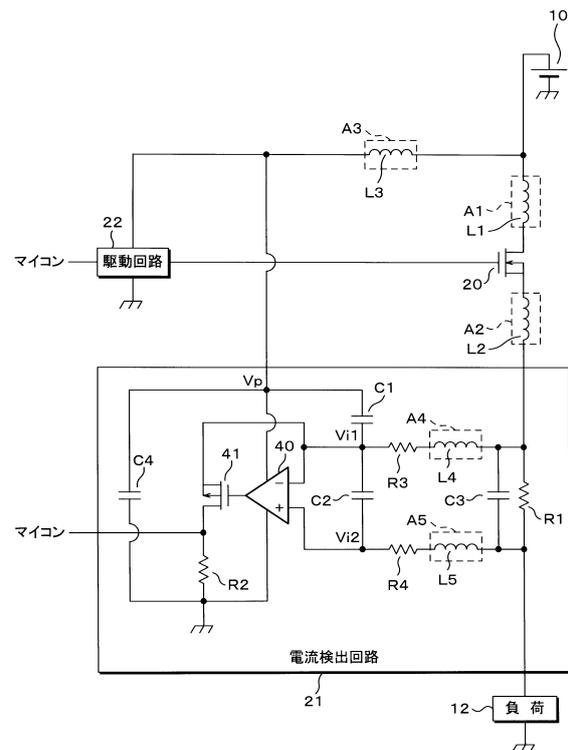
【図8】



【図9】



【図10】



## フロントページの続き

- (72)発明者 小田 康太  
三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内
- (72)発明者 加藤 雅幸  
三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内
- (72)発明者 澤野 峻一  
三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内
- (72)発明者 中口 真之介  
三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内

審査官 赤穂 嘉紀

- (56)参考文献 特開2017-118791(JP,A)  
特開平09-167827(JP,A)  
米国特許出願公開第2002/0125865(US,A1)  
特開2000-284836(JP,A)  
特開平02-026235(JP,A)  
特開2000-308253(JP,A)

## (58)調査した分野(Int.Cl., DB名)

H02J	1/00 - 1/16
H02H	3/08 - 3/253
H02H	9/00 - 9/08
H03F	1/00 - 3/45
H03F	3/50 - 3/52
H03F	3/62 - 3/64
H03F	3/68 - 3/72
H03K	17/00 - 17/70