



(12) 发明专利申请

(10) 申请公布号 CN 113929053 A

(43) 申请公布日 2022.01.14

(21) 申请号 202010675993.8

(22) 申请日 2020.07.14

(71) 申请人 中芯集成电路(宁波)有限公司上海分公司

地址 201210 上海市浦东新区中国(上海)自由贸易试验区蔡伦路85弄95号1幢3楼C区309

(72) 发明人 黄河 刘孟彬 向阳辉

(74) 专利代理机构 上海知锦知识产权代理事务所(特殊普通合伙) 31327

代理人 李丽

(51) Int. Cl.

B81B 7/00 (2006.01)

B81B 7/02 (2006.01)

B81C 1/00 (2006.01)

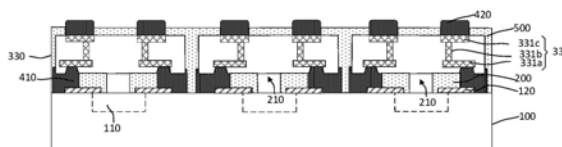
权利要求书2页 说明书11页 附图3页

(54) 发明名称

MEMS器件晶圆级封装方法及封装结构

(57) 摘要

本发明实施例提供了一种MEMS器件晶圆级封装方法及封装结构,方法包括:提供器件晶圆,器件晶圆中形成有第一芯片、与第一芯片电连接的第一电连接部;提供封盖,封盖中形成有互连结构,互连结构包括第二电连接部;在器件晶圆的第一表面或封盖的第一表面形成围墙,围墙围成的区域为空腔;形成围墙后,键合封盖与器件晶圆,第一芯片与空腔相对应,第一电连接部和第二电连接部相对,且均至少部分位于围墙外,形成电连接空腔,电连接空腔具有开口;形成第一导电块,以电连接第一电连接部和第二电连接部。本发明实施例所提供的MEMS器件晶圆级封装方法及封装结构,可以提高所得产品的兼容性和成品率。



1. 一种MEMS器件晶圆级封装方法,其特征在于,包括:
 - 提供器件晶圆,所述器件晶圆中形成有第一芯片、与所述第一芯片电连接的第一电连接部;
 - 提供封盖,所述封盖中形成有互连结构,所述互连结构包括第二电连接部;
 - 在所述器件晶圆的所述第一表面或所述封盖的第一表面形成围墙,所述围墙围成的区域为空腔;
 - 形成所述围墙后,键合所述封盖与所述器件晶圆,所述第一芯片与所述空腔相对应,所述第一电连接部和所述第二电连接部相对,且均至少部分位于所述围墙外,形成电连接空腔,电连接空腔具有开口;
 - 形成第一导电块,以电连接所述第一电连接部和所述第二电连接部。
2. 如权利要求1所述的MEMS器件晶圆级封装方法,其特征在于,所述封盖的形成步骤包括:
 - 提供衬底;
 - 在所述衬底上形成释放层,所述释放层覆盖所述衬底;
 - 在所述释放层上形成介质层,在所述介质层中形成互连结构;
 - 在所述介质层中形成所述互连结构的步骤之后,还包括:
 - 释放所述释放层,去除所述衬底。
3. 如权利要求2所述的MEMS器件晶圆级封装方法,其特征在于,所述释放层的材料包括锗、碳、热解膜和光解膜中的至少一种。
4. 如权利要求1所述的晶圆级封装方法,其特征在于,所述封盖包括芯片级封盖;
 - 所述键合所述封盖与所述器件晶圆的步骤包括:
 - 键合各个所述芯片级封盖和所述第一芯片。
5. 如权利要求1所述的MEMS器件晶圆级封装方法,其特征在于,所述封盖包括晶圆级封盖;
 - 所述键合所述封盖与所述器件晶圆之后还包括:
 - 沿切割道切割所述封盖。
6. 如权利要求1所述的MEMS器件晶圆级封装方法,其特征在于,所述互连结构还包括与所述第二电连接部电连接的第三电连接部,所述第三电连接部与所述第二电连接部分别位于所述封盖相对的两个表面;
 - 所述MEMS器件晶圆级封装方法还包括:
 - 形成所述第一导电块的同时形成与所述第三电连接部电连接的第二导电块,或者在所述第三电连接部上植球形成第二导电块。
7. 如权利要求1所述的MEMS器件晶圆级封装方法,其特征在于,所述围墙的材料包括干膜或金属。
8. 如权利要求1-7任一项所述的MEMS器件晶圆级封装方法,其特征在于,所述形成第一导电块的步骤之后还包括:
 - 填充各所述开口,形成封装层。
9. 如权利要求8所述的MEMS器件晶圆级封装方法,其特征在于,所述填充形成所述第一导电块的开口之后还包括:

将键合有所述互连结构的器件晶圆进行切割,分离所述器件晶圆的各个所述第一芯片。

10.如权利要求1-7任一项所述的MEMS器件晶圆级封装方法,其特征在于,形成所述第一导电块的工艺为电镀工艺。

11.如权利要求1-7任一项所述的MEMS器件晶圆级封装方法,其特征在于,所述第一导电块的材料为铜、镍、锌、锡、金、钨和镁中的一种或多种。

12.如权利要求1-7任一项所述的MEMS器件晶圆级封装方法,其特征在于,所述MEMS器件包括体声波滤波器、表面声波滤波器、固态装配谐振器、麦克风和指纹识别器件中的至少一种。

13.如权利要求1-7任一项所述的MEMS器件晶圆级封装方法,其特征在于,所述围墙的厚度范围为5微米-50微米。

14.一种MEMS器件封装结构,其特征在于,包括:

器件衬底,所述器件衬底中形成有第一芯片、与所述第一芯片电连接的第一电连接部;

封盖,封盖中形成有互连结构,所述互连结构包括第二电连接部;

围墙,位于所述器件衬底和所述封盖之间,所述第一芯片与所述围墙围成的空腔相对应,所述第一电连接部和所述第二电连接部相对,且均至少部分位于所述围墙外;

第一导电块,电连接所述第一电连接部和所述第二电连接部。

15.如权利要求14所述的MEMS器件封装结构,其特征在于,所述互连结构还包括与所述第二电连接部电连接的第三电连接部,所述第三电连接部与所述第二电连接部分别位于所述封盖相对的两个表面;

MEMS器件封装结构还包括:第二导电块,所述第二导电块电连接所述第三电连接部。

16.如权利要求14或15所述的MEMS器件封装结构,其特征在于,所述封盖包括晶圆级封盖或芯片级封盖。

17.如权利要求14或15所述的MEMS器件封装结构,其特征在于,所述围墙的厚度范围为5微米-50微米。

18.如权利要求14或15所述的MEMS器件封装结构,其特征在于,第一导电块的材料为铜、镍、锌、锡、金、钨和镁中的一种或多种。

19.如权利要求14或15所述的MEMS器件封装结构,其特征在于,还包括封装层,所述封装层至少覆盖所述第一导电块的表面。

20.如权利要求14或15所述的MEMS器件封装结构,其特征在于,所述MEMS器件包括体声波滤波器、表面声波滤波器、固态装配谐振器、麦克风、指纹识别器件。

MEMS器件晶圆级封装方法及封装结构

技术领域

[0001] 本发明实施例涉及半导体制造领域,尤其涉及一种MEMS器件晶圆级封装方法及封装结构。

背景技术

[0002] 随着超大规模集成电路的发展趋势,集成电路特征尺寸持续减小,人们对集成电路的封装技术的要求相应也不断提高。现有的封装技术包括球栅阵列封装(Ball Grid Array,BGA)、芯片尺寸封装(Chip Scale Package,CSP)、晶圆级封装(Wafer Level Package,WLP)、三维封装(3D)和系统封装(System in Package,SiP)等,而采用不同形式的三维立体堆叠模式的系统集成封装已经得到越来越多的应用。

[0003] 目前,为了满足集成电路封装的更低成本、更可靠、更快及更高密度的目标,先进的封装方法主要采用三维立体堆叠模式的晶圆级系统封装(wafer level package system in package,WLPSIP),与传统的系统封装相比,晶圆级系统封装是在晶圆上完成封装集成制程,具有大幅减小封装结构的面积、降低制造成本、优化电性能、批次制造等优势,可明显的降低工作量与设备的需求。

[0004] 在晶圆级系统封装工艺中,不仅需要两片裸芯片键合在一起以实现物理连接,同时还需要连接其互连引线,从而实现电性连接。

发明内容

[0005] 本发明实施例提供一种MEMS器件晶圆级封装方法及封装结构,以提高在实现晶圆级封装的同时,提高所得产品的兼容性和成品率。

[0006] 为解决上述问题,本发明实施例提供一种MEMS器件晶圆级封装方法,包括:

[0007] 提供器件晶圆,所述器件晶圆中形成有第一芯片、与所述第一芯片电连接的第一电连接部;

[0008] 提供封盖,所述封盖中形成有互连结构,所述互连结构包括第二电连接部;

[0009] 在所述器件晶圆的所述第一表面或所述封盖的第一表面形成围墙,所述围墙围成的区域为空腔;

[0010] 形成所述围墙后,键合所述封盖与所述器件晶圆,所述第一芯片与所述空腔相对应,所述第一电连接部和所述第二电连接部相对,且均至少部分位于所述围墙外,形成电连接空腔,电连接空腔具有开口;

[0011] 形成第一导电块,以电连接所述第一电连接部和所述第二电连接部。

[0012] 相应地,为解决上述问题,本发明实施例还提供一种MEMS器件封装结构,包括:

[0013] 器件衬底,所述器件衬底中形成有第一芯片、与所述第一芯片电连接的第一电连接部;

[0014] 封盖,封盖中形成有互连结构,所述互连结构包括第二电连接部;;

[0015] 围墙,位于所述器件衬底和所述封盖之间,所述第一芯片与所述围墙围成的空腔

相对应,所述第一电连接部和所述第二电连接部相对,且均至少部分位于所述围墙外;

[0016] 第一导电块,电连接所述第一电连接部和所述第二电连接部。

[0017] 与现有技术相比,本发明的技术方案具有以下优点:

[0018] 本发明实施例所提供的MEMS器件晶圆级封装方法,利用具有互连结构的封盖与MEMS器件晶圆进行键合,可以实现MEMS器件与外接信号互连,并且器件晶圆和封盖通过围墙连接,为电连接第一电连接部与封盖的第二电连接部的第一导电块提供了生成空间,为MEMS器件工作区提供空腔工作环境,提高器件的性能。

[0019] 可选方案中,利用电镀工艺使器件晶圆的所述第一电连接部与封盖的第二电连接部电连接,将MEMS电性引出到封盖顶,避免了硅通孔TSV工艺,节省制程成本,降低了三维立体堆叠模式的晶圆级系统封装的难度,提高产品的成品率。

[0020] 可选方案中,本发明实施例所提供的MEMS器件晶圆级封装方法,所提供的封盖包括位于衬底和介质层之间的释放层,一方面,衬底可以为互连结构的加工提供支撑,或者同时为封盖和器件晶圆的键合提供支撑;另一方面,释放层的存在,可以在完成互连结构的加工,或者完成封盖与器件晶圆的键合后,通过释放层的释放去除衬底,提高衬底去除的方便性,还可以实现衬底去除的准确控制,避免由于通过磨削的方式去除衬底时所造成的厚度控制准确度较低对器件所造成的损伤,提高产品的成品率。

附图说明

[0021] 图1至图8是本发明晶圆级封装方法一实施例中各步骤对应的结构示意图;

[0022] 图9至图10是本发明晶圆级封装方法另一实施例中部分步骤对应的结构示意图。

具体实施方式

[0023] 晶圆级系统封装主要包括物理连接和电性连接这两个重要工艺。其中,最典型的封装方式可以是:1)通过固化胶将上下裸芯片立体堆叠至基板上,并采用引线互连(wire bond)工艺将两个裸芯片的引线焊盘引线至基板上;2)通过固化胶将上下裸芯片立体堆叠至基板上,并采用wire bond工艺将上裸芯片的引线焊盘引线至下裸芯片的引线焊盘上,再将下裸芯片的引线焊盘引线至基板上;3)通过预制于上裸芯片表面的凸点焊(bump)或预制于下裸芯片表面的凸点焊实现倒装焊接,并采用wire bond将下裸芯片的引线焊盘引线至基板上;4)通过预制于上裸芯片表面的凸点焊或预制于下裸芯片表面的凸点焊实现倒装焊接,并采用预制于下裸芯片内的硅通孔互连(TSV)结构将下裸芯片的引线焊盘连至下裸芯片的背面。

[0024] 其中,凸点倒装焊接工艺得到越来越多的应用,尤其是基于硅通孔互连工艺以及微凸点倒装焊的高密度系统集成封装。然而,由于预制于下裸芯片内的TSV结构会将下裸芯片的引线焊盘连至下裸芯片的背面,且随着集成电路的发展趋势,集成电路设计的复杂度不断提高,金属互连结构的布局相应越来越复杂,从而导致TSV工艺的难度增大,甚至出现因下裸芯片中的功能结构(例如,金属互连结构)的阻挡作用,无法形成TSV结构的问题。

[0025] 为了解决所述技术问题,本发明实施例提供了一种MEMS器件晶圆级封装方法,利用具有互连结构的封盖与MEMS器件晶圆进行键合,可以实现MEMS器件与外接信号互连,并且器件晶圆和封盖通过围墙连接,为电连接第一电连接部与封盖的第二电连接部的第一导

电块提供了生成空间,同时为MEMS器件工作区提供空腔工作环境,提高器件的性能。

[0026] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0027] 图1至图8是本发明晶圆级封装方法一实施例中各步骤对应的结构示意图。

[0028] 参考图1,提供器件晶圆100,所述器件晶圆100中形成有第一芯片110、与所述第一芯片110电连接的第一电连接部120。

[0029] 所述晶圆级封装方法用于实现晶圆级系统封装,器件晶圆100用于在后续工艺中与待集成芯片进行键合。当然,器件晶圆100为MEMS器件晶圆。所述器件晶圆100采用集成电路制作技术所制成。本实施例中,器件晶圆100包括衬底。作为一种示例,所述衬底为硅衬底。在其他实施例中,所述衬底的材料还可以为锗、锗化硅、碳化硅、砷化镓或镓化铟等其他材料,所述衬底还能够为绝缘体上的硅衬底或者绝缘体上的锗衬底等其他类型的衬底。

[0030] 器件晶圆100中形成有第一芯片110和第一电连接部120,当然,为实现在后续工艺中与待集成芯片的电连接部进行电连接,第一电连接部120位于器件晶圆100的第一表面,即第一电连接部120的表面裸露,;另外,为在后续工艺中形成第一芯片110的空腔工作环境提供基础,第一电连接部120并未覆盖第一芯片110,暴露出第一芯片110。

[0031] 其中,第一电连接部120的表面凸出于第一芯片110的表面,与第一芯片110的内部结构电连接。在其他实施例中,第一电连接部120的表面可以与第一芯片110的表面为同一表面,或者第一电连接部120的表面低于第一芯片110的表面。

[0032] 本实施例中,器件晶圆100包括相对的晶圆正面和晶圆背面,第一电连接部120位于晶圆正面,即晶圆正面露出第一电连接部120。其中,晶圆背面指的是器件晶圆100中衬底的底部表面。

[0033] 需要说明的是,第一电连接部120露出的位置可以利用介质层(未标示)进行保护以防止短路,且在MEMS器件晶圆级封装方法中,再通过对介质层进行刻蚀以暴露所述第一电连接部120。

[0034] 还需要说明的是,为了便于图示,本实施例以器件晶圆100中形成有三个第一芯片110为例进行说明。但所述第一芯片110的数量不仅限于三个。另外,为了便于图示,与同一个第一芯片110电连接的第一电连接部120的数量为两个,以实现第一芯片110的信号输入和输出,当然与同一个第一芯片110电连接的第一电连接部120的数量可以为多个。

[0035] 可以理解的是,同一个器件晶圆100的各个第一芯片110可以为相同类型具有相同功能的芯片,也可以为具有不同功能的芯片,同一个器件晶圆100的各个第一芯片110具体可以包括:体声波滤波器、表面声波滤波器、固态装配谐振器、麦克风和指纹识别器件中的至少一种。

[0036] 请参考图2,提供封盖300,所述封盖300中形成有互连结构331,所述互连结构331包括第二电连接部331a。

[0037] 封盖300作为晶圆级封装的待集成结构的一部分,其中形成有互连结构331,在实现对器件晶圆100的封装的同时改变第一电连接部120在晶圆平面的位置。

[0038] 封盖300采用集成电路制作技术所制成,第二电连接部331a位于封盖300的第一表

面,即第二电连接部331a被裸露。

[0039] 需要说明的是,第二电连接部331a露出的位置可以利用介质层(未标示)进行保护以防止短路,且在MEMS器件晶圆级封装方法中,再通过对介质层进行刻蚀以暴露所述第二电连接部331a,而第二电连接部331a的表面低于介质层的表面,即形成有凹槽。

[0040] 封盖300可以包括衬底310,本实施例中,所述衬底310为硅衬底,在其他实施例中,所述衬底的材料还可以为锗、锗化硅、碳化硅、砷化镓、镓化铟或玻璃等其他材料,所述衬底还能够为绝缘体上的硅衬底或者绝缘体上的锗衬底等其他类型的衬底。在其他实施例中,封盖也可以不包括衬底,仅包括形成有互连结构的介质层。

[0041] 本实施例中,封盖300通过以下步骤获取:

[0042] 提供衬底310;

[0043] 在所述衬底310上形成释放层320,所述释放层320覆盖所述衬底310;

[0044] 在所述释放层320上形成介质层330,在所述介质层330中形成互连结构331。

[0045] 在其他实施例中,形成封盖300的步骤还可以包括,在所述介质层330中形成所述互连结构331之后,释放所述释放层320,去除所述衬底310。即封盖300为仅包括形成有互连结构331的介质层。

[0046] 衬底310为封盖300的互连结构331的制作提供支撑。对封盖300的衬底的描述,可结合参考前述的相关描述,在此不再赘述。释放层320为衬底310的去除提供方便,本实施例中,所述释放层320为锗释放层;在其他实施例中,所述释放层材料为碳和热解膜中的至少一种;当衬底为透光玻璃时,所述释放层材料还可以为光解膜。

[0047] 介质层330提供了互连结构331的成型空间,如图2所示,首先在释放层320上沉积一层介质材料层,然后在介质材料层的对应位置进行刻蚀和填充,形成互连结构331。

[0048] 本实施例中,介质层330的材料为高阻硅,互连结构331的材料为铜,铜的电阻率较低,通过选取铜材料,有利于提高互连结构331的导电性能;而且,互连结构331形成于互连结构孔中,铜的填充性较好,从而提高互连结构331在互连结构孔内的形成质量。在其他实施例中,介质层的材料还可以为其他具有较高电阻的材料,而互连结构的材料也可以为其他可适用的导电材料,比如:镍、锌、锡、金、钨、镁。

[0049] 容易理解的是,为实现互连,互连结构还包括与第二电连接部电连接的第三电连接部,第三电连接部与第二电连接部分别位于封盖相对的两个表面。本实施例中,如图2所示,封盖300包括衬底310和释放层320,第三电连接部与第二电连接部分别位于封盖相对的两个表面是指互连结构331可以包括位于介质层330的第一表面的第二电连接部331a,位于介质层330的第二表面的第三电连接部331c,当然,其中还可以包括电连接第二电连接部331a和第三电连接部331c的插塞331b,包括再布线层(redistribution layer,RDL)结构(图中未示出),介质层330的第一表面与介质层330的第二表面相对。在其他实施例中,封盖仅包括形成有互连结构的介质层,那么第三电连接部与第二电连接部分别位于介质层的两个相对的表面,即分别位于封盖相对的两个表面。

[0050] 为减小MEMS器件晶圆级封装后的封装结构的厚度,在完成互连结构311的加工或者MEMS器件晶圆级封装后,可以进行减薄处理。而在衬底310上先形成释放层320,再在释放层320上形成介质层330,一方面,衬底310可以为互连结构331的加工提供支撑,或者同时为封盖300和器件晶圆100的键合提供支撑;另一方面,释放层320的存在,可以在完成互连结

构331的加工,或者完成封盖300与器件晶圆100的键合后,通过释放层320的释放去除衬底310,提高衬底310去除的方便性,还可以实现衬底310去除的准确控制,避免由于通过磨削的方式去除衬底310时所造成的厚度控制准确度较低对器件所造成的损伤,提高产品的成品率。

[0051] 在其他实施例中,也可以直接在衬底上形成介质层,进而形成互连结构。

[0052] 封盖300可以为晶圆级封盖,即封盖300具有晶圆大小,则封盖300的互连结构331的数量与器件晶圆100的第一电连接部110的数量相同。

[0053] 本实施例中,以器件晶圆100的所述第一芯片110的数量为三个,与每个第一芯片110电连接的第一电连接部120的数量为两个为例进行说明,封盖300的互连结构331的数量相应为六个。但互连结构331的数量不仅限于六个。

[0054] 当封盖300为晶圆级封盖时,通过一次键合既可以实现晶圆级的封装,可以简化处理工艺,提高封装速度。

[0055] 在其他实施例中,封盖300可以为芯片级封盖,则本文所述的提供封盖包括提供多个芯片级封盖,芯片级封盖的数量可以与器件晶圆100的第一芯片110的数量相同,也可以与器件晶圆100的第一芯片110的数量不同,当然,每个芯片级封盖的第二电连接部331a的数量与每个第一芯片110的第一电连接部120的数量相同。

[0056] 当器件晶圆100的各个第一芯片110的结构相同时,各个芯片级封盖的结构可以相同,也可以在保证后续键合以及封装要求的基础上有所不同;当器件晶圆100的各个第一芯片110的结构相同时,可以选择具有不同结构的芯片级封盖,以实现不同第一芯片110的转接互连。

[0057] 可以通过对晶圆级封盖进行切割的方式,获得多个分立的芯片级封盖。

[0058] 请参考图3,在所述器件晶圆100的第一表面形成围墙200,所述围墙200围成的区域为空腔210。

[0059] 通过在器件晶圆100的第一表面形成围墙200,在器件晶圆100和封盖300之间形成支撑,为第一电连接部120和第二电连接部331a的电连接提供空间。

[0060] 围墙200所围成的区域为空腔210,与器件晶圆100的第一芯片110的位置相对应,为第一芯片提供活动空间,提高第一芯片的性能。

[0061] 本实施例中,围墙200可以形成于第一电连接结构120的部分表面以及第一芯片110的边缘。当然也可以只形成于第一电连接结构120部分表面上,第一电连接结构120的部分表面,从而能够在同一步骤中,在多个第一电连接结构120上形成围墙200,从而提高封装效率,同时避免占用第一芯片110对应的区域,形成不密闭的空腔210。

[0062] 本实施例中,围墙200的材料可以为干膜(Dry Film)。干膜是一种用于半导体芯片封装或印刷电路板制造时所采用的具有粘性的光致抗蚀膜,经曝光显影处理,即可在干膜光内形成图形。

[0063] 在另一种实施例中,围墙200的材料可以为金属,首先在器件晶圆100的第一表面沉积金属层,然后刻蚀金属层,以剩余的金属层为围墙,或者在器件晶圆100的第一表面沉积介质层,刻蚀第一电连接结构120靠近第一芯片110的部分表面以及第一芯片110的边缘的介质层,形成填充孔,在填充孔内填充金属,并去除剩余的介质层,得到围墙;在其他实施例中,围墙的材料还可以为光敏材料,从而能够通过光刻工艺实现图形化,从而能够降低对

电极或外接互连线的损伤。

[0064] 需要说明的是,围墙200的厚度不宜过小,也不宜过大。如果厚度过小,则容易导致围墙200的高度不足,从而不能提供足够的第二电连接部331a的电连接材料的填充空间,增加后续导电材料填充于其中的难度,也不能提供足够的空腔210的空间,不能满足第一芯片110对于可动空间的要求;如果厚度过大,则相应会导致后续所形成封装结构的厚度过大,不利于器件小型化的发展。为此,本实施例中,围墙200的厚度范围为5微米-50微米。

[0065] 请参考图4,形成所述围墙200后,键合所述封盖300与所述器件晶圆100,所述第一芯片110与所述空腔210相对应,所述第一电连接部120和所述第二电连接部331a相对,且均至少部分位于所述围墙200外,形成电连接空腔400。

[0066] 形成围墙200后,通过将封盖300键合于围墙200上,实现封盖300与器件晶圆100的系统集成。而且,将封盖300的第一表面键合于围墙200,以便于第二电连接部331a朝向第一电连接部120,实现第一电连接部120与第二电连接部331a的电连接。

[0067] 本实施例中,将封盖300键合于围墙200后,第一电连接部120和第二电连接部331a之间形成电连接空腔400,电连接空腔400用于填充电连接材料,第一电连接部120与第二电连接部331a的电连接。

[0068] 在本实施例中,围墙200的材料为干膜,将封盖300粘于围墙200即可实现封盖300和器件晶圆100的键合。在其他实施例中,围墙200的材料为金属,则利用金属与金属的键合实现封盖300和器件晶圆100的键合。

[0069] 在本实施例中,封盖300为晶圆级封盖,将封盖300与器件晶圆100键合后,除了位于边缘位置的电连接空腔400,为方便后续进行电连接材料的填充还可以对封盖300进行切割。

[0070] 具体地,请参考图5,沿切割道切割所述封盖300,形成用于填充电连接材料的开口600。

[0071] 开口600与电连接空腔400连通,以便填充电连接材料经过开口600进入电连接空腔400,实现第一电连接部120与第二电连接部331a的电连接。

[0072] 本实施例中,可以采用激光切割工艺,沿切割道切割封盖300,形成开口600;其他实施例中,还可以采用刀切割工艺,沿切割道切割封盖300,形成开口600。

[0073] 其他实施例中,封盖为芯片级封盖,将封盖与器件晶圆键合时,将各个芯片级封盖分别与各个第一芯片键合,将芯片级封盖与第一芯片键合后,第一电连接部和第二电连接部之间的电连接空腔为不密封空腔,直接形成有开口,从而可以填充电连接材料进入电连接空腔。

[0074] 请参考图6和图7,形成第一导电块410,以电连接所述第一电连接部120和所述第二电连接部331a。

[0075] 通过第一导电块410电连接所述第一电连接部120和所述第二电连接部331a,从而实现封盖300和器件晶圆100的互连封装,并将器件晶圆100的电性引出,进而为后续的封装制程做准备。例如,后续能够通过第二导电块420(示于图7中),实现第一芯片110与其他基板(例如,电路板)的电连接。

[0076] 具体地,可以利用电镀工艺,使电连接材料从开口600的边界填充至电连接空腔

400中,形成第一导电块410,电连接空腔400中的第一导电块410与第一电连接部120和所述第二电连接部331a均相接触,因此可以实现第一电连接部120和所述第二电连接部331a的电连接。通过电镀工艺,可在电连接空腔400中实现良好的填充效果,进而提高电连接的可靠性。

[0077] 本实施例中,电镀工艺为无电镀(即化学镀)。具体地,键合后的封盖300和器件晶圆100放置到含有金属离子的溶液(例如,化学镀银、镀镍、镀铜等溶液)中,不需要通电,根据氧化还原反应原理,利用强还原剂使金属离子还原成金属而沉积在第一电连接部120和所述第二电连接部331a的表面,形成致密金属镀层,经过一段反应时间之后,金属镀层将电连接空腔400填满,从而形成第一导电块410。因此,第一导电块410的材料包括铜、镍、锌、锡、银、金、钨和镁中的一种或多种。

[0078] 在其他实施例中,也可以利用凸块(bumping)工艺在第一电连接部或第二电连接部上形成焊料凸点,作为第一电连接块。

[0079] 如图6所示,在本实施例中,键合所述封盖300与所述器件晶圆100,并切割形成开口600后,释放所述释放层320,去除所述衬底310。

[0080] 在完成封盖300与所述器件晶圆100的键合后再释放所述释放层320,可以降低对于封盖300的介质层330的厚度要求,降低键合难度。

[0081] 首先形成开口600再释放所述释放层320,可以扩大释放层320的刻蚀面积或者受热面积,提高释放层320去除的速度,提高加工效率。

[0082] 如前所述,本实施例中,衬底310为硅衬底,所述释放层320为锗释放层;可以通过湿法刻蚀工艺,刻蚀释放层320,实现释放层320和衬底310的去除。在其他实施例中,当释放层的材料为热解膜时,可以通过加热的方式实现释放层和衬底的去除,当释放层的材料为光解膜时,且衬底为透光的玻璃时,可以通过光照的方式实现释放层和衬底的去除。

[0083] 当然,在另一种具体实施方式中,还可以首先进行释放层和衬底的去除,再切割形成开口600。

[0084] 如图7所示,由于互连结构331可以包括位于介质层330的第一表面(即封盖300的第一表面)的第二电连接部331a,位于介质层330的第二表面的第三电连接部331c,以及电连接第二电连接部331a和第三电连接部331c的插塞331b,去除释放层320和衬底310后,第三电连接部331c裸露于介质层330的第二表面,从而电镀形成第一导电块410的同时,还在第三电连接部331c的表面形成第二导电块420,以便实现后续与其他基板(例如,电路板)的电连接。

[0085] 这样,通过一次电镀,就可以实现第一导电块410和第二导电块420的生成,可以简化工艺流程,提高工艺效率。

[0086] 在其他实施例中,还可以通过在第三电连接部上植球形成第二导电块,并且第二导电块和第一导电块可以分别生成。

[0087] 从而,本发明实施例所提供的MEMS器件晶圆级封装方法,利用具有互连结构330的封盖300与晶圆器件100进行键合,并利用电镀工艺使器件晶圆100的第一电连接部120与封盖300的第二电连接部331a电连接,可以实现器件晶圆100的各个第一芯片110的第一电连接部120的连接点在器件晶圆100平面方向的重新布线,提高器件晶圆100的第一芯片110与其他芯片的连接灵活性和兼容性;并且器件晶圆100和封盖300通过围墙200连接,为第一

电连接部120与封盖300的第二电连接部331a电连接提供了第一导电块410的生成空间,通过电镀工艺实现立体堆叠的部件之间的电连接,省略了硅通孔互连技术的使用,降低了三维立体堆叠模式的晶圆级系统封装的难度,可以提高产品的成品率,并且器件晶圆100和封盖300通过围墙200连接,还可以在与第一芯片110相对应的位置形成空腔210,为第一芯片110提供可动空间,提高器件的性能。

[0088] 在另一种具体实施方式中,请参考图8,在电镀形成第一导电块410的步骤之后还包括:利用注塑剂填充开口600,形成封装层500。

[0089] 封装层500用于实现对第一导电块410的保护和绝缘。因此,封装层500的材料为绝缘材料。本实施例中,封装层500的材料为环氧树脂,其他实施例中,封装层的材料包括介电材料和塑封材料中的一种或两种,其中,介电材料可以为氧化硅、氮化硅或者其他介电材料。

[0090] 当形成第二导电块420时,封装层500还可以实现对于第二导电块420的保护和绝缘,而为了同时满足对第二导电块420的保护和以及方便第二导电块420与其他电路的连接,如图8所示,封装层500可以覆盖部分第二导电块420。

[0091] 在其他实施例中,封装层500还可以完全覆盖第二导电块420的顶面,或者与第二导电块420的顶面齐平,为此可以对封装层进行平坦化处理,直至露出第二导电块420。在其他实施例中,也可以在形成封装层后,刻蚀第二导电块上方的封装层,从而露出第二导电块。

[0092] 进一步地,所述填充形成所述第一导电块410的开口600之后还包括:

[0093] 将键合有所述互连结构331的器件晶圆100进行切割,分离所述器件晶圆100的各个所述第一芯片110。

[0094] 将键合有所述互连结构331的器件晶圆100进行切割,得到具有互连结构331的各个第一芯片110。

[0095] 对器件晶圆100进行切割的切割工艺既可以为刀切割工艺,也可以为激光切割工艺。

[0096] 图9至图10是本发明晶圆级封装方法另一实施例中各步骤对应的结构示意图。

[0097] 本发明实施例与前述实施例的相同之处在此不再赘述,本发明实施例与前述实施例的不同之处在于:在所述封盖300的第一表面形成围墙200,所述围墙200围成的区域为空腔210。

[0098] 请参考图9,在所述封盖300的第一表面形成围墙200,所述围墙200围成的区域为空腔210。

[0099] 关于围墙200的具体描述请参考前述内容,在此不再赘述。需要说明的是,围墙200所围成的空腔210,在后续与器件晶圆100键合时,需要使空腔与第一芯片110相对应,并且围墙200的不会完全覆盖第二电连接部331a,以保证后续与第一电连接部120的电连接。

[0100] 当然,当封盖300为封盖芯片时,围墙200在各个封盖芯片上形成,再将各个形成有围墙200的封盖芯片与器件晶圆100进行键合。

[0101] 请参考图10,形成所述围墙200后,键合所述封盖300与所述器件晶圆100,所述第一芯片110与所述空腔210相对应,所述第一电连接部120和所述第二电连接部331a相对,且均至少部分位于所述围墙200外。

[0102] 将形成有围墙200的封盖300与器件晶圆100进行键合,使第一芯片110与所述空腔210相对应,所述第一电连接部120和所述第二电连接部331a相对,且均至少部分位于所述围墙200外。

[0103] 此步骤的具体内容请参考图4的描述,在此不再赘述。

[0104] 后续制程与前述实施例相同,在此不再赘述。对本实施例所述封装方法的具体描述,可参考前述实施例中的相应描述,本实施例在此不再赘述。

[0105] 相应的,本发明还提供一种MEMS器件封装结构,包括:

[0106] 器件衬底,所述器件衬底中形成有第一芯片、与所述第一芯片电连接的第一电连接部;

[0107] 封盖,封盖中形成有互连结构,所述互连结构包括第二电连接部;

[0108] 围墙,位于所述器件衬底和所述封盖之间,所述第一芯片与所述围墙围成的空腔相对应,所述第一电连接部和所述第二电连接部相对,且均至少部分位于所述围墙外;

[0109] 第一导电块,电连接所述第一电连接部和所述第二电连接部。

[0110] 图8是本发明MEMS器件封装结构一实施例的结构示意图。

[0111] 本发明实施例所提供的MEMS器件封装结构,以器件晶圆100为器件衬底,以形成互连结构331的介质层330为封盖,包括:

[0112] 器件晶圆100,所述器件晶圆100中形成有第一芯片110、与所述第一芯片110电连接的第一电连接部120;

[0113] 封盖,封盖中形成有互连结构331,所述互连结构331包括第二电连接部331a;

[0114] 围墙200,位于所述器件晶圆100和所述封盖之间,所述第一芯片110与所述围墙200围成的空腔相对应,所述第一电连接部120和所述第二电连接部331a相对,且均至少部分位于所述围墙200外,

[0115] 第一导电块410,电连接所述第一电连接部120和所述第二电连接部331a。

[0116] 具体地,器件晶圆100为MEMS器件晶圆。所述器件晶圆100采用集成电路制作技术所制成。

[0117] 本实施例中,器件晶圆100包括衬底。作为一种示例,所述衬底为硅衬底。在其他实施例中,所述衬底的材料还可以为锗、锗化硅、碳化硅、砷化镓或镓化铟等其他材料,所述衬底还能够为绝缘体上的硅衬底或者绝缘体上的锗衬底等其他类型的衬底。

[0118] 第一电连接部120露出的位置可以利用介质层(未标示)进行保护以防止短路,且在MEMS器件晶圆级封装方法中,再通过对介质层进行刻蚀以暴露所述第一电连接部120。

[0119] 还需要说明的是,为了便于图示,本实施例以器件晶圆100中形成有三个第一芯片110为例进行说明。但所述第一芯片110的数量不仅限于三个。另外,为了便于图示,与同一个第一芯片110电连接的第一电连接部120的数量为两个,以实现第一芯片110的信号的输入和输出,当然与同一个第一芯片110电连接的第一电连接部120的数量可以为多个。

[0120] 同一个器件晶圆100的各个第一芯片110可以为相同类型具有相同功能的芯片,也可以为具有不同功能的芯片,同一个器件晶圆100的各个第一芯片110具体可以包括:体声波滤波器、表面声波滤波器、固态装配谐振器、麦克风和指纹识别器件中的至少一种。

[0121] 封盖可以为晶圆级封盖,即封盖具有晶圆大小,则封盖的互连结构331的数量与器件晶圆100的第一电连接部110的数量相同。

[0122] 本实施例中,以器件晶圆100的所述第一芯片110的数量为三个,与每个第一芯片110电连接的第一电连接部120的数量为两个为例进行说明,封盖的互连结构331的数量相应为六个。但互连结构331的数量不仅限于六个。

[0123] 当封盖为晶圆级封盖时,封装过程可以通过一次键合实现晶圆级的封装,可以简化处理工艺,提高封装速度。

[0124] 在其他实施例中,当器件衬底为器件晶圆时,封盖还可以为芯片级封盖,从而可以选择具有不同结构的芯片级封盖,实现不同的互连要求。

[0125] 在另一种具体实施方式中,器件衬底还可以为MEMS器件芯片,MEMS器件封装结构为MEMS器件芯片级封装结构,与其对应的,封盖也为芯片级封盖,其他结构与器件晶圆形似,在此不再赘述。

[0126] 封盖作为封装结构的一部分,其中形成有互连结构331,在实现对器件晶圆100的封装的同时改变第一电连接部120在晶圆平面的位置。

[0127] 封盖采用集成电路制作技术所制成,第二电连接部331a露出的位置可以利用介质层(未标示)进行保护以防止短路,且在MEMS器件晶圆级封装方法中,再通过对介质层进行刻蚀以暴露所述第二电连接部331a,而第二电连接部331a的表面低于介质层的表面,即形成有凹槽。

[0128] 互连结构331的材料为铜,铜的电阻率较低,通过选取铜材料,有利于提高互连结构331的导电性能;而且,互连结构331形成于互连结构孔中,铜的填充性较好,从而提高互连结构331在互连结构孔内的形成质量。在其他实施例中,互连结构的材料也可以为其他可适用的导电材料,比如:镍、锌、锡、金、钨、镁。

[0129] 本实施例中,围墙200的材料可以为干膜(Dry Film)。干膜是一种用于半导体芯片封装或印刷电路板制造时所采用的具有粘性的光致抗蚀膜,经曝光显影处理,即可在干膜光内形成图形。

[0130] 在另一种实施例中,围墙200的材料可以为金属,封装过程中,首先在器件晶圆100的第一表面沉积金属层,然后刻蚀金属层,以剩余的金属层为围墙,或者在器件晶圆100的第一表面沉积介质层,刻蚀第一电连接结构120靠近第一芯片100的部分表面以及第一芯片110的边缘的介质层,形成填充孔,在填充孔内填充金属,并去除剩余的介质层,得到围墙;在其他实施例中,围墙的材料还可以为光敏材料,从而能够通过光刻工艺实现图形化,从而能够降低对电极或外接互连线的损伤。

[0131] 需要说明的是,围墙200的厚度不宜过小,也不宜过大。如果厚度过小,则容易导致围墙200的高度不足,从而不能提供足够的第一电连接部120和第二电连接部331a的电连接材料的填充空间,增加后续导电材料填充于其中的难度,也不能提供足够的空腔210的空间,不能满足第一芯片110对于可动空间的要求;如果厚度过大,则相应会导致后续所形成封装结构的厚度过大,不利于器件小型化的发展。为此,本实施例中,围墙200的厚度范围为5微米-50微米。

[0132] 第一导电块410的材料包括铜、镍、锌、锡、银、金、钨和镁中的一种或多种,第一导电块可以通过电镀工艺生成,电镀工艺可以为无电镀(即化学镀)。具体地,将键合后的封盖和器件衬底放置到含有金属离子的溶液(例如,化学镀银、镀镍、镀铜等溶液)中,不需要通电,根据氧化还原反应原理,利用强还原剂使金属离子还原成金属而沉积在第一电连接

部120和所述第二电连接部331a的表面,形成致密金属镀层,经过一段反应时间之后,金属镀层将电连接空腔400(示于图5中)填满,从而形成第一导电块410。

[0133] 在另一种具体实施方式中,本发明实施例所提供的MEMS器件封装结构,互连结构331可以包括分别位于封盖相对的两表面的第二电连接部331a和第三电连接部331c,以及电连接第二电连接部331a和第三电连接部331c的插塞331b,当然,其中还可以包括再布线层(redistribution layer,RDL)结构(图中未示出),MEMS器件封装结构还包括:

[0134] 第二导电块420,所述第二导电块420电连接所述第三电连接部331c。第二导电块420的材料包括铜、镍、锌、锡、银、金、钨和镁中的一种或多种,所述第二导电块420可以实现第一芯片110与其他电路的连接。

[0135] 在另一种具体实施方式中,本发明实施例所提供的MEMS器件封装结构,还包括封装层500,所述封装层500至少覆盖所述第一导电块的表面。

[0136] 封装层500用于实现对第一导电块410的保护和绝缘。因此,封装层500的材料为绝缘材料。本实施例中,封装层500的材料为环氧树脂,其他实施例中,封装层的材料包括介电材料和塑封材料中的一种或两种,其中,介电材料可以为氧化硅、氮化硅或者其他介电材料。

[0137] 当具有第二导电块420时,封装层500还可以实现对于第二导电块420的保护和绝缘,而为了同时满足对第二导电块420的保护和以及方便第二导电块420与其他电路的连接,封装层500可以覆盖部分第二导电块420。

[0138] 在其他实施例中,封装层500还可以完全覆盖第二导电块420的顶面,或者与第二导电块420的顶面齐平,为此可以对封装层进行平坦化处理,直至露出第二导电块420。在其他实施例中,也可以在形成封装层500后,刻蚀第二导电块上方的封装层,从而露出第二导电块。

[0139] 本发明实施例所提供的MEMS器件封装结构,包括相互键合的具有互连结构的封盖与MEMS器件衬底,器件衬底的第一电连接部与封盖的第二电连接部通过第一导电块电连接,可以实现MEMS器件与外接信号互连,并且器件衬底和封盖通过围墙连接,为MEMS器件工作区提供空腔工作环境,提高器件的性能。

[0140] 对所公开的实施例的上述说明,使本领域技术人员能够实现或使用本发明。对这些实施例的多种修改对本领域技术人员来说将是显而易见的,本文中定义的一般原理可以在不脱离本发明的精神或范围的情况下,在其他实施例中实现。因此,本发明将不会被限制于本文所示的这些实施例,而是符合与本文所公开的原理和新颖特点相一致的最宽的范围。

[0141] 虽然本发明实施例披露如上,但本发明并非限于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种变动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

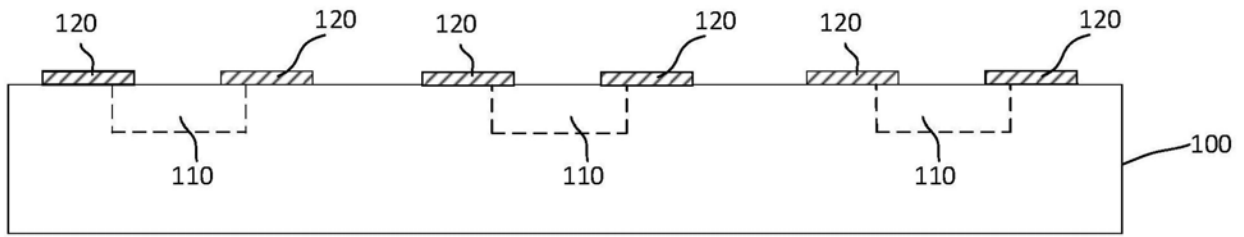


图1

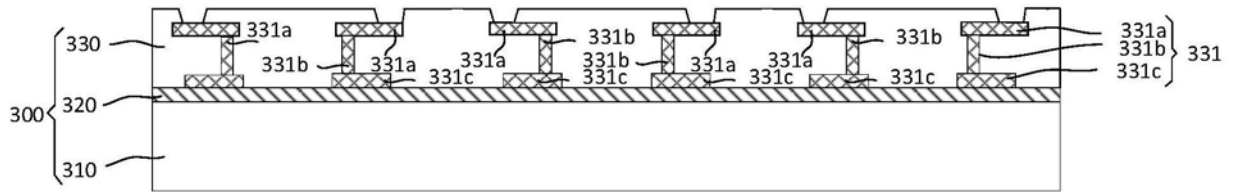


图2

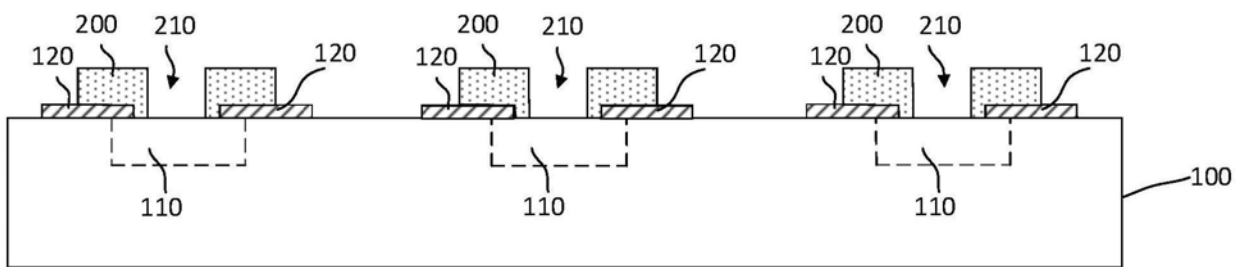


图3

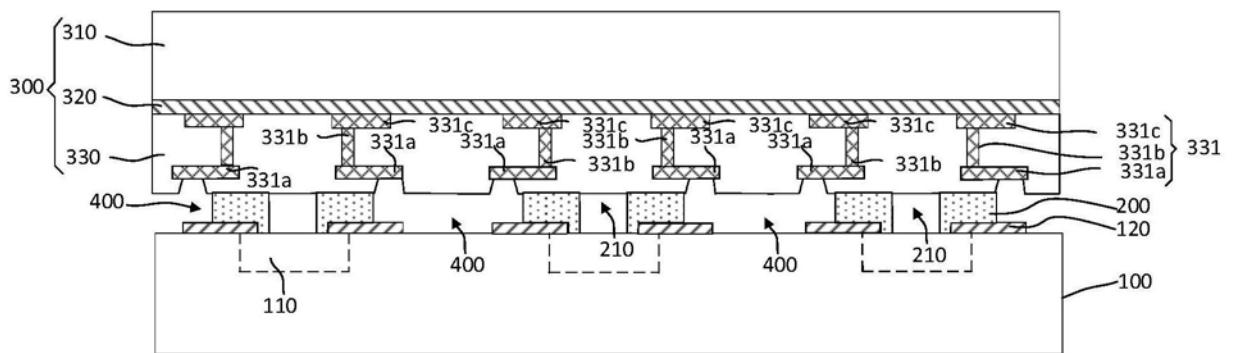


图4

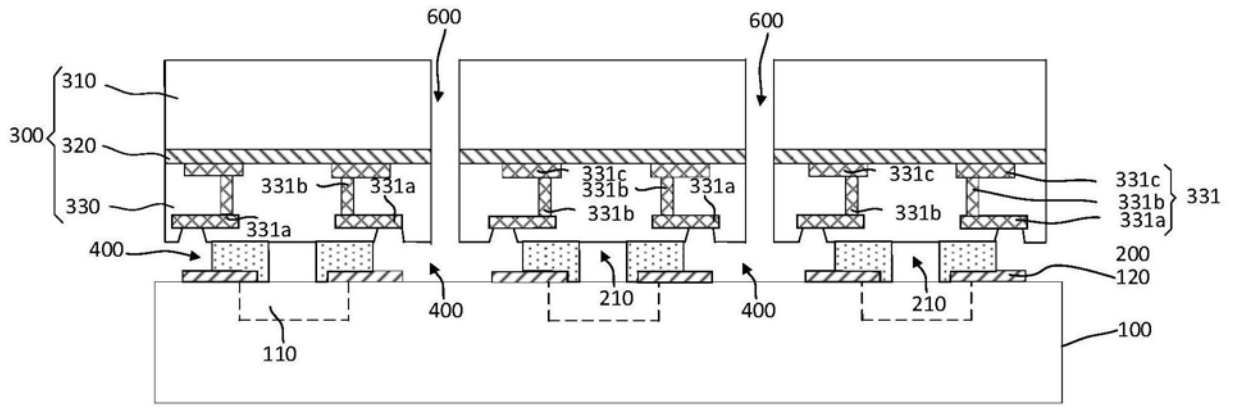


图5

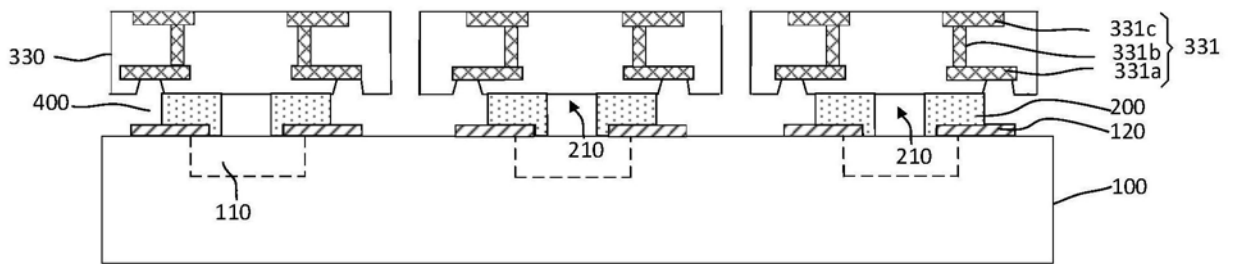


图6

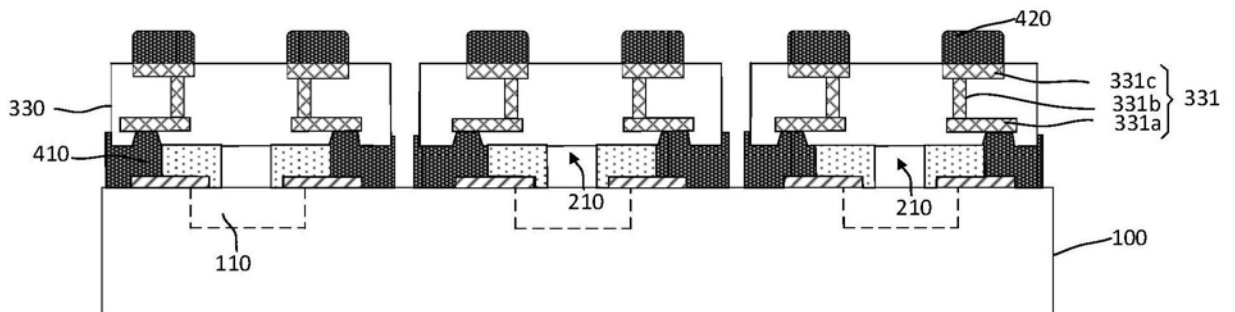


图7

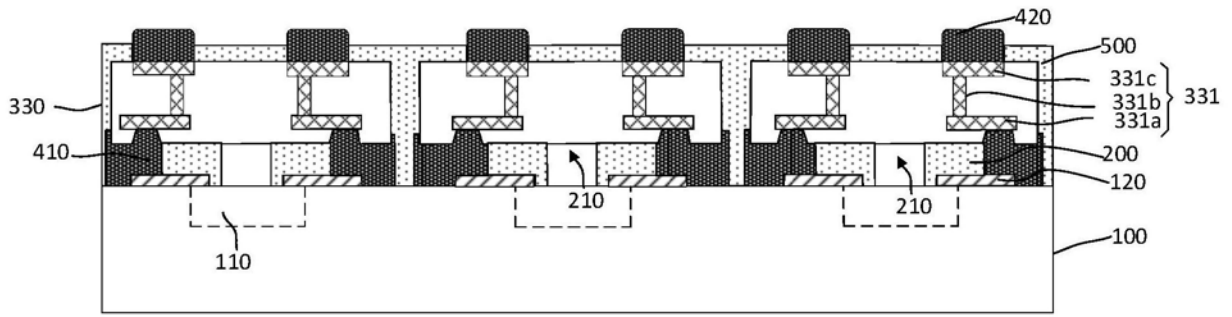


图8

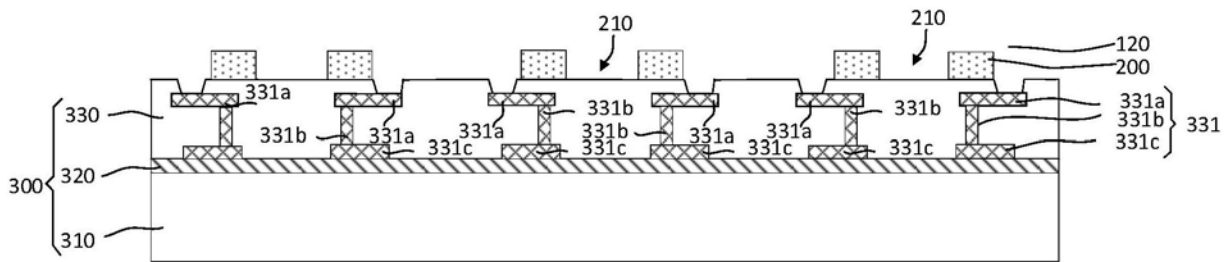


图9

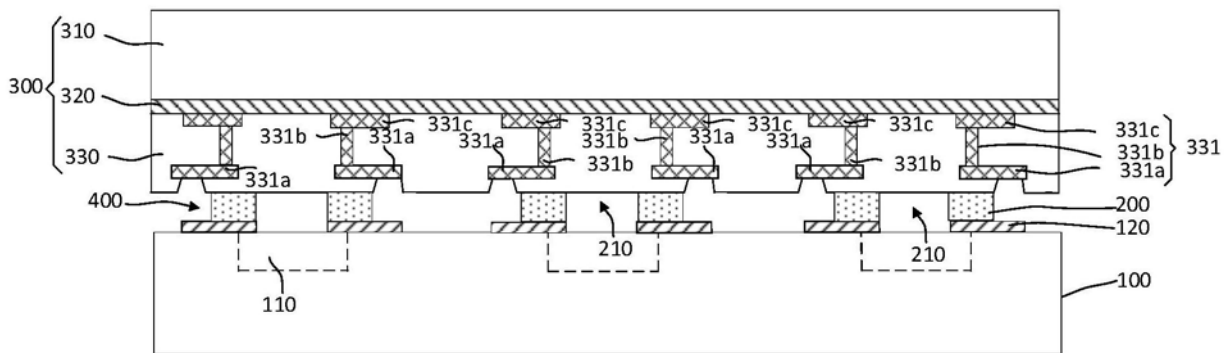


图10