

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-201034

(P2019-201034A)

(43) 公開日 令和1年11月21日(2019.11.21)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8239 (2006.01)	HO 1 L 27/105 4 4 1	5 B O 1 5
HO 1 L 27/105 (2006.01)	HO 1 L 27/102 3 9 1	5 F O 8 3
HO 1 L 21/8229 (2006.01)	HO 1 L 27/11502	
HO 1 L 27/102 (2006.01)	G 1 1 C 11/22 1 1 0	
HO 1 L 27/11502 (2017.01)	G 1 1 C 11/412	

審査請求 未請求 請求項の数 16 O L (全 33 頁) 最終頁に続く

(21) 出願番号 特願2018-92986 (P2018-92986)  
 (22) 出願日 平成30年5月14日 (2018.5.14)

(71) 出願人 316005926  
 ソニーセミコンダクタソリューションズ株式会社  
 神奈川県厚木市旭町四丁目14番1号  
 (74) 代理人 100095957  
 弁理士 亀谷 美明  
 (74) 代理人 100096389  
 弁理士 金本 哲男  
 (74) 代理人 100101557  
 弁理士 萩原 康司  
 (74) 代理人 100128587  
 弁理士 松本 一騎

最終頁に続く

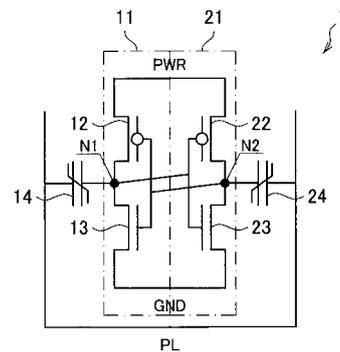
(54) 【発明の名称】 半導体装置及び電子機器

(57) 【要約】

【課題】 高速での書き込み又は読み出しが可能であり、かつ高密度での集積化に適した不揮発の半導体メモリを提供する。

【解決手段】 n型FET及びp型FETを含む第1反転回路と、n型FET及びp型FETを含み、前記第1反転回路の入力に出力が接続され、前記第1反転回路の出力に出力が接続された第2反転回路と、電極の一方を前記第1反転回路の入力に接続された第1強誘電体キャパシタと、電極の一方を前記第2反転回路の入力に接続された第2強誘電体キャパシタと、前記第1強誘電体キャパシタの電極の他方、及び前記第2強誘電体キャパシタの電極の他方と接続するプレート線と、を備える、半導体装置。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

n型FET及びp型FETを含む第1反転回路と、  
 n型FET及びp型FETを含み、前記第1反転回路の入力に出力が接続され、前記第1反転回路の出力に入力が接続された第2反転回路と、  
 電極の一方を前記第1反転回路の入力に接続された第1強誘電体キャパシタと、  
 電極の一方を前記第2反転回路の入力に接続された第2強誘電体キャパシタと、  
 前記第1強誘電体キャパシタの電極の他方、及び前記第2強誘電体キャパシタの電極の他方と接続するプレート線と、  
 を備える、半導体装置。

10

## 【請求項 2】

前記第1反転回路及び前記第2反転回路の前記n型FET及び前記p型FETは、互いに平行に第1方向に延伸するp型又はn型の活性化領域にそれぞれ設けられる、請求項1に記載の半導体装置。

## 【請求項 3】

前記第1反転回路及び前記第2反転回路の前記n型FET及び前記p型FETは、前記第1方向と直交する第2方向に延伸するゲート電極にてそれぞれ電氣的に接続される、請求項2に記載の半導体装置。

## 【請求項 4】

前記第1反転回路の前記ゲート電極から、前記第2反転回路の前記n型FET及び前記p型FETが設けられたp型又はn型の活性化領域のそれぞれに亘って第1シェアコンタクトが設けられ、

20

前記第2反転回路の前記ゲート電極から、前記第1反転回路の前記n型FET及び前記p型FETが設けられたp型又はn型の活性化領域のそれぞれに亘って第2シェアコンタクトが設けられる、請求項3に記載の半導体装置。

## 【請求項 5】

前記第1強誘電体キャパシタは、前記第1シェアコンタクトの内部に設けられ、前記第2強誘電体キャパシタは、前記第2シェアコンタクトの内部に設けられる、請求項4に記載の半導体装置。

## 【請求項 6】

前記第1強誘電体キャパシタ及び前記第2強誘電体キャパシタは、スタック型シリンダ形状にて設けられる、請求項5に記載の半導体装置。

30

## 【請求項 7】

前記第1シェアコンタクト及び前記第2シェアコンタクトは、折曲した平面形状を有する、請求項5に記載の半導体装置。

## 【請求項 8】

前記第1シェアコンタクト及び前記第2シェアコンタクトの上には、前記第2方向に延伸する前記プレート線が設けられる、請求項5に記載の半導体装置。

## 【請求項 9】

前記第1反転回路及び前記第2反転回路の双方において、前記p型FETのソース又はドレインの一方にはそれぞれ電源線が電氣的に接続され、前記p型FETのソース又はドレインの他方にはそれぞれ前記n型FETのソース又はドレインの一方が電氣的に接続され、前記n型FETのソース又はドレインの他方にはそれぞれグランド線が電氣的に接続される、請求項4に記載の半導体装置。

40

## 【請求項 10】

前記電源線及び前記グランド線は、前記第1方向に延伸して設けられる、請求項9に記載の半導体装置。

## 【請求項 11】

前記第1強誘電体キャパシタの電極の他方にソース又はドレインの一方が電氣的に接続する第1選択FETと、

50

前記第2強誘電体キャパシタの電極の他方にソース又はドレインの一方が電氣的に接続する第2選択FETと、  
をさらに備える、請求項4に記載の半導体装置。

【請求項12】

前記第1選択FET及び前記第2選択FETは、前記第1反転回路及び前記第2反転回路の前記n型FETが設けられる前記p型の活性化領域にそれぞれ設けられるn型FETである、請求項11に記載の半導体装置。

【請求項13】

前記第1選択FETは、前記第2シェアコンタクトを挟んで前記第1反転回路の前記前記n型FETと対向する側に設けられ、

10

前記第2選択FETは、前記第1シェアコンタクトを挟んで前記第2反転回路の前記前記n型FETと対向する側に設けられる、請求項12に記載の半導体装置。

【請求項14】

前記第1選択FET及び前記第2選択FETのゲートには、前記第2方向に延伸するワード線が電氣的に接続される、請求項11に記載の半導体装置。

【請求項15】

前記第1選択FET及び前記第2選択FETのソース又はドレインの他方には、前記第1方向に延伸する第1ビット線又は第2ビット線がそれぞれ電氣的に接続される、請求項11に記載の半導体装置。

【請求項16】

20

半導体装置を備え、

前記半導体装置は、

n型FET及びp型FETを含む第1反転回路と、

n型FET及びp型FETを含み、前記第1反転回路の入力に出力が接続され、前記第1反転回路の出力に出力が接続された第2反転回路と、

電極の一方を前記第1反転回路の入力に接続された第1強誘電体キャパシタと、

電極の一方を前記第2反転回路の入力に接続された第2強誘電体キャパシタと、

前記第1強誘電体キャパシタの電極の他方、及び前記第2強誘電体キャパシタの電極の他方と接続するプレート線と、

を備える、電子機器。

30

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、半導体装置及び電子機器に関する。

【背景技術】

【0002】

同一基板上に設けられたnMOSFET(n型Metal-Oxide-Semiconductor Field-Effect Transistor)及びpMOSFET(p型MOSFET)から構成されるCMOS(Complementary MOS)回路は、消費電力が少なく、高速動作が可能であり、かつ微細化及び高集積化が容易な回路として知られている。

40

【0003】

そのため、CMOS回路は、多くのLSI(Large Scale Integration)デバイスにて用いられている。なお、このようなLSIデバイスは、近年、アナログ回路、メモリ及び論理回路などを1つのチップに混載したSoC(System on a Chip)として製品化されている。

【0004】

LSIデバイスに搭載されるメモリには、例えば、Static RAM(Static Random Access Memory:SRAM)等が用いられる。SRAM

50

は、高速動作が可能であるが、電力供給が停止すると記憶された情報が消失する揮発性のメモリである。一方、電力供給が停止した場合でも情報を保持することが可能な不揮発性のメモリとしては、例えば、M a g n e t i c R A M ( M R A M ) 又は F e r r o e l e c t r i c R A M ( F e R A M ) 等が挙げられる。これらのメモリは、S o C への混載だけでなく、メモリチップ単体としても用いることが可能である。

【 0 0 0 5 】

F e R A M は、強誘電体の残留分極の方向を用いて情報を記憶する半導体メモリである。F e R A M は、例えば、強誘電体膜を用いたキャパシタを配線上に形成した 1 T 1 C ( 1 トランジスタ 1 キャパシタ ) 型の構造で形成することができる。ただし、F e R A M の動作速度は、S R A M の動作速度と比較して遅いため、F e R A M は、キャッシュメモリ等の用途には不向きであった。

10

【 0 0 0 6 】

そこで、下記の特許文献 1 には、C M O S 回路で構成される S R A M の記憶ノードに強誘電体キャパシタを接続した半導体メモリが開示されている。特許文献 1 が開示された技術によれば、電力が供給されないスタンバイ時には強誘電体キャパシタに情報を退避させることができるため、S R A M に不揮発性を付与することができる。したがって、特許文献 1 が開示される半導体メモリでは、高速での書き込み又は読み出しと、不揮発性とを両立させることができる。

【 先行技術文献 】

【 特許文献 】

20

【 0 0 0 7 】

【 特許文献 1 】 特開平 8 - 1 8 0 6 7 2 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

しかし、上記の特許文献 1 が開示される技術では、平行平板形状にて強誘電体キャパシタが形成されるため、強誘電体キャパシタの平面面積が大きくなってしまふ。そのため、特許文献 1 が開示される半導体メモリは、高密度での集積化には適していなかった。

【 0 0 0 9 】

そのため、高速での書き込み又は読み出しが可能であり、かつ不揮発な半導体メモリにおいて、より高密度での集積化に適した構造の提案が求められていた。

30

【 課題を解決するための手段 】

【 0 0 1 0 】

本開示によれば、n 型 F E T 及び p 型 F E T を含む第 1 反転回路と、n 型 F E T 及び p 型 F E T を含む、前記第 1 反転回路の入力に出力が接続され、前記第 1 反転回路の出力に出力が接続された第 2 反転回路と、電極の一方を前記第 1 反転回路の入力に接続された第 1 強誘電体キャパシタと、電極の一方を前記第 2 反転回路の入力に接続された第 2 強誘電体キャパシタと、前記第 1 強誘電体キャパシタの電極の他方、及び前記第 2 強誘電体キャパシタの電極の他方と接続するプレート線と、を備える、半導体装置が提供される。

【 0 0 1 1 】

40

また、本開示によれば、半導体装置を備え、前記半導体装置は、n 型 F E T 及び p 型 F E T を含む第 1 反転回路と、n 型 F E T 及び p 型 F E T を含む、前記第 1 反転回路の入力に出力が接続され、前記第 1 反転回路の出力に出力が接続された第 2 反転回路と、電極の一方を前記第 1 反転回路の入力に接続された第 1 強誘電体キャパシタと、電極の一方を前記第 2 反転回路の入力に接続された第 2 強誘電体キャパシタと、前記第 1 強誘電体キャパシタの電極の他方、及び前記第 2 強誘電体キャパシタの電極の他方と接続するプレート線と、を備える、電子機器が提供される。

【 0 0 1 2 】

本開示によれば、情報を不揮発に記憶可能な第 1 強誘電体キャパシタ及び第 2 強誘電体キャパシタをフリップフロップ回路に接続することができる。また、本開示によれば、第

50

1 強誘電体キャパシタ及び第2強誘電体キャパシタをシェアコンタクトの内部にスタック型シリンダ形状にて形成することができる。

【発明の効果】

【0013】

以上説明したように本開示によれば、高速での書き込み又は読み出しが可能であり、かつ高密度での集積化に適した不揮発の半導体メモリを提供することができる。

【0014】

なお、上記の効果は必ずしも限定的なものではなく、上記の効果とともに、または上記の効果に代えて、本明細書に示されたいずれかの効果、または本明細書から把握され得る他の効果が奏されてもよい。

10

【図面の簡単な説明】

【0015】

【図1】本開示の一実施形態に係る半導体装置の等価回路を示した回路図である。

【図2】図1で示した半導体装置を適用した記憶装置のメモリセルの等価回路を示した回路図である。

【図3A】メモリセルの平面構造及び断面構造の一部を示す模式図である。

【図3B】メモリセルの平面構造及び断面構造の一部を示す模式図である。

【図4】図3A及び図3Bの平面図をC-C線で切断した断面を示す模式図である。

【図5】メモリセルの製造方法の一工程を説明する平面図及び断面図である。

【図6】メモリセルの製造方法の一工程を説明する平面図及び断面図である。

20

【図7】メモリセルの製造方法の一工程を説明する平面図及び断面図である。

【図8】メモリセルの製造方法の一工程を説明する平面図及び断面図である。

【図9】メモリセルの製造方法の一工程を説明する平面図及び断面図である。

【図10】メモリセルの製造方法の一工程を説明する平面図及び断面図である。

【図11】メモリセルの製造方法の一工程を説明する平面図及び断面図である。

【図12】メモリセルの製造方法の一工程を説明する平面図及び断面図である。

【図13】メモリセルの製造方法の一工程を説明する平面図及び断面図である。

【図14】メモリセルの製造方法の一工程を説明する平面図及び断面図である。

【図15】メモリセルの製造方法の一工程を説明する平面図及び断面図である。

【図16】第1記憶ノードN1及び第2記憶ノードN2の状態と、電位との関係を示すヒステリシス曲線の一例を示すグラフ図である。

30

【図17A】復帰時のメモリセルの状態の遷移を説明する説明図である。

【図17B】復帰時のメモリセルの状態の遷移を説明する説明図である。

【図17C】復帰時のメモリセルの状態の遷移を説明する説明図である。

【図18A】復帰時の第1記憶ノードN1及び第2記憶ノードN2の状態の遷移を説明する説明図である。

【図18B】復帰時の第1記憶ノードN1及び第2記憶ノードN2の状態の遷移を説明する説明図である。

【図18C】復帰時の第1記憶ノードN1及び第2記憶ノードN2の状態の遷移を説明する説明図である。

40

【図19A】本実施形態に係る電子機器の一例を示す外観図である。

【図19B】本実施形態に係る電子機器の他の例を示す外観図である。

【図19C】本実施形態に係る電子機器の他の例を示す外観図である。

【発明を実施するための形態】

【0016】

以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0017】

なお、説明は以下の順序で行うものとする。

50

1. 概要
2. 構造例
3. 製造方法
4. 動作例
5. 適用例

**【0018】****< 1. 概要 >**

まず、図1を参照して、本開示の一実施形態に係る半導体装置の概要について説明する。図1は、本実施形態に係る半導体装置の等価回路を示した回路図である。

**【0019】**

図1に示すように、半導体装置1は、p型FET(Field Effect Transistor)12及びn型FET13を含む第1反転回路11と、p型FET22及びn型FET23を含む第2反転回路21と、第1強誘電体キャパシタ14と、第2強誘電体キャパシタ24と、を備える。半導体装置1は、例えば、1ビットの情報を「0」又は「1」の状態で保持することが可能なフリップフロップ回路である。

**【0020】**

第1反転回路11は、p型FET12及びn型FET13を接続して設けられたインバータ(NOT)回路である。具体的には、第1反転回路11では、p型FET12のソース又はドレインの一方に電源線PWRが電氣的に接続され、p型FET12のソース又はドレインの他方にn型FET13のソース又はドレインの一方が電氣的に接続され、n型FET13のソース又はドレインの他方にグランド線GNDが電氣的に接続される。p型FET12のゲート及びn型FET13ゲートは、互いに電氣的に接続される。

**【0021】**

第1反転回路11は、p型FET12のゲート及びn型FET13ゲートの接続点が入力となり、p型FET12のソース又はドレインの他方及びn型FET13のソース又はドレインの一方の接続点が出力となる。また、第1反転回路11の入力は、第2反転回路21の出力と電氣的に接続され、第1反転回路11の出力は、第2反転回路21の入力と電氣的に接続される。さらに、第1反転回路11の出力には、第1強誘電体キャパシタ14の電極の一方が接続される。

**【0022】**

第2反転回路21は、p型FET22及びn型FET23を接続して設けられたインバータ(NOT)回路である。具体的には、第2反転回路21では、p型FET22のソース又はドレインの一方に電源線PWRが電氣的に接続され、p型FET22のソース又はドレインの他方にn型FET23のソース又はドレインの一方が電氣的に接続され、n型FET23のソース又はドレインの他方にグランド線GNDが電氣的に接続される。p型FET22のゲート及びn型FET23ゲートは、互いに電氣的に接続される。

**【0023】**

第2反転回路21は、p型FET22のゲート及びn型FET23ゲートの接続点が入力となり、p型FET22のソース又はドレインの他方及びn型FET23のソース又はドレインの一方の接続点が出力となる。また、第2反転回路21の入力は、第1反転回路11の出力と電氣的に接続され、第2反転回路21の出力は、第1反転回路11の入力と電氣的に接続される。さらに、第2反転回路21の出力には、さらに第2強誘電体キャパシタ24の電極の一方が接続される。

**【0024】**

第1強誘電体キャパシタ14及び第2強誘電体キャパシタ24は、一对の電極にて強誘電体膜を挟持することで構成されるキャパシタである。第1強誘電体キャパシタ14及び第2強誘電体キャパシタ24は、強誘電体膜の残留分極の方向によって情報を記憶することができる。第1強誘電体キャパシタ14の電極の一方は、第1反転回路11の出力に電氣的に接続され、第1強誘電体キャパシタ14の電極の他方は、任意の電位を印加可能なプレート線PLに電氣的に接続される。また、第2強誘電体キャパシタ24の電極の一方

10

20

30

40

50

は、第2反転回路21の出力に電氣的に接続され、第2強誘電体キャパシタ24の電極の他方は、任意の電位を印加可能なプレート線PLに電氣的に接続される。

【0025】

半導体装置1は、電力供給時には、第1反転回路11及び第2反転回路21の出力を互いに入力にフィードバックさせることで、「0」又は「1」の状態を保持することができる。具体的には、第1反転回路11の出力を第1記憶ノードN1とし、第2反転回路21の出力を第2記憶ノードN2とすると、半導体装置1は、第1記憶ノードN1の電位、及び第2記憶ノードN2の電位の高低によって情報を記憶することができる。

【0026】

また、半導体装置1では、電力が供給されない時には、第1記憶ノードN1及び第2記憶ノードN2の状態を第1強誘電体キャパシタ14及び第2強誘電体キャパシタ24に記憶させることができる。具体的には、半導体装置1は、所定の操作を行うことで、第1記憶ノードN1及び第2記憶ノードN2の電位に基づいて、第1強誘電体キャパシタ14及び第2強誘電体キャパシタ24の強誘電体膜の分極状態を制御することができる。

10

【0027】

したがって、半導体装置1は、電力供給時には、フリップフロップ回路として動作することができるため、情報の書き込み又は読み出しを高速で行うことが可能である。また、半導体装置1は、電力が供給されていない時には、フリップフロップ回路にて保持されていた情報を不揮発性の第1強誘電体キャパシタ14及び第2強誘電体キャパシタ24に格納することができる。

20

【0028】

続いて、図2を参照して、図1で示した半導体装置1を記憶装置のメモリセルに適用した場合について説明する。図2は、図1で示した半導体装置1を適用した記憶装置のメモリセルの等価回路を示した回路図である。

【0029】

図2に示すように、記憶装置のメモリセル10は、図1で示した半導体装置1の各構成に加えて、第1選択FET15と、第2選択FET25と、をさらに備える。

【0030】

第1選択FET15及び第2選択FET25は、メモリセル10の選択及び非選択を制御する電界効果トランジスタである。第1選択FET15及び第2選択FET25は、n型FETとして形成される。

30

【0031】

第1選択FET15のソース又はドレインの一方は、第1強誘電体キャパシタ14の電極の他方と電氣的に接続され、第1選択FET15のソース又はドレインの他方は、第1ビット線BL1と電氣的に接続される。第1選択FET15のゲートは、ワード線WLに電氣的に接続され、第1選択FET15のチャンネルのオンオフ状態は、ワード線WLからの印加電圧によって制御される。

【0032】

第2選択FET25のソース又はドレインの一方は、第2強誘電体キャパシタ24の電極の他方と電氣的に接続され、第2選択FET25のソース又はドレインの他方は、第2ビット線BL2と電氣的に接続される。第2選択FET25のゲートは、ワード線WLに電氣的に接続され、第2選択FET25のチャンネルのオンオフ状態は、ワード線WLからの印加電圧によって制御される。

40

【0033】

記憶装置のメモリセル10に情報を書き込む場合、まず、ワード線WLの電位を高電位とすることで、第1選択FET15及び第2選択FET25のチャンネルをオン状態に遷移させる。次に、第1ビット線BL1及び第2ビット線BL2に互いに対称となる（一方が高電位となり、他方が低電位となる）電位を印加することで、半導体装置1のフリップフロップの状態を制御することができる。その後、ワード線WLの電位を低電位とすることで、第1選択FET15及び第2選択FET25のチャンネルをオフ状態に遷移させる。こ

50

れにより、記憶装置のメモリセル 10 は、半導体装置 1 のフリップフロップ回路に情報を書き込むことができる。

【0034】

一方、記憶装置のメモリセル 10 から情報を読み出す場合、まず、ワード線 WL の電位をオフにした後、第 1 ビット線 BL1 及び第 2 ビット線 BL2 に同じ電位を印加する。次に、ワード線 WL の電位を高電位とする。このとき、第 1 ビット線 BL1 及び第 2 ビット線 BL2 は、半導体装置 1 のフリップフロップの状態に基づいて、いずれが高電位となり、いずれが低電位となるのが変化する。したがって、記憶装置のメモリセル 10 は、第 1 ビット線 BL1 の電位及び第 2 ビット線 BL2 の電位をアンプ等で増幅することで、半導体装置 1 のフリップフロップ回路から情報を読み出すことができる。

10

【0035】

したがって、メモリセル 10 を含む記憶装置は、SRAM と同様の動作を行う記憶装置として動作することができる。なお、メモリセル 10 を含む記憶装置にて、半導体装置 1 のフリップフロップ回路に書き込まれた情報を第 1 強誘電体キャパシタ 14 及び第 2 強誘電体キャパシタ 24 に格納する動作、及び第 1 強誘電体キャパシタ 14 及び第 2 強誘電体キャパシタ 24 に格納した情報を半導体装置 1 のフリップフロップ回路に復帰させる動作については後述する。

【0036】

よって、本実施形態に係る半導体装置 1 は、SRAM と同様に高速での情報の書き込み又は読み出しが可能であり、かつ電力供給が失われた状態でも第 1 強誘電体キャパシタ 14 及び第 2 強誘電体キャパシタ 24 にて情報を保持することが可能である。

20

【0037】

< 2 . 構造例 >

続いて、図 3A、図 3B 及び図 4 を参照して、本実施形態に係る半導体装置 1 をメモリセルに用いた記憶装置の具体的な構造について説明する。図 3A 及び図 3B は、半導体装置 1 を用いたメモリセル 10 の平面構造及び断面構造を示す模式図である。図 3A、図 3B の断面図の各々は、図 3A、図 3B の平面図を A-A 線又は B-B 線の各々で切断した断面を示す。図 4 は、図 3A 及び図 3B の平面図を C-C 線で切断した断面を示す模式図である。

【0038】

なお、図 3A 及び図 3B の平面図は、各構成の配置を明確にするために、半導体基板 100 の全面に亘って形成される層は省略して記載している。また、図 3A の平面図及び断面図は、第 2 層間絶縁膜 400 から下層の構成のみを示し、図 3B の平面図は、第 3 層間絶縁膜 500 から上層の構成のみを示す。

30

【0039】

図 3A 及び図 3B に示すように、半導体装置 1 を用いたメモリセル 10 は、半導体基板 100 の上に設けられる。メモリセル 10 は、半導体基板 100 上にマトリクス状に多数配置されることで、大容量の情報を記憶可能な記憶装置を構成する。

【0040】

第 1 反転回路 11 は、n 型活性化領域 150B の上にゲート絶縁膜 140 を介してゲート電極 131 を設けることで形成された p 型 FET 12 と、p 型活性化領域 150A の上にゲート絶縁膜 140 を介してゲート電極 131 を設けることで形成された n 型 FET 13 と、によって構成される。

40

【0041】

p 型 FET 12 のソース又はドレインの一方は、第 1 コンタクト 218、第 1 配線層 318 及び第 2 コンタクト 419 を介して、電源線 PWR として機能する第 2 配線層 515 と電氣的に接続される。p 型 FET 12 のソース又はドレインの他方は、第 1 強誘電体キャパシタ 14 の下部電極 111 を介して、p 型活性化領域 150A に設けられた n 型 FET 13 のソース又はドレインの一方と電氣的に接続される。n 型 FET 13 のソース又はドレインの他方は、第 1 コンタクト 211、第 1 配線層 319 及び第 2 コンタクト 411

50

を介して、グランド線 GND として機能する第 2 配線層 5 1 3 と電氣的に接続される。

【 0 0 4 2 】

第 1 強誘電体キャパシタ 1 4 は、ゲート電極 1 3 3、n 型活性化領域 1 5 0 B 及び p 型活性化領域 1 5 0 A に亘って設けられたシェアコンタクトの内部に設けられる。具体的には、第 1 強誘電体キャパシタ 1 4 は、平坦化膜 2 0 0 を貫通する開口の内側に沿って設けられた下部電極 1 1 1 と、開口に沿って下部電極 1 1 1 の上に設けられた強誘電体膜 1 1 3 と、開口を埋め込むように強誘電体膜 1 1 3 の上に設けられた上部電極 1 1 5 と、によって構成される。

【 0 0 4 3 】

第 1 強誘電体キャパシタ 1 4 の下部電極 1 1 1 は、ゲート電極 1 3 3、n 型活性化領域 1 5 0 B に設けられた p 型 FET 1 2 のソース又はドレインの他方、及び p 型活性化領域 1 5 0 A に設けられた n 型 FET 1 3 のソース又はドレインの一方と電氣的に接続される。第 1 強誘電体キャパシタ 1 4 の上部電極 1 1 5 は、第 1 配線層 3 1 1、第 2 コンタクト 4 1 2、第 2 配線層 5 1 1 及び第 3 コンタクト 6 1 1 を介して、プレート線 PL として機能する第 3 配線層 7 1 1 と電氣的に接続される。

10

【 0 0 4 4 】

第 1 選択 FET 1 5 は、p 型活性化領域 1 5 0 A の上にゲート絶縁膜 1 4 0 を介してゲート電極 1 3 2 を設けることで n 型 FET として形成される。第 1 選択 FET 1 5 のソース又はドレインの一方は、第 1 強誘電体キャパシタ 1 4 の下部電極 1 1 1 と電氣的に接続される。第 1 選択 FET 1 5 のソース又はドレインの他方は、第 1 コンタクト 2 1 3、第 1 配線層 3 1 3 及び第 2 コンタクト 4 1 4 を介して、第 1 ビット線 BL 1 として機能する第 2 配線層 5 1 4 と電氣的に接続される。第 1 選択 FET 1 5 のゲート電極 1 3 2 は、第 1 コンタクト 2 1 2、第 1 配線層 3 1 2、第 2 コンタクト 4 1 3、第 2 配線層 5 1 2 及び第 3 コンタクト 6 1 2 を介して、ワード線 WL として機能する第 3 配線層 7 1 2 と電氣的に接続される。

20

【 0 0 4 5 】

第 2 反転回路 2 1 は、n 型活性化領域 1 5 0 C の上にゲート絶縁膜 1 4 0 を介してゲート電極 1 3 3 を設けることで形成された p 型 FET 2 2 と、p 型活性化領域 1 5 0 D の上にゲート絶縁膜 1 4 0 を介してゲート電極 1 3 3 を設けることで形成された n 型 FET 2 3 と、によって構成される。

30

【 0 0 4 6 】

p 型 FET 2 2 のソース又はドレインの一方は、第 1 コンタクト 2 1 4、第 1 配線層 3 1 4 及び第 2 コンタクト 4 1 5 を介して、電源線 PWR として機能する第 2 配線層 5 1 5 と電氣的に接続される。p 型 FET 2 2 のソース又はドレインの他方は、第 2 強誘電体キャパシタ 2 4 の下部電極 1 1 1 を介して、p 型活性化領域 1 5 0 D に設けられた n 型 FET 2 3 のソース又はドレインの一方と電氣的に接続される。n 型 FET 2 3 のソース又はドレインの他方は、第 1 コンタクト 2 1 5、第 1 配線層 3 1 5 及び第 2 コンタクト 4 1 6 を介して、グランド線 GND として機能する第 2 配線層 5 1 7 と電氣的に接続される。

【 0 0 4 7 】

第 2 強誘電体キャパシタ 2 4 は、ゲート電極 1 3 1、n 型活性化領域 1 5 0 C 及び p 型活性化領域 1 5 0 D に亘って設けられたシェアコンタクトの内部に設けられる。具体的には、第 2 強誘電体キャパシタ 2 4 は、図示されないが第 1 強誘電体キャパシタ 1 4 と同様に、平坦化膜 2 0 0 を貫通する開口の内側に沿って設けられた下部電極と、開口に沿って下部電極の上に設けられた強誘電体膜と、開口を埋め込むように強誘電体膜の上に設けられた上部電極と、によって構成される。

40

【 0 0 4 8 】

第 2 強誘電体キャパシタ 2 4 の下部電極は、ゲート電極 1 3 1、n 型活性化領域 1 5 0 C に設けられた p 型 FET 2 2 のソース又はドレインの他方、及び p 型活性化領域 1 5 0 D に設けられた n 型 FET 2 3 のソース又はドレインの一方と電氣的に接続される。第 2 強誘電体キャパシタ 2 4 の上部電極は、第 1 配線層 3 1 1、第 2 コンタクト 4 1 2、第 2

50

配線層 5 1 1 及び第 3 コンタクト 6 1 1 を介して、プレート線 P L として機能する第 3 配線層 7 1 1 と電氣的に接続する。

【 0 0 4 9 】

第 2 選択 F E T 2 5 は、p 型活性化領域 1 5 0 D の上にゲート絶縁膜 1 4 0 を介してゲート電極 1 3 4 を設けることで n 型 F E T として形成される。第 2 選択 F E T 2 5 のソース又はドレインの一方は、第 2 強誘電体キャパシタ 2 4 の下部電極と電氣的に接続される。第 2 選択 F E T 2 5 のソース又はドレインの他方は、第 1 コンタクト 2 1 7、第 1 配線層 3 1 7 及び第 2 コンタクト 4 1 8 を介して、第 2 ビット線 B L 2 として機能する第 2 配線層 5 1 6 と電氣的に接続される。第 2 選択 F E T 2 5 のゲート電極 1 3 4 は、第 1 コンタクト 2 1 6、第 1 配線層 3 1 6、第 2 コンタクト 4 1 7、第 2 配線層 5 1 8 及び第 3 コンタクト 6 1 3 を介して、ワード線 W L として機能する第 3 配線層 7 1 2 と電氣的に接続される。

10

【 0 0 5 0 】

以下、メモリセル 1 0 の各構成についてより具体的に説明する。

【 0 0 5 1 】

半導体基板 1 0 0 は、半導体材料にて構成され、F E T の各々が形成される基板である。半導体基板 1 0 0 は、シリコン基板であってもよく、シリコン基板の中に S i O <sub>2</sub> 等の絶縁膜を挟み込んだ S O I ( S i l i c o n O n I n s u l a t o r ) 基板であってもよい。または、半導体基板 1 0 0 は、ゲルマニウムなどの他の元素半導体で形成された基板、又はガリウムヒ素 ( G a A s )、窒化ガリウム ( G a N ) 若しくはシリコンカーバイド ( S i C ) 等の化合物半導体で形成された基板であってもよい。

20

【 0 0 5 2 】

素子分離層 1 0 5 は、絶縁性材料にて構成され、半導体基板 1 0 0 に設けられる活性化領域の各々を互いに電氣的に絶縁する。具体的には、素子分離層 1 0 5 は、p 型活性化領域 1 5 0 A、1 5 0 D 及び n 型活性化領域 1 5 0 B、1 5 0 C を互いに離隔するように設けられる。p 型活性化領域 1 5 0 A、1 5 0 D 及び n 型活性化領域 1 5 0 B、1 5 0 C は、第 1 方向 ( 例えば、図 2 に正対して左右方向 ) に延伸する帯状領域にて設けられ、F E T の各々が形成される活性化領域として機能する。

【 0 0 5 3 】

例えば、p 型活性化領域 1 5 0 A、1 5 0 D は、ホウ素 ( B ) 又はアルミニウム ( A l ) などの p 型不純物を半導体基板 1 0 0 に導入することで形成されてもよい。n 型活性化領域 1 5 0 B、1 5 0 C は、リン ( P ) 又はヒ素 ( A s ) などの n 型不純物を半導体基板 1 0 0 に導入することで形成されてもよい。

30

【 0 0 5 4 】

素子分離層 1 0 5 は、酸化シリコン ( S i O <sub>x</sub> )、窒化シリコン ( S i N <sub>x</sub> ) 又は酸窒化シリコン ( S i O N ) などの絶縁性の酸窒化物で形成されてもよい。具体的には、素子分離層 1 0 5 は、S T I ( S h a l l o w T r e n c h I s o l a t i o n ) 法を用いて、所定領域の半導体基板 1 0 0 の一部をエッチング等で除去した後、形成された開口を酸化シリコン ( S i O <sub>x</sub> ) で埋め込むことで形成されてもよい。また、素子分離層 1 0 5 は、L O C O S ( L o c a l O x i d a t i o n o f S i l i c o n ) 法を用いて、所定領域の半導体基板 1 0 0 を熱酸化することで形成されてもよい。

40

【 0 0 5 5 】

ゲート絶縁膜 1 4 0 は、絶縁性材料で構成され、半導体基板 1 0 0 の p 型活性化領域 1 5 0 A、1 5 0 D 及び n 型活性化領域 1 5 0 B、1 5 0 C の上に設けられる。ゲート絶縁膜 1 4 0 は、電界効果トランジスタのゲート絶縁膜として公知の絶縁性材料で形成されてもよい。例えば、ゲート絶縁膜 1 4 0 は、酸化シリコン ( S i O <sub>x</sub> )、窒化シリコン ( S i N <sub>x</sub> ) 又は酸窒化シリコン ( S i O N ) などの絶縁性の酸窒化物で形成されてもよい。

【 0 0 5 6 】

ゲート電極 1 3 1、1 3 2、1 3 3、1 3 4 は、導電性材料で構成され、ゲート絶縁膜 1 4 0 の上に設けられる。ゲート電極 1 3 1、1 3 2、1 3 3、1 3 4 は、p 型活性化領

50

域 150A、150D 及び n 型活性化領域 150B、150C が延伸する第 1 方向と直交する第 2 方向に延伸して設けられる。具体的には、ゲート電極 131 は、n 型活性化領域 150B 及び p 型活性化領域 150A に跨って設けられることで、p 型 FET 12 及び n 型 FET 13 を形成する。ゲート電極 132 は、p 型活性化領域 150A に跨って設けられることで、n 型 FET である第 1 選択 FET 15 を形成する。ゲート電極 133 は、n 型活性化領域 150C 及び p 型活性化領域 150D に跨って設けられることで、p 型 FET 22 及び n 型 FET 23 を形成する。ゲート電極 134 は、p 型活性化領域 150D に跨って設けられることで、n 型 FET である第 2 選択 FET 25 を形成する。

【0057】

例えば、ゲート電極 131、132、133、134 は、ポリシリコン等にて形成されてもよく、金属、合金、金属化合物、又は金属 (Ni など) とポリシリコンとの合金 (いわゆるシリサイド) にて形成されてもよい。具体的には、ゲート電極 131、132、133、134 は、金属層と、ポリシリコン層との積層構造にて形成されてもよい。例えば、ゲート電極 131、132、133、134 は、ゲート絶縁膜 140 の上に設けられた TiN 又は TaN からなる金属層と、ポリシリコン層との積層構造にて形成されてもよい。

10

【0058】

ソース又はドレイン領域 151A、151D は、p 型活性化領域 150A、150D にそれぞれ形成された n 型の領域である。ソース又はドレイン領域 151A、151D は、p 型活性化領域 150A、150D の半導体基板 100 に、リン (P) 又はヒ素 (As) などの n 型不純物を導入することで形成されてもよい。なお、ソース又はドレイン領域 151A、151D と、ゲート電極 131、132、133、134 との間の半導体基板 100 には、ソース又はドレイン領域 151A、151D と同じ n 型であり、かつソース又はドレイン領域 151A、151D よりも導電型不純物の濃度が低い LDD (Lightly-Doped Drain) 領域が形成されていてもよい。

20

【0059】

具体的には、ソース又はドレイン領域 151A は、ゲート電極 131、132 を挟むように、p 型活性化領域 150A にそれぞれ設けられる。ゲート電極 131 を挟んでゲート電極 132 と対向する側に設けられたソース又はドレイン領域 151A は、第 1 コンタクト 211、第 1 配線層 319 及び第 2 コンタクト 411 を介して、グラウンド線 GND として機能する第 2 配線層 513 と電氣的に接続される。ゲート電極 132 を挟んでゲート電極 131 と対向する側に設けられたソース又はドレイン領域 151A は、第 1 コンタクト 213、第 1 配線層 313 及び第 2 コンタクト 414 を介して、第 1 ビット線 BL1 として機能する第 2 配線層 514 と電氣的に接続される。

30

【0060】

ソース又はドレイン領域 151D は、ゲート電極 133、134 を挟むように、p 型活性化領域 150D にそれぞれ設けられる。ゲート電極 133 を挟んでゲート電極 134 と対向する側に設けられたソース又はドレイン領域 151D は、第 1 コンタクト 215、第 1 配線層 315 及び第 2 コンタクト 416 を介して、グラウンド線 GND として機能する第 2 配線層 517 と電氣的に接続される。ゲート電極 134 を挟んでゲート電極 133 と対向する側に設けられたソース又はドレイン領域 151D は、第 1 コンタクト 217、第 1 配線層 317 及び第 2 コンタクト 418 を介して、第 2 ビット線 BL2 として機能する第 2 配線層 516 と電氣的に接続される。

40

【0061】

ソース又はドレイン領域 151B、151C は、n 型活性化領域 150B、150C にそれぞれ形成された p 型の領域である。ソース又はドレイン領域 151B、151C は、n 型活性化領域 150B、150C の半導体基板 100 に、ホウ素 (B) 又はアルミニウム (Al) などの p 型不純物を導入することで形成されてもよい。なお、ソース又はドレイン領域 151B、151C と、ゲート電極 131、133 との間の半導体基板 100 には、ソース又はドレイン領域 151B、151C と同じ p 型であり、かつソース又はドレ

50

イン領域 151B、151C よりも導電型不純物の濃度が低い LDD (Lightly - Doped Drain) 領域が形成されていてもよい。

【0062】

具体的には、ソース又はドレイン領域 151B は、ゲート電極 131 を挟むように、n 型活性化領域 150B にそれぞれ設けられる。ソース又はドレイン領域 151B の一方は、第 1 強誘電体キャパシタ 14 の下部電極 111 と電氣的に接続される。ゲート電極 131 を挟んで第 1 強誘電体キャパシタ 14 と対向する側に設けられたソース又はドレイン領域 151B は、第 1 コンタクト 218、第 1 配線層 318 及び第 2 コンタクト 419 を介して、電源線 PWR として機能する第 2 配線層 515 と電氣的に接続される。

【0063】

ソース又はドレイン領域 151C は、ゲート電極 133 を挟むように、n 型活性化領域 150C にそれぞれ設けられる。ソース又はドレイン領域 151C の一方は、第 2 強誘電体キャパシタ 24 の下部電極と電氣的に接続される。ゲート電極 133 を挟んで第 2 強誘電体キャパシタ 24 と対向する側に設けられたソース又はドレイン領域 151C は、第 1 コンタクト 214、第 1 配線層 314 及び第 2 コンタクト 415 を介して、電源線 PWR として機能する第 2 配線層 515 と電氣的に接続される。

【0064】

サイドウォール絶縁膜 131S、132S、133S、134S (ただし、サイドウォール絶縁膜 132S、133S、134S は図示されず) は、絶縁性材料で構成され、ゲート電極 131、132、133、134 の各々の側面に側壁として設けられる。具体的には、サイドウォール絶縁膜 131S、132S、133S、134S は、ゲート電極 131、132、133、134 を含む領域に一様に絶縁膜を成膜した後、該絶縁膜を垂直異方性エッチングすることで形成することができる。例えば、サイドウォール絶縁膜 131S、132S、133S、134S は、酸化シリコン ( $\text{SiO}_x$ )、窒化シリコン ( $\text{SiN}_x$ ) 又は酸窒化シリコン ( $\text{SiON}$ ) などの絶縁性の酸窒化物によって、単層又は複数層にて形成されてもよい。

【0065】

サイドウォール絶縁膜 131S、132S、133S、134S は、n 型不純物又は p 型不純物を半導体基板 100 に導入する際に、n 型不純物又は p 型不純物を遮蔽する。これにより、サイドウォール絶縁膜 131S、132S、133S、134S は、ゲート電極 131、132、133、134 と、ソース又はドレイン領域 151A、151B、151C、151D との位置関係を自己整合的に制御することができる。サイドウォール絶縁膜 131S、132S、133S、134S は、半導体基板 100 への n 型不純物又は p 型不純物の導入を段階的に制御することができるため、ソース又はドレイン領域 151A、151B、151C、151D とゲート電極 131、132、133、134 との間に、上述した LDD 領域を自己整合的に形成することが可能となる。

【0066】

導通層 131C、132C、133C、134C (ただし、導通層 132C、133C、134C は図示されず) は、ゲート電極 131、132、133、134 の各々の上に設けられ、ゲート電極 131、132、133、134 の導電性を向上させる。例えば、導通層 131C、132C、133C、134C は、金属又は金属化合物で形成されてもよい。

【0067】

コンタクト領域 152A、152B、152C、152D は、ソース又はドレイン領域 151A、151B、151C、151D の半導体基板 100 の表面にそれぞれ設けられる。コンタクト領域 152A、152B、152C、152D は、ソース又はドレイン領域 151A、151B、151C、151D と、第 1 コンタクト 211、213、214、215、217、218、並びに第 1 強誘電体キャパシタ 14 及び第 2 強誘電体キャパシタ 24 の下部電極との接触抵抗を低下させる。具体的には、コンタクト領域 152A、152B、152C、152D は、Ni などの金属と、シリコンとの合金 (いわゆるシリ

10

20

30

40

50

サイド)にて形成されてもよい。

【0068】

平坦化膜200は、絶縁性材料で構成され、FETの各々を埋め込み、半導体基板100の全面に亘って設けられる。例えば、平坦化膜200は、酸化シリコン( $\text{SiO}_x$ )、窒化シリコン( $\text{SiN}_x$ )又は酸窒化シリコン( $\text{SiON}$ )などの絶縁性の酸窒化物で形成されてもよい。

【0069】

平坦化膜200には、ゲート電極133、ソース又はドレイン領域151B、並びにゲート電極131、132の間のソース又はドレイン領域151Aを露出させる開口と、ゲート電極131、ソース又はドレイン領域151C、並びにゲート電極133、134の間のソース又はドレイン領域151Dを露出させる開口と、が設けられる。また、平坦化膜200には、第1コンタクト211、212、213、214、215、216、217、218を形成するための開口が設けられる。ゲート電極133、ソース又はドレイン領域151B、並びにゲート電極131、132の間のソース又はドレイン領域151Aを露出させる開口の内部には、第1強誘電体キャパシタ14が設けられる。ゲート電極131、ソース又はドレイン領域151C、並びにゲート電極133、134の間のソース又はドレイン領域151Dを露出させる開口の内部には、第2強誘電体キャパシタ24が設けられる。

10

【0070】

なお、図3A、図3B及び図4では図示しないが、半導体基板100、サイドウォール絶縁膜131S、132S、133S、134S及び導通層131C、132C、133C、134Cの上には、絶縁性材料で構成されたライナー層が半導体基板100の全面に亘って設けられてもよい。ライナー層は、上述した開口を平坦化膜200に形成する工程において、ライナー層と平坦化膜200との間で高いエッチング選択比を提供することができる。これにより、ライナー層は、該工程において、半導体基板100にエッチングが進行することを防止することができる。例えば、ライナー層は、酸化シリコン( $\text{SiO}_x$ )、窒化シリコン( $\text{SiN}_x$ )又は酸窒化シリコン( $\text{SiON}$ )などの絶縁性の酸窒化物で形成されてもよい。具体的には、平坦化膜200が酸化シリコン( $\text{SiO}_x$ )で形成される場合、ライナー層は、窒化シリコン( $\text{SiN}_x$ )で形成されてもよい。

20

【0071】

また、ライナー層は、ゲート絶縁膜140の下の半導体基板100に対して、圧縮応力又は引張応力を付与する層として形成されてもよい。このような場合、ライナー層は、応力効果によって、半導体基板100に形成されるチャンネルのキャリア移動度を向上させることができる。

30

【0072】

ここで、第1強誘電体キャパシタ14の構成について、図4をさらに参照して説明する。

【0073】

図4に示すように、第1強誘電体キャパシタ14は、下部電極111と、強誘電体膜113と、上部電極115と、にて構成されるスタック型シリンダ形状のキャパシタである。

40

【0074】

下部電極111は、導電性材料で構成され、ソース又はドレイン領域151A、151B及びゲート電極133を露出させるように平坦化膜200に形成された開口の内側に沿って設けられる。具体的には、平坦化膜200に形成された開口は、ゲート電極133、ソース又はドレイン領域151B、並びにゲート電極131、132の間のソース又はドレイン領域151Aを露出させるように折曲した平面形状にて設けられる。これにより、下部電極111は、開口によって露出されたソース又はドレイン領域151A、151B及びゲート電極133をそれぞれ電氣的に接続することができる。

【0075】

50

例えば、下部電極 111 は、チタン (Ti) 若しくはタングステン (W) などの金属、又は窒化チタン (TiN) 若しくは窒化タンタル (Ta<sub>2</sub>N<sub>5</sub>) などの金属化合物で形成されてもよい。また、下部電極 111 は、ルテニウム (Ru) 又は酸化ルテニウム (RuO<sub>2</sub>) などで形成されてもよい。下部電極 111 は、ALD (Atomic Layer Deposition)、CVD (Chemical Vapor Deposition) 又は IMP (Ionized Metal Plasma) によるスパッタ等を用いて形成することができる。

#### 【0076】

強誘電体膜 113 は、強誘電体材料にて構成され、平坦化膜 200 に形成された開口の内側に沿って、下部電極 111 の上に設けられる。強誘電体膜 113 は、自発的に分極し、かつ残留分極の方向を外部電界にて制御可能な強誘電体材料にて形成される。例えば、強誘電体膜 113 は、チタン酸ジルコン酸鉛 (Pb(Zr, Ti)O<sub>3</sub>:PZT) 又はタンタル酸ビスマス酸ストロンチウム (SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>:SBT) などのペレブスカイト構造の強誘電体材料にて形成されてもよい。また、強誘電体膜 113 は、HfO<sub>x</sub>、ZrO<sub>x</sub> 又は HfZrO<sub>x</sub> などの高誘電体材料からなる膜を熱処理等によって変質させた強誘電体膜であってもよく、上記の高誘電体材料からなる膜にランタン (La)、シリコン (Si) 又はガドリニウム (Gd) などの原子を導入することで変質させた強誘電体膜であってもよい。さらに、強誘電体膜 113 は、単層にて形成されてもよく、複数層にて形成されてもよい。例えば、強誘電体膜 113 は、HfO<sub>x</sub> などの強誘電体材料からなる単層膜であってもよい。強誘電体膜 113 は、ALD 又は CVD 等を用いることで形成することができる。

10

20

#### 【0077】

上部電極 115 は、導電性材料にて構成され、平坦化膜 200 に形成された開口を埋め込むように、強誘電体膜 113 の上に設けられる。例えば、上部電極 115 は、チタン (Ti) 若しくはタングステン (W) などの金属、又は窒化チタン (TiN) 若しくは窒化タンタル (Ta<sub>2</sub>N<sub>5</sub>) などの金属化合物で形成されてもよい。また、上部電極 115 は、ルテニウム (Ru) 又は酸化ルテニウム (RuO<sub>2</sub>) などで形成されてもよい。上部電極 115 は、ALD 又は CVD 等を用いることで形成することができる。

#### 【0078】

なお、第 2 強誘電体キャパシタ 24 を構成する下部電極、強誘電体膜及び上部電極については、形成される平面位置が異なる以外は、第 1 強誘電体キャパシタと実質的に同様であるため、ここでの説明は省略する。

30

#### 【0079】

第 1 コンタクト 211、212、213、214、215、216、217、218 は、導電性材料で構成され、平坦化膜 200 を貫通して設けられる。例えば、第 1 コンタクト 211、212、213、214、215、216、217、218 は、チタン (Ti) 若しくはタングステン (W) などの低抵抗の金属、又は窒化チタン (TiN) 若しくは窒化タンタル (Ta<sub>2</sub>N<sub>5</sub>) などの金属化合物で形成されてもよい。第 1 コンタクト 211、212、213、214、215、216、217、218 は、単層で形成されてもよく、複数層の積層体で形成されてもよい。例えば、第 1 コンタクト 211、212、213、214、215、216、217、218 は、Ti 又は TiN と、W との積層体にて形成されてもよい。

40

#### 【0080】

具体的には、第 1 コンタクト 211 は、ゲート電極 131 を挟んでゲート電極 132 と対向する側に設けられたソース又はドレイン領域 151A の上に設けられ、n 型 FET 13 のソース又はドレインの他方と、第 1 配線層 319 とを電氣的に接続する。第 1 コンタクト 212 は、ゲート電極 132 の上に設けられ、第 1 選択 FET 15 のゲート電極 132 と、第 1 配線層 312 とを電氣的に接続する。第 1 コンタクト 213 は、ゲート電極 132 を挟んでゲート電極 131 と対向する側に設けられたソース又はドレイン領域 151A の上に設けられ、第 1 選択 FET 15 のソース又はドレインの他方と、第 1 配線層 31

50

3とを電氣的に接続する。第1コンタクト214は、ゲート電極133を挟んで第2強誘電体キャパシタ24と対向する側に設けられたソース又はドレイン領域151Cの上に設けられ、p型FET22のソース又はドレインの一方と、第1配線層314とを電氣的に接続する。

【0081】

第1コンタクト215は、ゲート電極133を挟んでゲート電極134と対向する側に設けられたソース又はドレイン領域151Dの上に設けられ、n型FET23のソース又はドレインの他方と、第1配線層315とを電氣的に接続する。第1コンタクト216は、ゲート電極134の上に設けられ、第2選択FET25のゲート電極134と、第1配線層316とを電氣的に接続する。第1コンタクト217は、ゲート電極134を挟んでゲート電極133と対向する側に設けられたソース又はドレイン領域151Dの上に設けられ、第2選択FET25のソース又はドレインの他方と、第1配線層317とを電氣的に接続する。第1コンタクト218は、ゲート電極131を挟んで第1強誘電体キャパシタ14と対向する側に設けられたソース又はドレイン領域151Bの上に設けられ、p型FET12のソース又はドレインの一方と、第1配線層318とを電氣的に接続する。

10

【0082】

第1層間絶縁膜300は、第1配線層311、312、313、314、315、316、317、318、319を埋め込み、平坦化膜200の上に半導体基板100の全面に亘って設けられる。第1層間絶縁膜300は、例えば、酸化シリコン( $\text{SiO}_x$ )、窒化シリコン( $\text{SiN}_x$ )又は酸窒化シリコン( $\text{SiON}$ )などの絶縁性の酸窒化物で形成されてもよい。

20

【0083】

第1配線層311、312、313、314、315、316、317、318、319は、導電性材料にて構成され、平坦化膜200の上に設けられる。第1配線層311、312、313、314、315、316、317、318、319は、例えば、銅(Cu)又はアルミニウム(Al)等の金属材料で形成されてもよく、Cuのダマシン構造又はデュアルダマシン構造にて形成されてもよい。

【0084】

具体的には、第1配線層311は、第1強誘電体キャパシタ14及び第2強誘電体キャパシタ24の上に設けられ、第1強誘電体キャパシタ14及び第2強誘電体キャパシタ24の上部電極を互いに電氣的に接続する。第1配線層312は、第1コンタクト212の上に設けられ、第1配線層313は、第1コンタクト213の上に設けられ、第1配線層314は、第1コンタクト214の上に設けられ、第1配線層315は、第1コンタクト215の上に設けられ、第1配線層316は、第1コンタクト216の上に設けられ、第1配線層317は、第1コンタクト217の上に設けられ、第1配線層318は、第1コンタクト218の上に設けられ、第1配線層319は、第1コンタクト211の上に設けられる。

30

【0085】

第2層間絶縁膜400は、第2コンタクト411、412、413、414、415、416、417、418、419を埋め込み、第1層間絶縁膜300の上に半導体基板100の全面に亘って設けられる。第2層間絶縁膜400は、例えば、酸化シリコン( $\text{SiO}_x$ )、窒化シリコン( $\text{SiN}_x$ )又は酸窒化シリコン( $\text{SiON}$ )などの絶縁性の酸窒化物で形成されてもよい。

40

【0086】

第2コンタクト411、412、413、414、415、416、417、418は、導電性材料で構成され、第2層間絶縁膜400を貫通して設けられる。例えば、第2コンタクト411、412、413、414、415、416、417、418は、チタン(Ti)若しくはタングステン(W)などの低抵抗の金属、又は窒化チタン(TiN)若しくは窒化タンタル(TaN)などの金属化合物で形成されてもよい。第2コンタクト411、412、413、414、415、416、417、418は、単層で形成されて

50

もよく、複数層の積層体で形成されてもよい。例えば、第2コンタクト411、412、413、414、415、416、417、418は、Ti又はTiNと、Wとの積層体にて形成されてもよい。

【0087】

具体的には、第2コンタクト411は、第1配線層319の上に設けられ、第2コンタクト412は、第1配線層311の上に設けられ、第2コンタクト413は、第1配線層312の上に設けられ、第2コンタクト414は、第1配線層313の上に設けられ、第2コンタクト415は、第1配線層314の上に設けられ、第2コンタクト416は、第1配線層315の上に設けられ、第2コンタクト417は、第1配線層316の上に設けられ、第2コンタクト418は、第1配線層317の上に設けられ、第2コンタクト419は、第1配線層318の上に設けられる。

10

【0088】

第3層間絶縁膜500は、第2配線層511、512、513、514、515、516、517、518を埋め込み、第2層間絶縁膜400の上に半導体基板100の全面に亘って設けられる。第3層間絶縁膜500は、例えば、酸化シリコン(SiO<sub>x</sub>)、窒化シリコン(SiN<sub>x</sub>)又は酸窒化シリコン(SiON)などの絶縁性の酸窒化物で形成されてもよい。

【0089】

第2配線層511、512、513、514、515、516、517、518は、導電性材料で構成され、第2層間絶縁膜400の上に設けられる。第2配線層511、512、513、514、515、516、517、518は、例えば、銅(Cu)又はアルミニウム(Al)等の金属材料で形成されてもよく、Cuのダマシン構造又はデュアルダマシン構造にて形成されてもよい。

20

【0090】

具体的には、第2配線層513は、第1方向に延伸するグラウンド線GNDとして第2コンタクト411の上に設けられる。第2配線層514は、第1方向に延伸する第1ビット線BL1として第2コンタクト414の上に設けられる。第2配線層515は、第1方向に延伸する電源線PWRとして第2コンタクト415、419の上に設けられる。第2配線層516は、第1方向に延伸する第2ビット線BL2として第2コンタクト418の上に設けられる。第2配線層517は、第1方向に延伸するグラウンド線GNDとして第2コンタクト416の上に設けられる。第2配線層511は、第2コンタクト412の上に設けられ、第2配線層512は、第2コンタクト413の上に設けられ、第2配線層518は、第2コンタクト417の上に設けられる。

30

【0091】

第4層間絶縁膜600は、第3コンタクト611、612、613を埋め込み、第3層間絶縁膜500の上に半導体基板100の全面に亘って設けられる。第4層間絶縁膜600は、例えば、酸化シリコン(SiO<sub>x</sub>)、窒化シリコン(SiN<sub>x</sub>)又は酸窒化シリコン(SiON)などの絶縁性の酸窒化物で形成されてもよい。

【0092】

第3コンタクト611、612、613は、導電性材料で構成され、第4層間絶縁膜600を貫通して設けられる。例えば、第3コンタクト611、612、613は、チタン(Ti)若しくはタングステン(W)などの低抵抗の金属、又は窒化チタン(TiN)若しくは窒化タンタル(TaN)などの金属化合物で形成されてもよい。第3コンタクト611、612、613は、単層で形成されてもよく、複数層の積層体で形成されてもよい。例えば、第3コンタクト611、612、613は、Ti又はTiNと、Wとの積層体にて形成されてもよい。

40

【0093】

具体的には、第3コンタクト611は、第2配線層511の上に設けられ、第3コンタクト612は、第2配線層512の上に設けられ、第3コンタクト613は、第2配線層518の上に設けられる。

50

## 【0094】

第5層間絶縁膜700は、第3配線層711、712を埋め込み、第4層間絶縁膜600の上に半導体基板100の全面に亘って設けられる。第5層間絶縁膜700は、例えば、酸化シリコン( $\text{SiO}_x$ )、窒化シリコン( $\text{SiN}_x$ )又は酸窒化シリコン( $\text{SiON}$ )などの絶縁性の酸窒化物で形成されてもよい。

## 【0095】

第3配線層711、712は、導電性材料で構成され、第4層間絶縁膜600の上に設けられる。第3配線層711、712は、例えば、銅(Cu)又はアルミニウム(Al)等の金属材料で形成されてもよく、Cuのダマシン構造又はデュアルダマシン構造にて形成されてもよい。具体的には、第3配線層711は、第1方向と直交する第2方向に延伸するプレート線PLとして第3コンタクト611の上に設けられる。第3配線層712は、第1方向と直交する第2方向に延伸するワード線WLとして第3コンタクト612、613の上に設けられる。

10

## 【0096】

上記の構造によれば、半導体装置1を用いたメモリセル10では、シェアコンタクトの内部に第1強誘電体キャパシタ14及び第2強誘電体キャパシタ24をスタック型シリンドリカ形状にて形成することができる。したがって、メモリセル10は、平面面積をより縮小することができるため、記憶装置の記憶密度をより高めることが容易になる。また、メモリセル10では、第1強誘電体キャパシタ14及び第2強誘電体キャパシタ24の容量をより大きくすることができるため、メモリセル10の信頼性を向上させることができる。

20

## 【0097】

## &lt;3. 製造方法&gt;

続いて、図5～図15を参照して、本実施形態に係る半導体装置1を用いたメモリセル10の製造方法について説明する。図5～図15は、メモリセル10の製造方法の各工程を説明する平面図及び断面図である。

## 【0098】

なお、図5～図15においても、図3A及び図3Bと同様に、半導体基板100の全面に亘って形成された層の記載は省略している。また、断面図の各々は、平面図をA-A線、又はB-B線の各々で切断した断面を示す。

## 【0099】

まず、図5に示すように、半導体基板100に素子分離層105を形成し、FETの各々が形成されるp型活性化領域150A、150D、及びn型活性化領域150B、150Cを形成する。

30

## 【0100】

具体的には、Siからなる半導体基板100上に、ドライ酸化等にて $\text{SiO}_2$ 膜を形成し、さらに減圧CVD(Chemical Vapor Deposition)等にて $\text{Si}_3\text{N}_4$ 膜を形成する。続いて、p型活性化領域150A、150D、及びn型活性化領域150B、150Cを形成する領域を保護するようにパターニングされたレジスト層を $\text{Si}_3\text{N}_4$ 膜の上に形成した後、 $\text{SiO}_2$ 膜、 $\text{Si}_3\text{N}_4$ 膜及び半導体基板100を350nm～400nmの深さでエッチングする。次に、膜厚650nm～700nmにて $\text{SiO}_2$ を成膜し、エッチングによる開口を埋め込むことで、素子分離層105を形成する。 $\text{SiO}_2$ の成膜には、例えば、段差被覆性が良好であり、かつ緻密な $\text{SiO}_2$ 膜を形成することが可能な高密度プラズマCVDを用いてもよい。

40

## 【0101】

続いて、CMP(Chemical Mechanical Polish)等を用いて、過剰に成膜された $\text{SiO}_2$ 膜を除去することで、半導体基板100の表面を平坦化する。CMPによる $\text{SiO}_2$ 膜の除去は、例えば、 $\text{Si}_3\text{N}_4$ 膜が露出するまで行えばよい。

## 【0102】

さらに、熱リン酸等を用いて $\text{Si}_3\text{N}_4$ 膜を除去する。なお、素子分離層105のSi

50

O<sub>2</sub>膜をより緻密な膜とするため、又はp型活性化領域150A、150D、及びn型活性化領域150B、150Cの角を丸めるために、Si<sub>3</sub>N<sub>4</sub>膜の除去の前に半導体基板100をN<sub>2</sub>、O<sub>2</sub>又はH<sub>2</sub>/O<sub>2</sub>環境下でアニーリングすることも可能である。

#### 【0103】

次に、半導体基板100のp型活性化領域150A、150D、及びn型活性化領域150B、150Cに対応する領域の表面を10nm程度酸化して酸化膜100Aを形成する。その後、p型活性化領域150A、150Dに対応する領域の半導体基板100に、p型不純物(例えば、ホウ素(B)など)をイオン注入することで、p型活性化領域150A、150Dを形成する。また、n型活性化領域150B、150Cに対応する領域の半導体基板100に、n型不純物(例えば、ヒ素(As)など)をイオン注入することで、n型活性化領域150B、150Cを形成する。

10

#### 【0104】

次に、図6に示すように、ゲート絶縁膜140を成膜した後、ゲート絶縁膜140の上に、ゲート電極131、132、133、134を形成する。

#### 【0105】

具体的には、まず、半導体基板100の表面を覆う酸化膜100Aをフッ化水素酸溶液等で剥離する。その後、700のO<sub>2</sub>を用いたドライ酸化又はRTA(Rapid Thermal Anneal)処理によって、半導体基板100の上にSiO<sub>2</sub>からなるゲート絶縁膜140を膜厚1.5nm~10nmにて形成する。なお、ドライ酸化に用いるガスとしては、O<sub>2</sub>の他に、H<sub>2</sub>/O<sub>2</sub>、N<sub>2</sub>O又はNOの混合ガスを用いてもよい。また、ゲート絶縁膜140を形成する際に、プラズマ窒化を用いることで、SiO<sub>2</sub>膜中に窒素ドーピングを行うことも可能である。

20

#### 【0106】

次に、SiH<sub>4</sub>ガスを原料ガスとし、成膜温度を580~620とする減圧CVDを用いて、ポリシリコンを膜厚50nm~150nmにて成膜する。その後、パターンニングされたレジストをマスクとして、成膜されたポリシリコンに対して異方性エッチングを行うことにより、ゲート電極131、132、133、134を形成する。異方性エッチングには、例えば、HBr又はCl系のガスを用いることができる。例えば、40nmノードでは、ゲート幅を40nm~50nm程度として、ゲート電極131、132、133、134を形成してもよい。

30

#### 【0107】

なお、ゲート電極131、132、133、134は、メモリセル10が形成される領域以外のロジック領域等に設けられるトランジスタのゲート電極と同時に形成されてもよい。

#### 【0108】

次に、図7に示すように、ゲート電極131、132、133、134の両側面にサイドウォール絶縁膜131S、132S、133S、134S(サイドウォール絶縁膜132S、133S、134Sは図示されず)を形成する。その後、半導体基板100のp型活性化領域150A、150D、及びn型活性化領域150B、150Cに、ソース又はドレイン領域151A、151D、151B、151Cをそれぞれ形成する。

40

#### 【0109】

具体的には、p型活性化領域150A、150Dのゲート電極131、132、133、134の両側にn型不純物であるヒ素(As)を5keV~20keVにて、5~20×10<sup>13</sup>個/cm<sup>2</sup>の濃度でイオン注入する。なお、n型不純物として、リン(P)を用いることも可能である。また、n型活性化領域150B、150Cのゲート電極131、133の両側にp型不純物であるフッ化ホウ素(BF<sub>2</sub>)を3keV~5keVにて、5~20×10<sup>13</sup>個/cm<sup>2</sup>の濃度でイオン注入する。これにより、p型活性化領域150A、150D、及びn型活性化領域150B、150Cの各々にLDD領域を形成する。LDD領域を形成することで、短チャネル効果を抑制することができるため、FETの特性ばらつきを抑制することが可能である。

50

## 【0110】

次に、プラズマCVDによって $\text{SiO}_2$ を膜厚10nm~30nmで成膜した後、プラズマCVDによって $\text{Si}_3\text{N}_4$ を膜厚30nm~50nmで成膜し、サイドウォール用の絶縁膜を形成する。その後、サイドウォール用の絶縁膜に対して、異方性エッチングを行うことで、ゲート電極131、132、133、134の両側面にサイドウォール絶縁膜131S、132S、133S、134Sを形成する。

## 【0111】

その後、p型活性化領域150A、150Dのゲート電極131、132、133、134の両側にn型不純物であるヒ素(As)を20keV~50keVにて、 $1\sim 2\times 10^{15}$ 個/cm<sup>2</sup>の濃度でイオン注入する。また、n型活性化領域150B、150Cのゲート電極131、133の両側にp型不純物であるフッ化ホウ素(BF<sub>2</sub>)を5keV~10keVにて、 $1\sim 2\times 10^{15}$ 個/cm<sup>2</sup>の濃度でイオン注入する。これにより、ゲート電極131、132、133、134の両側にソース又はドレイン領域151A、151D、151B、151Cが形成される。さらに、1000にて5秒間のRTA(Rapid Thermal Annealing)を行うことにより、イオン注入したn型不純物及びp型不純物を活性化させる。これにより、半導体基板100の上にFETの各々が形成される。なお、導入した不純物の活性化を促進し、かつ不純物の拡散を抑制するために、スパイクRTAにて不純物の活性化を行うことも可能である。

10

## 【0112】

続いて、スパッタ等にて、半導体基板100の全面に亘って、Niを膜厚6nm~8nmにて成膜した後、300~450にて10秒~60秒のRTAを行うことで、Si上のNiをシリサイド(NiSi)化させる。SiO<sub>2</sub>上のNiは未反応のまま残るため、H<sub>2</sub>SO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub>を用いてSiO<sub>2</sub>上の未反応のNiを除去する。これにより、ゲート電極131、132、133、134、並びにソース又はドレイン領域151A、151B、151C、151Dに、NiSiからなる導通層131C、132C、133C、133C、並びにコンタクト領域152A、152B、152C、152Dが形成される(導通層132C、133C、133Cは図示されず)。なお、Niに替えてCo又はNiPtを成膜することで、CoSi<sub>2</sub>又はNiSiにて導通層131C、132C、133C、133C、並びにコンタクト領域152A、152B、152C、152Dを形成してもよい。Co又はNiPtを成膜した場合のRTAの温度は、適宜設定され得る。

20

30

## 【0113】

続いて、図8に示すように、FETの各々を埋め込むように半導体基板100の全面に亘って平坦化膜200を形成した後、平坦化膜200に開口を形成し、該開口の内部に下部電極111を形成する。

## 【0114】

具体的には、半導体基板100の上に、CVD等を用いて、SiO<sub>2</sub>を膜厚100nm~500nmにて成膜した後、CMP法によって平坦化を行うことで、平坦化膜200を形成する。

## 【0115】

なお、図示しないが、平坦化膜200を形成する前に、半導体基板100の上に、SiNからなるライナー層を半導体基板100の全面に亘って形成してもよい。例えば、プラズマCVDを用いて、SiNを膜厚10nm~50nmにて成膜することで、ライナー層を形成してもよい。ライナー層は、半導体基板100に圧縮応力又は引張応力を付与する層として形成することも可能である。ライナー層を形成することにより、後段の工程で、平坦化膜200とライナー層とのエッチング選択比が高くなる条件で平坦化膜200をエッチングすることができるため、より高い制御性にてエッチングを行うことができる。

40

## 【0116】

次に、リソグラフィにてパターンニングされたレジストをマスクとする異方性エッチングを用いて、平坦化膜200に、ソース又はドレイン領域151A、151B並びにゲート電極133を露出させる開口と、ソース又はドレイン領域151C、151D並びにゲー

50

ト電極 131 を露出させる開口と、を形成する。開口は、例えば、幅 60 nm かつ深さ 200 nm にて形成することができる。このとき、開口のアスペクト比が 20 程度であれば、開口を形成するエッチング、及び後段の成膜による開口の埋め込みを問題なく行うことが可能である。異方性エッチングは、例えば、フルオロカーボン系のガスを用いることで行うことができる。また、上述したライナー層を用いることで、制御性良くエッチングをストップすることができる。

#### 【0117】

次に、ALD、CVD 又は IMP によるスパッタを用いて、平坦化膜 200 に形成した開口の内部形状に沿って、ソース又はドレイン領域 151A、151B 並びにゲート電極 133 の上に TiN を膜厚 5 nm ~ 20 nm で成膜し、第 1 強誘電体キャパシタ 14 の下部電極 111 を形成する。なお、下部電極 111 を形成する材料として、TiN に替えて、Ta<sub>2</sub>N<sub>5</sub>、Ru、又は RuO<sub>2</sub> などを用いることも可能である。

10

#### 【0118】

その後、成膜した下部電極 111 の各々の上にレジストを塗布した後、該レジスト及び下部電極 111 が同程度のエッチング選択比となる条件でエッチバックを行うことで、下部電極 111 を開口の開口面から後退させる。これにより、開口の底部及び側面に下部電極 111 を残しつつ、下部電極 111 の肩部を後退させることで、リセスを形成することができる。

#### 【0119】

次に、図 9 に示すように、下部電極 111 の上に強誘電体膜 113 を成膜し、さらに強誘電体膜 113 の上に上部電極 115 を成膜することで、開口の各々の内部に第 1 強誘電体キャパシタ 14 を形成する。

20

#### 【0120】

具体的には、下部電極 111 の各々の上に、平坦化膜 200 に設けた開口の内部形状に沿って、高誘電体材料である酸化ハフニウム (HfO<sub>x</sub>) を CVD 又は ALD にて膜厚 3 nm ~ 10 nm にて成膜することで、強誘電体膜 113 を形成する。なお、高誘電体材料である酸化ハフニウム (HfO<sub>x</sub>) は、後段にて、アニール処理が行われることで強誘電体材料に変換される。

#### 【0121】

なお、酸化ハフニウムに替えて、酸化ジルコニウム (ZrO<sub>x</sub>) 又は酸化ハフニウムジルコニウム (HfZrO<sub>x</sub>) などの高誘電体材料を用いることも可能である。また、これらの高誘電体材料にランタン (La)、シリコン (Si) 又はガドリニウム (Gd) 等をドーピングすることで強誘電体材料に変換することも可能である。さらには、強誘電体膜 113 として、チタン酸ジルコン酸鉛 (PZT)、又はタンタル酸ビスマス酸ストロンチウム (SBT) などのペレブスカイト系の強誘電体材料を用いることも可能である。

30

#### 【0122】

その後、平坦化膜 200 に形成した開口の各々を埋め込むように、強誘電体膜 113 の上に CVD、ALD 又はスパッタ等を用いて、TiN を膜厚 5 nm ~ 20 nm で成膜することで、上部電極 115 をそれぞれ形成する。なお、上部電極 115 を形成する材料として、Ta<sub>2</sub>N<sub>5</sub>、Ru 又は RuO<sub>2</sub> を用いることも可能である。続いて、強誘電体膜 113 を構成する HfO<sub>x</sub> を強誘電体材料に変換するための結晶化アニールが行われる。

40

#### 【0123】

HfO<sub>x</sub> を強誘電体材料に変換する結晶化アニールは、本工程にて行ってもよく、他の工程 (例えば、後述する CMP 後) にて行われてもよい。結晶化アニールは、例えば、400 ~ 700 の範囲かつ NiSi 又は FET などの他の構成の耐熱性の範囲であれば、任意に変更することが可能である。その後、CMP 又は全面エッチバックを行うことで、平坦化膜 200 の上に、過剰に成膜された強誘電体膜 113 及び上部電極 115 を除去する。

#### 【0124】

これにより、第 1 強誘電体キャパシタ 14 が形成される。このような工程によれば、第

50

1 配線層等の配線を形成する工程の前に強誘電体膜 1 1 3 を高い温度で結晶化アニールを行うことができるため、第 1 配線層等の配線に対する熱負荷を低下させることができる。また、第 1 強誘電体キャパシタ 1 4 を形成するこれらの工程によって、第 2 強誘電体キャパシタ 2 4 が形成される。

【 0 1 2 5 】

次に、図 1 0 に示すように、第 1 コンタクト 2 1 1、2 1 2、2 1 3、2 1 4、2 1 5、2 1 6、2 1 7、2 1 8 を形成する。

【 0 1 2 6 】

具体的には、平坦化膜 2 0 0 をエッチングすることで、平坦化膜 2 0 0 に、所定のソース又はドレイン領域 1 5 1 A、1 5 1 B、1 5 1 C、1 5 1 D、並びにゲート電極 1 3 2、1 3 4 を露出させる開口を形成する。続いて、CVD 等にて平坦化膜 2 0 0 の開口に Ti 及び TiN を成膜し、さらに W を成膜した後、CMP 法にて平坦化する。これにより、ソース又はドレイン領域 1 5 1 A、1 5 1 B、1 5 1 C、1 5 1 D、並びにゲート電極 1 3 2、1 3 4 の上に第 1 コンタクト 2 1 1、2 1 2、2 1 3、2 1 4、2 1 5、2 1 6、2 1 7、2 1 8 を形成する。

10

【 0 1 2 7 】

なお、Ti 及び TiN は、IMP を用いたスパッタ法等で成膜してもよい。また、CMP 法の替わりに全面エッチバックを用いて平坦化を行ってもよい。なお、第 1 コンタクト 2 1 1、2 1 2、2 1 3、2 1 4、2 1 5、2 1 6、2 1 7、2 1 8 は、メモリセル 1 0 が形成される領域以外のロジック領域等に設けられるトランジスタのコンタクトと同時に形成されてもよい。

20

【 0 1 2 8 】

次に、図 1 1 に示すように、半導体基板 1 0 0 の全面に亘って第 1 層間絶縁膜 3 0 0 を形成した後、第 1 配線層 3 1 1、3 1 2、3 1 3、3 1 4、3 1 5、3 1 6、3 1 7、3 1 8、3 1 9 を形成する。

【 0 1 2 9 】

具体的には、CVD 等を用いて、平坦化膜 2 0 0 の上に全面に亘って SiO<sub>2</sub> を膜厚 1 0 0 nm ~ 5 0 0 nm にて成膜した後、CMP 法によって平坦化を行うことで、第 1 層間絶縁膜 3 0 0 を形成する。続いて、第 1 層間絶縁膜 3 0 0 をエッチングすることで、第 1 コンタクト 2 1 1、2 1 2、2 1 3、2 1 4、2 1 5、2 1 6、2 1 7、2 1 8、並びに第 1 強誘電体キャパシタ 1 4 及び第 2 強誘電体キャパシタ 2 4 の上部電極を露出させる開口を形成する。その後、ダマシン構造又はデュアルダマシン構造を用いることで、Cu 等を配線材料として、第 1 配線層 3 1 1、3 1 2、3 1 3、3 1 4、3 1 5、3 1 6、3 1 7、3 1 8、3 1 9 を形成する。なお、第 1 配線層 3 1 1、3 1 2、3 1 3、3 1 4、3 1 5、3 1 6、3 1 7、3 1 8、3 1 9 は、Al 等にて形成されてもよい。

30

【 0 1 3 0 】

続いて、図 1 2 に示すように、第 1 層間絶縁膜 3 0 0 の上に、半導体基板 1 0 0 の全面に亘って第 2 層間絶縁膜 4 0 0 を形成した後、第 2 コンタクト 4 1 1、4 1 2、4 1 3、4 1 4、4 1 5、4 1 6、4 1 7、4 1 8、4 1 9 を形成する。

【 0 1 3 1 】

具体的には、CVD 等を用いて、第 1 層間絶縁膜 3 0 0 の上に全面に亘って SiO<sub>2</sub> を膜厚 1 0 0 nm ~ 5 0 0 nm にて成膜した後、CMP 法によって平坦化を行うことで、第 2 層間絶縁膜 4 0 0 を形成する。続いて、第 2 層間絶縁膜 4 0 0 をエッチングすることで、第 1 配線層 3 1 2、3 1 3、3 1 4、3 1 5、3 1 6、3 1 7、3 1 8、3 1 9 を露出させる開口を形成する。次に、形成した開口に対して、CVD 等にて TiN を成膜し、さらに W を成膜した後、CMP にて平坦化することで、第 2 コンタクト 4 1 1、4 1 2、4 1 3、4 1 4、4 1 5、4 1 6、4 1 7、4 1 8、4 1 9 を形成する。なお、TiN は、IMP を用いたスパッタ法等で成膜してもよい。また、CMP の替わりに全面エッチバックを用いて平坦化を行ってもよい。

40

【 0 1 3 2 】

50

次に、図13に示すように、第2層間絶縁膜400の上に、半導体基板100の全面に亘って第3層間絶縁膜500を形成した後、第2配線層511、512、513、514、515、516、517、518を形成する。

#### 【0133】

具体的には、CVD等を用いて、第2層間絶縁膜400の上に全面に亘ってSiO<sub>2</sub>を膜厚100nm~500nmにて成膜した後、CMP法によって平坦化を行うことで、第3層間絶縁膜500を形成する。次に、第3層間絶縁膜500をエッチングすることで、第2コンタクト411、412、413、414、415、416、417、418、419を露出させる開口を形成した後、ダマシン構造又はデュアルダマシン構造を用いることで、Cu等を配線材料とする第2配線層511、512、513、514、515、516、517、518を形成する。なお、第2配線層511、512、513、514、515、516、517、518は、Al等にて形成されてもよい。

10

#### 【0134】

第2配線層513は、第2コンタクト411の上に第1方向に延伸して設けられ、グラウンド線GNDとして機能する。第2配線層514は、第2コンタクト414の上に第1方向に延伸して設けられ、第1ビット線BL1として機能する。第2配線層515は、第2コンタクト415、419の上に第1方向に延伸して設けられ、電源線PWRとして機能する。第2配線層516は、第2コンタクト418の上に第1方向に延伸して設けられ、第2ビット線BL2として機能する。第2配線層517は、第2コンタクト416の上に第1方向に延伸して設けられ、グラウンド線GNDとして機能する。

20

#### 【0135】

続いて、図14に示すように、第3層間絶縁膜500の上に、半導体基板100の全面に亘って第4層間絶縁膜600を形成した後、第3コンタクト611、612、613を形成する。

#### 【0136】

具体的には、CVD等を用いて、第3層間絶縁膜500の上に全面に亘ってSiO<sub>2</sub>を膜厚100nm~500nmにて成膜した後、CMP法によって平坦化を行うことで、第4層間絶縁膜600を形成する。続いて、第4層間絶縁膜600をエッチングすることで、第2配線層511、512、518を露出させる開口を形成する。次に、形成した開口に対して、CVD等にてTiNを成膜し、さらにWを成膜した後、CMPにて平坦化することで、第3コンタクト611、612、613を形成する。なお、TiNは、IMPを用いたスパッタ法等で成膜してもよい。また、CMPの代わりに全面エッチバックを用いて平坦化を行ってもよい。

30

#### 【0137】

次に、図15に示すように、第4層間絶縁膜600の上に、半導体基板100の全面に亘って第5層間絶縁膜700を形成した後、第3配線層711、712を形成する。

#### 【0138】

具体的には、CVD等を用いて、第4層間絶縁膜600の上に全面に亘ってSiO<sub>2</sub>を膜厚100nm~500nmにて成膜した後、CMP法によって平坦化を行うことで、第5層間絶縁膜700を形成する。次に、第5層間絶縁膜700をエッチングすることで、第3コンタクト611、612、613を露出させる開口を形成した後、ダマシン構造又はデュアルダマシン構造を用いることで、Cu等を配線材料とする第3配線層711、712を形成する。なお、第3配線層711、712は、Al等にて形成されてもよい。

40

#### 【0139】

第3配線層711は、第3コンタクト611の上に第1方向と直交する第2方向に延伸して設けられ、プレート線PLとして機能する。第3配線層712は、第3コンタクト612、613の上に第1方向と直交する第2方向に延伸して設けられ、ワード線WLとして機能する。

#### 【0140】

以上の工程により、本実施形態に係る半導体装置1を用いたメモリセル10を形成する

50

ことができる。

【0141】

< 4 . 動作例 >

続いて、図16～図18Cを参照して、上記で説明したメモリセル10の動作例について説明する。図16は、第1記憶ノードN1及び第2記憶ノードN2の状態と、電位との関係を示すヒステリシス曲線の一例を示すグラフ図である。図17A～図17Cは、復帰時のメモリセル10の状態の遷移を説明する説明図であり、図18A～図18Cは、復帰時の第1記憶ノードN1及び第2記憶ノードN2の状態の遷移を説明する説明図である。図16及び図18A～図18Cは、横軸が電位を示し、縦軸が第1強誘電体キャパシタ14又は第2強誘電体キャパシタ24の分極量を示す。

10

【0142】

以下の表1は、各動作時におけるメモリセル10の各配線に印加される電圧(単位:V)の一例を示した表である。また、表1では、第1記憶ノードN1及び第2記憶ノードN2の電位も併せて示す。なお、表1において、「Vcc」は、電源電圧を表し、「Vw」は、第1強誘電体キャパシタ及び第2強誘電体キャパシタの書き込み電圧(強誘電体膜の分極状態を反転可能な電圧)を表し、「OFF」は、該当する配線をフローティング状態とすることを表す。

【0143】

【表1】

(表1)

	動作時 スタンバイ時	格納時		休止時	復帰時
ワード線WL	OFF	OFF	OFF	OFF	OFF
プレート線PL	0	Vw	0	0	0
電源線PWR	Vcc	Vw	Vw	0	Vcc
グランド線GND	0	0	0	0	0
第1記憶ノードN1	0	0	0	0	0
第2記憶ノードN2	Vcc	Vw	Vw	0	Vcc

20

【0144】

例えば、メモリセル10の動作時又はスタンバイ時には、表1に示すように、ワード線WLはフローティング状態となり、電源線PWRはVccとなり、グランド線GNDは0Vとなり、プレート線PLは0Vとなる。このとき、メモリセル10は、ワード線WL、第1ビット線BL1及び第2ビット線BL2の電位を制御することで、SRAMと同様の動作にて第1記憶ノードN1及び第2記憶ノードN2の状態(すなわち、電位)を制御することができる。

【0145】

ここで、電力供給を停止する前に、第1記憶ノードN1及び第2記憶ノードN2の状態を第1強誘電体キャパシタ14及び第2強誘電体キャパシタ24に格納する動作について説明する。

40

【0146】

なお、第1記憶ノードN1及び第2記憶ノードN2の状態は、第1記憶ノードN1の電位が0Vであり、第2記憶ノードN2の電位がVccであるとする。このときの第1記憶ノードN1の状態は、図16のヒステリシス曲線のP4となり、第2記憶ノードN2の状態は、図16のヒステリシス曲線のP1となる。

【0147】

第1強誘電体キャパシタ14及び第2強誘電体キャパシタ24への格納時には、表1に示すように、まず、電源線PWR及びプレート線PLにVwを印加する。このとき、第1記憶ノードN1の状態は、図16のヒステリシス曲線のP3となり、第2記憶ノードN2

50

の状態は、図 16 のヒステリシス曲線の P 2 となる。次に、電源線 PWR の電位を  $V_w$  に維持したまま、プレート線 PL の電位を 0 V とする。このときの第 1 記憶ノード N 1 の状態は、図 16 のヒステリシス曲線の P 4 となり、第 2 記憶ノード N 2 の状態は、図 16 のヒステリシス曲線の P 1 となる。

**【 0 1 4 8 】**

その後、電力供給を停止してすべての配線の電位を 0 V とし、休止状態とした場合、第 1 記憶ノード N 1 の状態は、図 16 のヒステリシス曲線の P 4 となり、第 2 記憶ノード N 2 の状態は、図 16 のヒステリシス曲線の P 2 となる。これにより、メモリセル 10 では、電力供給がされない休止時であっても、第 1 強誘電体キャパシタ 14 及び第 2 強誘電体キャパシタ 24 の残留分極によって情報を保持することができる。

10

**【 0 1 4 9 】**

続いて、休止状態からの復帰時には、メモリセル 10 は、動作時又はスタンバイ時と同じ動作条件を適用されることで、第 1 記憶ノード N 1 及び第 2 記憶ノード N 2 の状態を休止前に復帰させることができる。

**【 0 1 5 0 】**

休止状態からの復帰時の動作について、図 17 A ~ 図 17 C 及び図 18 A ~ 図 18 C を参照して説明すると以下のようなになる。

**【 0 1 5 1 】**

具体的には、表 1 に示すように、ワード線 WL をフローティング状態とし、電源線 PWR に  $V_{cc}$  を印加し、グランド線 GND 及びプレート線 PL に 0 V を印加する。

20

**【 0 1 5 2 】**

これにより、図 17 A に示すように、p 型 FET 12 及び p 型 FET 22 のゲート電圧は 0 V となるため、p 型 FET 12 及び p 型 FET 22 はオン状態となり、第 1 記憶ノード N 1 及び第 2 記憶ノード N 2 には、電源線 PWR から電荷が供給される。このときの第 1 記憶ノード N 1 及び第 2 記憶ノード N 2 は、図 18 A に示す状態から図 18 B に示す状態に遷移し、それぞれ  $V_{cc}$  の電位に向かって電位を変化させる。ただし、第 1 記憶ノード N 1 は、負荷容量が大きいため、第 2 記憶ノード N 2 よりも電位の変化が緩やかになる。

**【 0 1 5 3 】**

ここで、第 2 記憶ノード N 2 の電位が n 型 FET 13 の閾値電圧  $V_{th}$  に達した場合、図 17 B に示すように、n 型 FET 13 がオン状態となるため、第 1 記憶ノード N 1 に蓄積した電荷はグランド線 GND に排出される。したがって、第 1 記憶ノード N 1 の電位は、図 18 B に示す状態から図 18 C に示す状態に遷移し、0 V に戻される。一方、n 型 FET 23 はオン状態のままなので、第 2 記憶ノード N 2 には電荷が供給され続け、第 2 記憶ノード N 2 の電位は、 $V_{cc}$  に向かって変化し続ける。

30

**【 0 1 5 4 】**

このようなメモリセル 10 の動作状態は、図 17 C に示すように、第 1 記憶ノード N 1 の電位、及び第 2 記憶ノード N 2 の電位がそれぞれ安定するまで継続する。これにより、最終的には、図 18 C に示すように、第 1 記憶ノード N 1 の電位は、0 V で安定し、第 2 記憶ノード N 2 の電位は、 $V_{cc}$  で安定することになる。このような動作により、メモリセル 10 は、第 1 記憶ノード N 1 及び第 2 記憶ノード N 2 の状態を休止前の状態に復帰させることができる。

40

**【 0 1 5 5 】**

なお、上記では、第 1 記憶ノード N 1 の電位が 0 V であり、第 2 記憶ノード N 2 の電位が  $V_{cc}$  である場合について説明したが、第 1 記憶ノード N 1 の電位が  $V_{cc}$  であり、第 2 記憶ノード N 2 の電位が 0 V である場合についても、同様に格納動作及び復帰動作を行うことが可能である。

**【 0 1 5 6 】**

以上の動作によれば、本実施形態に係る半導体装置 1 を用いたメモリセル 10 は、電力供給時には SRAM と同様の高速動作を行うことができる。また、メモリセル 10 では、

50

電力供給が停止する休止時でも、第1強誘電体キャパシタ14及び第2強誘電体キャパシタ24に情報を格納しておき、復帰時に第1強誘電体キャパシタ14及び第2強誘電体キャパシタ24から情報を復帰させることができる。これによれば、メモリセル10は、電力供給が停止する休止時でも情報を保持可能な不揮発メモリとして動作することが可能であるため、消費電力をより低減することができる。

【0157】

<5.適用例>

続いて、本開示の一実施形態に係る電子機器について説明する。本開示の一実施形態に係る電子機器は、上述した半導体装置1を含む回路が搭載された種々の電子機器である。図19A~図19Cを参照して、このような本実施形態に係る電子機器の例について説明する。図19A~図19Cは、本実施形態に係る電子機器の一例を示す外観図である。

10

【0158】

例えば、本実施形態に係る電子機器は、スマートフォンなどの電子機器であってもよい。具体的には、図19Aに示すように、スマートフォン900は、各種情報を表示する表示部901と、ユーザによる操作入力を受け付けるボタン等から構成される操作部903と、を備える。ここで、スマートフォン900に搭載される回路には、上述した半導体装置1が設けられてもよい。

【0159】

例えば、本実施形態に係る電子機器は、デジタルカメラなどの電子機器であってもよい。具体的には、図19B及び図19Cに示すように、デジタルカメラ910は、本体部(カメラボディ)911と、交換式のレンズユニット913と、撮影時にユーザによって把持されるグリップ部915と、各種情報を表示するモニタ部917と、撮影時にユーザによって観察されるスルー画を表示するEVF(Electronic View Finder)919と、を備える。なお、図19Bは、デジタルカメラ910を前方(すなわち、被写体側)から眺めた外観図であり、図19Cは、デジタルカメラ910を後方(すなわち、撮影者側)から眺めた外観図である。ここで、デジタルカメラ910に搭載される回路には、上述した半導体装置1が設けられてもよい。

20

【0160】

ただし、本実施形態に係る電子機器は、上記例示に限定されない。本実施形態に係る電子機器は、あらゆる分野の電子機器であってもよい。このような電子機器としては、例えば、眼鏡型ウェアラブルデバイス、HMD(Head Mounted Display)、テレビジョン装置、電子ブック、PDA(Personal Digital Assistant)、ノート型パーソナルコンピュータ、ビデオカメラ又はゲーム機器等を例示することができる。

30

【0161】

以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

40

【0162】

また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

【0163】

なお、以下のような構成も本開示の技術的範囲に属する。

(1)

n型FET及びp型FETを含む第1反転回路と、

n型FET及びp型FETを含み、前記第1反転回路の入力に出力が接続され、前記第1反転回路の出力に出力が入力が接続された第2反転回路と、

50

電極の一方を前記第 1 反転回路の入力に接続された第 1 強誘電体キャパシタと、  
電極の一方を前記第 2 反転回路の入力に接続された第 2 強誘電体キャパシタと、  
前記第 1 強誘電体キャパシタの電極の他方、及び前記第 2 強誘電体キャパシタの電極の  
他方と接続するプレート線と、  
を備える、半導体装置。

( 2 )

前記第 1 反転回路及び前記第 2 反転回路の前記 n 型 F E T 及び前記 p 型 F E T は、互いに平行に第 1 方向に延伸する p 型又は n 型の活性化領域にそれぞれ設けられる、前記 ( 1 ) に記載の半導体装置。

( 3 )

前記第 1 反転回路及び前記第 2 反転回路の前記 n 型 F E T 及び前記 p 型 F E T は、前記第 1 方向と直交する第 2 方向に延伸するゲート電極にてそれぞれ電氣的に接続される、前記 ( 2 ) に記載の半導体装置。

( 4 )

前記第 1 反転回路の前記ゲート電極から、前記第 2 反転回路の前記 n 型 F E T 及び前記 p 型 F E T が設けられた p 型又は n 型の活性化領域のそれぞれに亘って第 1 シェアコンタクトが設けられ、

前記第 2 反転回路の前記ゲート電極から、前記第 1 反転回路の前記 n 型 F E T 及び前記 p 型 F E T が設けられた p 型又は n 型の活性化領域のそれぞれに亘って第 2 シェアコンタクトが設けられる、前記 ( 3 ) に記載の半導体装置。

( 5 )

前記第 1 強誘電体キャパシタは、前記第 1 シェアコンタクトの内部に設けられ、前記第 2 強誘電体キャパシタは、前記第 2 シェアコンタクトの内部に設けられる、前記 ( 4 ) に記載の半導体装置。

( 6 )

前記第 1 強誘電体キャパシタ及び前記第 2 強誘電体キャパシタは、スタック型シリンダ形状にて設けられる、前記 ( 5 ) に記載の半導体装置。

( 7 )

前記第 1 シェアコンタクト及び前記第 2 シェアコンタクトは、折曲した平面形状を有する、前記 ( 5 ) 又は ( 6 ) に記載の半導体装置。

( 8 )

前記第 1 シェアコンタクト及び前記第 2 シェアコンタクトの上には、前記第 2 方向に延伸する前記プレート線が設けられる、前記 ( 5 ) ~ ( 7 ) のいずれか一項に記載の半導体装置。

( 9 )

前記第 1 反転回路及び前記第 2 反転回路の双方において、前記 p 型 F E T のソース又はドレインの一方にはそれぞれ電源線が電氣的に接続され、前記 p 型 F E T のソース又はドレインの他方にはそれぞれ前記 n 型 F E T のソース又はドレインの一方が電氣的に接続され、前記 n 型 F E T のソース又はドレインの他方にはそれぞれグランド線が電氣的に接続される、前記 ( 4 ) ~ ( 8 ) のいずれか一項に記載の半導体装置。

( 1 0 )

前記電源線及び前記グランド線は、前記第 1 方向に延伸して設けられる、前記 ( 9 ) に記載の半導体装置。

( 1 1 )

前記第 1 強誘電体キャパシタの電極の他方にソース又はドレインの一方が電氣的に接続する第 1 選択 F E T と、

前記第 2 強誘電体キャパシタの電極の他方にソース又はドレインの一方が電氣的に接続する第 2 選択 F E T と、

をさらに備える、前記 ( 4 ) ~ ( 1 0 ) のいずれか一項に記載の半導体装置。

( 1 2 )

10

20

30

40

50

前記第1選択FET及び前記第2選択FETは、前記第1反転回路及び前記第2反転回路の前記n型FETが設けられる前記p型の活性化領域にそれぞれ設けられるn型FETである、前記(11)に記載の半導体装置。

(13)

前記第1選択FETは、前記第2シェアコンタクトを挟んで前記第1反転回路の前記前記n型FETと対向する側に設けられ、

前記第2選択FETは、前記第1シェアコンタクトを挟んで前記第2反転回路の前記前記n型FETと対向する側に設けられる、前記(12)に記載の半導体装置。

(14)

前記第1選択FET及び前記第2選択FETのゲートには、前記第2方向に延伸するワード線が電氣的に接続される、前記(11)~(13)のいずれか一項に記載の半導体装置。

10

(15)

前記第1選択FET及び前記第2選択FETのソース又はドレインの他方には、前記第1方向に延伸する第1ビット線又は第2ビット線がそれぞれ電氣的に接続される、前記(11)~(14)のいずれか一項に記載の半導体装置。

(16)

半導体装置を備え、

前記半導体装置は、

n型FET及びp型FETを含む第1反転回路と、

20

n型FET及びp型FETを含み、前記第1反転回路の入力に出力が接続され、前記第1反転回路の出力に入力に接続された第2反転回路と、

電極の一方を前記第1反転回路の入力に接続された第1強誘電体キャパシタと、

電極の一方を前記第2反転回路の入力に接続された第2強誘電体キャパシタと、

前記第1強誘電体キャパシタの電極の他方、及び前記第2強誘電体キャパシタの電極の他方と接続するプレート線と、  
を備える、電子機器。

【符号の説明】

【0164】

1 半導体装置

30

10 メモリセル

11 第1反転回路

12 p型FET

13 n型FET

14 第1強誘電体キャパシタ

15 第1選択FET

21 第2反転回路

22 p型FET

23 n型FET

24 第2強誘電体キャパシタ

40

25 第2選択FET

PWR 電源線

GND グランド線

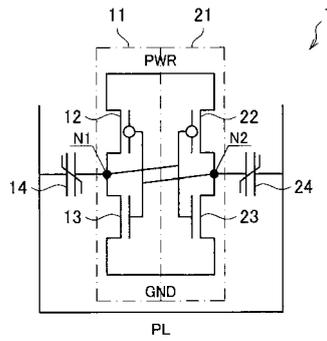
PL プレート線

WL ワード線

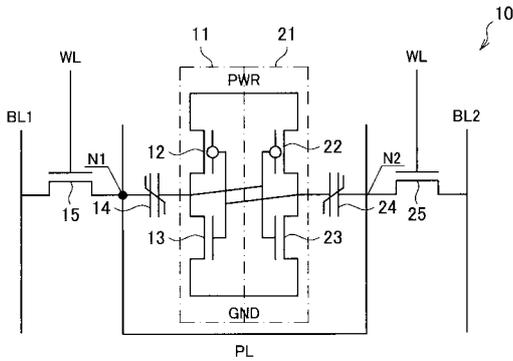
BL1 第1ビット線

BL2 第2ビット線

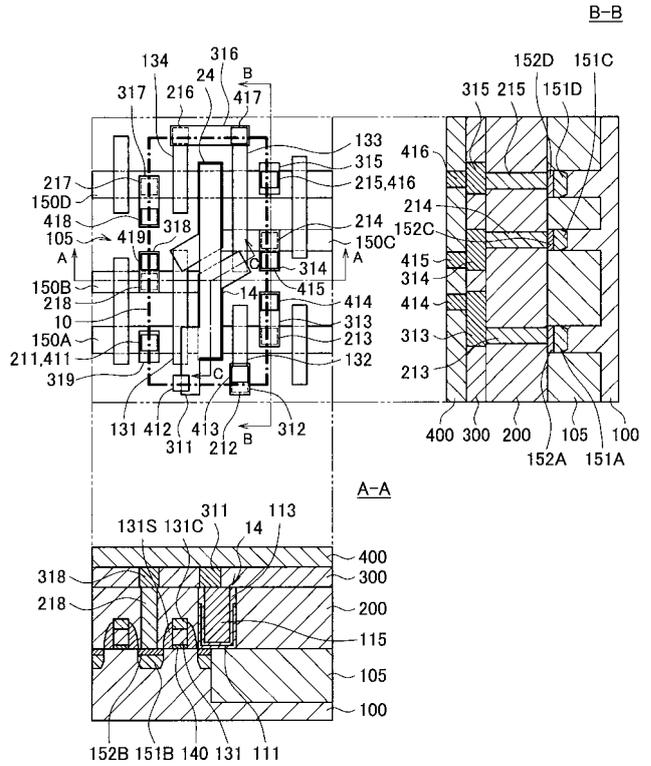
【図1】



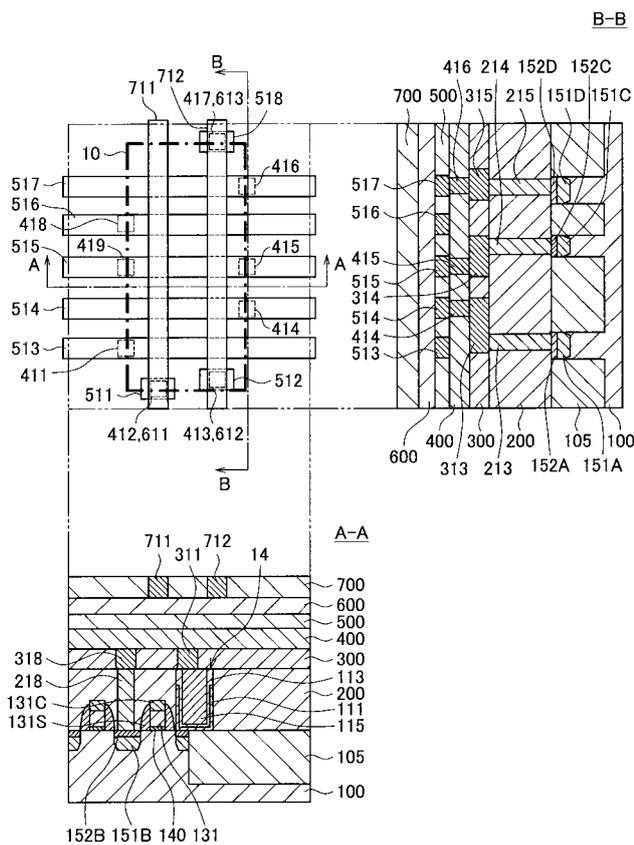
【図2】



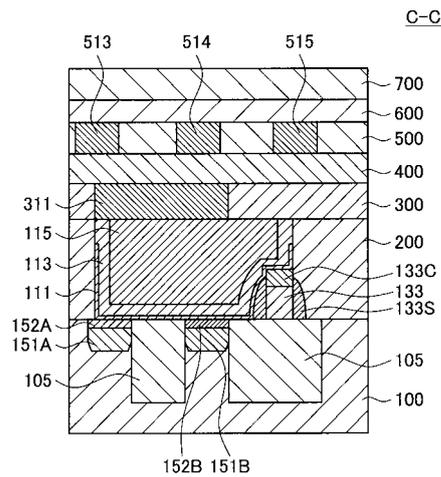
【図3A】



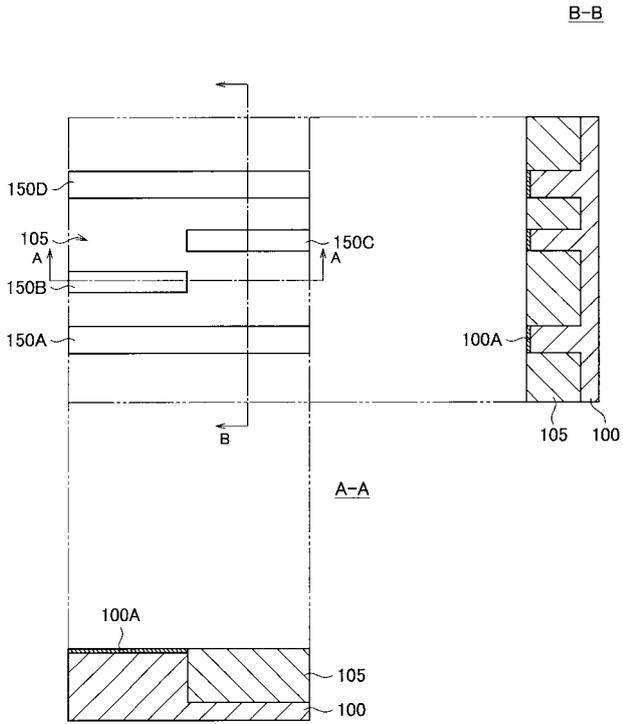
【図3B】



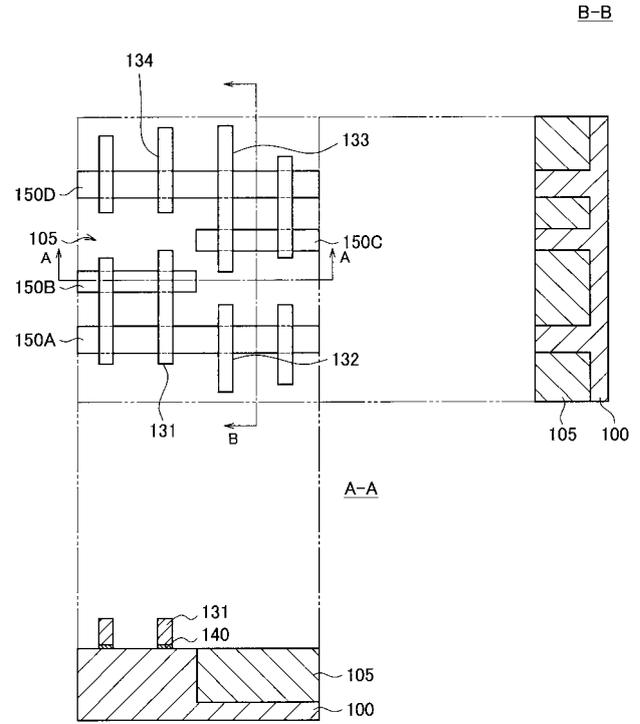
【図4】



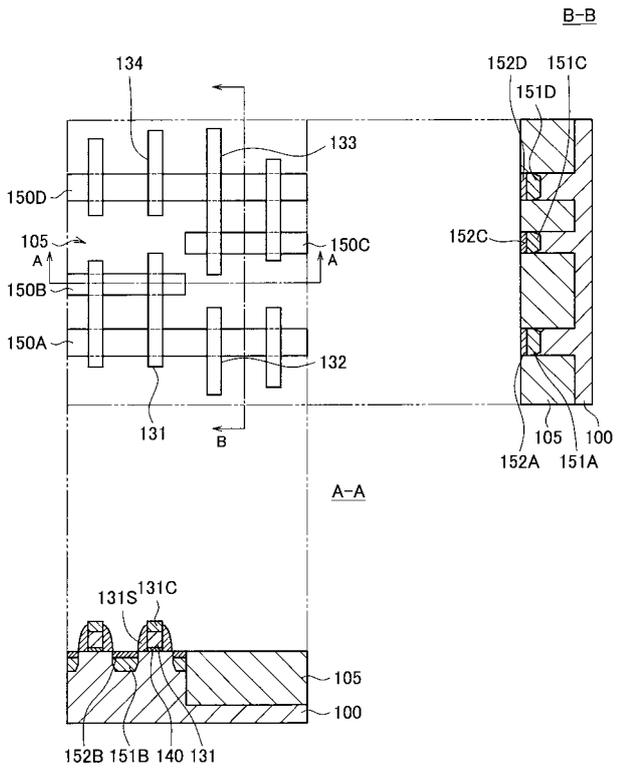
【 図 5 】



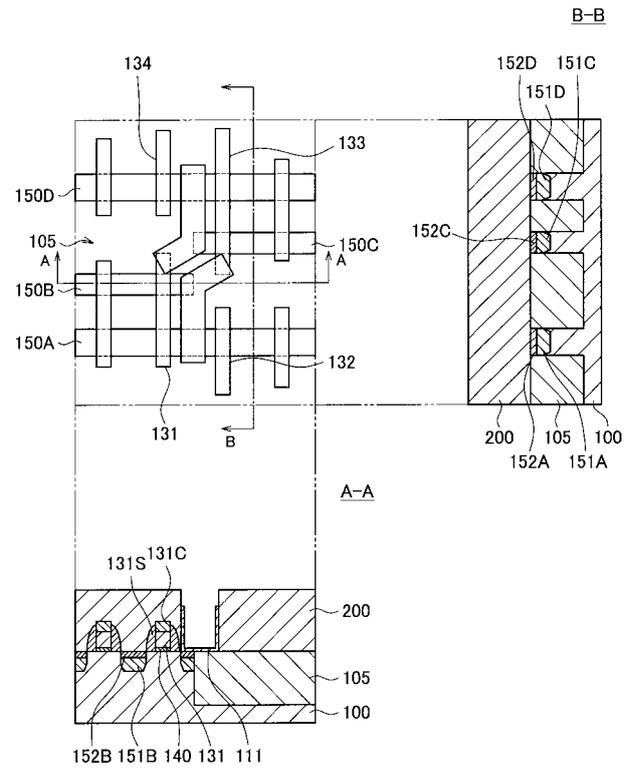
【 図 6 】



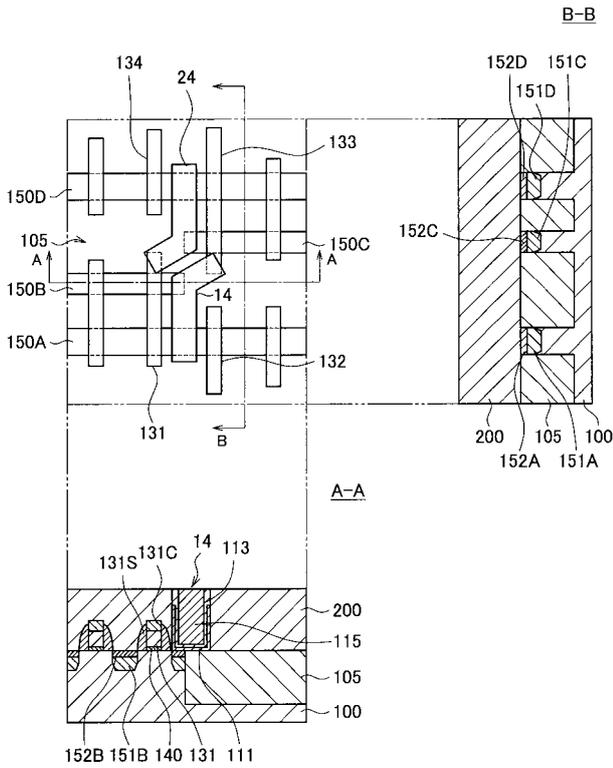
【 図 7 】



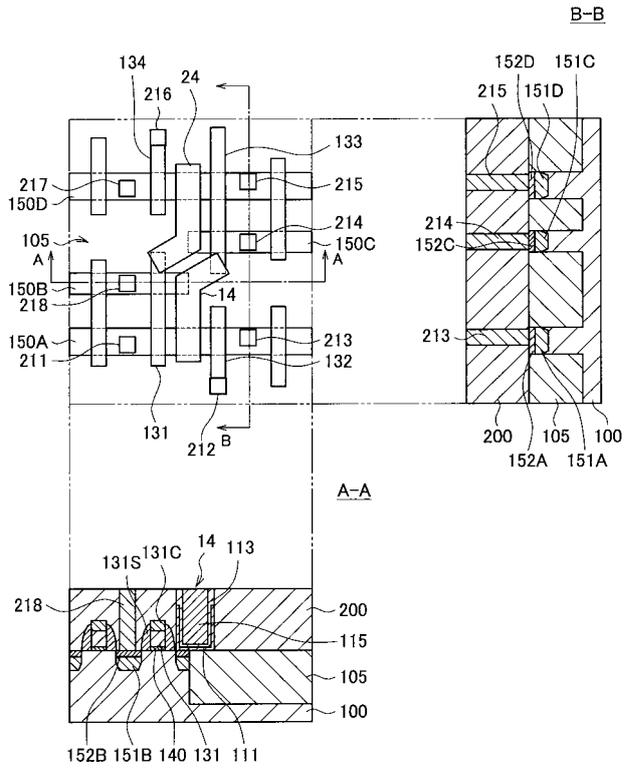
【 図 8 】



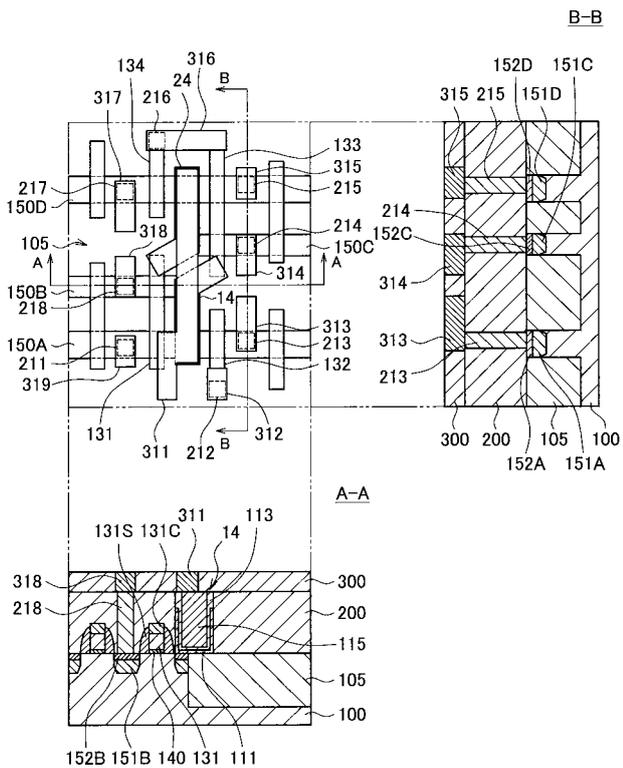
【 図 9 】



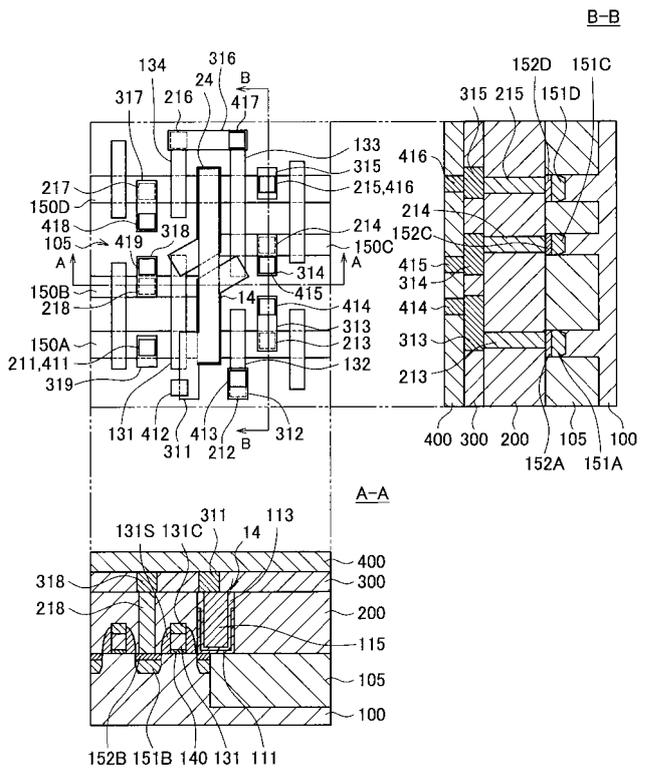
【 図 1 0 】



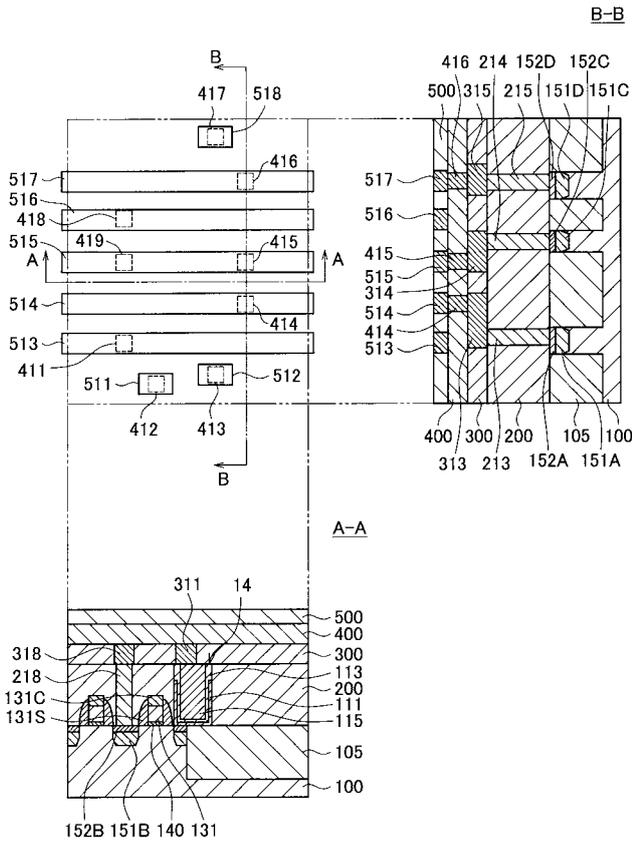
【 図 1 1 】



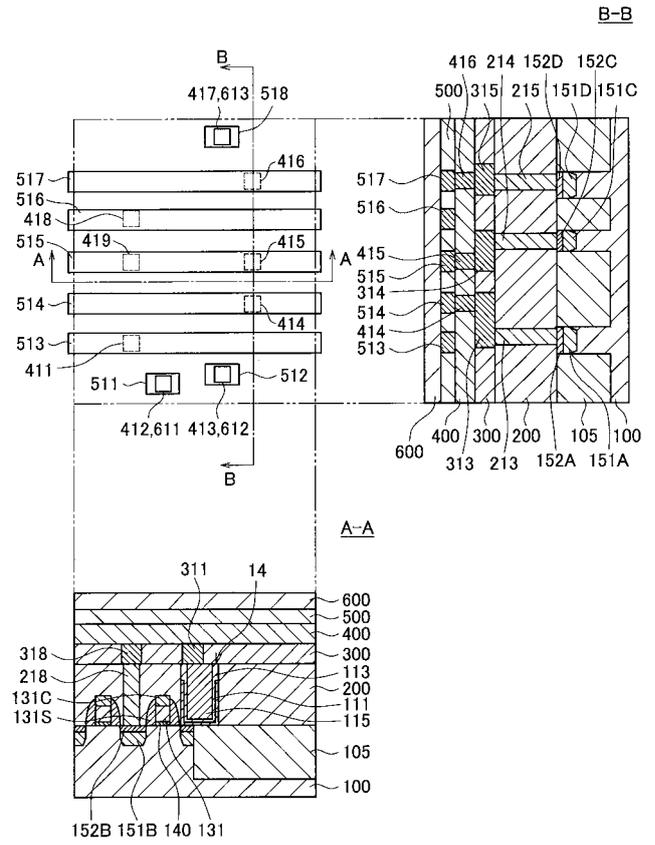
【 図 1 2 】



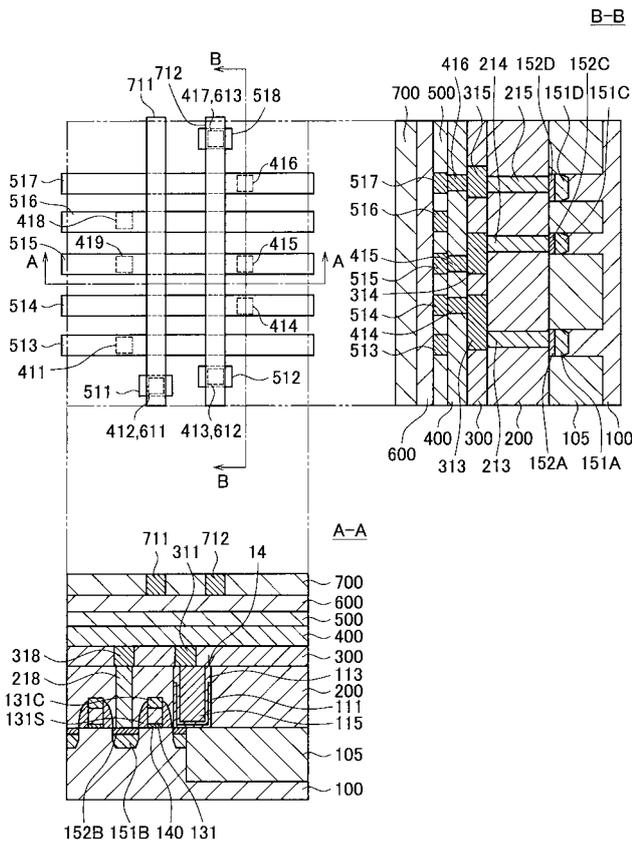
【図 1 3】



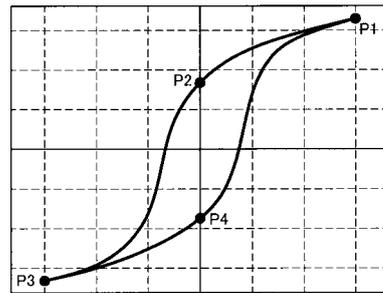
【図 1 4】



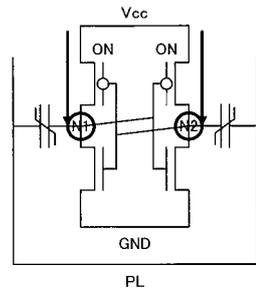
【図 1 5】



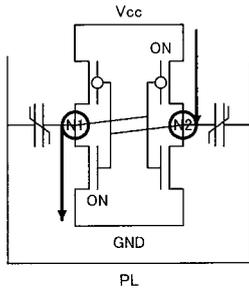
【図 1 6】



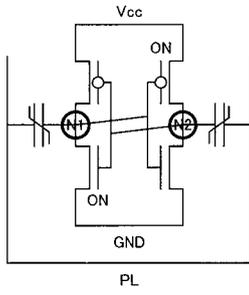
【図 1 7 A】



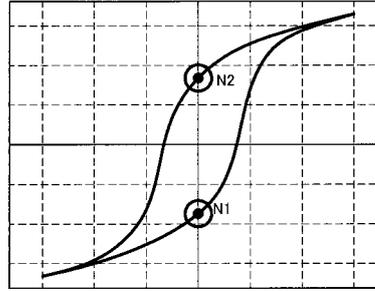
【図 17 B】



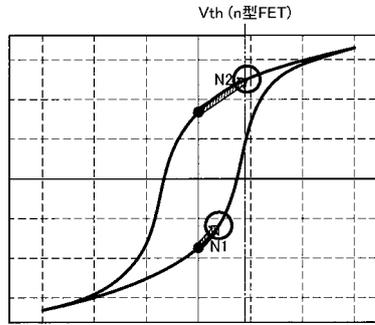
【図 17 C】



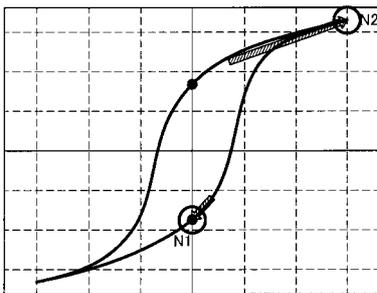
【図 18 A】



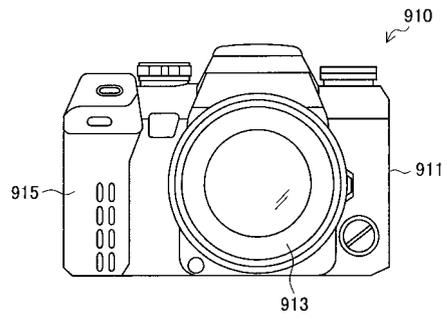
【図 18 B】



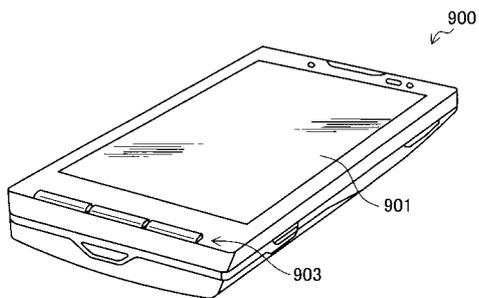
【図 18 C】



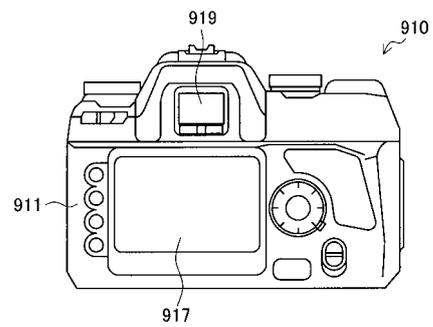
【図 19 B】



【図 19 A】



【図 19 C】



## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
G 1 1 C 11/22 (2006.01)  
G 1 1 C 11/412 (2006.01)

(72)発明者 塚本 雅則

神奈川県厚木市旭町四丁目 1 4 番 1 号 ソニーセミコンダクタソリューションズ株式会社内

Fターム(参考) 5B015 HH01 HH03 HH04 HH05 JJ21 JJ31 JJ43 KA10 PP02 PP03  
QQ01 QQ17  
5F083 BS27 BS38 FR01 GA01 GA09 HA02 HA06 JA02 JA05 JA12  
JA15 JA17 JA19 JA35 JA36 JA37 JA38 JA39 JA40 JA43  
JA53 JA56 KA01 KA05 LA01 LA12 LA16 LA21 MA06 MA16  
MA19 NA01 NA02 PR21 PR34 PR39 PR40